



(12) 发明专利申请

(10) 申请公布号 CN 103855021 A

(43) 申请公布日 2014. 06. 11

(21) 申请号 201210514156. 2

(22) 申请日 2012. 12. 04

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市嘉定区张江路 18 号

(72) 发明人 邓浩

(74) 专利代理机构 北京市磐华律师事务所 11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

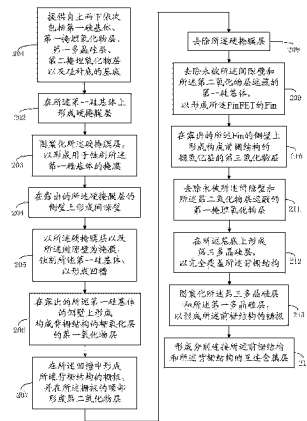
权利要求书2页 说明书5页 附图7页

(54) 发明名称

一种 FinFET 器件的制造方法

(57) 摘要

本发明提供一种 FinFET 器件的制造方法, 包括提供自上而下依次包括硅基体、第一掩埋氧化物层、第一多晶硅层、第二掩埋氧化物层以及硅衬底的基底; 在硅基体上形成硬掩膜层; 在图案化的硬掩膜层的侧壁上形成间隙壁; 以硬掩膜层及间隙壁为掩膜, 蚀刻硅基体, 以形成凹槽; 在硅基体的侧壁上形成背栅栅氧化层; 在凹槽中形成背栅栅极, 在其顶部形成氧化物层; 去除硬掩膜层; 去除未被间隙壁和氧化物层遮蔽的硅基体, 以形成 Fin; 在 Fin 的侧壁上形成前栅栅氧化层; 去除未被间隙壁和氧化物层遮蔽的第一掩埋氧化物层; 在基底上形成第三多晶硅层, 以完全覆盖背栅; 图案化多晶硅层, 以形成前栅栅极。根据本发明, 可以形成具有高密度背栅的 FinFET, 有效地控制阈值电压 V_t。



1. 一种 FinFET 器件的制造方法,包括:

提供自上而下依次包括第一硅基体、第一掩埋氧化物层、第一多晶硅层、第二掩埋氧化物层以及硅衬底的基底;

在所述第一硅基体上形成硬掩膜层;

图案化所述硬掩膜层,以形成用于蚀刻所述第一硅基体的掩膜;

在露出的所述硬掩膜层的侧壁上形成间隙壁;

以所述硬掩膜层以及所述间隙壁为掩膜,蚀刻所述第一硅基体,以形成凹槽;

在露出的所述第一硅基体的侧壁上形成构成背栅结构的栅氧化层的第一氧化物层;

在所述凹槽中形成所述背栅结构的栅极,并在所述栅极的顶部形成第二氧化物层;

去除所述硬掩膜层;

以所述间隙壁和所述第二氧化物层为掩膜,蚀刻去除未被所述间隙壁和所述第二氧化物层遮蔽的第一硅基体,以形成所述 FinFET 的 Fin;

在露出的所述 Fin 的侧壁上形成构成前栅结构的栅氧化层的第三氧化物层;

以所述间隙壁和所述第二氧化物层为掩膜,蚀刻去除未被所述间隙壁和所述第二氧化物层遮蔽的第一掩埋氧化物层;

在所述基底上形成第三多晶硅层,以完全覆盖所述背栅结构;

图案化所述第三多晶硅层和所述第一多晶硅层,以形成所述前栅结构的栅极。

2. 根据权利要求 1 所述的方法,其特征在于,所述硬掩膜层的材料为氮化物。

3. 根据权利要求 1 所述的方法,其特征在于,所述间隙壁的材料不同于所述硬掩膜层的材料。

4. 根据权利要求 3 所述的方法,其特征在于,所述间隙壁的材料包括 SiO₂、Si₃N₄ 或 SiCN。

5. 根据权利要求 1 所述的方法,其特征在于,采用反应离子蚀刻工艺蚀刻所述第一硅基体以形成所述凹槽,所述蚀刻于露出所述第一掩埋氧化物层时终止。

6. 根据权利要求 1 所述的方法,其特征在于,形成所述背栅结构的栅极的工艺步骤包括:形成第二多晶硅层以完全填充所述凹槽;研磨所述第二多晶硅层使其顶部平整;回蚀刻所述第二多晶硅层,使其顶部低于所述硬掩膜层的顶部。

7. 根据权利要求 1 所述的方法,其特征在于,采用反应离子蚀刻工艺去除未被所述间隙壁和所述第二氧化物层遮蔽的第一硅基体,所述蚀刻于露出所述第一掩埋氧化物层时终止。

8. 根据权利要求 1 所述的方法,其特征在于,所述基底由表面具有第二掩埋氧化物层的硅衬底与依次包括第一多晶硅层、第一掩埋氧化物层、第一硅基体的 SOI 衬底接合而成。

9. 根据权利要求 1 所述的方法,其特征在于,在图案化所述第三多晶硅层和所述第一多晶硅层之前,还包括:研磨所述第三多晶硅层使其顶部平整;回蚀刻所述第三多晶硅层以露出所述背栅结构的顶部。

10. 根据权利要求 1 所述的方法,其特征在于,所述第一掩埋氧化物层将所述前栅结构和所述背栅结构隔离开来。

11. 根据权利要求 1 所述的方法,其特征在于,在图案化所述第三多晶硅层和所述第一多晶硅层之后,还包括:在所述基底上形成层间介质层,以完全覆盖所述前栅结构和所述背

栅结构 ;研磨所述层间介质层使其顶部平整 ;在所述层间介质层中形成分别连接所述前栅结构和所述背栅结构的互连金属层。

12. 一种FinFET器件,其特征在于,所述FinFET器件采用如权利要求1-11中的任一方法制造形成。

一种 FinFET 器件的制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种具有背栅(backgate)结构的鳍式场效应晶体管(FinFET)的制造方法。

背景技术

[0002] 现有的互补式金属氧化物半导体(CMOS)晶体管是二维的,随着沟道尺寸的不断缩小,与短沟道效应有关的问题越来越难以克服。因此,芯片制造商正在开发具有更高功效的三维立体式的晶体管,例如 FinFET,其可以更好地适应器件尺寸按比例缩小的要求。在 FinFET 中,直立在绝缘体上硅(SOI)上的鳍形沟道取代了传统 CMOS 中的平面沟道,栅极形成在鳍形沟道上并环绕鳍形沟道,能够提供更为高效的静电控制能力。

[0003] 随着 FinFET 器件尺寸的不断减小,对于晶体管阈值电压 V_t 的控制变得愈发困难,尤其是掺杂物质的扰动使上述问题更为突出。解决上述问题的办法之一是在 FinFET 器件中形成背栅结构,但是,背栅结构需要占用较大的芯片面积,在器件密度不断增大的情况下,如何在有限的芯片面积下布置背栅结构成为非常具有挑战性的课题。

[0004] 因此,需要提出一种方法,以解决上述问题。

发明内容

[0005] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供自上而下依次包括第一硅基体、第一掩埋氧化物层、第一多晶硅层、第二掩埋氧化物层以及硅衬底的基底;在所述第一硅基体上形成硬掩膜层;图案化所述硬掩膜层,以形成用于蚀刻所述第一硅基体的掩膜;在露出的所述硬掩膜层的侧壁上形成间隙壁;以所述硬掩膜层以及所述间隙壁为掩膜,蚀刻所述第一硅基体,以形成凹槽;在露出的所述第一硅基体的侧壁上形成构成背栅结构的栅氧化层的第一氧化物层;在所述凹槽中形成所述背栅结构的栅极,并在所述栅极的顶部形成第二氧化物层;去除所述硬掩膜层;以所述间隙壁和所述第二氧化物层为掩膜,蚀刻去除未被所述间隙壁和所述第二氧化物层遮蔽的第一硅基体,以形成所述 FinFET 的 Fin;在露出的所述 Fin 的侧壁上形成构成前栅结构的栅氧化层的第三氧化物层;以所述间隙壁和所述第二氧化物层为掩膜,蚀刻去除未被所述间隙壁和所述第二氧化物层遮蔽的第一掩埋氧化物层;在所述基底上形成第三多晶硅层,以完全覆盖所述背栅结构;图案化所述第三多晶硅层和所述第一多晶硅层,以形成所述前栅结构的栅极。

[0006] 进一步,所述硬掩膜层的材料为氮化物。

[0007] 进一步,所述间隙壁的材料不同于所述硬掩膜层的材料。

[0008] 进一步,所述间隙壁的材料包括 SiO_2 、 SiON 或 SiCN 。

[0009] 进一步,采用反应离子蚀刻工艺蚀刻所述第一硅基体以形成所述凹槽,所述蚀刻于露出所述第一掩埋氧化物层时终止。

[0010] 进一步,形成所述背栅结构的栅极的工艺步骤包括:形成第二多晶硅层以完全填充所述凹槽;研磨所述第二多晶硅层使其顶部平整;回蚀刻所述第二多晶硅层,使其顶部

低于所述硬掩膜层的顶部。

[0011] 进一步,采用反应离子蚀刻工艺去除未被所述间隙壁和所述第二氧化物层遮蔽的第一硅基体,所述蚀刻于露出所述第一掩埋氧化物层时终止。

[0012] 进一步,所述基底由表面具有第二掩埋氧化物层的硅衬底与依次包括第一多晶硅层、第一掩埋氧化物层、第一硅基体的 SOI 衬底接合而成。

[0013] 进一步,在图案化所述第三多晶硅层和所述第一多晶硅层之前,还包括:研磨所述第三多晶硅层使其顶部平整;回蚀刻所述第三多晶硅层以露出所述背栅结构的顶部。

[0014] 进一步,所述第一掩埋氧化物层将所述前栅结构和所述背栅结构隔离开来。

[0015] 进一步,在图案化所述第三多晶硅层和所述第一多晶硅层之后,还包括:在所述基底上形成层间介质层,以完全覆盖所述前栅结构和所述背栅结构;研磨所述层间介质层使其顶部平整;在所述层间介质层中形成分别连接所述前栅结构和所述背栅结构的互连金属层。

[0016] 本发明还提供一种 FinFET 器件,所述 FinFET 器件采用上述方法制造形成。

[0017] 根据本发明,在具有较低布图复杂度的前提下,可以形成具有高密度背栅结构的 FinFET,更为有效地控制晶体管阈值电压 V_t 。

附图说明

[0018] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0019] 附图中:

[0020] 图 1A-图 1K 为本发明提出的具有背栅结构的 FinFET 的制造方法的各步骤的示意性剖面图;

[0021] 图 2 为本发明提出的具有背栅结构的 FinFET 的制造方法的流程图。

具体实施方式

[0022] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0023] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的具有背栅结构的 FinFET 的制造方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0024] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0025] 下面,参照图 1A-图 1K 和图 2 来描述本发明提出的具有背栅结构的 FinFET 的制造方法的详细步骤。

[0026] 参照图 1A-图 1K,其中示出了本发明提出的具有背栅结构的 FinFET 的制造方法的

各步骤的示意性剖面图。

[0027] 首先,如图 1A 所示,提供绝缘体上硅(SOI)衬底 100,所述绝缘体上硅衬底 100 包括第一硅基体 101',第一掩埋氧化物层 102'和形成在第一掩埋氧化物层 102'上的第一多晶硅层 103。本实施例中,所述第一掩埋氧化物层 102'是硅氧化物层。形成所述绝缘体上硅衬底 100 的方法为本领域所公知,在此不再加以赘述。

[0028] 接下来,提供硅衬底 101,在所述硅衬底 101 上形成第二掩埋氧化物层 102。形成所述第二掩埋氧化物层 102 可以采用本领域技术人员所熟习的各种适宜的工艺,例如热氧化工艺或者化学气相沉积工艺。然后,通过直接键合工艺将所述第一多晶硅层 103 的表面与所述第二掩埋氧化物层 102 的表面接合在一起以构成形成 FinFET 的基底。

[0029] 接着,如图 1B 所示,在所述第一硅基体 101'上形成硬掩膜层 104。形成所述硬掩膜层 104 可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气相沉积工艺。所述硬掩膜层 104 的材料优选氮化物。

[0030] 接着,如图 1C 所示,图案化所述硬掩膜层 104,以形成用于蚀刻所述第一硅基体 101'的掩膜。然后,在露出的所述硬掩膜层 104 的侧壁上形成间隙壁 105a 和 105b,所述间隙壁 105a 和 105b 的材料不同于所述硬掩膜层 104 的材料,其包括 SiO、SiON、SiCN 等。形成所述间隙壁 105a 和 105b 的方法为本领域所公知,在此不再加以赘述。所述间隙壁 105a 和 105b 构成用于形成所述 FinFET 的 Fin 的图形。

[0031] 接着,如图 1D 所示,以所述硬掩膜层 104 以及所述间隙壁 105a 和 105b 为掩膜,采用反应离子蚀刻工艺蚀刻所述第一硅基体 101',以形成凹槽 106,所述蚀刻于露出所述第一掩埋氧化物层 102'时终止。然后,采用热氧化工艺在露出的所述第一硅基体 101'的侧壁上形成第一氧化物层 107a 和 107b,所述第一氧化物层 107a 和 107b 构成背栅(back gate)结构的栅氧化层。

[0032] 接着,如图 1E 所示,在所述凹槽 106 中形成所述背栅结构的栅极 108。形成所述栅极 108 的工艺步骤包括:形成第二多晶硅层以完全填充所述凹槽 106;研磨所述第二多晶硅层使其顶部平整;回蚀刻所述第二多晶硅层,使其顶部低于所述硬掩膜层 104 的顶部。接下来,采用热氧化工艺在所述栅极 108 的顶部形成第二氧化物层 109,所述第二氧化物层 109 的顶部与所述硬掩膜层 104 的顶部平齐。至此,完成所述背栅结构的制造,所述背栅结构由所述栅极 108、所述第一氧化物层 107a 和 107b 和所述第二氧化物层 109 构成。

[0033] 接着,如图 1F 所示,去除所述硬掩膜层 104。实施所述去除过程可以采用本领域技术人员所熟习的各种适宜的工艺,例如湿法蚀刻工艺。

[0034] 接着,如图 1G 所示,以所述间隙壁 105a 和 105b 以及所述第二氧化物层 109 为掩膜,去除未被所述间隙壁 105a 和 105b 以及所述第二氧化物层 109 遮蔽的第一硅基体 101',以形成所述 FinFET 的 Fin101' a 和 101' b。采用反应离子蚀刻工艺实施所述去除过程,所述蚀刻于露出所述第一掩埋氧化物层 102'时终止。然后,采用热氧化工艺在露出的所述 Fin101' a 和 101' b 的侧壁上形成第三氧化物层 110a 和 110b,所述第三氧化物层 110a 和 110b 构成前栅(front gate)结构的栅氧化层。

[0035] 接着,如图 1H 所示,以所述间隙壁 105a 和 105b 以及所述第二氧化物层 109 为掩膜,去除未被所述间隙壁 105a 和 105b 以及所述第二氧化物层 109 遮蔽的第一掩埋氧化物层 102'。实施所述去除过程可以采用本领域技术人员所熟习的各种适宜的工艺,例如各向

异性的干法蚀刻工艺。

[0036] 接着,如图 1I 所示,在所述基底上形成第三多晶硅层 103,以完全覆盖所述背栅结构,所述第三多晶硅层 103 和所述第一多晶硅层 103 共同构成用于形成所述前栅结构的栅极的栅极材料层。然后,研磨所述第三多晶硅层 103 使其顶部平整,回蚀刻所述第三多晶硅层 103 以露出所述背栅结构的顶部。

[0037] 接着,如图 1J 所示,图案化所述第三多晶硅层 103 和所述第一多晶硅层 103,以形成所述前栅结构的栅极 103'。实施所述图案化的方法为本领域所公知,在此不再加以赘述。至此,完成所述前栅结构的制造,所述前栅结构由所述栅极 103'、所述第三氧化物层 110a 和 110b 和所述第二掩埋氧化物层 102 构成,所述第一掩埋氧化物层 102' 将所述前栅结构和所述背栅结构隔离开来。

[0038] 接着,如图 1K 所示,在所述基底上形成层间介质层 111,以完全覆盖所述前栅结构和所述背栅结构。然后,研磨所述层间介质层 111 使其顶部平整,在所述层间介质层 111 中形成分别连接所述前栅结构和所述背栅结构的互连金属层 112。形成所述互连金属层 112 的方法为本领域所公知,在此不再加以赘述。

[0039] 至此,完成了根据本发明示例性实施例的方法实施的全部工艺步骤。根据本发明,形成的具有背栅结构的 FinFET 的 Fin 占用很小的芯片面积,背栅结构形成在 Fin 之间,其占用的芯片面积大为减小,因而在具有较低布图复杂度的前提下,可以进一步提高 FinFET 的器件密度,更为有效地控制晶体管阈值电压 V_t 。

[0040] 参照图 2,其中示出了本发明提出的具有背栅结构的 FinFET 的制造方法的流程图,用于简要示出整个制造工艺的流程。

[0041] 在步骤 201 中,提供自上而下依次包括第一硅基体、第一掩埋氧化物层、第一多晶硅层、第二掩埋氧化物层以及硅衬底的基底;

[0042] 在步骤 202 中,在所述第一硅基体上形成硬掩膜层;

[0043] 在步骤 203 中,图案化所述硬掩膜层,以形成用于蚀刻所述第一硅基体的掩膜;

[0044] 在步骤 204 中,在露出的所述硬掩膜层的侧壁上形成间隙壁;

[0045] 在步骤 205 中,以所述硬掩膜层以及所述间隙壁为掩膜,蚀刻所述第一硅基体,以形成凹槽;

[0046] 在步骤 206 中,在露出的所述第一硅基体的侧壁上形成构成背栅结构的栅氧化层的第一氧化物层;

[0047] 在步骤 207 中,在所述凹槽中形成所述背栅结构的栅极,并在所述栅极的顶部形成第二氧化物层;

[0048] 在步骤 208 中,去除所述硬掩膜层;

[0049] 在步骤 209 中,去除未被所述间隙壁和所述第二氧化物层遮蔽的第一硅基体,以形成所述 FinFET 的 Fin;

[0050] 在步骤 210 中,在露出的所述 Fin 的侧壁上形成构成前栅结构的栅氧化层的第三氧化物层;

[0051] 在步骤 211 中,去除未被所述间隙壁和所述第二氧化物层遮蔽的第一掩埋氧化物层;

[0052] 在步骤 212 中,在所述基底上形成第三多晶硅层,以完全覆盖所述背栅结构;

[0053] 在步骤 213 中, 图案化所述第三多晶硅层和所述第一多晶硅层, 以形成所述前栅结构的栅极;

[0054] 在步骤 214 中, 形成分别连接所述前栅结构和所述背栅结构的互连金属层。

[0055] 本发明已经通过上述实施例进行了说明, 但应当理解的是, 上述实施例只是用于举例和说明的目的, 而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是, 本发明并不局限于上述实施例, 根据本发明的教导还可以做出更多种的变型和修改, 这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

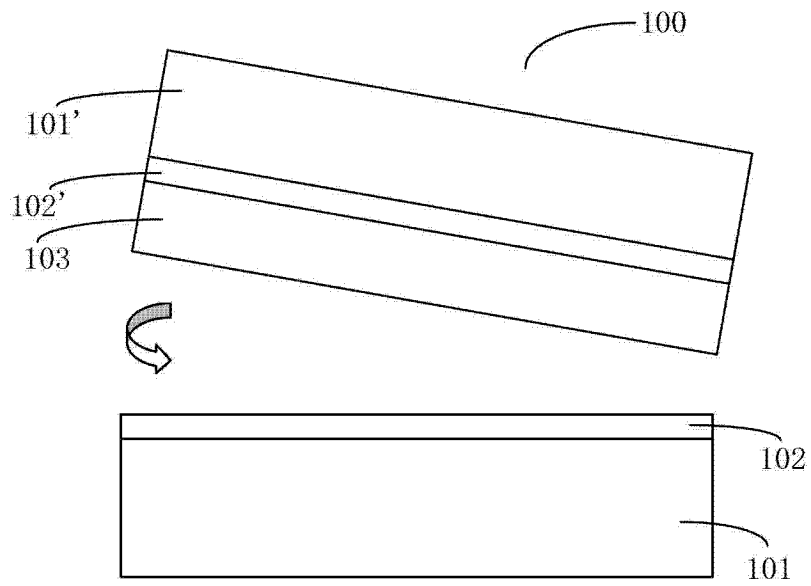


图 1A

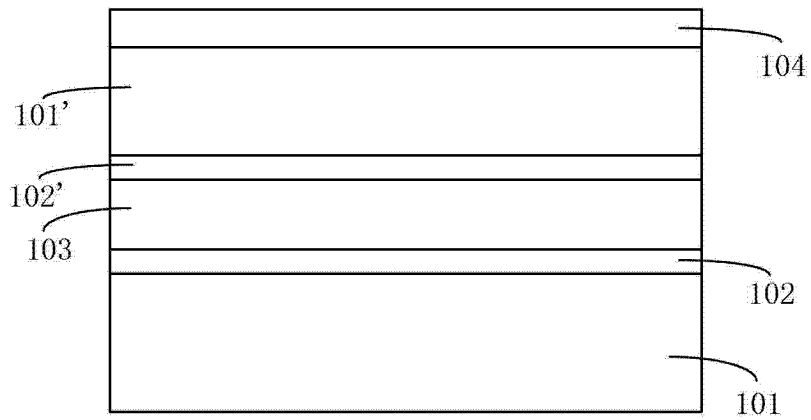


图 1B

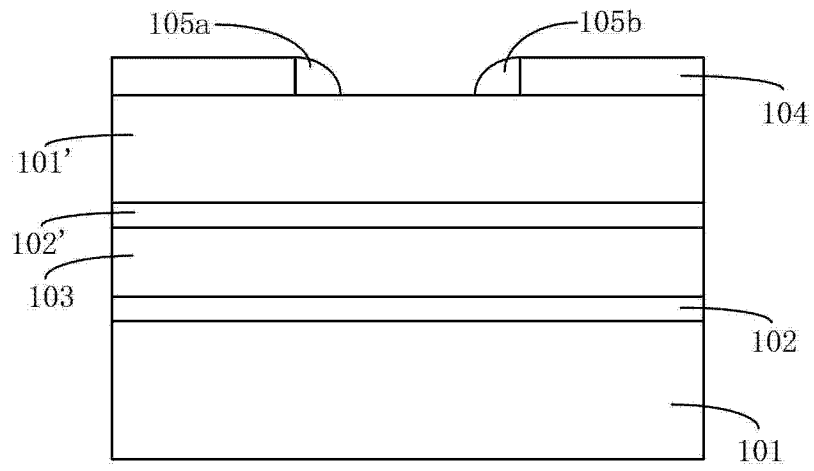


图 1C

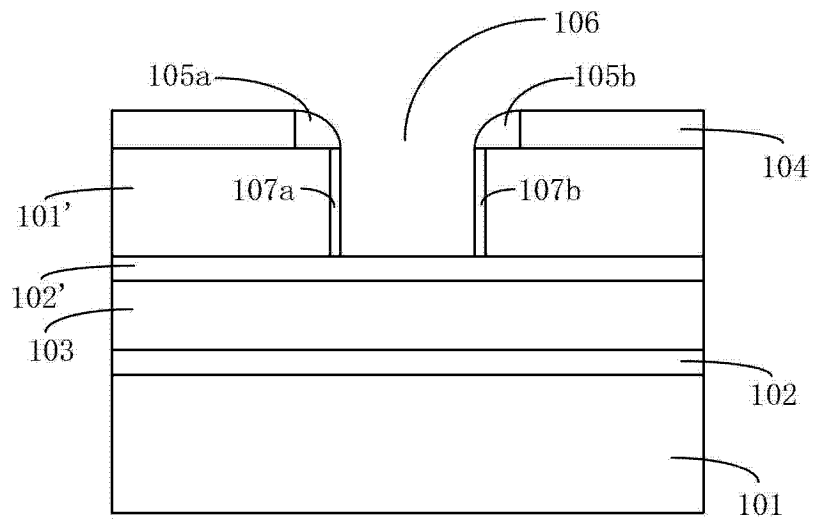


图 1D

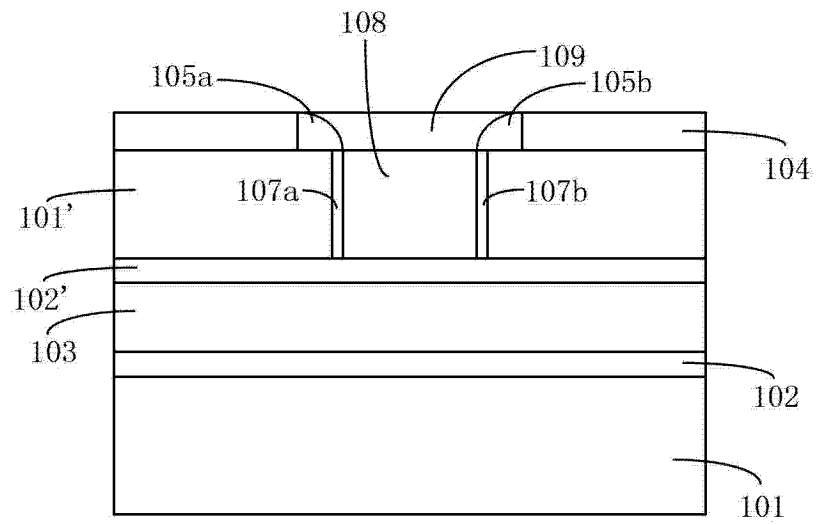


图 1E

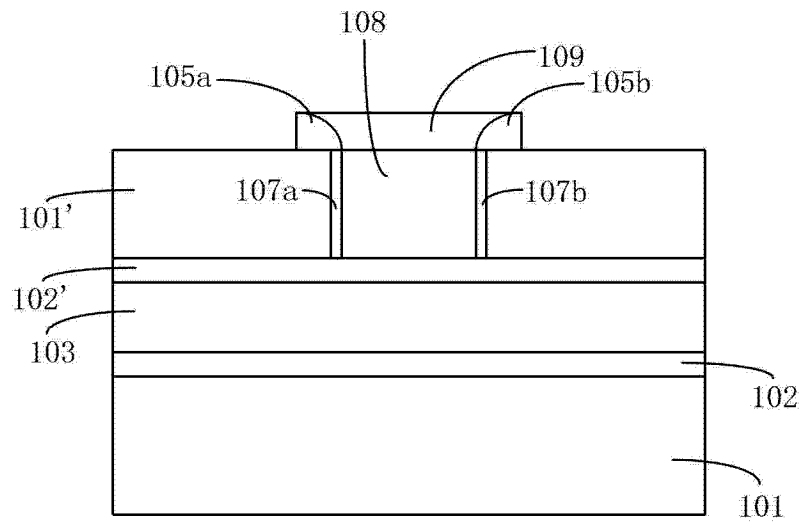


图 1F

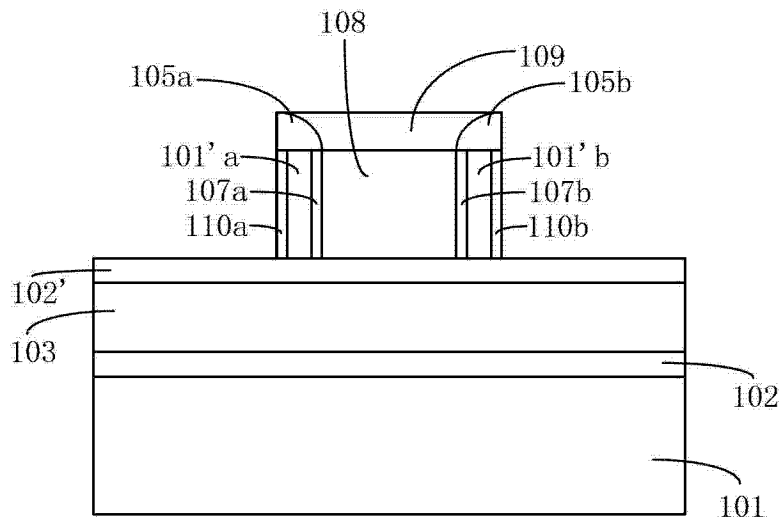


图 1G

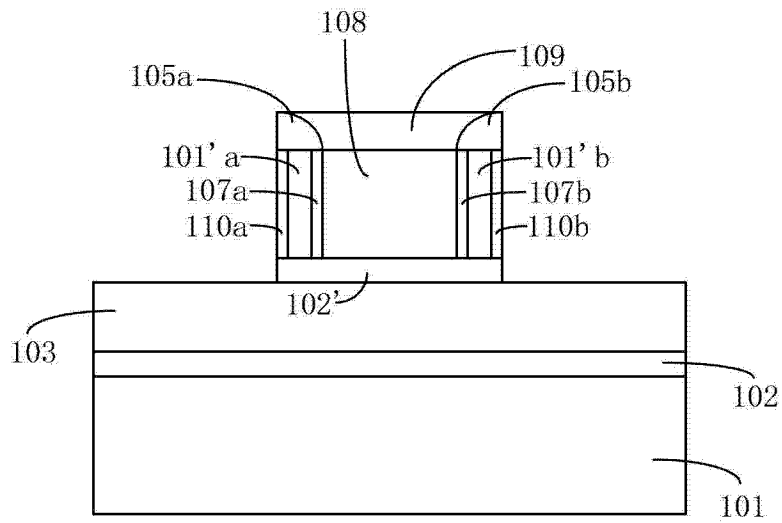


图 1H

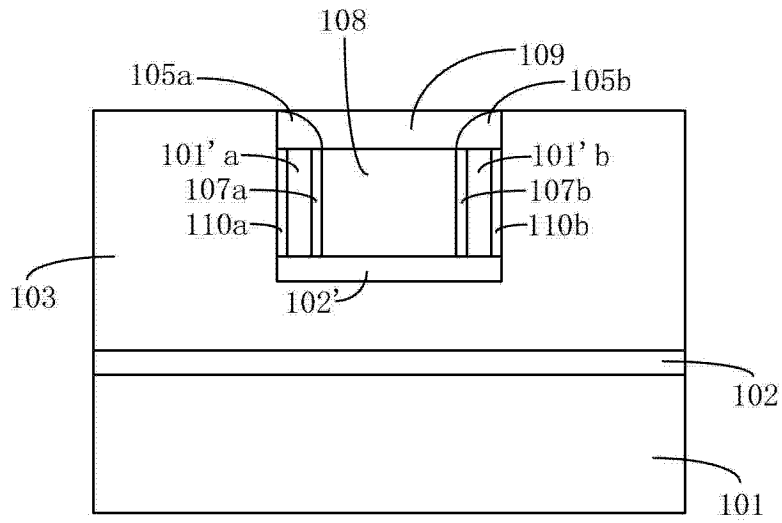


图 1I

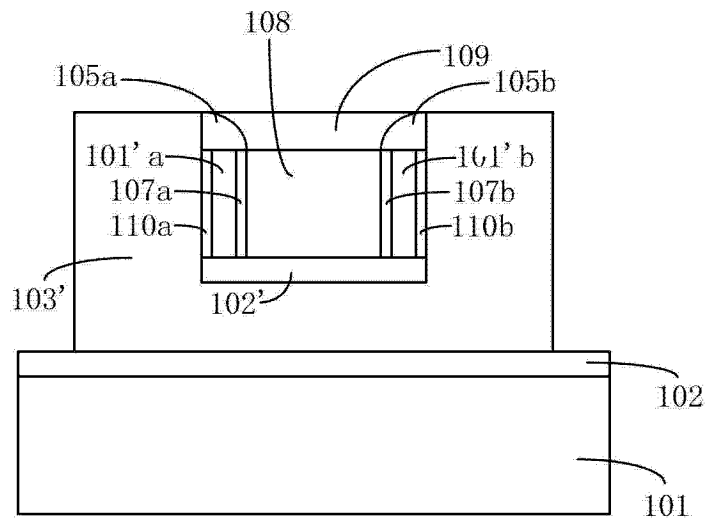


图 1J

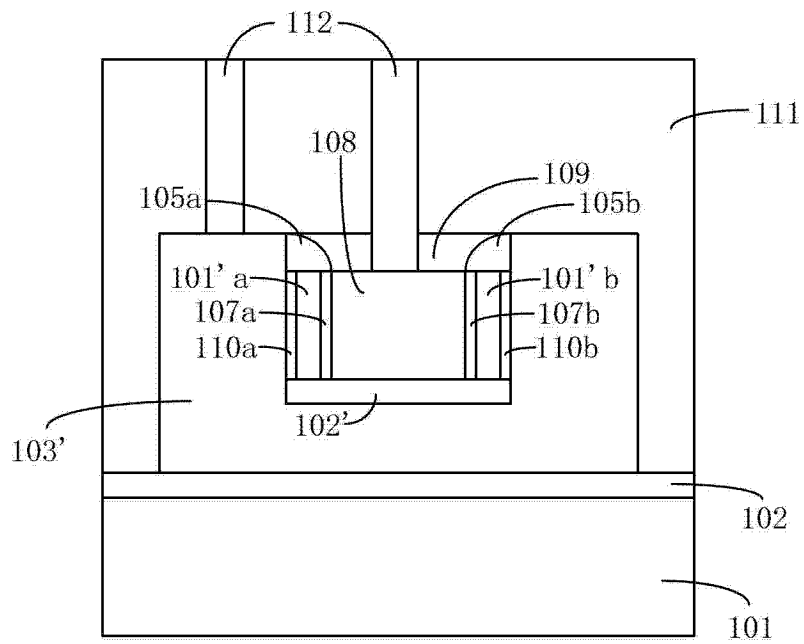


图 1K

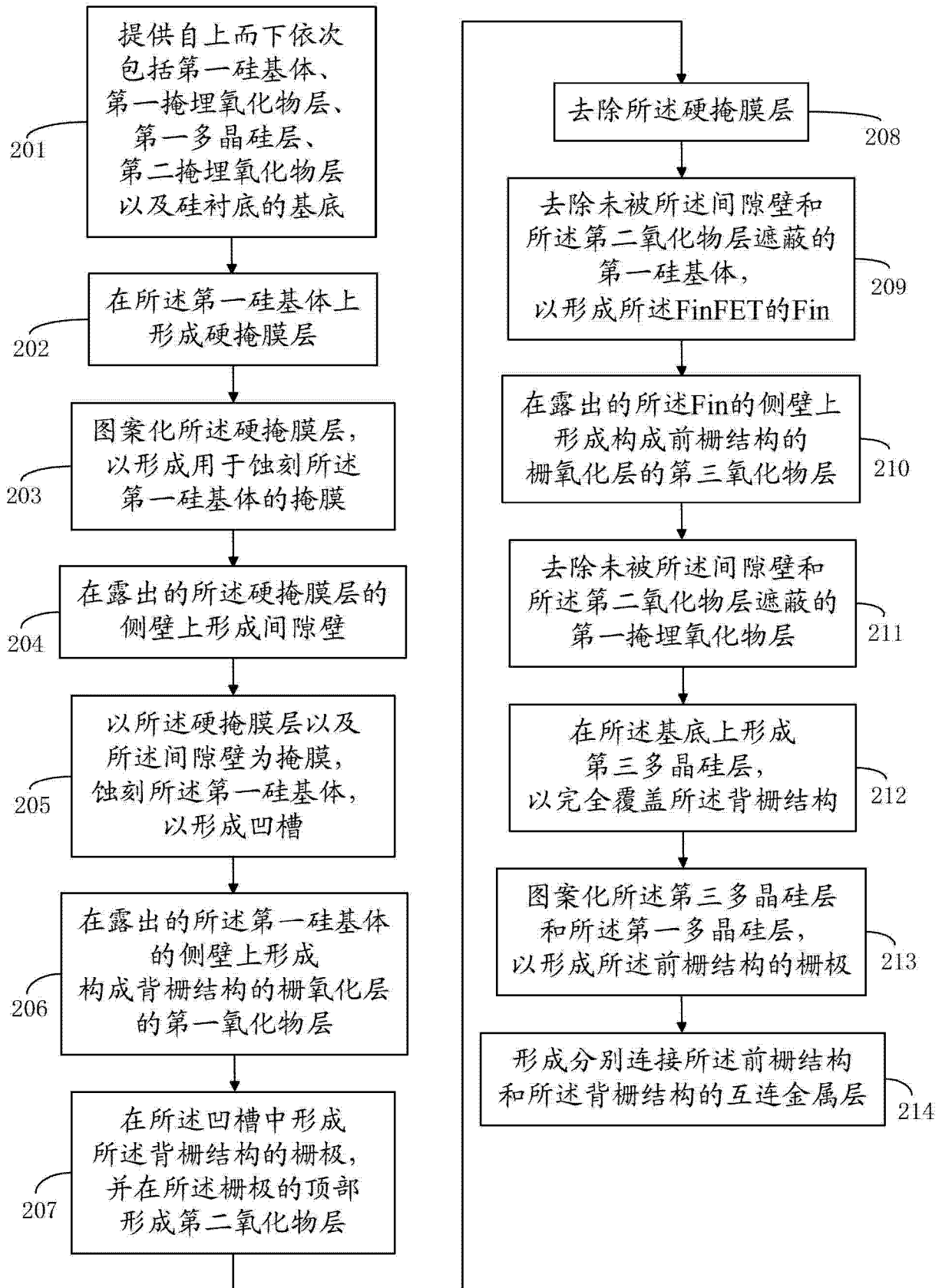


图 2