



(12)实用新型专利

(10)授权公告号 CN 207381393 U

(45)授权公告日 2018.05.18

(21)申请号 201720259495.9

(22)申请日 2017.03.16

(30)优先权数据

1657569 2016.08.04 FR

(73)专利权人 意法半导体(鲁塞)公司

地址 法国鲁塞

(72)发明人 N·德曼吉

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 董典红

(51)Int.Cl.

H01L 23/60(2006.01)

H01L 27/02(2006.01)

(ESM)同样的发明创造已同日申请发明专利

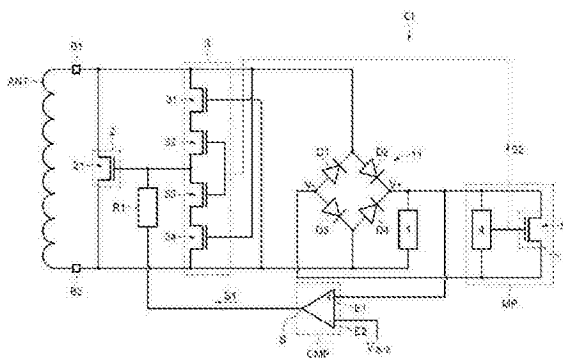
权利要求书1页 说明书5页 附图2页

(54)实用新型名称

集成电路和电子设备

(57)摘要

本申请涉及集成电路和电子设备。一种集成电路,包括调节装置和控制装置,该调节装置包括连接在两个端子之间的仅一个晶体管或一组并联的若干晶体管,该控制装置被配置成用于当出现由静电放电产生的脉冲时使该调节装置未激活,不管这两个端子之间的所述放电的流动方向如何。根据本申请的方案,可以提供保护部件免受静电放电的电子设备。



1. 一种集成电路,其特征在于,所述集成电路包括第一端子和第二端子、连接在所述两个端子之间的处理装置、被配置成用于调节所述两个端子之间的电压的电压调节装置、被配置成用于在当所述集成电路没有通电时出现静电放电的情况下保护所述处理装置的保护装置、以及被配置成用于在当所述集成电路没有通电时出现静电放电的情况下使所述调节装置未激活的控制装置,所述调节装置包括连接在所述两个端子之间的仅一个调节晶体管或一组并联的若干调节晶体管,并且所述控制装置被配置成用于当出现静电放电时使所述调节装置未激活,不管由所述静电放电在所述两个端子之间引起的脉冲的流动方向如何。

2. 根据权利要求1所述的电路,其特征在于,所述控制装置连接至所述调节装置中的调节晶体管的栅极并且被配置成用于:当出现从所述第一端子流向所述第二端子的静电放电时将所述调节晶体管的栅极连接至所述第二端子,并且当出现从所述第二端子流向所述第一端子的静电放电时将所述调节晶体管的栅极连接至所述第一端子。

3. 根据权利要求1所述的电路,其特征在于,所述保护装置包括保护电路和触发电路,所述触发电路能够在存在静电放电时触发所述保护电路,并且所述控制装置包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述四个晶体管串联安装在所述第一端子与所述第二端子之间,所述第一晶体管其栅极连接至所述第二端子并且其电极之一连接至所述第一端子,所述第二晶体管和所述第三晶体管其对应的栅极连接至所述触发电路并且各自具有连接至所述调节装置中的调节晶体管的栅极的电极,并且所述第四晶体管其栅极连接至所述第一端子并且其电极之一连接至所述第二端子。

4. 根据权利要求1至3之一所述的电路,其特征在于,进一步包括比较装置和电阻,所述比较装置被配置成用于在存在电压浪涌时激活所述调节装置,所述电阻串联连接在所述比较装置与所述调节装置中的一个或多个调节晶体管的栅极之间。

5. 一种电子设备,其特征在于,所述设备包括根据权利要求1至4之一所述的电路以及连接至所述第一端子和所述第二端子的天线。

6. 根据权利要求5所述的设备,其特征在于,所述设备形成芯片卡、射频识别标记或者被结合在无线通信设备中。

集成电路和电子设备

技术领域

[0001] 本实用新型的实现方式和实施例涉及电子设备,并且尤其涉及旨在保护部件免受静电放电(ESD)的电子设备。

背景技术

[0002] 在微电子领域中,静电放电可能贯穿集成电路整个寿命出现,并且是关于此集成电路的可靠性的实际问题以及故障的主要原因。

[0003] 具体地,在电路的制造阶段过程中,当带有静电的人处理电路时可能产生静电放电。当与部件接触时,静电从人的身体放电到集成电路中并且可能将其损坏。

[0004] 静电放电一般导致或多或少显著的且或多或少短暂的尖峰电流。

[0005] 某些类型的集成电路(例如包括天线的射频集成电路)包括连接至天线的端子的调节设备,提供用于限制在电路正常运行时可能出现的可能的电压浪涌。常规地,这些调节电路包括若干晶体管,这些晶体管当天线端子两端的电压超过某个阈值时变为导通。因此,对天线端子的阻抗进行修改,并且吸收电压浪涌。

[0006] 然而,必要的是,当静电放电出现时这些晶体管保持阻断,因为所产生的电流过高而不能穿过晶体管而不对其造成损坏。

[0007] 使用若干晶体管尤其意味着这些晶体管中不管哪一个都可能取决于接收静电放电的端子而被阻断,由此提供对设备的对称保护。

[0008] 然而,从表面尺寸的观点来看,使用若干晶体管存在缺点。因此,在此提出减小这个尺寸。

实用新型内容

[0009] 根据一个方面,提出了一种集成电路,该集成电路包括第一端子和第二端子、连接在这两个端子之间的处理装置、被配置成用于调节这两个端子之间的电压的电压调节装置、被配置成用于在当该集成电路没有通电时出现静电放电的情况下保护该处理装置的保护装置、以及被配置成用于在当该集成电路没有通电时出现静电放电的情况下使该调节装置未激活的控制装置。

[0010] 根据此方面的一般特征,该调节装置包括连接在这两个端子之间的仅一个调节晶体管或一组并联的若干调节晶体管。

[0011] 此外,该控制装置被配置成用于当出现静电放电时使该调节装置未激活,不管由所述静电放电在这两个端子之间引起的脉冲的流动方向如何。

[0012] 换言之,在此提出了一种电路,该电路具有减小的表面尺寸并且其调节装置被对称地保护免受静电放电。

[0013] 根据一个实施例,该控制装置连接至该调节晶体管的栅极并且被配置成用于:当出现从该第一端子流向该第二端子的静电放电时将该调节晶体管的栅极连接至该第二端子,并且当出现从该第二端子流向该第一端子的静电放电时将该调节晶体管的栅极连接至

该第一端子。

[0014] 因此,该调节晶体管的栅极连接至该电路的没有接收静电放电并因此充当基准电压或等效接地的端子,由此具有阻断该调节晶体管的效果。

[0015] 该保护装置可以包括保护电路和触发电路,该触发电路能够在存在静电放电时触发该保护电路,并且该控制装置可以包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,这四个晶体管串联安装在该第一端子与该第二端子之间,该第一晶体管其栅极连接至该第二端子并且其电极之一连接至该第一端子,该第二晶体管和该第三晶体管其对应的栅极连接至该触发电路并且各自具有连接至该调节晶体管的栅极的电极,并且该第四晶体管其栅极连接至该第一端子并且其电极之一连接至该第二端子。

[0016] 该集成电路CI还可以包括比较装置,该比较装置被配置成用于在存在电压浪涌时激活该调节装置,并且电阻可以串联安装在该比较装置与该一个或多个调节晶体管的栅极之间。这具有进一步改善控制装置的有效性的效果。

[0017] 根据第二方面,提出了一种电子设备,该设备包括如之前描述的集成电路以及连接至该第一端子和该第二端子的天线。

[0018] 该设备可以是芯片卡、识别标记,或者可以集成在例如蜂窝移动电话或平板计算机的无线通信设备中。

[0019] 根据本申请的方案,可以提供保护部件免受静电放电 (ESD) 的电子设备。

附图说明

[0020] 本实用新型的其他优点和特征将通过检查完全非限制性实现方式和实施例的详细说明书以及附图而变得更清楚,在附图中:

[0021] 图1至图4展示了本实用新型的实施例。

具体实施方式

[0022] 图1示意性地展示了从电气观点着眼的根据本实用新型的示例集成电路CI。

[0023] 电路CI在这种情况下是连接至天线ANT的射频识别 (RFID) 电路,该天线被配置成用于采集外部电磁信号并通过感应将其转换为电信号。

[0024] 天线ANT经由第一端子B1和第二端子B2连接至电路CI。

[0025] 集成电路CI尤其包括Graetz桥11,该Graetz桥常规地包括以桥安排来安装的第一二极管D1、第二二极管D2、第三二极管D3和第四二极管D4。该Graetz桥常规地被配置成用于对天线中感应的交流电进行整流。

[0026] 第二二极管D2和第四二极管D4的阴极连接至第一桥端子V+,并且第一二极管D1和第三二极管D3的阳极连接至第二桥端子V-。在此,第二桥端子V-是用于运行中的集成电路CI的浮动接地。

[0027] 被配置成用于对由天线采集的信号进行处理的处理装置1连接在第一桥端子V+与第二天线端子B2之间。处理装置1常规地包括诸如逻辑电路和/或微控制器的部件。

[0028] 当集成电路CI运行时,天线ANT有可能经受特别强烈的电磁场,能够在天线ANT中产生电流、或电流浪涌,从而能够损坏处理装置1。

[0029] 因此,为了限制这些电流浪涌效应,集成电路CI包括连接在这两个天线端子B1与

B2之间的调节装置2。在此,调节装置2有利地包括单个调节晶体管21,在这种情况下是NMOS晶体管。

[0030] 应注意到的是,图1在这种情况下示意性地展示了调节晶体管 21。实际上,调节晶体管21可以包括一组并联连接的若干晶体管。

[0031] 比较装置CMP在这种情况下连接在调节晶体管21的栅极与第一桥端子V+之间。比较装置CMP被配置成用于将第一桥端子V+上的电势与基准电势 $V_{\text{基准}}$ 进行比较,并且如果第一桥端子V+上的电势超过基准电势值,则将第一控制信号S1发送至调节晶体管21的栅极,以便将其置于导通状态。在此,比较装置是通过CMOS比较器实现的,该CMOS比较器常规地包括连接至第一桥端子V+的第一输入端E1、被配置成用于接收基准电势 $V_{\text{基准}}$ 的第二输入端E2、以及连接至调节晶体管21的栅极的输出端S。

[0032] 因此,在天线ANT的端子处的阻抗增加,由此具有减小端子B1 与B2之间的电压的效果。处理装置1的部件因此被保护免于电压浪涌。

[0033] 当集成电路CI未运行时(典型地在制造过程中),该集成电路有可能被带有静电的操作员处理,从而当例如与天线ANT接触时可能引起静电放电。

[0034] 在那种情况下,静电放电导致在端子B1与B2之间特别强的电流脉冲。

[0035] 这可以例如当放电从第一端子B1朝第二端子B2发生时(在这种情况下第二端子B2充当电路CI的等效接地)被称为正向放电,并且当放电从第二端子B2朝第一端子B1发生时(在这种情况下第一端子B1充当电路CI的等效接地)被称为负向放电。

[0036] 静电放电通过较短的事件持续时间并且通过所产生的较高强度电流而与常规的电流浪涌区分开。

[0037] 因此,一方面必须将调节晶体管21保持在阻断状态下,以便防止其被感应电流脉冲损坏,而另一方面必须转移由静电放电感应的电流,以便使其不穿过处理装置1。

[0038] 为此目的,集成电路CI包括控制装置3,并且保护装置MP包括触发电路4和保护电路5。

[0039] 触发电路4被配置成用于检测静电放电的出现,不管其在这两个端子B1与B2之间的流动方向如何,并且在必要时将第二控制信号 S2发送至控制装置3和保护电路5。触发电路4可以常规地包括阻容电路。

[0040] 保护电路5在这种情况下包括保护晶体管51,该保护晶体管连接在第一桥端子V+与第二桥端子V-之间,并且该保护晶体管的栅极连接至触发电路4。还可以想到具有包括多个晶闸管的保护电路5。

[0041] 应注意的是,实际上,保护晶体管51可以是一组并联连接的多个晶体管,并且保护晶体管51比调节晶体管21大得多。例如,调节晶体管21具有一百微米量级的尺寸,而保护晶体管51的尺寸属于毫米量级。保护晶体管51的较大尺寸使其经受例如由静电放电产生的高强度电流。

[0042] 保护晶体管51被配置成用于在接收第二控制信号S2时变为导通状态。

[0043] 因此,端子B1或B2之一上经由第二二极管D2或第四二极管 D4传递至第一桥端子V+的静电放电将经由保护晶体管51被传递至第二桥端子V-并且将因此不在处理部件1中流动。

[0044] 控制装置3被配置成用于当在第一端子B1上出现静电放电时将调节晶体管21的栅

极连接至第二端子B2,并且当在第二端子B2上出现静电放电时将调节晶体管21的栅极连接至第一端子B1。

[0045] 控制装置3在这种情况下包括串联安装在第一端子B1与第二端子B2之间的第一NMOS晶体管31、第二NMOS晶体管32、第三NMOS晶体管33和第四NMOS晶体管34。

[0046] 第一NMOS晶体管31安装在第一端子B1与第二晶体管32之间,第四晶体管34连接在第三晶体管33与第二晶体管B2之间,并且第二NMOS晶体管32和第三NMOS晶体管33通过其电极之一相互耦合。

[0047] 第一NMOS晶体管31的栅极连接至第二端子B2,并且第四晶体管的栅极连接至第一端子B1。

[0048] 第二NMOS晶体管32与第三NMOS晶体管33的栅极相互耦合并且连接至触发电路4,从而能够接收第二控制信号S2。

[0049] 第二NMOS晶体管32与第三NMOS晶体管33相互耦合的电极连接至调节晶体管21的栅极。

[0050] 当出现正向静电放电时(即,在这种情况下从第一端子B1流向第二端子B2),触发电路4将第二控制信号S2发送至第二NMOS晶体管32的栅极、至第三NMOS晶体管33的栅极、并且至保护晶体管51的栅极。

[0051] 响应于第二控制信号S2,第二晶体管32和第三晶体管33变为导通状态,并且因为第一端子B1上由于静电放电造成的高电势,第四NMOS晶体管34变为导通状态。

[0052] 第一NMOS晶体管31其栅极连接至在这种情况下充当等效接地的第二端子B2并因此保持阻断。

[0053] 调节晶体管21的栅极因此经由第三NMOS晶体管33和第四NMOS晶体管34终止连接至第二端子B2并且因此连接至电路的等效接地。调节晶体管21因此处于阻断状态。

[0054] 如果静电放电为负向(即,在这种情况下从第二端子B2流向第一端子B1),则第一NMOS晶体管31处于导通状态并且第四NMOS晶体管34保持阻断。调节晶体管21的栅极因此连接至第一端子B1,该第一端子B1在这种情况下充当等效接地。调节晶体管21因此也被阻断。

[0055] 因此,使用四个晶体管在此是特别有利的。确切地,第一NMOS晶体管31和第四NMOS晶体管34提供用于选择连接调节晶体管21的栅极的端子,而连接至触发电路4的第二NMOS晶体管32和第三NMOS晶体管33提供用于确保控制装置3仅在静电放电过程中被激活。

[0056] 更确切地,当集成电路CI运行时,第一端子B1可以在非零电势处。在那种情况下,第四晶体管34变为导通。同样,第二端子B2可以在非零电势处,并且在那种情况下第一晶体管31变为导通。

[0057] 然而,如果第一端子B1或第二端子B2上的电势不是由静电放电引起的,即,如果该电势不对应于脉冲并且不具有特别高的值,则触发电路4不将第二控制信号S2发送至保持在阻断状态中的第二晶体管32和第三晶体管33的栅极。

[0058] 因此,当不存在静电放电时,调节晶体管的栅极无法连接至端子B1和B2中任一个,并且控制装置3因此无法被激活。

[0059] 电阻R1此外已经有利地连接在比较装置CMP与调节晶体管21的栅极之间,以便进一步提高控制装置3的有效性。确切地,在静电放电过程中,在比较装置CMP的输出端处可能

产生寄生电流。该电阻提供用于限制这些电流并因此用于确保当控制电路3激活时调节晶体管21的栅极肯定在零电势处。

[0060] 如之前描述并由图1展示的电子电路CI可以结合在电子系统内,如,射频识别标记、支付卡、便携式智能电话等。

[0061] 图2至图4展示了包括之前描述并在图1中展示的电子电路的系统。

[0062] 图2展示了便携式智能电话6,该便携式智能电话包括如之前描述的集成射频识别电路CI。

[0063] 图3展示了使“非接触式”支付成为可能的芯片卡7,所述芯片卡包括如之前描述的集成电路CI。

[0064] 图4展示了射频识别标记8,该射频识别标记常规地被配置成用于通过将所述标记递送接近读取设备(未呈现)来允许进入安全场所。射频识别标记8包括如之前描述的电子电路CI。

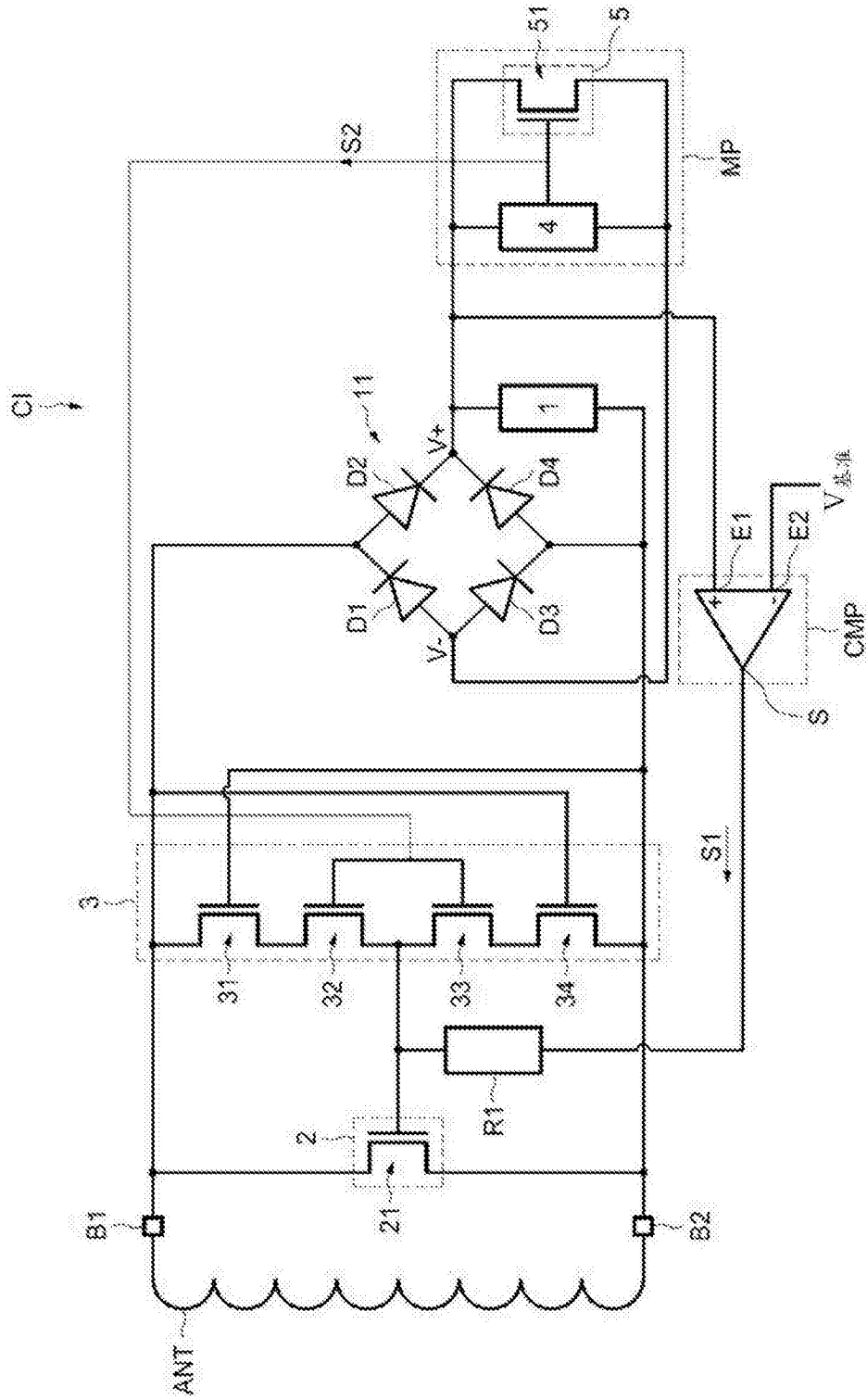


图1

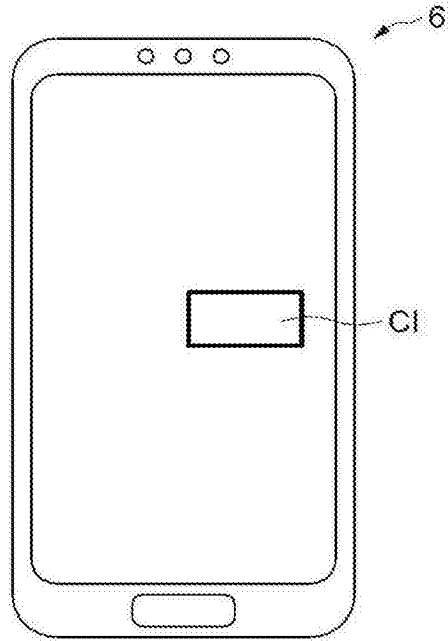


图2

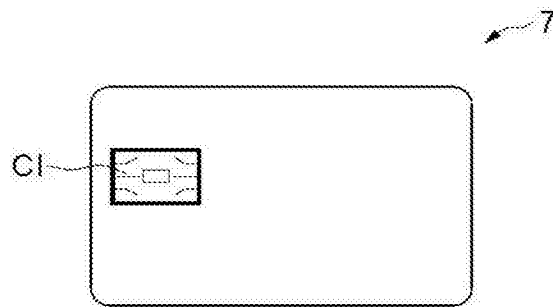


图3

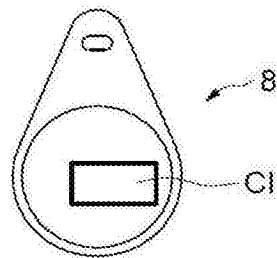


图4