



(12) 发明专利

(10) 授权公告号 CN 109583094 B

(45) 授权公告日 2022.03.08

(21) 申请号 201811463383.0

(22) 申请日 2018.12.03

(65) 同一申请的已公布的文献号
申请公布号 CN 109583094 A

(43) 申请公布日 2019.04.05

(73) 专利权人 郑州云海信息技术有限公司
地址 450018 河南省郑州市郑东新区心怡路278号16层1601室

(72) 发明人 梁磊

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 罗满

(51) Int. Cl.
G06F 30/394 (2020.01)

(56) 对比文件

CN 107145674 A, 2017.09.08

CN 105975668 A, 2016.09.28

CN 102931539 A, 2013.02.13

CN 105260544 A, 2016.01.20

CN 107423491 A, 2017.12.01

US 2004173880 A1, 2004.09.09

US 2008048796 A1, 2008.02.28

CN 103428845 A, 2013.12.04

徐鲁杰等. 差分原理及其在连接器中的应用.《机电元件》.2011,第31卷(第5期),17-23页.

David Nozadze .etal.Effect of time delay skew on differential insertion loss in weak and strong coupled PCB traces.《IEEE》.2018,1-3页.

审查员 张琪

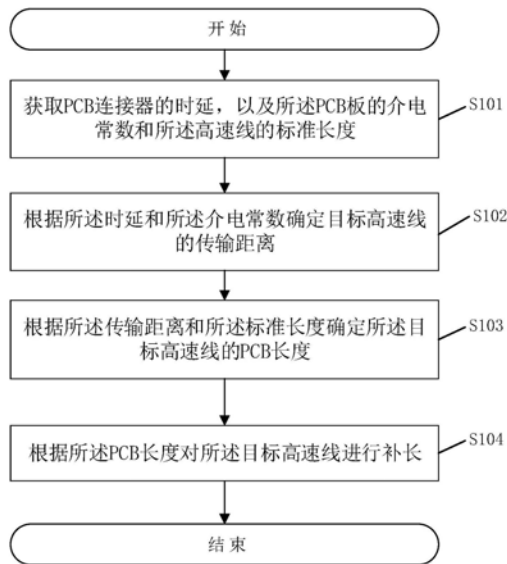
权利要求书1页 说明书5页 附图1页

(54) 发明名称

一种PCB板上高速线的补长方法及相关装置

(57) 摘要

本申请所提供的一种PCB板上高速线的补长方法,包括:获取PCB连接器的时延,以及所述PCB板的介电常数和高速线的标准长度;根据时延和介电常数确定目标高速线的传输距离;根据传输距离和标准长度确定目标高速线的PCB长度;根据PCB长度对目标高速线进行补长。通过确定信号在高速线中的传输距离。在设定统一的标准长度后,可以利用标准长度减去实际的传输距离得到需要补长的距离,目的使各高速线的传输距离加上相应的补长距离得到的应满足标准长度,从而提高了PCB板的质量水平,为电路硬件的发展提供便利。本申请还提供一种PCB板上高速线的补长系统、一种计算机可读存储介质和一种PCB板补长终端,具有上述有益效果。



1. 一种PCB板上高速线的补长方法,其特征在于,包括:
获取PCB连接器的时延,以及所述PCB板的介电常数和所述高速线的标准长度;
根据所述时延和所述介电常数确定目标高速线的传输距离;
根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;
根据所述PCB长度对所述目标高速线进行补长。
2. 根据权利要求1所述的补长方法,其特征在于,根据所述时延和所述介电常数确定所述目标高速线的传输距离包括:
利用公式 $v=3*10^8/\sqrt{Er}$ 确定传输速度;其中 $3*10^8$ 为光速,Er为所述介电常数,v为所述传输速度;
将所述时延和所述传输速度的乘积作为所述目标高速线的传输距离。
3. 根据权利要求1所述的补长方法,其特征在于,获取PCB连接器的时延包括:
获取PCB连接器上所有晶元的所有差分对的时延。
4. 根据权利要求1所述的补长方法,其特征在于,根据所述PCB长度对所述目标高速线进行补长包括:
利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。
5. 一种PCB板上高速线的补长系统,其特征在于,包括:
获取模块,用于获取PCB连接器的时延、所述PCB板的介电常数和所述高速线的标准长度;
距离确定模块,用于根据所述时延和所述介电常数确定目标高速线的传输距离;
长度确定模块,用于根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;
补长模块,用于根据所述PCB长度对所述目标高速线进行补长。
6. 根据权利要求5所述的补长系统,其特征在于,所述距离确定模块包括:
第一确定单元,用于利用公式 $v=3*10^8/\sqrt{Er}$ 确定传输速度;其中 $3*10^8$ 为光速,Er为所述介电常数,v为所述传输速度;
第二确定单元,用于将所述时延和所述传输速度的乘积作为所述目标高速线的传输距离。
7. 根据权利要求5所述的补长系统,其特征在于,所述获取模块包括:
第一获取单元,用于获取PCB连接器上所有晶元的所有差分对的时延。
8. 根据权利要求5所述的补长系统,其特征在于,所述补长模块包括:
补长单元,用于利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。
9. 一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现如权利要求1-4任一项所述的补长方法的步骤。
10. 一种PCB板补长终端,其特征在于,包括存储器和处理器,所述存储器中存有计算机程序,所述处理器调用所述存储器中的计算机程序时实现如权利要求1-4任一项所述的补长方法的步骤。

一种PCB板上高速线的补长方法及相关装置

技术领域

[0001] 本申请涉及电路硬件设计领域,特别涉及一种PCB板上高速线的补长方法及相关装置。

背景技术

[0002] 近年来,随着PCB电路板上的信号速率越来越快,高速线等长的要求越来越严格。INTEL要求8G速率的PCIE3.0信号TX0和TX1组内等长500mil,即TX0和TX1的长度差异不能超过500mil。然而,随着连接器差分线对数的增加,由于结构上的差异,不可避免使差分线间的延时变大。典型的,单wafer 6pair的连接器的最长与最短差分线间的延时已经达到了300ps以上,这个延时足可以使PCB上的信号传输2000mil,远远大于intel要求的500mil。

[0003] 因此如何解决因高速线长度差异带来的PCB板质量问题是本领域技术人员亟需解决的技术问题。

发明内容

[0004] 本申请的目的是提供一种PCB板上高速线的补长方法、一种PCB板上高速线的补长系统、一种计算机可读存储介质和一种PCB板补长终端,解决因高速线长度差异带来的PCB板质量问题。

[0005] 为解决上述技术问题,本申请提供一种PCB板上高速线的补长方法,具体技术方案如下:

[0006] 获取PCB连接器的时延,以及所述PCB板的介电常数和所述高速线的标准长度;

[0007] 根据所述时延和所述介电常数确定目标高速线的传输距离;

[0008] 根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;

[0009] 根据所述PCB长度对所述目标高速线进行补长。

[0010] 其中,根据所述时延和所述介电常数确定所述目标高速线的传输距离包括:

[0011] 利用公式 $v = 3 \times 10^8 / \sqrt{Er}$ 确定传输速度;其中 3×10^8 为光速, Er 为所述介电常数, v 为所述传输速度;

[0012] 将所述时延和所述传输速度的乘积作为所述目标高速线的传输距离。

[0013] 其中,获取PCB连接器的时延包括:

[0014] 获取PCB连接器上所有晶元的所有差分对的时延。

[0015] 其中,根据所述PCB长度对所述目标高速线进行补长包括:

[0016] 利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。

[0017] 本申请还提供一种PCB板上高速线的补长系统,包括:

[0018] 获取模块,用于获取PCB连接器的时延、所述PCB板的介电常数和所述高速线的标准长度;

[0019] 距离确定模块,用于根据所述时延和所述介电常数确定目标高速线的传输距离;

[0020] 长度确定模块,用于根据所述传输距离和所述标准长度确定所述目标高速线的

PCB长度；

[0021] 补长模块,用于根据所述PCB长度对所述目标高速线进行补长。

[0022] 其中,所述距离确定模块包括:

[0023] 第一确定单元,用于利用公式 $v = 3 \times 10^8 / \sqrt{\epsilon_r}$ 确定传输速度;其中 3×10^8 为光速, ϵ_r 为所述介电常数, v 为所述传输速度;

[0024] 第二确定单元,用于将所述时延和所述传输速度的乘积作为所述目标高速线的传输距离。

[0025] 其中,所述获取模块包括:

[0026] 第一获取单元,用于获取PCB连接器上所有晶元的所有差分对的时延。

[0027] 其中,所述补长模块包括:

[0028] 补长单元,用于利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。

[0029] 本申请还提供一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现如上所述的补长方法的步骤。

[0030] 本申请还提供一种PCB板补长终端,包括存储器和处理器,所述存储器中存有计算机程序,所述处理器调用所述存储器中的计算机程序时实现如上所述的补长方法的步骤。

[0031] 本申请所提供的一种PCB板上高速线的补长方法,包括:获取PCB连接器的时延,以及所述PCB板的介电常数和所述高速线的标准长度;根据所述时延和所述介电常数确定目标高速线的传输距离;根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;根据所述PCB长度对所述目标高速线进行补长。

[0032] 本申请通过采集PCB连接器的时延和介电常数后,确定信号在高速线中的传输距离。进而在设定统一的标准长度后,可以利用标准长度减去实际的传输距离得到需要补长的距离,目的使各高速线的传输距离加上相应的补长距离得到的应满足标准长度,从而解决现有技术中因为高速线长度之间的较高差异对PCB板质量的不良影响,提高了PCB板的质量水平,为电路硬件的发展提供便利。本申请还提供一种PCB板上高速线的补长系统、一种计算机可读存储介质和一种PCB板补长终端,具有上述有益效果,此处不再赘述。

附图说明

[0033] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0034] 图1为本申请实施例所提供的一种PCB板上高速线的补长方法的流程图;

[0035] 图2为本申请实施例所提供的一种PCB板上高速线的补长系统的结构示意图。

具体实施方式

[0036] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0037] 请参考图1,图1为本申请实施例所提供的一种PCB板上高速线的补长方法的流程图,该补偿方法包括:

[0038] S101:获取PCB连接器的时延,以及所述PCB板的介电常数和所述高速线的标准长度;

[0039] 所谓PCB连接器的时延指的是信号在该PCB连接器中的时延数据。通常,本步骤指的是获取PCB连接器上所有晶元的所有差分对的时延。以某种PCB连接器为例,其中AB、CD、EF、GH、JK、LM为一个wafer(晶元)的6个差分对,该PCB连接器包括waferA和B两个wafer;每个差分对包括正和负两个信号;这样该连接器共有24组时延数据。而获取时应当获取每一组时延数据。但需要说明的是,同样需要针对每一组时延数据计算相应的补长长度。

[0040] PCB板的介电常数是PCB板的固有属性,通常与PCB板的材料相关,由PCB板的制造商提供或者做相关测试得到。本步骤旨在获取该介电常数,应用于后续步骤。

[0041] 高速线的标准长度指的是高速线应满足的统一长度标准,由于各高速线之间的长度差越小则PCB板的质量越好,因此应设定一个标准长度,以使得长度差异不能超过预设数值,在此对于标准长度和预设数值均不作限定。需要说明的是,标准长度可以为范围值,也可以为固定值,具体应由本领域技术人员根据实际应用及产品构造做相应设定,在此不作限定。

[0042] S102:根据所述时延和所述介电常数确定目标高速线的传输距离;

[0043] 本步骤通常先利用公式 $v = 3 \times 10^8 / \sqrt{Er}$ 确定传输速度,其中 3×10^8 为光速, Er 为所述介电常数, v 为所述传输速度。

[0044] 需要说明的是,传输距离指的是信号在PCB板上的实际传输距离,由于时延不同,因此通常传输距离不同,则直接导致高速线的长度不同,因此本步骤需要计算目标高速线上实际的信号传输距离。所谓的目标高速线指的是PCB板上的所有高速线,在此对于目标高速线不作限定,每一条高速线均可以为目标高速线。

[0045] S103:根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;

[0046] 在S102得到信号传输距离后,为了使各条高速线均满足标准长度,因此本步骤实际上是在得到信号实际传输的信号传输距离后,确定该信号传输距离和标准长度还差多少,二者之差即为PCB长度,也即需要补长的长度,即最终目标是所有高速线上的信号传输距离加上补长长度等于标准长度。当然,若标准长度为范围值时,则只需要信号传输距离加上补长长度满足该标准长度的范围即可。

[0047] S104:根据所述PCB长度对所述目标高速线进行补长。

[0048] 本步骤旨在根据PCB长度对目标高速线进行补长。容易理解的是,不同的高速线由于时延的不同,对应的补长长度不同,因此本步骤实际上是针对每条高速线进行补长,即针对目标高速线进行补长。

[0049] 在此对于如何补长不作具体限定,可以利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。优选的,当采用PCB设计软件时,可以利用excel将PCB材料的介电常数设为变量,将延时数据和标准长度设为输入量,进行利用Excel直接计算出PCB长度,再将得到的结果导入至PCB设计软件,便于PCB设计软件直接读取PCB长度并进行补长。在此对于具体使用何种PCB设计软件不作限定,可以对高速线进行补长的PCB设计软件均应在本申请的保护范围内。

[0050] 本申请实施例通过采集PCB连接器的时延和介电常数后,确定信号在高速线中的传输距离。进而在设定统一的标准长度后,可以利用标准长度减去实际的传输距离得到需要补长的距离,目的使各高速线的传输距离加上相应的补长距离得到的应满足标准长度,从而解决现有技术中因为高速线长度之间的较高差异对PCB板质量的不良影响,提高了PCB板的质量水平,为电路硬件的发展提供便利。

[0051] 下面对本申请实施例提供的一种PCB板上高速线的补长系统进行介绍,下文描述的补长系统与上文描述的一种PCB板上高速线的补长方法可相互对应参照。

[0052] 参见图2,图2为本申请实施例所提供的一种PCB板上高速线的补长系统的结构示意图,本申请还提供一种PCB板上高速线的补长系统,包括:

[0053] 获取模块100,用于获取PCB连接器的时延、所述PCB板的介电常数和所述高速线的标准长度;

[0054] 距离确定模块200,用于根据所述时延和所述介电常数确定目标高速线的传输距离;

[0055] 长度确定模块300,用于根据所述传输距离和所述标准长度确定所述目标高速线的PCB长度;

[0056] 补长模块400,用于根据所述PCB长度对所述目标高速线进行补长。

[0057] 基于上述实施例,作为优选的实施例,所述距离确定模块200可以包括:

[0058] 第一确定单元,用于利用公式 $3 \times 10^8 / \sqrt{Er}$ 确定传输速度;其中 3×10^8 为光速,Er代表所述介电常数;

[0059] 第二确定单元,用于将所述时延和所述传输速度的乘积作为所述目标高速线的传输距离。

[0060] 基于上述实施例,作为优选的实施例,所述获取模块100可以包括:

[0061] 第一获取单元,用于获取PCB连接器上所有晶元的所有差分对的时延。

[0062] 基于上述实施例,作为优选的实施例,所述补长模块100可以包括:

[0063] 补长单元,用于利用PCB设计软件根据所述PCB长度对所述目标高速线进行补长。

[0064] 本申请还提供了一种计算机可读存储介质,其上存有计算机程序,该计算机程序被执行时可以实现上述实施例所提供的一种PCB板上高速线的补长方法的步骤。该存储介质可以包括:U盘、移动硬盘、只读存储器(Read-Only Memory,ROM)、随机存取存储器(Random Access Memory,RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

[0065] 本申请还提供了一种PCB板补长终端,可以包括存储器和处理器,所述存储器中存有计算机程序,所述处理器调用所述存储器中的计算机程序时,可以实现上述实施例所提供的一种PCB板上高速线的补长方法的步骤。当然所述PCB板补长终端还可以包括各种网络接口,电源等组件。

[0066] 说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例提供的系统而言,由于其与实施例提供的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0067] 本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想。应当指出,对于本技术领域的普通技术

人员来说,在不脱离本申请原理的前提下,还可以对本申请进行若干改进和修饰,这些改进和修饰也落入本申请权利要求的保护范围内。

[0068] 还需要说明的是,在本说明书中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

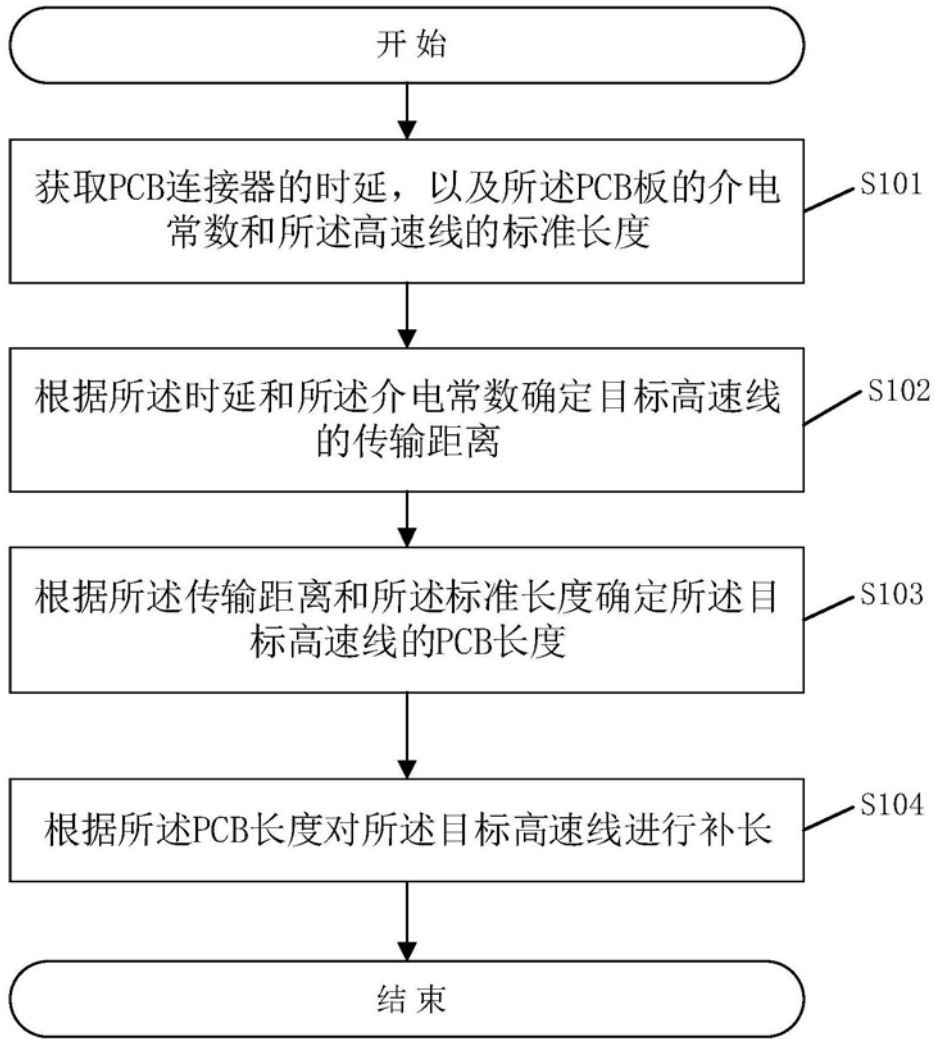


图1

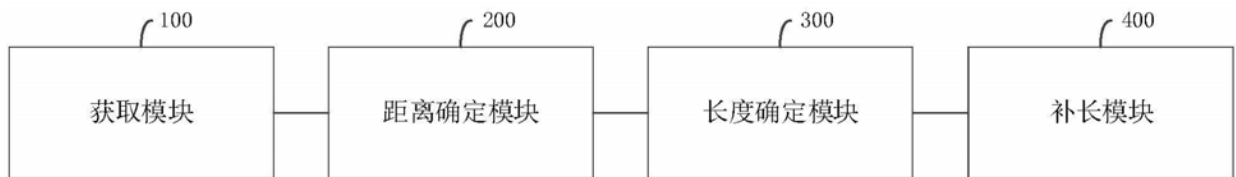


图2