

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4466732号  
(P4466732)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int.Cl.

F I

H O 1 L 21/8244 (2006.01)

H O 1 L 27/10 3 8 1

H O 1 L 27/11 (2006.01)

請求項の数 3 (全 19 頁)

(21) 出願番号 特願2007-319327 (P2007-319327)  
 (22) 出願日 平成19年12月11日(2007.12.11)  
 (65) 公開番号 特開2009-146921 (P2009-146921A)  
 (43) 公開日 平成21年7月2日(2009.7.2)  
 審査請求日 平成21年2月18日(2009.2.18)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 山崎 大輔  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 審査官 粟野 正明

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、

前記半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、

第1記憶ノードに接続する第1転送トランジスタと、

第2記憶ノードに接続する第2転送トランジスタと

を有し、前記第1転送トランジスタを介してビットラインに、前記第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積されており、

前記メモリセルにおいて、前記第1転送トランジスタ、前記第1ドライバトランジスタ、前記第2ドライバトランジスタ及び前記第2転送トランジスタが、前記半導体基板に直線状に区分された第1半導体領域において直列に接続されて配置されており、

前記第1ロードトランジスタが前記半導体基板に区分された第2半導体領域に、前記第2ロードトランジスタが前記半導体基板に区分された第3半導体領域に、それぞれ配置されており、

前記第1半導体領域が、前記第2半導体領域と前記第3半導体領域の間に挟まれるレイアウトとなっており、

前記直線状の前記第1半導体領域が延伸する方向と直交する方向に隣接するメモリセル同士で前記レイアウトが同一であり、

10

20

前記第2半導体領域及び前記第3半導体領域の電源電圧供給のコンタクトが形成される端部が前記直線状の前記第1半導体領域が延伸する方向に隣接するメモリセルに達するまで延伸しており、前記直線状の前記第1半導体領域が延伸する方向に隣接するメモリセルの間で、前記第1ロードトランジスタ及び前記第2ロードトランジスタに対する前記電源電圧供給のコンタクトが共有されている

半導体記憶装置。

【請求項2】

前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを構成するゲート電極が延伸する方向と、前記直線状の前記第1半導体領域が延伸する方向との交差する角度が45度より大きいレイアウトで構成されている

10

請求項1に記載の半導体記憶装置。

【請求項3】

前記直線状の前記第1半導体領域が延伸する方向との直交する方向に延伸するゲート電極が形成されており、前記第1ドライバトランジスタ及び前記第1ロードトランジスタに共有されるゲート電極と、前記第2ドライバトランジスタ及び前記第2ロードトランジスタに共有されるゲート電極となっている

請求項1または2に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体記憶装置及びその製造方法に関し、特に、SRAM (Static Random Access Memory) メモリセルを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体記憶装置としては、例えばDRAM (Dynamic Random Access Memory) 及びSRAM (Static Random Access Memory) などが広く用いられている。

SRAMのメモリセルは、いくつかのタイプが知られている。例えば、最小で2つのPMOS (p-channel metal-oxide-semiconductor) トランジスタと4つのNMOS (n-channel metal-oxide-semiconductor) トランジスタの計6つのMOSFET (MOS field effect transistor) から構成される。

30

【0003】

SRAMは、DRAMのようなトランジスタ以外にメモリ専用のキャパシタなどが必要となる半導体記憶装置に比較して、ピュアロジックプロセスとの親和性も良く、また、DRAMのような記憶データのリフレッシュ動作が不要で周辺回路を簡易化でき、高速アクセスが可能である利点を有し、キャッシュメモリや携帯端末のメモリなどの高速性や簡易性が要求される比較的小容量の記憶装置として広く使用されている。

【0004】

図9(a)は6つのMOSFETを有するSRAMメモリセルの等価回路図である。

例えば、2つのPMOSTランジスタである第1ロードトランジスタLT<sub>r1</sub>と第2ロードトランジスタLT<sub>r2</sub>、2つのNMOSTランジスタである第1ドライバトランジスタDT<sub>r1</sub>と第2ドライバトランジスタDT<sub>r2</sub>、2つのNMOSTランジスタである第1転送トランジスタTT<sub>r1</sub>と第2転送トランジスタTT<sub>r2</sub>を有する。

40

【0005】

第1ロードトランジスタLT<sub>r1</sub>と第1ドライバトランジスタDT<sub>r1</sub>は、ドレインが第1記憶ノードNDに、ゲートが第2記憶ノードND'にそれぞれ接続されている。第1ロードトランジスタLT<sub>r1</sub>のソースは電源電圧V<sub>c</sub>に、第1ドライバトランジスタDT<sub>r1</sub>のソースは基準電位V<sub>s</sub>にそれぞれ接続されている。この第1ロードトランジスタLT<sub>r1</sub>及び第1ドライバトランジスタDT<sub>r1</sub>によって、第2記憶ノードND'を入力、第1記憶ノードNDを出力とする1つのCMOSインバータが形成されている。

50

## 【0006】

また、第2ロードトランジスタLTr2と第2ドライバトランジスタDTr2は、ドレインが第2記憶ノードNDノに、ゲートが第1記憶ノードNDにそれぞれ接続されている。第2ロードトランジスタLTr2のソースは電源電圧Vcに、第2ドライバトランジスタDTr2のソースは基準電位Vsにそれぞれ接続されている。この第2ロードトランジスタLTr2及び第2ドライバトランジスタDTr2によって、第1記憶ノードNDを入力、第2記憶ノードNDノを出力とする1つのCMOSインバータが形成されている。

## 【0007】

上述した第1ロードトランジスタLTr1及び第1ドライバトランジスタDTr1によるCMOSインバータと、第2ロードトランジスタLTr2及び第2ドライバトランジスタDTr2によるCMOSインバータとは、互いの入力及び出力がリング状に接続されており、これにより1つの記憶回路が構成されている。

10

## 【0008】

また、第1転送トランジスタTTr1は、ゲートがワードラインWLに、ドレインがビットラインBLに、ソースが第1記憶ノードNDにそれぞれ接続されている。もう1つの第2転送トランジスタTTr2は、ゲートがワードラインWLに、ドレインが反転ビットラインBLノに、ソースが第2記憶ノードNDノにそれぞれ接続されている。

## 【0009】

図9(b)は、従来例に係る1メモリセルのレイアウトを示す平面図である。

近年、半導体記憶装置は集積度を高めるため、メモリセル面積の縮小化が進んでおり、90nm世代及び65nm世代のSRAMでは、図9(b)に示すような点対称型のセルが多用されている。

20

## 【0010】

図9(b)に示すように、第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2が素子分離絶縁膜Iで分離されている。第1P型半導体領域P1、第2P型半導体領域P2、第1N型半導体領域N1及び第2N型半導体領域N2は、例えばそれぞれ半導体基板に形成されたウェルで構成される。

## 【0011】

上記の各半導体領域上を横切るように第1ゲート電極G1、第2ゲート電極G2、第3ゲート電極G3、第4ゲート電極G4が図示のレイアウトで形成され、さらに各ゲート電極の形成領域を除く領域の各半導体領域の表層部分にソースドレイン領域が形成されて、2つのPMOSTランジスタである第1ロードトランジスタLTr1及び第2ロードトランジスタLTr2、2つのNMOSTランジスタである第1ドライバトランジスタDTr1及び第2ドライバトランジスタDTr2、2つのNMOSTランジスタである第1転送トランジスタTTr1及び第2転送トランジスタTTr2がそれぞれ構成されている。

30

## 【0012】

ここで、PMOSTランジスタである第1ロードトランジスタLTr1のソースドレイン領域から、第3ゲート電極G3に及ぶ領域までが連通して開口され、第3ゲート電極G3と第1ロードトランジスタLTr1のソースドレイン領域を接続する共通コンタクトSCT1が形成されている。

40

また、第1ドライバトランジスタDTr1と第1転送トランジスタTTr1を接続するソースドレイン領域に開口部が形成されて、コンタクトCCT1が形成されている。

共通コンタクトSCT1とコンタクトCCT1は上層配線で接続され、この部分が図9(a)に示す第1記憶ノードNDとなる。

## 【0013】

一方、PMOSTランジスタである第2ロードトランジスタLTr2のソースドレイン領域から、第1ゲート電極G1に及ぶ領域までが連通して開口され、第1ゲート電極G1と第2ロードトランジスタLTr2のソースドレイン領域を接続する共通コンタクトSCT2が形成されている。

また、第2ドライバトランジスタDTr2と第2転送トランジスタTTr2を接続する

50

ソースドレイン領域に開口部が形成されて、コンタクトCT2が形成されている。

共通コンタクトSCT2とコンタクトCT2は上記と同様に上層配線で接続され、この部分が図9(a)に示す第2記憶ノードNDノとなる。

【0014】

また、上記以外のソースドレイン領域は、それぞれコンタクトを介して上層配線に接続され、電源電圧Vc、基準電位Vs、ビットラインBLあるいは反転ビットラインBLノに接続されている。

上記のようにして、1つのメモリセルMCが構成されている。

【0015】

上記の構成のSRAMでは、1メモリセル中にNMOSTランジスタとPMOSTランジスタを有しており、メモリセル面積の縮小化に伴って、NMOSTランジスタとPMOSTランジスタの間隔が狭くなっていく。これにより、半導体基板に形成される、NMOSTランジスタ用の第1P型半導体領域P1及び第2P型半導体領域P2と、PMOSTランジスタ用の第1N型半導体領域N1及び第2N型半導体領域N2の間隔が狭くなっていく。

10

【0016】

上記のメモリセルの構成を有するSRAMの製造方法について説明する。

図10(a)は、上記のメモリセルの構成を有するSRAMの製造方法における、半導体基板に第1P型半導体領域及び第2P型半導体領域をウェルとして形成する工程までを示す平面図であり、図10(b)は模式的な断面図である。

20

ここで、図面上、隣接する2つのメモリセル(MC1, 2)について示しており、メモリセルMC1の領域に第1P型半導体領域P1及び第2P型半導体領域P2と、PMOSTランジスタ用の第1N型半導体領域N1及び第2N型半導体領域N2を、メモリセルMC2の領域に第1P型半導体領域P3及び第2P型半導体領域P4と、PMOSTランジスタ用の第1N型半導体領域N3及び第2N型半導体領域N4を形成するものとする。

【0017】

例えば、まず、半導体基板10に素子分離絶縁膜Iを形成して活性領域を区分し、第1P型半導体領域(P1, P3)及び第2P型半導体領域(P2, P4)となる領域をレジスト膜などのマスクで保護し、n型の導電性不純物をイオン注入して、第1N型半導体領域(N1, N3)及び第2N型半導体領域(N2, N4)を形成する。

30

次に、例えば、図10(a)及び(b)に示すように、第1N型半導体領域(N1, N3)及び第2N型半導体領域(N2, N4)をレジスト膜などのマスクMKで保護し、p型の導電性不純物をイオン注入して、第1P型半導体領域(P1, P3)及び第2P型半導体領域(P2, P4)を形成する。

上記の工程における導電性不純物のイオン注入は、半導体基板10の表面に対して角度をもたせて行う。

【0018】

ここで、第1P型半導体領域(P1, P3)及び第2P型半導体領域(P2, P4)を形成する工程において、第1N型半導体領域(N1, N3)及び第2N型半導体領域(N2, N4)を保護するマスクMKの形成位置がずれてしまった場合について考える。

40

【0019】

図11(a)は、半導体基板に第1P型半導体領域及び第2P型半導体領域をウェルとして形成する工程の平面図であり、マスクMKは、本来のマスク位置MK0から図面上右側にずれてしまった場合を示している。図11(b)は隣接メモリセルのパターンの関係を示す模式図である。

上記の場合、マスクMKは、メモリセルMC1において、第1P型半導体領域P1からは遠くなるが、第2P型半導体領域P2には近づいてしまう。

一方、メモリセルMC2においては、第2P型半導体領域P4からは遠くなるが、第1P型半導体領域P3には近づいてしまう。これは、MC1, 2間でコンタクトを共有化するなどの目的のために、図11(b)に示すように、メモリセルMC1とメモリセルMC

50

2のレイアウトは左右が反転した位置関係となっているためである。

【0020】

図12は従来例に係る問題点を説明するための模式図である。図10及び図11に対してNMOS領域 $A_{NMOS}$ とPMOS領域 $A_{PMOS}$ を拡大して示している。

上記のようにマスクMKが第2P型半導体領域P2に近づくと、図12に示すように、斜めにイオン注入(II)していることに起因してマスクMKの影となる領域SHには十分な注入が施されなくなる。

この結果、導電性不純物が設計の濃度で注入されなかったトランジスタにおいてはトランジスタ特性が変動することになる。上記にメモリセルMC1においては、第1P型半導体領域P1と第2P型半導体領域P2で不純物濃度が変動するので、第1ドライバトランジスタDT<sub>r1</sub>及び第1転送トランジスタTT<sub>r1</sub>と、第2ドライバトランジスタDT<sub>r2</sub>及び第2転送トランジスタTT<sub>r2</sub>とで性能が変動してしまう。

10

【0021】

上記のように同一メモリセル内で対をなすトランジスタの特性が大きく異なってしまうことから、SRAMの書き込み、保持、読み出しの各特性が劣化することになる。

【0022】

上記のメモリセルMC1とメモリセルMC2では、レイアウトが反転しているために、マスクMKがずれる方向が逆であるので、メモリセルMC1とメモリセルMC2におけるトランジスタの特性のずれかたは逆となる。すなわち、メモリセル間での特性のバラツキが生じ、SRAMとしての上記各特性が劣化することになる。

20

【0023】

特許文献1には、上記と異なり、SRAMの1つのメモリセルを構成する第1転送トランジスタTT<sub>r1</sub>、第1ドライバトランジスタDT<sub>r1</sub>、第2ドライバトランジスタDT<sub>r2</sub>及び第2転送トランジスタTT<sub>r2</sub>が直列に直線状に配置されたレイアウトが開示されている。

特許文献1に記載のレイアウトでは、コンタクトの共有化などの目的を考慮しても、隣に配置されるメモリセルは上記と同様に左右反転させるのが自然であり、この場合、マスクMKに位置ずれが発生するとメモリセル間での特性のバラツキが生じ、SRAMとしての上記各特性が劣化することになる。

30

【特許文献1】特開2000-31298号公報

【発明の開示】

【発明が解決しようとする課題】

【0024】

本発明の目的は、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制できる半導体記憶装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0025】

本発明の半導体記憶装置は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、前記半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、第1記憶ノードに接続する第1転送トランジスタと、第2記憶ノードに接続する第2転送トランジスタとを有し、前記第1転送トランジスタを介してビットラインに、前記第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置であって、前記メモリセルにおいて、前記第1転送トランジスタ、前記第1ドライバトランジスタ、前記第2ドライバトランジスタ及び前記第2転送トランジスタが、前記半導体基板に直線状に区分された第1半導体領域において直列に接続されて配置されており、前記第1ロードトランジスタが前記半導体基板に区分された第2半導体領域に、前記第2ロードトランジスタが前記半導体基板に区分された第3半導体領域に、それぞれ配置されており、前記第1半導体領域が、前記第2半導体領域と前記第3半導体領域の間に挟まれるレイアウトとなっていることを特徴と

40

50

する。

【0026】

上記の本発明の半導体記憶装置は、1つのメモリセルが、第1ドライバトランジスタ、第1ロードトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ、第2ロードトランジスタ、第2転送トランジスタの6個のトランジスタを有しており、第1ドライバトランジスタと第1ロードトランジスタが第1インバータとなって第1記憶ノードが構成され、第2ドライバトランジスタと第2ロードトランジスタが第2インバータとなって第2記憶ノードが構成され、第1記憶ノードに第1転送トランジスタを介してビットラインが接続され、第2記憶ノードに第2転送トランジスタを介して反転ビットラインが接続されており、上記のメモリセルが複数個集積されている。

10

ここで、メモリセルにおいて、第1転送トランジスタ、第1ドライバトランジスタ、第2ドライバトランジスタ及び第2転送トランジスタが、半導体基板に直線状に区分された第1半導体領域において直列に接続されて配置されており、第1ロードトランジスタが半導体基板に区分された第2半導体領域に、第2ロードトランジスタが半導体基板に区分された第3半導体領域に、それぞれ配置されており、第1半導体領域が、第2半導体領域と第3半導体領域の間に挟まれるレイアウトとなっている。

【0027】

また、本発明の半導体記憶装置の製造方法は、半導体基板に形成された第1ドライバトランジスタと第1ロードトランジスタを有して第1記憶ノードが構成される第1インバータと、前記半導体基板に形成された第2ドライバトランジスタと第2ロードトランジスタを有して第2記憶ノードが構成される第2インバータと、第1記憶ノードに接続する第1転送トランジスタと、第2記憶ノードに接続する第2転送トランジスタとを有し、前記第1転送トランジスタを介してビットラインに、前記第2転送トランジスタを介して反転ビットラインに接続するメモリセルが複数個集積された半導体記憶装置の製造方法であって、前記半導体基板に、前記第1転送トランジスタ、前記第1ドライバトランジスタ、前記第2ドライバトランジスタ及び前記第2転送トランジスタが直列に接続されて形成されるように直線状に区分された第1半導体領域を形成し、前記第1ロードトランジスタが形成されるように区分された第2半導体領域及び前記第2ロードトランジスタが形成されるように区分された第3半導体領域を形成する工程と、前記第1半導体領域、前記第2半導体領域及び前記第3半導体領域において、前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを構成するゲート絶縁膜を形成する工程と、前記第1半導体領域、前記第2半導体領域及び前記第3半導体領域において、前記ゲート絶縁膜上に、前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを構成するゲート電極を形成する工程と、前記第1半導体領域、前記第2半導体領域及び前記第3半導体領域において、前記第1ドライバトランジスタ、前記第1ロードトランジスタ、前記第1転送トランジスタ、前記第2ドライバトランジスタ、前記第2ロードトランジスタ及び前記第2転送トランジスタを構成するソースドレイン領域を形成する工程とを有し、前記半導体基板に、前記第1半導体領域、前記第2半導体領域及び前記第3半導体領域を形成する工程において、前記第1半導体領域が、前記第2半導体領域と前記第3半導体領域の間に挟まれるレイアウトとして形成することを特徴とする。

20

30

40

【0028】

上記の本発明の半導体記憶装置の製造方法は、1つのメモリセルが、第1ドライバトランジスタ、第1ロードトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ、第2ロードトランジスタ、第2転送トランジスタの6個のトランジスタを有しており、第1ドライバトランジスタと第1ロードトランジスタが第1インバータとなって第1記憶ノードが構成され、第2ドライバトランジスタと第2ロードトランジスタが第2インバータとなって第2記憶ノードが構成され、第1記憶ノードに第1転送トランジスタを介して

50

ビットラインが接続され、第2記憶ノードに第2転送トランジスタを介して反転ビットラインが接続され、上記のメモリセルが複数個集積された半導体記憶装置の製造方法であって、まず、半導体基板に、第1転送トランジスタ、第1ドライバトランジスタ、第2ドライバトランジスタ及び第2転送トランジスタが直列に接続されて形成されるように直線状に区分された第1半導体領域を形成し、第1ロードトランジスタが形成されるように区分された第2半導体領域及び第2ロードトランジスタが形成されるように区分された第3半導体領域を形成する。ここで、第1半導体領域が、第2半導体領域と第3半導体領域の間に挟まれるレイアウトとして形成する。

次に、第1半導体領域、第2半導体領域及び第3半導体領域において、上記の各トランジスタを構成するゲート絶縁膜を形成し、ゲート絶縁膜上に、上記の各トランジスタを構成するゲート電極を形成し、上記の各トランジスタを構成するソースドレイン領域を形成する。

10

#### 【発明の効果】

##### 【0029】

本発明の半導体記憶装置は、第1ドライバトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ及び第2転送トランジスタを構成する第1半導体領域が、第1ロードトランジスタを構成する第2半導体領域と第2ロードトランジスタを構成する第3半導体領域の間に挟まれるレイアウトとなっており、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制することができる。

##### 【0030】

20

本発明の半導体記憶装置の製造方法は、第1ドライバトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ及び第2転送トランジスタを構成する第1半導体領域が、第1ロードトランジスタを構成する第2半導体領域と第2ロードトランジスタを構成する第3半導体領域の間に挟まれるレイアウトとして形成するので、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制することができる。

#### 【発明を実施するための最良の形態】

##### 【0031】

以下、本発明の実施形態に係る半導体記憶装置及びその製造方法について図面を参照して説明する。

##### 【0032】

30

#### 第1実施形態

図1は本実施形態に係る半導体記憶装置であるSRAMにおける6つのMOSFETを有する1つのメモリセルの等価回路図である。本実施形態に係るSRAMは、この構成のメモリセルが複数個集積されている。

各メモリセルMCは、例えば、2つのPMOSTランジスタである第1ロードトランジスタLT<sub>r1</sub>と第2ロードトランジスタLT<sub>r2</sub>、2つのNMOSTランジスタである第1ドライバトランジスタDT<sub>r1</sub>と第2ドライバトランジスタDT<sub>r2</sub>、2つのNMOSTランジスタである第1転送トランジスタTT<sub>r1</sub>と第2転送トランジスタTT<sub>r2</sub>を有する。

##### 【0033】

40

例えば、第1ロードトランジスタLT<sub>r1</sub>と第1ドライバトランジスタDT<sub>r1</sub>は、ドレインが第1記憶ノードNDに、ゲートが第2記憶ノードND/にそれぞれ接続されている。第1ロードトランジスタLT<sub>r1</sub>のソースは電源電圧V<sub>c</sub>に、第1ドライバトランジスタDT<sub>r1</sub>のソースは基準電位V<sub>s</sub>にそれぞれ接続されている。第1ロードトランジスタLT<sub>r1</sub>及び第1ドライバトランジスタDT<sub>r1</sub>によって、第2記憶ノードND/を入力、第1記憶ノードNDを出力とする第1CMOSインバータが形成されている。

##### 【0034】

また、例えば、第2ロードトランジスタLT<sub>r2</sub>と第2ドライバトランジスタDT<sub>r2</sub>は、ドレインが第2記憶ノードND/に、ゲートが第1記憶ノードNDにそれぞれ接続されている。第2ロードトランジスタLT<sub>r2</sub>のソースは電源電圧V<sub>c</sub>に、第2ドライバト

50

ランジスタDT<sub>r2</sub>のソースは基準電位V<sub>s</sub>にそれぞれ接続されている。第2ロードトランジスタLT<sub>r2</sub>及び第2ドライバトランジスタDT<sub>r2</sub>によって、第1記憶ノードNDを入力、第2記憶ノードNDノを出力とする第2CMOSインバータが形成されている。

【0035】

例えば、上述した第1ロードトランジスタLT<sub>r1</sub>及び第1ドライバトランジスタDT<sub>r1</sub>による第1CMOSインバータと、第2ロードトランジスタLT<sub>r2</sub>及び第2ドライバトランジスタDT<sub>r2</sub>による第2CMOSインバータとは、互いの入力及び出力がリング状に接続されており、これによりフリップフロップと呼ばれる1つの記憶回路が構成されている。

【0036】

また、例えば、第1転送トランジスタTT<sub>r1</sub>は、ゲートがワードラインWLに、ドレインがビットラインBLに、ソースが第1記憶ノードNDにそれぞれ接続されている。第2転送トランジスタTT<sub>r2</sub>は、ゲートがワードラインWLに、ドレインが反転ビットラインBLノに、ソースが第2記憶ノードNDノにそれぞれ接続されている。

【0037】

図2は、本実施形態に係るSRAMにおける1つのメモリセルのレイアウトを示す平面図である。

例えば、半導体基板に、P型半導体領域(第1半導体領域)P、第1N型半導体領域(第2半導体領域)N<sub>1</sub>及び第2N型半導体領域(第3半導体領域)N<sub>2</sub>が素子分離絶縁膜Iで区分されて形成されている。P型半導体領域P、第1N型半導体領域N<sub>1</sub>及び第2N型半導体領域N<sub>2</sub>は、例えばそれぞれウェルなどから構成される。

【0038】

ここで、上記のメモリセルMCにおいて、第1転送トランジスタTT<sub>r1</sub>、第1ドライバトランジスタDT<sub>r1</sub>、第2ドライバトランジスタDT<sub>r2</sub>及び第2転送トランジスタTT<sub>r2</sub>が、半導体基板に直線状に区分されたP型半導体領域(第1半導体領域)Pにおいて直列に接続されて配置されており、第1ロードトランジスタLT<sub>r1</sub>が半導体基板に区分された第1N型半導体領域(第2半導体領域)N<sub>1</sub>に、第2ロードトランジスタLT<sub>r2</sub>が半導体基板に区分された第2N型半導体領域(第3半導体領域)N<sub>2</sub>に、それぞれ配置されており、第1半導体領域が、第2半導体領域と第3半導体領域の間に挟まれるレイアウトとなっている。

即ち、上記のトランジスタのレイアウト構成となるように、上記の各半導体領域上を横切るように第1ゲート電極G<sub>1</sub>、第2ゲート電極G<sub>2</sub>、第3ゲート電極G<sub>3</sub>、第4ゲート電極G<sub>4</sub>が図示のレイアウトで形成され、さらに各ゲート電極の形成領域を除く領域の各半導体領域の表層部分にソースドレイン領域が形成されている。

例えば、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向との直交する方向に延伸するゲート電極(第2ゲート電極G<sub>2</sub>、第3ゲート電極G<sub>3</sub>)が形成されており、第1ドライバトランジスタDT<sub>r1</sub>及び第1ロードトランジスタLT<sub>r1</sub>に共有されるゲート電極(第2ゲート電極G<sub>2</sub>)と、第2ドライバトランジスタDT<sub>r2</sub>及び第2ロードトランジスタLT<sub>r2</sub>に共有されるゲート電極(第3ゲート電極G<sub>3</sub>)となっている。

【0039】

また、PMOSトランジスタである第1ロードトランジスタLT<sub>r1</sub>のソースドレイン領域から、第3ゲート電極G<sub>3</sub>に及ぶ領域までが連通して開口され、第3ゲート電極G<sub>3</sub>と第1ロードトランジスタLT<sub>r1</sub>のソースドレイン領域を接続する共通コンタクトSCT<sub>1</sub>が形成されている。第1ドライバトランジスタDT<sub>r1</sub>と第1転送トランジスタTT<sub>r1</sub>を接続するソースドレイン領域に開口部が形成されて、コンタクトCT<sub>1</sub>が形成されている。

共通コンタクトSCT<sub>1</sub>とコンタクトCT<sub>1</sub>は不図示の上層配線で接続され、この部分が第1記憶ノードNDとなる。

【0040】

一方、PMOSトランジスタである第2ロードトランジスタLT<sub>r2</sub>のソースドレイン

10

20

30

40

50

領域から、第2ゲート電極G2に及ぶ領域までが連通して開口され、第2ゲート電極G2と第2ロードトランジスタLT<sub>r2</sub>のソースドレイン領域を接続する共通コンタクトSCT2が形成されている。第2ドライバトランジスタDT<sub>r2</sub>と第2転送トランジスタTT<sub>r2</sub>を接続するソースドレイン領域に開口部が形成されて、コンタクトCT2が形成されている。

共通コンタクトSCT2とコンタクトCT2は不図示の上層配線で接続され、この部分が第2記憶ノードNDノとなる。

#### 【0041】

また、第1転送トランジスタTT<sub>r1</sub>及び第2転送トランジスタTT<sub>r2</sub>のゲート電極である第1ゲート電極G1及び第4ゲート電極G4に対してコンタクトCT<sub>wL</sub>が開口され、これを介して上層配線に接続され、ワードラインWLに接続されている。

10

また、第1転送トランジスタTT<sub>r1</sub>のコンタクトCT1側と反対側のソースドレイン領域に対してコンタクトCT<sub>BL</sub>が開口され、これを介して上層配線に接続され、ビットラインBLに接続されており、さらに、第2転送トランジスタTT<sub>r2</sub>のコンタクトCT2側と反対側のソースドレイン領域に対してコンタクトCT<sub>BL/</sub>が開口され、これを介して上層配線に接続され、反転ビットラインBL/に接続されている。

#### 【0042】

また、第1ドライバトランジスタDT<sub>r1</sub>と第2ドライバトランジスタDT<sub>r2</sub>を接続するソースドレイン領域に対してコンタクトCT<sub>vS</sub>が開口され、これを介して上層配線に接続され、基準電位V<sub>s</sub>に接続されている。

20

また、第1ロードトランジスタLT<sub>r1</sub>の共通コンタクトSCT1側と反対側のソースドレイン領域に対してコンタクトCT<sub>vC</sub>が開口され、第2ロードトランジスタLT<sub>r2</sub>の共通コンタクトSCT2側と反対側のソースドレイン領域に対してコンタクトCT<sub>vC</sub>が開口され、これらを介して上層配線に接続され、電源電圧V<sub>c</sub>に接続されている。

#### 【0043】

上記の構成のメモリセルを有するSRAMは、第1ドライバトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ及び第2転送トランジスタを構成する第1半導体領域が、第1ロードトランジスタを構成する第2半導体領域と第2ロードトランジスタを構成する第3半導体領域の間に挟まれるレイアウトとなっており、下記に詳細に説明するように、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制することができる。

30

#### 【0044】

本実施形態に係るSRAMにおいて、好ましくは、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向と直行する方向に隣接するメモリセル同士で、メモリセルのレイアウトが同一である。

これにより、下記に詳細に説明するように、製造工程においてマスクが位置ずれしたときのメモリセル間での特性のバラツキを抑制することができる。

#### 【0045】

また、本実施形態のSRAMにおいて、図2に示すように、第1ドライバトランジスタDT<sub>r1</sub>と第2ドライバトランジスタDT<sub>r2</sub>を接続するソースドレイン領域に対する基準電位V<sub>s</sub>に接続されるコンタクトCT<sub>vS</sub>は、1つのコンタクトで実現されている。

40

例えば、従来例に係る構成では、2個のコンタクトに別れて形成されていたため、コンタクト抵抗の差が生じると、図1に示す寄生抵抗R<sub>1</sub>、R<sub>2</sub>に差が生じて、セルの対称性を低下させ、メモリセルの特性を低下させる要因となっていたが、本実施形態においては、上記のように1つのコンタクトで実現されているので寄生抵抗R<sub>1</sub>、R<sub>2</sub>に差は生じず、メモリセルの上記特性の低下を抑制することができる。

#### 【0046】

次に、本実施形態に係る半導体記憶装置(SRAM)の製造方法について説明する。

図3(a)は、上記のメモリセルの構成を有するSRAMの製造方法における、半導体基板にP型半導体領域(第1半導体領域)をウェルとして形成する工程までを示す平面図

50

であり、図3(b)は模式的な断面図である。

ここで、図面上、隣接する3つのメモリセル(MC1, 2, 3)について示しており、メモリセルMC1の領域にNMOSTランジスタ用のP型半導体領域P1と、PMOSTランジスタ用の第1N型半導体領域N1及び第2N型半導体領域N2を、メモリセルMC2の領域にNMOSTランジスタ用のP型半導体領域P2と、PMOSTランジスタ用の第1N型半導体領域N3及び第2N型半導体領域N4を、メモリセルMC3の領域にNMOSTランジスタ用のP型半導体領域P3と、PMOSTランジスタ用の第1N型半導体領域N5及び第2N型半導体領域N6を、それぞれ形成するものとする。

#### 【0047】

まず、例えば、半導体基板10にSTI法などにより素子分離絶縁膜Iを形成して活性領域を区分する。

10

次に、例えば、P型半導体領域(P1, P2, P3)となる領域をレジスト膜などのマスクで保護し、n型の導電性不純物をイオン注入して、第1N型半導体領域(N1, N3, N5)及び第2N型半導体領域(N2, N4, N6)を形成する。

次に、例えば、図3(a)及び(b)に示すように、第1N型半導体領域(N1, N3, N5)及び第2N型半導体領域(N2, N4, N6)をレジスト膜などのマスクMKで保護し、p型の導電性不純物をイオン注入して、P型半導体領域(P1, P2, P3)を形成する。

上記の工程における導電性不純物のイオン注入は、半導体基板10の表面に対して角度をもたせて行う。

20

#### 【0048】

ここで、P型半導体領域(P1, P2, P3)を形成する工程において、第1N型半導体領域(N1, N3, N5)及び第2N型半導体領域(N2, N4, N6)を保護するマスクMKの形成位置がずれてしまった場合について考える。

図4(a)は、半導体基板にP型半導体領域をウェルとして形成する工程の平面図であり、図4(b)は模式的な断面図である。マスクMKは、本来のマスク位置MK<sub>0</sub>から図面上右側にずれてしまった場合を示している。

#### 【0049】

上記の場合、マスクMKはP型半導体領域Pに近づくことになる。マスクMKが近づいた側から斜めに不純物イオンを注入する場合、マスクMKの影となる領域には十分な注入が施されなくなるが、本実施形態のSRAMメモリセルのレイアウトでは、同一メモリセル内の第1ドライバトランジスタと第2ドライバトランジスタ、あるいは、第1転送トランジスタと第2転送トランジスタは、それぞれ同等にマスクMKの影となる領域が発生するため、例え十分な注入が施されない領域が発生しても、形成されるトランジスタの特性は実質的に同等のものとなる。従って、同一メモリセル内で対をなすトランジスタの特性を同等に保持することができ、SRAMの書き込み、保持、読み出しの各特性の劣化を抑制することができる。

30

#### 【0050】

次に、例えば、P型半導体領域(P1, P2, P3)、第1N型半導体領域(N1, N3, N5)及び第2N型半導体領域(N2, N4, N6)において、熱酸化あるいはCVD(chemical vapor deposition)法により、第1ドライバトランジスタDTr1、第1ロードトランジスタLTr1、第1転送トランジスタTTr1、第2ドライバトランジスタDTr2、第2ロードトランジスタLTr2及び第2転送トランジスタTTr2を構成する不図示のゲート絶縁膜を形成する。

40

#### 【0051】

次に、例えば、CVD法により全面にポリシリコンを堆積させて導電層を形成し、各トランジスタのゲート電極のパターンで保護する不図示のレジスト膜を形成し、エッチング処理を行って導電層とゲート絶縁膜を図2に示すレイアウトの第1ゲート電極G1、第2ゲート電極G2、第3ゲート電極G3、第4ゲート電極G4のパターンに加工することにより、P型半導体領域(P1, P2, P3)、第1N型半導体領域(N1, N3, N5)

50

及び第2 N型半導体領域(N2, N4, N6)において、第1ドライバトランジスタDT r 1、第1ロードトランジスタLT r 1、第1転送トランジスタTT r 1、第2ドライバトランジスタDT r 2、第2ロードトランジスタLT r 2及び第2転送トランジスタTT r 2を構成するゲート電極を形成する。

例えば、第1ドライバトランジスタDT r 1及び第1ロードトランジスタLT r 1に共有されるゲート電極(第2ゲート電極G2)と、第2ドライバトランジスタDT r 2及び第2ロードトランジスタLT r 2に共有されるゲート電極(第3ゲート電極G3)として、直線状のP型半導体領域(P1, P2, P3)が延伸する方向との直交する方向に延伸するゲート電極を形成する。

#### 【0052】

次に、ゲート電極をマスクとして導電性不純物をイオン注入することにより、P型半導体領域(P1, P2, P3)、第1 N型半導体領域(N1, N3, N5)及び第2 N型半導体領域(N2, N4, N6)において、第1ドライバトランジスタDT r 1、第1ロードトランジスタLT r 1、第1転送トランジスタTT r 1、第2ドライバトランジスタDT r 2、第2ロードトランジスタLT r 2及び第2転送トランジスタTT r 2を構成するソースドレイン領域を形成する。

ここでは、ゲート電極の側部にサイドウォールスペーサを形成し、その形成の前後にイオン注入をそれぞれ行うことなどにより、エクステンション領域を有するソースドレイン領域とすることも可能である。

#### 【0053】

次に、例えばCVD法により全面に酸化シリコンを堆積させて層間絶縁膜を形成し、各トランジスタのソースドレイン領域に到達するコンタクトホールを開口する。特に、第1ロードトランジスタLT r 1のソースドレイン領域から、第3ゲート電極G3に及ぶ領域まで連通して開口して、共通コンタクトSCT1を形成し、第2ロードトランジスタLT r 2のソースドレイン領域から、第2ゲート電極G2に及ぶ領域まで連通して開口して、共通コンタクトSCT2を形成する。

さらに、例えば、各コンタクトホールに導電層を埋め込んで上層配線を形成する。

上記のようにして、図2に示すレイアウトのSRAMメモリセルを有する半導体記憶装置を製造できる。

#### 【0054】

本実施形態に係る半導体記憶装置(SRAM)の製造方法においては、P型半導体領域を形成する工程において、第1 N型半導体領域及び第2 N型半導体領域を保護するマスクの形成位置がずれてしまい、十分な注入が施されない領域が発生しても、形成される第1ドライバトランジスタと第2ドライバトランジスタ、あるいは、第1転送トランジスタと第2転送トランジスタの特性は実質的に同等のものとなる。従って、同一メモリセル内で対をなすトランジスタの特性を同等に保持することができ、SRAMの書き込み、保持、読み出しの各特性の劣化を抑制することができる。

#### 【0055】

本実施形態に係る半導体記憶装置(SRAM)の製造方法において、好ましくは、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向と直行する方向に隣接するメモリセル同士で、レイアウトが同一とする。即ち、図3(a)及び図4(a)に示すように、上記の方向に隣接するメモリセルMC1, 2, 3が、同一のレイアウトとなっている。

#### 【0056】

図5は上記の隣接メモリセルの構成を説明する模式図である。メモリセルMC1, 2, 3は、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向と直行する方向に隣接するメモリセルである。

ここで、メモリセルMC1, 2, 3のレイアウトは、反転するパターンや回転対称となるパターンではなく、同一のパターンとして形成されている。

従って、製造工程において上記のようにマスクが位置ずれしたときに生じるトランジスタ特性の劣化が、全てのメモリセルで同等に発生することになり、SRAMの書き込み、

10

20

30

40

50

保持、読み出しの各特性がメモリセル間でのバラツキを抑制することができる。

【 0 0 5 7 】

第 2 実施形態

図 6 は、本実施形態に係る S R A M における 1 つのメモリセルのレイアウトを示す平面図である。

第 1 実施形態と同様に、例えば、半導体基板に、P 型半導体領域（第 1 半導体領域）P、第 1 N 型半導体領域（第 2 半導体領域）N 1 及び第 2 N 型半導体領域（第 3 半導体領域）N 2 が素子分離絶縁膜 I で区分されて形成されている。P 型半導体領域 P、第 1 N 型半導体領域 N 1 及び第 2 N 型半導体領域 N 2 は、例えばそれぞれウェルなどから構成される。

10

【 0 0 5 8 】

ここで、上記のメモリセル M C において、第 1 転送トランジスタ T T r 1、第 1 ドライバトランジスタ D T r 1、第 2 ドライバトランジスタ D T r 2 及び第 2 転送トランジスタ T T r 2 が、半導体基板に直線状に区分された P 型半導体領域（第 1 半導体領域）P において直列に接続されて配置されており、第 1 ロードトランジスタ L T r 1 が半導体基板に区分された第 1 N 型半導体領域（第 2 半導体領域）N 1 に、第 2 ロードトランジスタ L T r 2 が半導体基板に区分された第 2 N 型半導体領域（第 3 半導体領域）N 2 に、それぞれ配置されており、第 1 半導体領域が、第 2 半導体領域と第 3 半導体領域の間に挟まれるレイアウトとなっている。

【 0 0 5 9 】

本実施形態においては、第 1 実施形態と異なり、第 1 N 型半導体領域（第 2 半導体領域）N 1 及び第 2 N 型半導体領域（第 3 半導体領域）N 2 の電源電圧供給のコンタクト C T v c が形成される端部が、直線状の P 型半導体領域（第 1 半導体領域）P が延伸する方向に隣接するメモリセルに達するまで延伸しており、直線状の P 型半導体領域（第 1 半導体領域）P が延伸する方向に隣接するメモリセルの間で、第 1 ロードトランジスタ L T r 1 及び第 2 ロードトランジスタ L T r 2 に対する電源電圧供給のコンタクト C T v c が共有されている。

20

【 0 0 6 0 】

上記の構成のメモリセルを有する S R A M は、第 1 実施形態と同様に、第 1 ドライバトランジスタ、第 1 転送トランジスタ、第 2 ドライバトランジスタ及び第 2 転送トランジスタを構成する第 1 半導体領域が、第 1 ロードトランジスタを構成する第 2 半導体領域と第 2 ロードトランジスタを構成する第 3 半導体領域の間に挟まれるレイアウトとなっており、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制することができる。

30

【 0 0 6 1 】

本実施形態に係る S R A M の製造方法は、第 1 N 型半導体領域（第 2 半導体領域）N 1 及び第 2 N 型半導体領域（第 3 半導体領域）N 2 を形成する工程において、第 1 N 型半導体領域（第 2 半導体領域）N 1 及び第 2 N 型半導体領域（第 3 半導体領域）N 2 の電源電圧供給のコンタクト C T v c が形成される端部を直線状の P 型半導体領域（第 1 半導体領域）P が延伸する方向に隣接するメモリセルに達するまで延伸させて形成し、直線状の P 型半導体領域（第 1 半導体領域）P が延伸する方向に隣接するメモリセルの間で、第 1 ロードトランジスタ L T r 1 及び第 2 ロードトランジスタ L T r 2 に対する電源電圧供給のコンタクト C T v c を共有するように形成する。

40

上記を除いて、実質的に第 1 実施形態と同様である。

【 0 0 6 2 】

本実施形態に係る S R A M の製造方法においては、第 1 実施形態と同様に、P 型半導体領域を形成する工程において、第 1 N 型半導体領域及び第 2 N 型半導体領域を保護するマスクの形成位置がずれてしまい、十分な注入が施されない領域が発生しても、形成される第 1 ドライバトランジスタと第 2 ドライバトランジスタ、あるいは、第 1 転送トランジスタと第 2 転送トランジスタの特性は実質的に同等のものとなる。従って、同一メモリセル

50

内で対をなすトランジスタの特性を同等に保持することができ、S R A Mの書き込み、保持、読み出しの各特性の劣化を抑制することができる。

【 0 0 6 3 】

本実施形態に係る半導体記憶装置（S R A M）の製造方法において、好ましくは、直線状のP型半導体領域（第1半導体領域）Pが延伸する方向と直行する方向に隣接するメモリセル同士で、レイアウトが同一とする。

本実施形態においても、直線状のP型半導体領域（第1半導体領域）Pが延伸する方向と直行する方向に隣接するメモリセル間で、反転するパターンや回転対称となるパターンではなく、同一のパターンのレイアウトであることが好ましく、これにより、製造工程において上記のようにマスクが位置ずれしても、S R A Mの書き込み、保持、読み出しの各特性のメモリセル間でのバラツキを抑制することができる。

10

【 0 0 6 4 】

第3実施形態

図7は、本実施形態に係るS R A Mにおける1つのメモリセルのレイアウトを示す平面図である。

第1実施形態と同様に、例えば、半導体基板に、P型半導体領域（第1半導体領域）P、第1N型半導体領域（第2半導体領域）N1及び第2N型半導体領域（第3半導体領域）N2が素子分離絶縁膜Iで区分されて形成されている。P型半導体領域P、第1N型半導体領域N1及び第2N型半導体領域N2は、例えばそれぞれウェルなどから構成される。

20

【 0 0 6 5 】

ここで、上記のメモリセルMCにおいて、第1転送トランジスタTTr1、第1ドライバトランジスタDTr1、第2ドライバトランジスタDTr2及び第2転送トランジスタTTr2が、半導体基板に直線状に区分されたP型半導体領域（第1半導体領域）Pにおいて直列に接続されて配置されており、第1ロードトランジスタLTr1が半導体基板に区分された第1N型半導体領域（第2半導体領域）N1に、第2ロードトランジスタLTr2が半導体基板に区分された第2N型半導体領域（第3半導体領域）N2に、それぞれ配置されており、第1半導体領域が、第2半導体領域と第3半導体領域の間に挟まれるレイアウトとなっている。

【 0 0 6 6 】

本実施形態においては、第1実施形態と異なり、第1ドライバトランジスタDTr1、第1ロードトランジスタLTr1、第1転送トランジスタTTr1、第2ドライバトランジスタDTr2、第2ロードトランジスタLTr2及び第2転送トランジスタTTr2を構成するゲート電極（第1ゲート電極G1、第2ゲート電極G2、第3ゲート電極G3、第4ゲート電極G4）が延伸する方向と、直線状のP型半導体領域（第1半導体領域）Pが延伸する方向との交差する角度が、45度より大きいレイアウトで構成されている。

30

図8は、上記のメモリセルを複数個隣接させて集積させるときの模式図である。

上記レイアウトであることから、1つのメモリセルの形状が矩形形状から一部切り欠けを設けたパターンとすることができ、図8に示すように、切り欠け部と隣接メモリセルの凸状のパターンを隙間なく配置することができる。

40

【 0 0 6 7 】

上記の構成のメモリセルを有するS R A Mは、第1実施形態と同様に、第1ドライバトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ及び第2転送トランジスタを構成する第1半導体領域が、第1ロードトランジスタを構成する第2半導体領域と第2ロードトランジスタを構成する第3半導体領域の間に挟まれるレイアウトとなっており、製造工程においてマスクが位置ずれしてもトランジスタ特性のバラツキを抑制することができる。

【 0 0 6 8 】

本実施形態に係るS R A Mの製造方法は、第1ドライバトランジスタ、第1ロードトランジスタ、第1転送トランジスタ、第2ドライバトランジスタ、第2ロードトランジスタ

50

及び第2転送トランジスタを構成するゲート電極が延伸する方向と、直線状の第1半導体領域が延伸する方向との交差する角度が45度より大きいレイアウトとなるように構成して形成する。

上記を除いて、実質的に第1実施形態と同様である。

【0069】

本実施形態に係るSRAMの製造方法においては、第1実施形態と同様に、P型半導体領域を形成する工程において、第1N型半導体領域及び第2N型半導体領域を保護するマスクの形成位置がずれてしまい、十分な注入が施されない領域が発生しても、形成される第1ドライバトランジスタと第2ドライバトランジスタ、あるいは、第1転送トランジスタと第2転送トランジスタの特性は実質的に同等のものとなる。従って、同一メモリセル内で対をなすトランジスタの特性を同等に保持することができ、SRAMの書き込み、保持、読み出しの各特性の劣化を抑制することができる。

10

【0070】

本実施形態に係る半導体記憶装置(SRAM)の製造方法において、好ましくは、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向と直行する方向に隣接するメモリセル同士で、レイアウトが同一とする。図8に示すように、隣接のメモリセルが隙間なく配置されるレイアウトを実現できる。

本実施形態においても、直線状のP型半導体領域(第1半導体領域)Pが延伸する方向と直行する方向に隣接するメモリセル間で、反転するパターンや回転対称となるパターンではなく、同一のパターンのレイアウトであることが好ましく、これにより、製造工程において上記のようにマスクが位置ずれしても、SRAMの書き込み、保持、読み出しの各特性のメモリセル間でのバラツキを抑制することができる。

20

【0071】

本発明は上記の実施形態に限定されない。

例えば、上記の実施形態においては、1つのメモリセルが6個のトランジスタから構成されるSRAMについて説明したが、1つのメモリセルが8個のトランジスタ、あるいは、10個のトランジスタから構成される、いわゆるデュアルポートSRAMに適用可能である。

その他、本発明の観点を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

30

【0072】

本発明の半導体記憶装置は、例えば1メモリセルが6個のMOSFETを有するSRAMに適用できる。

【0073】

本発明の半導体記憶装置の製造方法は、例えば1メモリセルが6個のMOSFETを有するSRAMの製造方法に適用できる。

【図面の簡単な説明】

【0074】

【図1】図1は本発明の第1実施形態に係る半導体記憶装置であるSRAMにおける6つのMOSFETを有する1つのメモリセルの等価回路図である。

40

【図2】図2は本発明の第1実施形態に係るSRAMにおける1つのメモリセルのレイアウトを示す平面図である。

【図3】図3(a)は本発明の第1実施形態に係るメモリセルの構成を有するSRAMの製造方法における、半導体基板にP型半導体領域(第1半導体領域)をウェルとして形成する工程までを示す平面図であり、図3(b)は模式的な断面図である。

【図4】図4(a)は本発明の第1実施形態に係る半導体記憶装置の製造方法の半導体基板にP型半導体領域をウェルとして形成する工程の平面図であり、図4(b)は模式的な断面図である。

【図5】図5は本発明の第1実施形態に係る隣接メモリセルの構成を説明する模式図である。

50

【図6】図6は本発明の第2実施形態に係るSRAMにおける1つのメモリセルのレイアウトを示す平面図である。

【図7】図7は本発明の第3実施形態に係るSRAMにおける1つのメモリセルのレイアウトを示す平面図である。

【図8】図8は本発明の第3実施形態に係るメモリセルを複数個隣接させて集積させるときの模式図である。

【図9】図9(a)は従来例に係る6つのMOSFETを有するSRAMメモリセルの等価回路図であり、図9(b)は、従来例に係る1メモリセルのレイアウトを示す平面図である。

【図10】図10(a)は、従来例に係るメモリセルの構成を有するSRAMの製造方法における、半導体基板に第1P型半導体領域及び第2P型半導体領域をウェルとして形成する工程までを示す平面図であり、図10(b)は模式的な断面図である。

【図11】図11(a)は、従来例に係る半導体基板に第1P型半導体領域及び第2P型半導体領域をウェルとして形成する工程の平面図であり、図11(b)は隣接メモリセルのパターンの関係を示す模式図である。

【図12】図12は従来例に係る問題点を説明するための模式図である。

【符号の説明】

【0075】

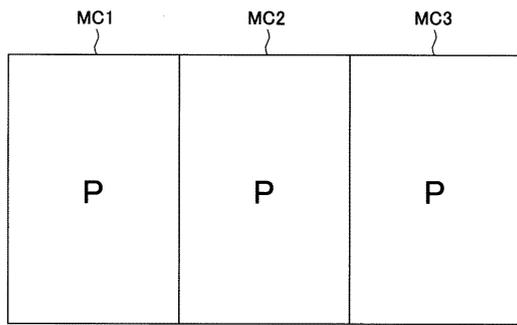
10...半導体基板、MC, MC1, MC2, MC3...メモリセル、P, P1, P2, P3...P型半導体領域、N1, N3, N5...第1N型半導体領域、N2, N4, N6...第2N型半導体領域、LTr1...第1ロードトランジスタ、LTr2...第2ロードトランジスタ、DTr1...第1ドライバトランジスタ、DTr2...第2ドライバトランジスタ、TTr1...第1転送トランジスタ、TTr2...第2転送トランジスタ、I...素子分離絶縁膜、CT1, CT2, CT<sub>WL</sub>, CT<sub>BL</sub>, CT<sub>BL/</sub>, CT<sub>VC</sub>, CT<sub>VS</sub>...コンタクト、SCT1, SCT2...共通コンタクト、WL...ワードライン、BL...ビットライン、BL/...反転ビットライン、ND...第1記憶ノード、ND/...第2記憶ノード、G1...第1ゲート電極、G2...第2ゲート電極、G3...第3ゲート電極、G4...第4ゲート電極、R1, R2...寄生抵抗、MK...マスク層、II...イオン注入、SH...影となる領域、ANMOS...NMOS領域、APMOS...PMOS領域

10

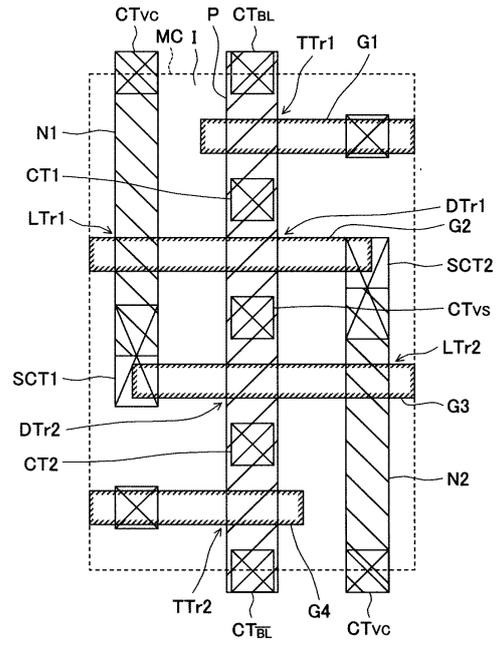
20



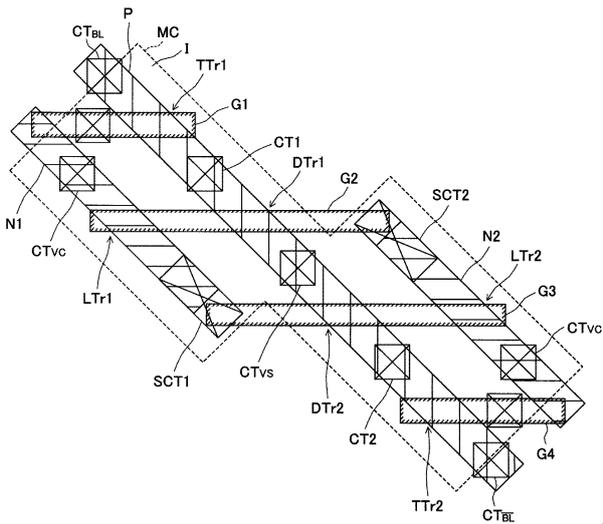
【図5】



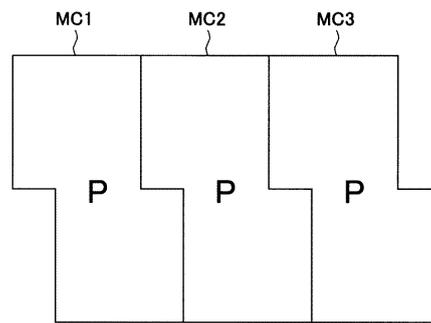
【図6】



【図7】



【図8】





---

フロントページの続き

- (56)参考文献 特開2003-060089(JP,A)  
特開2004-022809(JP,A)  
特開2002-368135(JP,A)  
特開2006-100340(JP,A)  
特開平10-335487(JP,A)  
特開平11-195716(JP,A)  
特開2005-327840(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244  
H01L 27/11