



(12) 发明专利

(10) 授权公告号 CN 112825260 B

(45) 授权公告日 2024.06.28

(21) 申请号 202010546240.7

(22) 申请日 2020.06.16

(65) 同一申请的已公布的文献号
申请公布号 CN 112825260 A

(43) 申请公布日 2021.05.21

(30) 优先权数据
10-2019-0150464 2019.11.21 KR

(73) 专利权人 爱思开海力士有限公司
地址 韩国京畿道

(72) 发明人 李宗勋 朴世泉

(74) 专利代理机构 北京三友知识产权代理有限
公司 11127
专利代理师 刘久亮 黄纶伟

(51) Int.Cl.

G11C 16/04 (2006.01)

G11C 16/08 (2006.01)

G11C 16/10 (2006.01)

G11C 16/24 (2006.01)

G11C 16/34 (2006.01)

(56) 对比文件

CN 107068191 A, 2017.08.18

审查员 王晓春

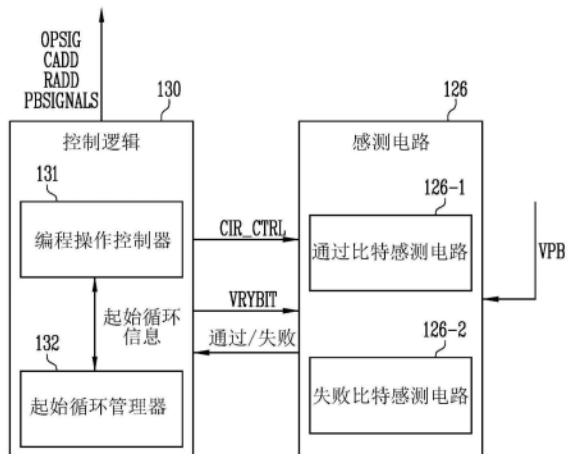
权利要求书3页 说明书21页 附图20页

(54) 发明名称

存储器装置及其操作方法

(57) 摘要

本申请涉及存储器装置及其操作方法。根据操作方法的存储器装置可包括:多个页,其联接到公共字线并且被配置为由不同的选择线依次选择;编程操作控制器,其被配置为对所述多个页当中的要首先编程的第一页执行编程操作;以及起始循环管理器,其被配置为在第一页的编程操作期间生成关于如下编程循环的起始循环信息:与包括在第一页中的存储器单元的阈值电压所形成的多个编程状态中的每一个对应的编程验证在该编程循环中开始。编程操作控制器还被配置为基于起始循环信息对所述多个页当中的要在第一页之后编程的第二页执行编程操作。



1. 一种存储器装置,该存储器装置包括:
多个页,所述多个页联接到公共字线并且由不同的选择线依次选择;
编程操作控制器,该编程操作控制器对所述多个页当中的要首先编程的第一页执行编程操作;以及
起始循环管理器,该起始循环管理器在所述第一页的编程操作期间生成起始循环信息,所述起始循环信息包括与如下编程循环有关的信息:与在所述第一页中包括的存储器单元的阈值电压所形成的多个编程状态中的每一个对应的编程验证在该编程循环中开始,
其中,所述编程操作控制器还基于所述起始循环信息对所述多个页当中的要在所述第一页之后编程的第二页执行编程操作,并且
其中,所述编程操作控制器在对所述第二页的编程操作期间基于所述起始循环信息省略与在所述第二页中包括的存储器单元的阈值电压所形成的多个编程状态中的每一个对应的编程验证。
2. 根据权利要求1所述的存储器装置,其中,所述编程验证包括通过比特检查操作和失败比特检查操作中的任一个,所述通过比特检查操作确定阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量,所述失败比特检查操作确定阈值电压低于所述验证电压的存储器单元的数量是否小于第二基准数量。
3. 根据权利要求2所述的存储器装置,其中,所述起始循环管理器基于对要编程到所述第一页的多个编程状态中的每一个的通过比特检查操作已经通过的编程循环来生成所述起始循环信息。
4. 根据权利要求2所述的存储器装置,其中,所述起始循环管理器生成所述起始循环信息,所述起始循环信息包括与如下编程循环有关的信息:要编程到所述第一页的所述多个编程状态中的每一个的失败比特检查操作在该编程循环中开始。
5. 根据权利要求4所述的存储器装置,其中,所述编程操作控制器基于所述起始循环信息来省略对要编程到所述第二页的多个编程状态的失败比特验证操作。
6. 根据权利要求5所述的存储器装置,其中,所述编程操作控制器在直至紧接于下述特定编程循环之前的编程循环的范围内,省略对要编程到所述第二页的所述多个编程状态中的每一个的所述失败比特验证操作,其中要编程到所述第一页的所述多个编程状态中的每一个的所述失败比特验证操作在该特定编程循环中开始。
7. 根据权利要求2所述的存储器装置,其中,所述编程操作控制器在对所述第一页的编程操作期间,从多个编程状态中的每一个的所述通过比特检查操作已通过的编程循环之后的编程循环开始执行所述失败比特检查操作。
8. 根据权利要求2所述的存储器装置,其中,所述编程操作控制器在所述第一页的编程操作期间,从下述的特定编程循环后执行了预设数量的编程循环之后的编程循环开始,执行所述失败比特检查操作,其中在该特定编程循环中,对多个编程状态中的每一个的所述通过比特检查操作已经通过。
9. 根据权利要求1所述的存储器装置,其中,所述编程操作控制器通过将选择电压依次施加到不同的选择线来对所述多个页依次执行编程操作。
10. 根据权利要求9所述的存储器装置,其中,所述选择线包括漏极选择线或源极选择线。

11. 一种存储器装置,该存储器装置包括:

联接到公共位线的第一单元串和第二单元串;

编程操作控制器,该编程操作控制器对包括在所述第一单元串中的存储器单元当中的联接到公共字线的第一存储器单元和包括在所述第二单元串中的存储器单元当中的联接到所述公共字线的第二存储器单元依次编程;以及

起始循环管理器,该起始循环管理器在所述第一存储器单元的编程操作期间生成起始循环信息,所述起始循环信息包括与如下编程循环有关的信息:与所述第一存储器单元的阈值电压所能够形成的多个编程状态中的每一个对应的编程验证在该编程循环中开始,

其中,基于所述起始循环信息来执行对所述第二存储器单元的编程操作,并且

其中,所述编程操作控制器在对第二页的编程操作期间基于所述起始循环信息来省略与所述第二存储器单元的阈值电压所能够形成的多个编程状态中的每一个对应的编程验证。

12. 根据权利要求11所述的存储器装置,其中,所述编程验证包括通过比特检查操作和失败比特检查操作中的任一个,所述通过比特检查操作确定对应存储器单元的阈值电压是否高于验证电压,所述失败比特检查操作确定对应存储器单元的阈值电压是否低于所述验证电压。

13. 根据权利要求12所述的存储器装置,其中,所述起始循环管理器基于对所述第一存储器单元的阈值电压所能够形成的多个编程状态中的每一个的通过比特检查操作已经通过的编程循环来生成所述起始循环信息。

14. 一种操作存储器装置的方法,其中,该存储器装置包括多个页,所述多个页联接到公共字线并且由不同的选择线依次选择,所述多个页各自具有多个存储器单元,所述方法包括以下步骤:

在对所述多个页当中的要首先编程的第一页的编程操作期间,基于对多个编程状态中的每一个的编程验证已经通过的编程循环来生成起始循环信息,所述起始循环信息包括与如下编程循环有关的信息:后续要编程的页的编程验证在该编程循环中开始;以及

基于所述起始循环信息来对所述多个页当中的要在所述第一页之后编程的第二页进行编程,并且

其中,在对第二页的编程操作期间基于所述起始循环信息来省略与在所述第二页中包括的存储器单元的阈值电压所形成的多个编程状态中的每一个对应的编程验证。

15. 根据权利要求14所述的方法,其中,生成所述起始循环信息的步骤包括以下步骤:基于对所述多个编程状态中的每一个的通过比特检查操作已经通过的编程循环来生成关于对后续要编程的页的失败比特检查操作开始的起始编程循环的所述起始循环信息。

16. 根据权利要求15所述的方法,其中,

所述通过比特检查操作包括确定阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量;并且

所述失败比特检查操作包括确定阈值电压低于所述验证电压的存储器单元的数量是否小于第二基准数量。

17. 根据权利要求16所述的方法,其中,对所述第二页进行编程的步骤包括以下步骤:通过从所述起始编程循环开始执行所述失败比特检查操作来执行编程验证。

18. 根据权利要求14所述的方法,其中,所述选择线是漏极选择线或源极选择线。

存储器装置及其操作方法

技术领域

[0001] 本公开的各种实施方式总体上涉及电子装置,更具体地,涉及一种存储器装置以及操作该存储器装置的方法。

背景技术

[0002] 存储装置是在主机装置(例如,计算机或智能电话)的控制下存储数据的装置。存储装置可包括存储数据的存储器装置以及控制存储器装置的存储控制器。存储器装置被分类为易失性存储器装置或非易失性存储器装置。

[0003] 易失性存储器装置是只有当供电时才存储数据,当供电中断时丢失所存储的数据的存储器装置。易失性存储器装置的示例可包括静态随机存取存储器(SRAM)和动态随机存取存储器(DRAM)。

[0004] 非易失性存储器装置是即使当供电中断时也保持所存储的数据的存储器装置。非易失性存储器装置的示例可包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)和闪存。

发明内容

[0005] 根据本公开的实施方式,一种存储器装置可包括多个页,所述多个页联接到公共字线并且被配置为由不同的选择线依次选择。该存储器装置还可包括编程操作控制器,该编程操作控制器被配置为对所述多个页当中的要首先编程的第一页执行编程操作。该存储器装置还可包括起始循环管理器,该起始循环管理器被配置为在第一页的编程操作期间生成关于如下编程循环的起始循环信息:与包括在第一页中的存储器单元的阈值电压形成的多个编程状态中的每一个对应的编程验证在该编程循环中开始。编程操作控制器可被配置为基于起始循环信息对所述多个页当中的要在第一页之后编程的第二页执行编程操作。

[0006] 根据本公开的实施方式,一种存储器装置可包括联接到公共位线的第一单元串和第二单元串。该存储器装置还可包括编程操作控制器,该编程操作控制器被配置为对包括在第一单元串中的存储器单元当中的联接到公共字线的第一存储器单元和包括在第二单元串中的存储器单元当中的联接到公共字线的第二存储器单元依次编程。该存储器装置还可包括起始循环管理器,该起始循环管理器被配置为在第一存储器单元的编程操作期间生成关于如下编程循环的起始循环信息:与第一存储器单元的阈值电压能够形成的多个编程状态中的每一个对应的编程验证在该编程循环中开始。基于起始循环信息来执行对第二存储器单元的编程操作。

[0007] 根据本公开的实施方式,提出了一种操作存储器装置的方法,其中,该存储器装置包括联接到公共字线并被配置为由不同的选择线依次选择的多个页,所述多个页各自具有多个存储器单元,该方法可包括在对所述多个页当中的要首先编程的第一页的编程操作期间,基于对多个编程状态中的每一个的编程验证通过的编程循环来生成关于后续要编程的页的编程验证开始的编程循环的起始循环信息。该方法还可包括基于起始循环信息来对所

述多个页当中的要在第一页之后编程的第二页进行编程。

附图说明

- [0008] 图1是示出存储器装置的图。
- [0009] 图2是示出根据实施方式的存储器装置100的图。
- [0010] 图3是示出图1的存储器单元阵列的实施方式的图。
- [0011] 图4是示出图3的存储块BLK1至BLKz中的存储块BLKa的电路图。
- [0012] 图5是示出图3的存储块BLK1至BLKz中的存储块BLKb的示例的电路图。
- [0013] 图6是用于说明存储器单元的编程状态的图。
- [0014] 图7是示出编程操作的图。
- [0015] 图8是用于说明在编程操作期间施加到所选字线的电压的图。
- [0016] 图9A和图9B是示出通过比特检查操作和失败比特检查操作的图。
- [0017] 图10是用于说明通过比特检查操作与失败比特检查操作之间的关系关系的图。
- [0018] 图11是示出在对第一页的编程操作期间执行的检查操作的图。
- [0019] 图12是示出在对第一页的编程操作期间在各个编程循环中执行的检查操作的图。
- [0020] 图13是用于说明施加到所选字线的操作电压的图。
- [0021] 图14是用于说明起始循环信息的图。
- [0022] 图15是用于说明在对第二页的编程操作期间在各个编程循环中执行的检查操作的图。
- [0023] 图16是用于说明在对第二页的编程操作期间施加到所选字线的操作电压的图。
- [0024] 图17是示出根据实施方式的编程方法的流程图。
- [0025] 图18是详细示出对第一页执行的编程操作的流程图。
- [0026] 图19是示出存储装置的框图。
- [0027] 图20是示出应用根据本公开的实施方式的存储装置的存储卡系统的框图。
- [0028] 图21是示出应用根据本公开的实施方式的存储装置的固态驱动器 (SSD) 系统的示例的框图。
- [0029] 图22是示出应用根据本公开的实施方式的存储装置的用户系统的框图。

具体实施方式

[0030] 本说明书或申请中介绍的本公开的实施方式中的具体结构或功能描述被举例说明以描述根据本公开的概念的实施方式。根据本公开的概念的实施方式可按照各种形式实践,不应被解释为限于本说明书或申请中描述的实施方式。

[0031] 现在将在下文参照附图更充分地描述本公开的各种实施方式,附图中示出本公开的优选实施方式,以使得本领域技术人员可容易地实践本公开的技术精神。

[0032] 本公开的各种实施方式涉及一种具有缩短的编程操作时间的存储器装置以及操作该存储器装置的方法。

[0033] 图1是示出存储器装置100的图。

[0034] 参照图1,存储器装置100可包括存储器单元阵列110、外围电路120和控制逻辑130。

[0035] 存储器单元阵列110包括多个存储块BLK1至BLKz。多个存储块BLK1至BLKz通过行线RL联接到行解码器121。存储块BLK1至BLKz中的每一个可通过位线BL1至BLn联接到页缓冲器组123。存储块BLK1至BLKz中的每一个包括多个存储器单元。在实施方式中,多个存储器单元可以是非易失性存储器单元。联接到各条字线的存储器单元可被定义为页。因此,单个存储块可包括多个页。

[0036] 在实施方式中,单条字线可联接到多个页。例如,第一至第四页可联接到单条字线。可通过选择源极选择线来选择性地编程、读取或擦除联接到单条字线的多个页。由于多个页联接到同一字线,所以其可具有相似的特性。因此,通过对选自多个页的单个页执行的编程操作获取的起始循环信息可用于对另一页的编程操作。起始循环信息可包括关于在编程验证时段期间要施加的验证电压的信息。另选地,起始循环信息可包括关于对多个编程状态中的每一个的编程验证开始的编程循环的信息。

[0037] 行线RL可包括至少一条源极选择线、多条字线和至少一条漏极选择线。

[0038] 包括在存储器单元阵列110中的各个存储器单元可被实现为能够存储一个数据比特的单级单元(SLC)、能够存储两个数据比特的多级单元(MLC)、能够存储三个数据比特的三级单元(TLC)或者能够存储四个数据比特的四级单元(QLC)。

[0039] 外围电路120可在控制逻辑130的控制下对存储器单元阵列110的所选区域执行编程操作、读操作或擦除操作。外围电路120可驱动存储器单元阵列110。例如,外围电路120可在控制逻辑130的控制下将各种操作电压施加到行线RL和位线BL1至BLn或者使施加的电压放电。

[0040] 外围电路120可包括行解码器121、电压发生器122、页缓冲器组123、列解码器124、输入/输出电路125和感测电路126。

[0041] 行解码器121通过行线RL联接到存储器单元阵列110。行线RL可包括至少一条源极选择线、多条字线和至少一条漏极选择线。在实施方式中,字线可包括正常字线和虚设字线。在实施方式中,行线RL还可包括管选择线。

[0042] 行解码器121可在控制逻辑130的控制下操作。行解码器121可从控制逻辑130接收行地址RADD。

[0043] 行解码器121可将从控制逻辑130接收的行地址RADD解码。行解码器121根据解码的地址来选择存储块BLK1至BLKz中的至少一个。此外,行解码器121可根据解码的地址选择所选存储块的至少一条字线WL以使得电压发生器122所生成的电压被施加到所述至少一条字线WL。

[0044] 例如,在编程操作期间,行解码器121可将编程电压施加到所选字线并将电平低于编程电压的电平的编程通过电压施加到未选字线。在编程验证期间,行解码器121可将验证电压施加到所选字线并将高于验证电压的验证通过电压施加到未选字线。在读操作期间,行解码器121可将读电压施加到所选字线并将高于读电压的读通过电压施加到未选字线。

[0045] 在实施方式中,基于存储块来执行存储器单元阵列110的擦除操作。在擦除操作期间,行解码器121可根据解码的地址来选择一个存储块。在擦除操作期间,行解码器121可将接地电压施加到联接到所选存储块的字线。

[0046] 电压发生器122可在控制逻辑130的控制下操作。电压发生器122可使用提供给存储器装置的外部电源电压来生成多个电压。详细地,电压发生器122可响应于操作信号

OPSIG来生成用于编程操作、读操作和擦除操作的各种操作电压 V_{op} 。例如,电压发生器122可在控制逻辑130的控制下生成编程电压、验证电压、通过电压、读电压、擦除电压等。

[0047] 在实施方式中,电压发生器122可通过调节外部电源电压来生成内部电源电压。电压发生器122所生成的内部电源电压用作存储器单元阵列110的操作电压。

[0048] 在实施方式中,电压发生器122可使用外部电源电压或内部电源电压来生成多个电压。

[0049] 例如,电压发生器122可包括用于接收内部电源电压的多个泵浦电容器,并且通过在控制逻辑130的控制下选择性地启用多个泵浦电容器来生成多个电压。

[0050] 所生成的电压可通过行解码器121供应给存储器单元阵列110。

[0051] 页缓冲器组123包括第一页缓冲器PB1至第n页缓冲器PBn。第一页缓冲器PB1至第n页缓冲器PBn通过第一位线BL1至第n位线BLn联接到存储器单元阵列110。第一页缓冲器PB1至第n页缓冲器PBn在控制逻辑130的控制下操作。详细地,第一页缓冲器PB1至第n页缓冲器PBn可响应于页缓冲器控制信号PBSIGNALS来操作。例如,在读操作或编程验证期间,第一页缓冲器PB1至第n页缓冲器PBn可暂时地存储通过第一位线BL1至第n位线BLn接收的数据或者可感测位线BL1至BLn的电压或电流。

[0052] 在实施方式中,在编程验证的感测时段期间,可感测位线BL1至BLn的电压或电流,并且所感测的电压或电流可被存储在页缓冲器PB1至PBn中。

[0053] 详细地,在编程操作期间,当编程脉冲被施加到所选字线时,第一页缓冲器PB1至第n页缓冲器PBn可通过第一位线BL1至第n位线BLn将通过输入/输出电路125接收的数据DATA传送到所选存储器单元。基于所接收的数据DATA对所选页中的存储器单元进行编程。联接到施加有编程允许电压(例如,接地电压)的位线的存储器单元可具有增加的阈值电压。联接到施加有编程禁止电压(例如,电源电压)的位线的存储器单元的阈值电压可维持。在编程验证操作期间,第一页缓冲器PB1至第n页缓冲器PBn可通过第一位线BL1至第n位线BLn从所选存储器单元读取页数据。

[0054] 在读操作期间,在列解码器124的控制下,第一页缓冲器PB1至第n页缓冲器PBn可通过第一位线BL1至第n位线BLn从所选页中的存储器单元读取数据DATA,并且可将读取的数据DATA输出到输入/输出电路125。

[0055] 在擦除操作期间,第一页缓冲器PB1至第n页缓冲器PBn可允许第一位线BL1至第n位线BLn浮置。

[0056] 列解码器124可响应于列地址CADD在输入/输出电路125与页缓冲器组123之间传送数据。例如,列解码器124可通过数据线DL与第一页缓冲器PB1至第n页缓冲器PBn交换数据,或者可通过列线CL与输入/输出电路125交换数据。

[0057] 输入/输出电路125可将从存储控制器200接收的命令CMD和地址ADDR传送到控制逻辑130,或者可与列解码器124交换数据DATA。

[0058] 在读操作或编程验证操作期间,感测电路126可响应于使能比特VRYBIT生成基准电流,并且可将从页缓冲器组123接收的感测电压VPB与使用基准电流生成的基准电压进行比较,然后输出通过信号PASS或失败信号FAIL。

[0059] 在实施方式中,感测电路126可在编程验证的检查时段期间输出通过信号PASS或失败信号FAIL。

[0060] 感测电路126可将从页缓冲器组123接收的感测电压VPB与使用基准电流生成的基准电压进行比较,然后根据阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量来输出通过信号PASS或失败信号FAIL。即,感测电路126可检查通过比特。

[0061] 感测电路126可将从页缓冲器组123接收的感测电压VPB与使用基准电流生成的基准电压进行比较,然后根据阈值电压低于验证电压的存储器单元的数量是否小于第二基准数量来输出通过信号PASS或失败信号FAIL。即,感测电路126可检查失败比特。

[0062] 控制逻辑130可通过响应于命令CMD和地址ADDR输出操作信号OPSIG、行地址RADD、页缓冲器控制信号PBSIGNALS和使能比特VRYBIT来控制外围电路120。另外,控制逻辑130可响应于通过信号PASS或失败信号FAIL而确定编程验证通过还是失败。控制逻辑130可被实现为硬件、软件或硬件和软件的组合。例如,控制逻辑130可以是根据算法操作的控制逻辑电路和/或执行控制逻辑代码的处理器。

[0063] 编程操作控制器131可从存储控制器200接收编程命令和地址,并且可执行将数据编程到存储器单元阵列的由地址所指示的区域的编程操作。

[0064] 编程操作控制器131可基于从对第一页的编程操作获取的起始循环信息来对第二页执行编程操作。详细地,基于包括在起始循环信息中的关于对多个编程状态中的每一个的编程验证开始的编程循环的信息,编程操作控制器131可在对第二页的编程操作期间的各个编程循环中选择性地对所选字线施加验证电压。换言之,通过以省略基于起始循环信息确定的验证电压的方式施加验证电压,而非在各个编程循环中施加全部第一至第七验证电压,编程操作控制器131可执行盲编程操作。

[0065] 起始循环管理器132可从感测电路126接收通过/失败信号,并且可基于编程验证通过的编程循环来生成起始循环信息。

[0066] 生成起始循环信息的详细方法将稍后参照图10至图17描述。

[0067] 图2是示出根据实施方式的存储器装置100的图。

[0068] 参照图2,控制逻辑130可包括编程操作控制器131和起始循环管理器132。编程操作控制器131可依次对多个页执行编程操作。编程操作控制器131可基于在对第一页执行的编程操作期间获取的起始循环信息来对要在首先编程的第一页之后编程的第二页执行编程操作。

[0069] 详细地,编程操作控制器131可将感测电路控制信号CIR_CTRL传送到感测电路126,以使得在对第一页的编程操作期间对多个编程状态中的每一个的通过比特检查操作通过之后,执行失败比特检查操作。详细地,当对于多个编程状态中的每一个,从通过比特感测电路126-1接收到通过信号时,编程操作控制器131可将感测电路控制信号CIR_CTRL传送到感测电路126,以使得失败比特感测电路126-2进行操作。

[0070] 起始循环管理器132可基于从通过比特感测电路126-1接收到通过信号的编程循环来生成起始循环信息。起始循环信息可包括关于在各个编程循环的编程验证时段期间要施加的验证电压的信息。另选地,起始循环信息可包括关于对多个编程状态中的每一个的失败比特检查操作开始的编程循环的信息。

[0071] 感测电路126可包括通过比特感测电路126-1和失败比特感测电路126-2。控制逻辑130可包括编程操作控制器131和起始循环管理器132。

[0072] 通过比特感测电路126-1可将从页缓冲器组123接收的感测电压VPB与使用基准电

流生成的基准电压进行比较,然后根据阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量来输出通过信号PASS或失败信号FAIL。即,感测电路126可检查通过比特。

[0073] 失败比特感测电路126-2可将从页缓冲器组123接收的感测电压VPB与使用基准电流生成的基准电压进行比较,然后根据阈值电压低于验证电压的存储器单元的数量是否小于第二基准数量来输出通过信号PASS或失败信号FAIL。即,感测电路126可检查失败比特。

[0074] 感测电路126可从控制逻辑130接收感测电路控制信号CIR_CTRL。通过比特感测电路126-1和失败比特感测电路126-2中的任一个可响应于感测电路控制信号CIR_CTRL而接收感测电压VPB,并且可输出通过信号PASS或失败信号FAIL。

[0075] 编程操作控制器131可在对第二页的编程操作期间基于起始循环信息减少编程验证操作的数量。详细地,通过控制外围电路120以使得从基于起始循环信息确定的编程循环执行失败比特检查操作,编程操作控制器131可缩短编程操作所需的时间(编程操作时间)。

[0076] 图3是示出图1的存储器单元阵列110的实施方式的图。

[0077] 参照图3,存储器单元阵列110包括多个存储块BLK1至BLKz。各个存储块可具有三维(3D)结构。各个存储块包括层叠在基板上的多个存储器单元。这些存储器单元布置在正X(+X)方向、正Y(+Y)方向和正Z(+Z)方向上。下面将参照图4和图5详细描述各个存储块的结构。

[0078] 图4是示出图3的存储块BLK1至BLKz中的任一个存储块BLKa的电路图。

[0079] 参照图4,存储块BLKa包括多个单元串CS11至CS1m和CS21至CS2m。在实施方式中,单元串CS11至CS1m和CS21至CS2m中的每一个可形成为“U”形状。在存储块BLKa中,m个单元串布置在行方向(即,正(+)X方向)上。在图4中,示出两个单元串布置在列方向(即,正(+)Y方向)上。然而,为了描述方便而进行该例示,将理解,三个或更多个单元串可布置在列方向上。

[0080] 多个单元串CS11至CS1m和CS21至CS2m中的每一个包括至少一个源极选择晶体管SST、第一存储器单元MC1至第n存储器单元MCn、管式晶体管PT以及至少一个漏极选择晶体管DST。

[0081] 选择晶体管SST和DST以及存储器单元MC1至MCn可具有相似的结构。在实施方式中,选择晶体管SST和DST以及存储器单元MC1至MCn中的每一个可包括沟道层、隧穿绝缘层、电荷存储层和阻挡绝缘层。在实施方式中,可在各个单元串中设置用于提供沟道层的柱。在实施方式中,可在各个单元串中设置用于提供沟道层、隧穿绝缘层、电荷存储层和阻挡绝缘层中的至少一个的柱。

[0082] 各个单元串的源极选择晶体管SST连接在公共源极线CSL与存储器单元MC1至MCp之间。

[0083] 在实施方式中,布置在同一行的单元串的源极选择晶体管联接到在行方向上延伸的源极选择线,布置在不同行的单元串的源极选择晶体管联接到不同的源极选择线。在图4中,第一行中的单元串CS11至CS1m的源极选择晶体管联接到第一源极选择线SSL1。第二行中的单元串CS21至CS2m的源极选择晶体管联接到第二源极选择线SSL2。

[0084] 在实施方式中,单元串CS11至CS1m和CS21至CS2m的源极选择晶体管可共同联接到单条源极选择线。

[0085] 各个单元串中的第一存储器单元MC1至第n存储器单元MCn联接在源极选择晶体管

SST与漏极选择晶体管DST之间。

[0086] 第一存储器单元MC1至第n存储器单元MCn可被分成第一存储器单元MC1至第p存储器单元MCp和第p+1存储器单元MCp+1至第n存储器单元MCn。第一存储器单元MC1至第p存储器单元MCp依次布置在与正(+)Z方向相反的方向上,并且串联连接在源极选择晶体管SST与管式晶体管PT之间。第p+1存储器单元MCp+1至第n存储器单元MCn依次布置在+Z方向上,并且串联连接在管式晶体管PT与漏极选择晶体管DST之间。第一存储器单元MC1至第p存储器单元MCp和第p+1存储器单元MCp+1至第n存储器单元MCn通过管式晶体管PT彼此联接。各个单元串的第一存储器单元MC1至第n存储器单元MCn的栅极分别联接到第一字线WL1至第n字线WLn。

[0087] 各个单元串的管式晶体管PT的栅极联接到管线PL。

[0088] 各个单元串的漏极选择晶体管DST连接在对应位线与存储器单元MCp+1至MCn之间。行方向上的单元串联接到在行方向上延伸的漏极选择线。第一行中的单元串CS11至CS1m的漏极选择晶体管联接到第一漏极选择线DSL1。第二行中的单元串CS21至CS2m的漏极选择晶体管联接到第二漏极选择线DSL2。

[0089] 布置在列方向上的单元串联接到在列方向上延伸的位线。在图4中,第一列中的单元串CS11和CS21联接到第一位线BL1。第m列中的单元串CS1m和CS2m联接到第m位线BLm。

[0090] 布置在行方向上的单元串中的联接到同一字线的存储器单元形成单个页。例如,第一行中的单元串CS11至CS1m当中的联接到第一字线WL1的存储器单元形成单个页。第二行中的单元串CS21至CS2m当中的联接到第一字线WL1的存储器单元形成附加页。即,多个页可联接到单条字线。

[0091] 可通过选择漏极选择线DSL1和DSL2中的任一条来选择布置在单行方向上的单元串。编程操作控制器131可通过将选择电压施加到漏极选择线来选择任一条漏极选择线。即,选择电压可被施加到所选漏极选择线,未选电压可被施加到未选漏极选择线。可通过选择字线WL1至WLn中的任一条来从所选单元串选择单个页。即,由于选择任一条漏极选择线,所以可从联接到单条字线的多个页当中选择任一个页。

[0092] 对应字线的联接到各个页的部分可以是子字线。例如,联接到第一行中的单元串CS11至CS1m中所包括的第n存储器单元MCn的栅极的字线可以是第一子字线。例如,联接到第二行中的单元串CS21至CS2m中所包括的第n存储器单元MCn的栅极的字线可以是第二子字线。

[0093] 子字线可联接到公共字线。例如,第n字线WLn可以是第一子字线和第二子字线的命令字线。

[0094] 尽管为了描述方便,描述了通过将选择电压施加到对应漏极选择线来选择多个页中的任一个,但是也可通过将选择电压施加到对应源极选择线来选择多个页中的任一个。

[0095] 在实施方式中,代替第一位线BL1至第m位线BLm,可提供偶数位线和奇数位线。此外,布置在行方向上的单元串CS11至CS1m或CS21至CS2m当中的偶数单元串可联接到各条偶数位线。布置在行方向上的单元串CS11至CS1m或CS21至CS2m当中的奇数单元串可联接到各条奇数位线。

[0096] 编程操作控制器131可依次对联接到单条字线的多个页执行编程操作。例如,编程操作控制器131可依次对联接到第一字线WL1的两个页执行编程操作。

[0097] 在实施方式中,当对作为要依次编程的多个页当中的初始页的第一页执行编程操作时,起始循环管理器132可生成起始循环信息。

[0098] 编程操作控制器131可基于在对第一页执行的编程操作期间生成的起始循环信息来对作为要在第一页之后编程的后续页的第二页执行编程操作。编程操作控制器131可基于起始循环信息来对第二页执行盲编程操作。盲编程操作可以是在基于起始循环信息确定的编程循环之前执行的编程循环中省略编程验证的编程操作。

[0099] 在实施方式中,第一存储器单元MC1至第n存储器单元MCn中的一个或更多个可用作虚设存储器单元。例如,提供一个或更多个虚设存储器单元以减小源极选择晶体管SST与存储器单元MC1至MCp之间的电场。另选地,提供一个或更多个虚设存储器单元以减小漏极选择晶体管DST与存储器单元MCp+1至MCn之间的电场。随着提供更多的虚设存储器单元,存储块BLKa的操作可靠性改进,但存储块BLKa的尺寸增加。随着提供更少的存储器单元,存储块BLKa的尺寸减小,但存储块BLKa的操作可靠性可劣化。

[0100] 为了有效地控制一个或更多个虚设存储器单元,各个虚设存储器单元可具有所需阈值电压。在执行存储块BLKa的擦除操作之前或之后,可对所有或一些虚设存储器单元执行编程操作。当在执行编程操作之后执行擦除操作时,虚设存储器单元的阈值电压控制要施加到与各个虚设存储器单元联接的虚设字线的电压,因此虚设存储器单元可具有所需阈值电压。

[0101] 图5是示出图3的存储块BLK1至BLKz中的任一个存储块BLKb的示例的电路图。

[0102] 参照图5,存储块BLKb包括多个单元串CS11'至CS1m'和CS21'至CS2m'。多个单元串CS11'至CS1m'和CS21'至CS2m'中的每一个在正Z(+Z)方向上延伸。单元串CS11'至CS1m'和CS21'至CS2m'中的每一个包括至少一个源极选择晶体管SST、第一存储器单元MC1至第n存储器单元MCn以及至少一个漏极选择晶体管DST,它们层叠在存储块BLKb下方的基板(未示出)上。

[0103] 各个单元串的源极选择晶体管SST连接在公共源极线CSL与存储器单元MC1至MCn之间。布置在同一行的单元串的源极选择晶体管联接到同一源极选择线。布置在第一行的单元串CS11'至CS1m'的源极选择晶体管联接到第一源极选择线SSL1。布置在第二行的单元串CS21'至CS2m'的源极选择晶体管联接到第二源极选择线SSL2。在实施方式中,单元串CS11'至CS1m'和CS21'至CS2m'的源极选择晶体管可共同联接到单条源极选择线。

[0104] 各个单元串中的第一存储器单元MC1至第n存储器单元MCn串联连接在源极选择晶体管SST与漏极选择晶体管DST之间。第一存储器单元MC1至第n存储器单元MCn的栅极分别联接到第一字线WL1至第n字线WLn。

[0105] 各个单元串的漏极选择晶体管DST连接在对应位线与存储器单元MC1至MCn之间。布置在行方向上的单元串的漏极选择晶体管联接到在行方向上延伸的漏极选择线。第一行中的单元串CS11'至CS1m'的漏极选择晶体管联接到第一漏极选择线DSL1。第二行中的单元串CS21'至CS2m'的漏极选择晶体管联接到第二漏极选择线DSL2。

[0106] 结果,除了从各个单元串排除管式晶体管PT之外,图5的存储块BLKb具有与图4的存储块BLKa类似的等效电路。

[0107] 因此,包括在存储块BLKb中的存储器单元可形成联接到单条字线的多个页。

[0108] 对应字线的联接到各个页的部分可以是子字线。例如,联接到第一行中的单元串

CS11' 至CS1m' 中所包括的第n存储器单元MCn的栅极的字线可以是第一子字线。例如, 联接到第二行中的单元串CS21' 至CS2m' 中所包括的第n存储器单元MCn的栅极的字线可以是第二子字线。

[0109] 子字线可联接到公共字线。例如, 第n字线WLn可以是第一子字线和第二子字线的命令字线。

[0110] 编程操作控制器131可依次对联接到单条字线的多个页执行编程操作。例如, 编程操作控制器131可依次对联接到第一字线WL1的两个页执行编程操作。

[0111] 在实施方式中, 当对第一页(要依次编程的多个页当中的初始页)执行编程操作时, 起始循环管理器132可生成起始循环信息。

[0112] 编程操作控制器131可基于在对第一页执行的编程操作期间生成的起始循环信息来对第二页(要在第一页之后编程的后续页)执行编程操作。编程操作控制器131可基于起始循环信息来对第二页执行盲编程操作。盲编程操作可以是在基于起始循环信息确定的编程循环之前执行的编程循环中省略编程验证的编程操作。

[0113] 在实施方式中, 代替第一位线BL1至第m位线BLm, 可提供偶数位线和奇数位线。此外, 布置在行方向上的单元串CS11' 至CS1m' 或CS21' 至CS2m' 当中的偶数单元串可联接到各条偶数位线。布置在行方向上的单元串CS11' 至CS1m' 或CS21' 至CS2m' 当中的奇数单元串可联接到各条奇数位线。

[0114] 在实施方式中, 第一存储器单元MC1至第n存储器单元MCn中的一个或多个可用作虚设存储器单元。例如, 提供一个或多个虚设存储器单元以减小源极选择晶体管SST与存储器单元MC1至MCn之间的电场。另选地, 提供一个或多个虚设存储器单元以减小漏极选择晶体管DST与存储器单元MC1至MCn之间的电场。随着所提供的虚设存储器单元的数量增加, 存储块BLKb的操作可靠性可改进, 而存储块BLKb的尺寸可增大。随着所提供的虚设存储器单元的数量减少, 存储块BLKb的尺寸可减小, 而存储块BLKb的操作可靠性可劣化。

[0115] 为了有效地控制一个或多个虚设存储器单元, 各个虚设存储器单元可具有所需阈值电压。在执行对存储块BLKb的擦除操作之前或之后, 可对全部或一些虚设存储器单元执行编程操作。当在执行编程操作之后执行擦除操作时, 通过控制要施加到与各个虚设存储器单元联接的虚设字线的电压, 虚设存储器单元可具有所需阈值电压。

[0116] 图6是用于说明存储器单元的编程状态的图。

[0117] 参照图6, 各个存储器单元可根据存储器单元的阈值电压被编程为擦除状态E或七个编程状态P1至P7之一。尽管为了描述方便, 存储器单元被示出为可被编程为一个擦除状态和七个编程状态中的任一个的三级单元(TLC), 但实施方式不限于此。例如, 存储器单元可以是多级单元(MLC)、单级单元(SLC)、四级单元(QLC)等。为了描述方便, 尽管擦除状态与编程状态分开, 但擦除状态可由第0编程状态P0表示。因此, 擦除状态E和七个编程状态P1至P7可由编程状态表示。

[0118] 联接到所选字线的各个存储器单元可具有擦除状态E或七个编程状态P1至P7中的任一个中所包括的阈值电压。即, 各个存储器单元可被编程为具有擦除状态E或七个编程状态P1至P7中的任一个中所包括的阈值电压。在执行编程操作之前, 各个存储器单元可处于擦除状态E。在编程操作期间, 当编程电压被施加到所选字线时, 处于擦除状态E的存储器单元可被编程为七个编程状态中的任一个。

[0119] 擦除状态E和七个编程状态P1至P7可使用验证电压来彼此区分。例如,擦除状态E和第一编程状态P1可使用第一验证电压Vvf1来彼此区分。第一编程状态P1和第二编程状态P2可使用第二验证电压Vvf2来彼此区分。第二编程状态P2和第三编程状态P3可使用第三验证电压Vvf3来彼此区分。第三编程状态P3和第四编程状态P4可使用第四验证电压Vvf4来彼此区分。第四编程状态P4和第五编程状态P5可使用第五验证电压Vvf5来彼此区分。第五编程状态P5和第六编程状态P6可使用第六验证电压Vvf6来彼此区分。第六编程状态P6和第七编程状态P7可使用第七验证电压Vvf7来彼此区分。

[0120] 图6所示的编程方法可形成七个编程状态P1至P7和一个擦除状态E。在包括图7所示的第一至第N编程循环的编程操作被执行一次时可形成图6所示的编程状态。

[0121] 图7是示出编程操作的图。

[0122] 参照图7,编程操作可包括多个编程循环。例如,编程操作可包括第一编程循环(编程循环1)至第N编程循环(编程循环N)。包括在所选项中的多个存储器单元可通过编程操作被编程为多个编程状态。多个编程状态可基于阈值电压来划分。例如,当包括在所选项中的各个存储器单元作为单级单元(SLC)操作时,多个编程状态可被划分成擦除状态和编程状态。当包括在所选项中的各个存储器单元作为多级单元(MLC)操作时,多个编程状态可被划分成一个擦除状态和三个编程状态。

[0123] 编程循环可包括编程时段和编程验证时段。

[0124] 编程时段可以是数据被编程到所选项的时段。编程时段可包括预充电时段、编程电压施加时段和放电时段。在预充电时段期间,编程允许电压被预充电在所选项位线中,编程禁止电压可被预充电在未选位线中。在编程电压施加时段期间,编程电压可被施加到所选字线,通过电压可被施加到未选字线。在放电时段期间,预充电在位线中的电压和施加到字线的电压可被放电。

[0125] 编程验证时段可以是验证编程的数据的时段。编程验证时段可包括感测时段和检查时段。

[0126] 感测时段可包括预充电时段、评估时段和放电时段。在预充电时段期间,位线可被预充电。在评估时段期间,验证电压可被施加到所选字线,通过电压可被施加到未选字线。在评估时段期间,预充电在联接到阈值电压高于验证电压的存储器单元的位线中的电压可维持。在评估时段期间,预充电在联接到阈值电压低于验证电压的存储器单元的位线中的电压可与评估时段的长度成比例地放电。指示预充电的电压是维持还是放电的电压信息可被存储在页缓冲器组123中。

[0127] 检查时段可以是使用存储在页缓冲器组123中的电压信息来确定编程验证通过还是失败的时段。在检查时段期间,感测电路126可确定对应页中所包括的多个存储器单元当中的阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量,并且可输出通过信号或失败信号。对应页中所包括的多个存储器单元当中的阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量的确定操作可以通过比特检查操作。在检查时段期间,感测电路126可确定对应页中所包括的多个存储器单元当中的阈值电压低于验证电压的存储器单元的数量是否小于第二基准数量,并且可输出通过信号或失败信号。对应页中所包括的多个存储器单元当中的阈值电压低于验证电压的存储器单元的数量是否小于第二基准数量的确定操作可以是失败比特检查操作。

[0128] 图8是用于说明在编程操作期间施加到所选字线的电压的图。

[0129] 参照图8,形成图7的编程状态的编程操作可包括N个编程循环。各个编程循环可包括将编程电压施加到所选字线的操作和将验证电压施加到所选字线的操作。施加编程电压的操作可在编程时段期间执行,施加验证电压的操作可在编程验证时段期间执行。例如,可在第一编程循环中执行将第一编程电压 V_{pgm1} 和多个验证电压 V_{vf1} 至 V_{vf7} 施加到所选字线的操作。尽管示出在各个编程循环中施加七个验证电压的示例,但是根据实施方式,在编程操作期间可省略施加一些验证电压的操作。

[0130] 由于各个编程循环依次执行,所以编程电压可增加阶跃电压(ΔV_{pgm})。例如,在第二编程循环中施加到所选字线的第二编程电压 V_{pgm2} 可比第一编程电压 V_{pgm1} 高阶跃电压(ΔV_{gpm})。为了描述方便,阶跃电压可被示出为固定,但其可动态地改变。

[0131] 在执行N个编程循环期间已达到目标编程状态的存储器单元可被禁止编程,以使得该存储器单元不再被编程。即使执行后续编程循环,已被禁止编程的存储器单元的阈值电压可维持。例如,已在第二编程循环中被编程为第二编程状态P2(目标编程状态)的存储器单元可被禁止编程。在实施方式中,已达到目标编程状态的存储器单元的位线可被预充电至编程禁止电压。当位线被预充电至编程禁止电压时,存储器单元的沟道可由于编程电压而自升压,并且存储器单元不被编程。

[0132] 如图8所示,当在各个编程循环中施加第一验证电压 V_{vfy1} 至第七验证电压 V_{vfy7} 时,编程操作所需的时间(编程时间)可延长。通过省略施加验证电压的一些操作的盲编程操作,根据本公开的存储器装置100可缩短编程时间。将在下面参照图9A至图17详细描述盲编程操作。

[0133] 图9A和图9B分别是示出通过比特检查操作和失败比特检查操作的图。

[0134] 感测电路126可执行通过比特检查操作和失败比特检查操作。

[0135] 参照图9A,通过比特检查操作可以是检查指示阈值电压高于验证电压 V_{vfy} 的存储器单元的数量的通过比特的数量是否大于第一基准数量的操作。当通过比特的数量大于第一基准数量时,通过比特感测电路126-1可向控制逻辑130输出通过信号。当通过比特的数量小于第一基准数量时,通过比特感测电路126-1可向控制逻辑130输出失败信号。

[0136] 参照图9B,失败比特检查操作可以是检查指示阈值电压低于验证电压 V_{vfy} 的存储器单元的数量的失败比特的数量是否小于第二基准数量的操作。当失败比特的数量小于第二基准数量时,失败比特感测电路126-2可向控制逻辑130输出通过信号。当失败比特的数量大于第二基准数量时,失败比特感测电路126-2可向控制逻辑130输出失败信号。

[0137] 当对应失败比特检查操作通过时,对第n编程状态的编程验证可完成。即,当指示阈值电压低于第n验证电压的存储器单元的数量的失败比特的数量小于第二基准数量时,对第n编程状态的编程验证可完成。

[0138] 然而,当在所有编程循环中执行失败比特检查操作时,编程操作所需的时间可延长。因此,通过在特定编程循环中省略失败比特检查操作的盲编程操作,编程操作所需的时间可缩短。

[0139] 图10是用于说明通过比特检查操作与失败比特检查操作之间的关系的图。

[0140] 参照图10,在对第一编程状态P1的编程验证的检查时段期间,通过比特感测电路126-1可检查指示阈值电压高于第一验证电压 V_{vfy1} 的存储器单元的数量的通过比特的数

量是否大于第一基准数量。

[0141] 当通过比特感测电路126-1向控制逻辑130输出通过信号时,编程操作控制器131可控制外围电路120以使得在后续编程循环中将第一验证电压Vvfy1和第二验证电压Vvfy2施加到所选字线。例如,当通过比特感测电路126-1在第一编程循环(编程循环1)中向控制逻辑130输出通过信号时,可在第二编程循环(编程循环2)中将第一验证电压Vvfy1和第二验证电压Vvfy2施加到所选字线。

[0142] 在第二编程循环(编程循环2)中,关于使用第一验证电压Vvfy1感测的位线的电压的信息可被传送至失败比特感测电路126-2。失败比特感测电路126-2可检查指示阈值电压低于第一验证电压Vvfy1的存储器单元的数量的失败比特的数量是否小于第二基准数量。

[0143] 在第二编程循环(编程循环2)中,关于使用第二验证电压Vvfy2感测的位线的电压的信息可被传送至通过比特感测电路126-1。通过比特感测电路126-1可检查指示阈值电压高于第二验证电压Vvfy2的存储器单元的数量的通过比特的数量是否大于第一基准数量。

[0144] 当对第一编程状态的通过比特检查操作通过时,可在后续编程循环中执行对第一编程状态的失败比特检查操作和对第二编程状态的通过比特检查操作。即,可执行通过比特检查操作以确定要开始失败比特检查操作的编程循环。

[0145] 然而,由于在后续编程循环中,指示阈值电压高于第二验证电压Vvfy2的存储器单元的数量的通过比特的数量不大,所以也可在执行预设数量的编程循环之后在编程循环中执行对第二编程状态的通过比特检查操作。

[0146] 图11是示出在对第一页的编程操作期间执行的检查操作的图。

[0147] 参照图11,在对第一编程状态P1的编程操作期间,可在第一编程循环(编程循环1)的检查时段期间执行通过比特检查操作。通过比特感测电路126-1可向控制逻辑130输出通过信号。即,对第一编程状态P1的通过比特检查操作可在第一编程循环(编程循环1)中通过。

[0148] 当对第一编程状态P1的通过比特检查操作通过时,可在第二编程循环(编程循环2)的检查时段期间执行对第一编程状态P1的失败比特检查操作。失败比特感测电路126-2可在第二编程循环(编程循环2)至第四编程循环(编程循环4)中向控制逻辑130输出失败信号。在第五编程循环(编程循环5)的检查时段期间,失败比特感测电路126-2可向控制逻辑130输出通过信号。即,对第一编程状态P1的失败比特检查操作可在第五编程循环(编程循环5)中通过。

[0149] 当对第一编程状态P1的通过比特检查操作通过时,可在第二编程循环(编程循环2)的检查时段期间执行对第二编程状态P2的通过比特检查操作。然而,由于第二编程循环(编程循环2)中的第二编程状态P2的通过比特的数量可较小,所以也可在执行预设数量的编程循环之后执行对第二编程状态P2的通过比特检查操作。为了描述方便,将假设当对第一编程状态P1的通过比特检查操作已通过时,在后续编程循环的检查时段期间执行对第二编程状态P2的通过比特检查操作来进行描述。

[0150] 对第二编程状态P2的通过比特检查操作可被执行至第四编程循环(编程循环4)。即,在第四编程循环(编程循环4)的检查时段期间,通过比特感测电路126-1可向控制逻辑130输出通过信号。

[0151] 当对第二编程状态P2的通过比特检查操作通过时,可在第五编程循环(编程循环

5) 的检查时段期间执行对第二编程状态P2的失败比特检查操作。失败比特感测电路126-2可在第五编程循环(编程循环5)至第九编程循环(编程循环9)中向控制逻辑130输出失败信号。在第十编程循环(编程循环10)的检查时段期间,失败比特感测电路126-2可向控制逻辑130输出通过信号。即,对第二编程状态P2的失败比特检查操作可在第十编程循环(编程循环10)中通过。

[0152] 当对第二编程状态P2的通过比特检查操作通过时,可在第五编程循环(编程循环5)的检查时段期间执行对第三编程状态P3的通过比特检查操作。然而,由于第五编程循环(编程循环5)中的第三编程状态P3的通过比特的数量可较小,所以也可在执行预设数量的编程循环之后执行对第三编程状态P3的通过比特检查操作。为了描述方便,将假设当对第二编程状态P2的通过比特检查操作已通过时,在后续编程循环的检查时段期间执行对第三编程状态P3的通过比特检查操作来进行描述。

[0153] 以相同的方式,可在第九编程循环(编程循环9)至第十四编程循环(编程循环14)中执行对第三编程状态P3的失败比特检查操作。可在第九编程循环(编程循环9)至第十三编程循环(编程循环13)中执行对第四编程状态P4的通过比特检查操作。可从第十四编程循环(编程循环14)开始执行对第四编程状态P4的失败比特检查操作。

[0154] 编程操作控制器131可执行控制,使得首先针对各个编程状态操作通过比特感测电路126-1,并且使得当从通过比特感测电路126-1接收到通过信号时,从后续编程循环开始操作失败比特感测电路126-2。

[0155] 当从通过比特感测电路126-1接收到通过信号时,起始循环管理器132可确定当前编程循环的编号,并且可生成起始循环信息,即,关于当前编程循环之后的编程循环的信息。

[0156] 编程操作控制器131可从起始循环管理器132接收起始循环信息,并且可基于起始循环信息对第二页执行编程操作。

[0157] 图12是示出在对第一页的编程操作期间在各个编程循环中执行的检查操作的图。

[0158] 参照图12,可在第一编程循环(编程循环1)中执行对第一编程状态P1的通过比特检查操作。对第一编程状态P1的通过比特检查操作可使用第一验证电压来执行。在第一编程循环(编程循环1)中,对第一编程状态P1的通过比特检查操作可通过。

[0159] 当对第一编程状态P1的通过比特检查操作在第一编程循环1中已通过时,可从第二编程循环(编程循环2)开始执行对第一编程状态P1的失败比特检查操作。对第一编程状态P1的失败比特检查操作可使用第一验证电压来执行。对第一编程状态P1的失败比特检查操作可在第二编程循环(编程循环2)至第六编程循环(编程循环6)中执行。即,对第一编程状态P1的失败比特检查操作可在第六编程循环(编程循环6)中通过。

[0160] 当对第一编程状态P1的通过比特检查操作已在第一编程循环(编程循环1)中通过时,可从第二编程循环(编程循环2)开始或在执行预设数量的编程循环之后执行对第二编程状态P2的通过比特检查操作。对第二编程状态P2的通过比特检查操作可使用第二验证电压来执行。对第二编程状态P2的通过比特检查操作可在编程循环中通过,而无需将从第二编程循环(编程循环2)开始执行对应通过比特检查操作的情况与在执行预设数量的编程循环之后执行对应通过比特检查操作的情况分开。例如,对第二编程状态P2的通过比特检查操作可在第四编程循环(编程循环4)中通过。因此,为了减少编程操作所需的时间,可取的

是在执行预设数量的编程循环之后执行对第二编程状态P2的通过比特检查操作。然而,为了描述方便,假设从第二编程循环(编程循环2)开始执行对第二编程状态P2的通过比特检查操作。

[0161] 当对第二编程状态P2的通过比特检查操作已在第四编程循环(编程循环4)中通过时,可从第五编程循环(编程循环5)开始执行对第二编程状态P2的失败比特检查操作。对第二编程状态P2的通过比特检查操作可使用第二验证电压来执行。对第二编程状态P2的失败比特检查操作可在第五编程循环(编程循环5)至第十编程循环(编程循环10)中执行。即,对第二编程状态P2的失败比特检查操作可在第十编程循环(编程循环10)中通过。

[0162] 当对第二编程状态P2的通过比特检查操作已在第四编程循环(编程循环4)中通过时,可从第五编程循环(编程循环5)开始或在执行预设数量的编程循环之后执行对第三编程状态P3的通过比特检查操作。对第三编程状态P3的通过比特检查操作可使用第三验证电压来执行。

[0163] 以相同的方式,可确定要在各个编程循环中执行的检查操作。当在对应编程循环中执行多个检查操作时,应该能够施加多个验证电压以获取用于检查操作的感测电压。即,尽管在第一编程循环(编程循环1)中仅需要施加一个验证电压,但在第二编程循环(编程循环2)至第四编程循环(编程循环4)、第七编程循环(编程循环7)、第八编程循环(编程循环8)以及第十一编程循环(编程循环11)至第十四编程循环(编程循环14)中应该能够施加两个验证电压。此外,在第五编程循环(编程循环5)、第六编程循环(编程循环6)、第九编程循环(编程循环9)和第十编程循环(编程循环10)中可施加三个验证电压。

[0164] 编程操作控制器131可控制外围电路120和感测电路126以使得从通过比特检查操作通过的编程循环之后的编程循环开始执行失败比特检查操作。起始循环管理器132可通过从感测电路126接收通过信号来基于通过比特检查操作已通过的编程循环生成起始循环信息。

[0165] 图13是用于说明施加到所选字线的操作电压的图。

[0166] 参照图13,编程操作控制器131可控制外围电路120以使得在第一编程循环(编程循环1)的感测时段期间,第一验证电压 V_{vfy1} 被施加到所选字线。另外,编程操作控制器131可将控制信号传送到感测电路126,以使得在第一编程循环(编程循环1)的检查时段期间操作通过比特感测电路126-1。

[0167] 当通过比特感测电路126-1向控制逻辑130输出通过信号时,编程操作控制器131可控制外围电路120以使得在第二编程循环(编程循环2)的感测时段期间第一验证电压 V_{vfy1} 和第二验证电压 V_{vfy2} 被施加到所选字线。另外,编程操作控制器131可将控制信号传送到感测电路126,以使得在第二编程循环(编程循环2)的检查时段期间,使用第一验证电压 V_{vfy1} 感测的电压被传送至失败比特感测电路126-2,并且使用第二验证电压 V_{vfy2} 感测的电压被传送至通过比特感测电路126-1。

[0168] 如上面参照图12所述,编程操作控制器131可控制外围电路120以使得在第一编程循环(编程循环1)中一个验证电压被施加到所选字线。编程操作控制器131可控制外围电路120以使得在第二编程循环(编程循环2)至第四编程循环(编程循环4)、第七编程循环(编程循环7)、第八编程循环(编程循环8)以及第十一编程循环(编程循环11)至第十四编程循环(编程循环14)中两个验证电压被施加到所选字线。编程操作控制器131可控制外围电路120

以使得在第五编程循环(编程循环5)、第六编程循环(编程循环6)、第九编程循环(编程循环9)和第十编程循环(编程循环10)中三个验证电压被施加到所选字线。

[0169] 编程操作控制器131可对存储器单元阵列110中所包括的多个页当中的第一页执行上面参照图11至图13描述的编程操作。编程操作控制器131可对存储器单元阵列110中所包括的多个页当中的第二页执行将稍后参照图15和图16描述的盲编程操作。参照图11至图13,当对第一页执行编程操作时,与如图8所示在所有编程循环中施加第一验证电压 V_{vy1} 至第七验证电压 V_{vy7} 的情况相比,编程操作所需的时间可缩短。另外,通过将稍后参照图15和图16描述的盲编程操作,与对第一页的编程操作所需的时间相比,对第二页的编程操作所需的时间可进一步缩短。

[0170] 图14是用于说明起始循环信息的图。

[0171] 参照图14,起始循环管理器132可生成起始循环信息1500。起始循环管理器132可从通过比特感测电路126-1接收通过信号,并且可生成关于要执行失败比特检查操作的编程循环的起始循环信息1500。

[0172] 起始循环管理器132可针对各个编程状态将通过比特检查操作通过的编程循环之后的编程循环设定为要执行失败比特检查操作的编程循环。例如,当对第一编程状态P1的通过比特检查操作在第一编程循环(编程循环1)中通过时,对第一编程状态P1的失败比特检查操作开始的编程循环可被设定为第二编程循环(编程循环2)。当对第二编程状态P2的通过比特检查操作在第四编程循环(编程循环4)中通过时,对第二编程状态P2的失败比特检查操作开始的编程循环可被设定为第五编程循环(编程循环5)。当对第三编程状态P3的通过比特检查操作在第八编程循环(编程循环8)中通过时,对第三编程状态P3的失败比特检查操作开始的编程循环可被设定为第九编程循环(编程循环9)。当对第四编程状态P4的通过比特检查操作在第十三编程循环(编程循环13)中通过时,对第四编程状态P4的失败比特检查操作开始的编程循环可被设定为第十四编程循环(编程循环14)。

[0173] 根据起始循环信息1500,可能不需要在所有编程循环中执行对各个编程状态的失败比特检查操作。另外,由于已基于通过比特检查操作确定了失败比特检查操作开始的编程循环,所以即使基于起始循环信息1500在一些编程循环中省略失败比特检查操作,也可维持阈值电压的分布。

[0174] 图15是用于说明在对第二页的编程操作期间在各个编程循环中执行的检查操作的图。

[0175] 参照图15,编程操作控制器131可在依次编程的多个页当中的要在第一页之后编程的第二页的编程操作期间执行盲编程操作。详细地,编程操作控制器131可基于在对第一页的编程操作中生成的起始循环信息来执行盲编程操作。编程操作控制器131可从起始循环管理器132接收起始循环信息1500,并且可执行盲编程操作。

[0176] 详细地,编程操作控制器131可不在第一编程循环(编程循环1)中基于起始循环信息1500执行验证操作。编程操作控制器131可控制外围电路120和感测电路260以使得基于起始循环信息1500从第二编程循环(编程循环2)开始执行对第一编程状态P1的失败比特检查操作。编程操作控制器131可控制外围电路120和感测电路260以使得基于起始循环信息1500从第五编程循环(编程循环5)开始执行对第二编程状态P2的失败比特检查操作。编程操作控制器131可控制外围电路120和感测电路126以使得基于起始循环信息1500从第九编

程循环(编程循环9)开始执行对第三编程状态P3的失败比特检查操作。编程操作控制器131可控制外围电路120和感测电路126以使得基于起始循环信息1500从第十四编程循环(编程循环14)开始执行对第四编程状态P4的失败比特检查操作。

[0177] 以相同的方式,编程操作控制器131可针对第五编程状态P5至第七编程状态P7执行失败比特检查操作。

[0178] 与上面参照图12描述的对第一页执行的编程操作相比,可省略通过比特检查操作,因此编程操作所需的时间可缩短。此外,由于执行通过比特检查操作必然涉及的验证电压施加操作也可省略,所以编程操作所需的时间(编程操作时间)可缩短。

[0179] 与参照图8进行的描述相比,不在所有编程循环中施加第一验证电压Vvfy1至第七验证电压Vvfy7,而是可省略施加一些验证电压的操作,因此缩短编程操作所需的时间。

[0180] 图16是用于说明在对第二页的编程操作期间施加到所选字线的操作电压的图。

[0181] 参照图16,编程操作控制器131可控制外围电路120以使得在第一编程循环(编程循环1)的感测时段期间,不施加验证电压。

[0182] 编程操作控制器131可控制外围电路120以使得在第二编程循环(编程循环2)的感测时段期间,第一验证电压Vvfy1被施加到所选字线。另外,编程操作控制器131可将控制信号传送至感测电路126,以使得在第二编程循环(编程循环2)的检查时段期间,使用第一验证电压Vvfy1感测的电压被传送至失败比特感测电路126-2。

[0183] 即,如图16所示,编程操作控制器131可控制外围电路120将验证电压施加到所选字线,以使得在各个编程循环中执行失败比特检查操作。

[0184] 在对第二页的盲编程操作期间,编程操作控制器131可通过施加数量比在对第一页的编程操作期间施加的验证电压的数量少的验证电压来完成编程操作,如图13所示。编程操作控制器131可通过对第二页的盲编程操作来进一步缩短编程操作时间。

[0185] 图17是示出根据实施方式的编程方法的流程图。

[0186] 参照图17,在步骤S1701,编程操作控制器131可对要依次编程的多个页当中的第一页执行编程操作。详细地,编程操作控制器131可控制外围电路120和感测电路126以使得包括在第一页中的多个存储器单元被编程为多个编程状态。

[0187] 起始循环管理器132可基于在编程到第一页期间对多个编程状态的编程验证通过的编程循环来生成起始循环信息。生成起始循环信息的方法可与参照图11至图14描述的相同。

[0188] 在步骤S1703,编程操作控制器131可对多个页当中的要在第一页之后编程的第二页执行盲编程操作。详细地,编程操作控制器131可从起始循环管理器132接收起始循环信息,并且可基于起始循环信息来执行编程操作。盲编程操作可与上面参照图14至图16描述的相同。

[0189] 图18是详细示出对第一页执行的编程操作的流程图。

[0190] 参照图18,在步骤S1801至S1811,编程操作控制器131可对第一页依次执行从第一编程循环到最后编程循环的范围内的编程循环,并且起始循环管理器132可生成起始循环信息。

[0191] 详细地,在步骤S1803,编程操作控制器131可执行第一编程循环。当执行编程循环时,编程操作控制器131可在编程时段期间将编程电压施加到所选字线,并且可在编程验证

时段期间将验证电压施加到所选字线。

[0192] 在步骤S1805,通过比特感测电路126-1可检查指示包括在第一页中的存储器单元当中的阈值电压高于验证电压的存储器单元的数量是否大于第一基准数量。当通过比特的数量大于第一基准数量时,通过比特感测电路126-1可向控制逻辑130输出通过信号。当通过比特的数量小于或等于第一基准数量时,通过比特感测电路126-1可向控制逻辑130输出失败信号。当通过比特的数量大于第一基准数量时,处理可进行至步骤S1807,而当通过比特的数量小于或等于第一基准数量时,处理可进行至步骤S1811。

[0193] 在步骤S1807,起始循环管理器132可基于通过比特检查操作通过的编程循环来生成起始循环信息。详细地,在通过比特检查操作通过的编程循环之后的编程循环可被设定为要执行失败比特检查操作的编程循环。失败比特检查操作可确定指示阈值电压低于对应验证电压的存储器单元的数量是否小于第二基准数量。失败比特感测电路126-2可执行失败比特检查操作。当失败比特的数量小于第二基准数量时,失败比特感测电路126-2可向控制逻辑130输出通过信号。当失败比特的数量等于或大于第二基准数量时,失败比特感测电路126-2可向控制逻辑130输出失败信号。

[0194] 在步骤S1809,编程操作控制器131可确定当前编程循环是否为最后编程循环。当确定当前编程循环不是最后编程循环时,处理可进行至步骤S1811,而当确定当前编程循环是最后编程循环时,处理可进行至步骤S1813。

[0195] 在步骤S1811,当编程循环改变为后续编程循环($k=k+1$)时,编程电压可增加阶跃电压。

[0196] 在步骤S1813,编程操作控制器131可基于起始循环信息对多个页当中的要在第一页之后编程的第二页执行盲编程操作。盲编程操作可以是在基于起始循环信息确定的编程循环之前执行的编程循环中省略编程验证的编程操作。

[0197] 图19是示出存储装置的框图。

[0198] 参照图19,存储装置50可包括存储器装置100以及控制存储器装置的操作的存储控制器200。

[0199] 存储装置50可以是在主机300(例如,移动电话、智能电话、MP3播放器、膝上型计算机、台式计算机、游戏机、TV、平板PC或车载信息娱乐系统)的控制下存储数据的装置。

[0200] 根据作为与主机300的通信方法的主机接口,存储装置50可被制造成各种类型的存储装置中的任一种。例如,存储装置50可被实现为各种类型的存储装置中的任一种,例如固态硬盘(SSD)、诸如MMC、嵌入式MMC(eMMC)、缩小尺寸MMC(RS-MMC)或微型MMC的多媒体卡、诸如SD、迷你SD或微型SD的安全数字卡、通用存储总线(USB)存储装置、通用闪存(UFS)装置、个人计算机存储卡国际协会(PCMCIA)卡型存储装置、外围组件互连(PCI)卡型存储装置、高速PCI(PCI-E)卡型存储装置、紧凑闪存(CF)卡、智能媒体卡和记忆棒。

[0201] 存储装置50可按照各种类型的封装形式中的任一种来制造。例如,存储装置50可按照诸如堆叠式封装(POP)、系统封装(SIP)、系统芯片(SOC)、多芯片封装(MCP)、板上芯片(COB)、晶圆级制造封装(WFP)和晶圆级层叠封装(WSP)的各种类型的封装形式中的任一种来制造。

[0202] 存储器装置100可存储数据。存储器装置100响应于存储控制器200的控制来操作。

[0203] 存储器装置100可包括存储器单元阵列。存储器单元阵列可包括存储数据的多个

存储器单元。各个存储器单元可被实现为能够存储一个数据比特的单级单元 (SLC)、能够存储两个数据比特的多级单元 (MLC)、能够存储三个数据比特的三级单元 (TLC) 或者能够存储四个数据比特的四级单元 (QLC)。

[0204] 存储器单元阵列可包括多个存储块。各个存储块可包括多个存储器单元。单个存储块可包括多个页。在实施方式中,各个页可以是将数据存储在存储器装置100中或读取存储在存储器装置100中的数据的单位。存储块可以是擦除数据的单位。

[0205] 在实施方式中,存储器装置100可包括许多另选形式的存储器,例如双倍数据速率同步动态随机存取存储器 (DDR SDRAM)、低功率双倍数据速率第4代 (LPDDR4) SDRAM、图形双倍数据速率 (GDDR) SDRAM、低功率DDR (LPDDR) SDRAM、Rambus动态随机存取存储器 (RDRAM)、NAND闪存、垂直NAND闪存、NOR闪存装置、电阻RAM (RRAM)、相变存储器 (PRAM)、磁阻RAM (MRAM)、铁电RAM (FRAM) 或自旋转移矩RAM (STT-RAM)。在本说明书中,为了描述方便,将假设存储器装置100包括NAND闪存来进行描述。

[0206] 存储器装置100可从存储控制器200接收命令和地址。存储器装置100可访问存储器单元阵列中的通过所接收的地址选择的区域。访问选择的区域可意指对选择的区域执行与所接收的命令对应的操作。例如,存储器装置100可执行写操作(即,编程操作)、读操作和擦除操作。在编程操作期间,存储器装置100可将数据编程到通过地址选择的区域。在读操作期间,存储器装置100可从通过地址选择的区域读取数据。在擦除操作期间,存储器装置100可擦除存储在通过地址选择的区域中的数据。

[0207] 在实施方式中,存储器装置100可包括编程操作控制器131和起始循环管理器132。

[0208] 编程操作控制器131可从存储控制器200接收编程命令和地址,并且可执行将数据编程到存储器单元阵列的由地址指示的区域的编程操作。编程操作控制器131可执行多个编程循环以执行编程操作。编程循环可包括编程时段和编程验证时段。在编程时段期间,编程操作控制器131可控制编程操作以使得编程电压被施加到所选字线。在编程验证时段期间,编程操作控制器131可控制编程操作以使得验证电压被施加到所选字线。

[0209] 起始循环管理器132可管理关于在编程验证时段期间第一验证电压V_{vfy1}至第七验证电压V_{vfy7}中的哪一个要施加到所选字线的起始循环信息。

[0210] 编程操作控制器131可控制编程操作以使得基于起始循环信息从第一验证电压V_{vfy1}至第七验证电压V_{vfy7}当中选择的验证电压被施加到所选字线。

[0211] 当电力被施加到存储装置50时,存储控制器200可运行固件(FW)。固件(FW)可包括:主机接口层(HIL),其接收从主机300输入的请求或者向主机300输出响应;闪存转换层(FTL),其管理主机300的接口与存储器装置100的接口之间的操作;以及闪存接口层(FIL),其向存储器装置100提供命令或者从存储器装置100接收响应。

[0212] 存储控制器200可从主机300接收数据和逻辑地址(LA),并且可将逻辑地址转换为指示包括在存储器装置100中并要存储数据的存储器单元的地址的物理地址(PA)。逻辑地址可以是逻辑块地址(LBA),物理地址可以是物理块地址(PBA)。

[0213] 存储控制器200可控制存储器装置100以使得响应于从主机300接收的请求执行编程操作、读操作或擦除操作。在编程操作期间,存储控制器200可将编程命令、物理块地址和数据提供给存储器装置100。在读操作期间,存储控制器200可将读命令和物理块地址提供给存储器装置100。在擦除操作期间,存储控制器200可将擦除命令和物理块地址提供给存

存储器装置100。

[0214] 存储控制器200可控制存储器装置100以使得自主地执行编程操作、读操作或擦除操作,而不管从主机300接收的请求如何。例如,存储控制器200可控制存储器装置100以使得执行用于执行后台操作(例如,损耗平衡操作、垃圾收集操作和读回收操作)的编程操作、读操作或擦除操作。

[0215] 主机300可使用诸如通用串行总线(USB)、串行ATA附件(SATA)、串行附接SCSI(SAS)、高速芯片间(HSIC)、小型计算机系统接口(SCSI)、外围组件互连(PCI)、高速PCI(PCIe)、高速非易失性存储器(NVMe)、通用闪存(UFS)、安全数字(SD)、多媒体卡(MMC)、嵌入式MMC(eMMC)、双列直插存储器模块(DIMM)、注册DIMM(RDIMM)和负载减少DIMM(LRDIMM)通信方法的各种通信方法中的至少一种来与存储装置50通信。

[0216] 图20是示出应用根据本公开的实施方式的存储装置的存储卡系统的框图。

[0217] 参照图20,存储卡系统2000可包括存储控制器2100、存储器装置2200和连接器2300。

[0218] 存储控制器2100联接到存储器装置2200。存储控制器2100可访问存储器装置2200。例如,存储控制器2100可控制存储器装置2200的读操作、写操作、擦除操作和后台操作。存储控制器2100可在存储器装置2200与主机之间提供接口。存储控制器2100可运行用于控制存储器装置2200的固件。

[0219] 在实施方式中,存储控制器2100可包括诸如RAM、处理器、主机接口、存储器接口和ECC电路的组件。

[0220] 存储控制器2100可通过连接器2300与外部装置通信。存储控制器2100可基于特定通信协议来与外部装置(例如,主机)通信。在实施方式中,存储控制器2100可通过诸如通用串行总线(USB)、多媒体卡(MMC)、嵌入式MMC(eMMC)、外围组件互连(PCI)、高速PCI(PCI-E)、高级技术附件(ATA)、串行ATA(SATA)、并行ATA(PATA)、小型计算机小型接口(SCSI)、增强小型磁盘接口(ESDI)、集成驱动电子设备(IDE)、火线、通用闪存(UFS)、Wi-Fi、蓝牙和高速非易失性存储器(NVMe)协议的各种通信协议中的至少一种来与外部装置通信。在实施方式中,连接器2300可由上述各种通信协议中的至少一种限定。

[0221] 在实施方式中,存储器装置2200可被实现为各种非易失性存储器装置中的任一种,例如电可擦除可编程ROM(EEPROM)、NAND闪存、NOR闪存、相变RAM(PRAM)、电阻RAM(ReRAM)、铁电RAM(FRAM)、自旋转矩磁性RAM(STT-MRAM)。

[0222] 存储控制器2100和存储器装置2200可被集成到单个半导体装置中以配置存储卡。例如,存储控制器2100和存储器装置2200可被集成到单个半导体装置中以配置诸如PC卡(个人计算机存储卡国际协会:PCMCIA)、紧凑闪存卡(CF)、智能媒体卡(SM或SMC)、记忆棒、多媒体卡(MMC、RS-MMC、MMCmicro或eMMC)、SD卡(SD、miniSD、microSD或SDHC)或通用闪存(UFS)的存储卡。

[0223] 图21是示出应用根据本公开的实施方式的存储装置的固态驱动器(SSD)系统的示例的框图。

[0224] 参照图21,SSD系统3000可包括主机3100和SSD 3200。SSD 3200可通过信号连接器3001来与主机3100交换信号SIG,并且可通过电源连接器3002来接收电力PWR。SSD 3200可包括SSD控制器3210、多个闪存3221至322n、辅助电源3230和缓冲存储器3240。

[0225] 在实施方式中,SSD控制器3210可执行上面参照图1描述的存储控制器200的功能。

[0226] SSD控制器3210可响应于从主机3100接收的信号SIG来控制多个闪存3221至322n。在实施方式中,信号SIG可以是基于主机3100和SSD 3200的接口的信号。例如,信号SIG可以由诸如通用串行总线(USB)、多媒体卡(MMC)、嵌入式MMC(eMMC)、外围组件互连(PCI)、高速PCI(PCI-E)、高级技术附件(ATA)、串行ATA(SATA)、并行ATA(PATA)、小型计算机小型接口(SCSI)、增强小型磁盘接口(ESDI)、集成驱动电子设备(IDE)、火线、通用闪存(UFS)、Wi-Fi、蓝牙和高速非易失性存储器(NVMe)接口的各种接口中的至少一种限定的信号。

[0227] 辅助电源3230可通过电源连接器3002联接到主机3100。辅助电源3230可被供应有来自主机3100的电力PWR并且可被充电。当来自主机3100的电力供应没有顺畅地执行时,辅助电源3230可供应SSD 3200的电力。在实施方式中,辅助电源3230可设置在SSD 3200内部或设置在SSD 3200外部。例如,辅助电源3230可设置在主板中并且可向SSD 3200供应辅助电力。

[0228] 缓冲存储器3240可用作SSD 3200的缓冲存储器。例如,缓冲存储器3240可暂时存储从主机3100接收的数据或从多个闪存3221至322n接收的数据,或者可暂时存储闪存3221至322n的元数据(例如,映射表)。缓冲存储器3240可包括诸如DRAM、SDRAM、DDR SDRAM、LPDDR SDRAM和GRAM的易失性存储器或者诸如FRAM、ReRAM、STT-MRAM和PRAM的非易失性存储器。

[0229] 图22是示出应用根据本公开的实施方式的存储装置的用户系统的框图。

[0230] 参照图22,用户系统4000可包括应用处理器4100、存储器模块4200、网络模块4300、存储模块4400和用户接口4500。

[0231] 应用处理器4100可运行包括在用户系统4000中的组件、操作系统(OS)或用户程序。在实施方式中,应用处理器4100可包括用于控制包括在用户系统4000中的组件的控制器、接口、图形引擎等。应用处理器4100可作为系统芯片(SoC)提供。

[0232] 存储器模块4200可作用用户系统4000的主存储器、工作存储器、缓冲存储器或高速缓存存储器。存储器模块4200可包括诸如DRAM、SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、LPDDR SDRAM、LPDDR2 SDRAM和LPDDR3SDRAM的易失性RAM或者诸如PRAM、ReRAM、MRAM和FRAM的非易失性RAM。在实施方式中,应用处理器4100和存储器模块4200可基于叠层封装(PoP)来封装,然后可作为单个半导体封装提供。

[0233] 网络模块4300可与外部装置通信。例如,网络模块4300可支持诸如码分多址(CDMA)、全球移动通信系统(GSM)、宽带CDMA(WCDMA)、CDMA-2000、时分多址(TDMA)、长期演进(LTE)、WiMAX、WLAN、UWB、蓝牙或Wi-Fi通信的无线通信。在实施方式中,网络模块4300可被包括在应用处理器4100中。

[0234] 存储模块4400可存储数据。例如,存储模块4400可存储从应用处理器4100接收的数据。另选地,存储模块4400可将存储在存储模块4400中的数据发送到应用处理器4100。在实施方式中,存储模块4400可被实现为诸如相变RAM(PRAM)、磁性RAM(MRAM)、电阻RAM(RRAM)、NAND闪存、NOR闪存或具有三维(3D)结构的NAND闪存的非易失性半导体存储器装置。在实施方式中,存储模块4400可作为用户系统4000的诸如存储卡或外部驱动器的可移除存储介质(即,可移除驱动器)来提供。

[0235] 在实施方式中,存储模块4400可包括多个非易失性存储器装置,各个非易失性存

存储器装置可按照与上面参照图1描述的存储器装置相同的方式来操作。存储模块4400可按照与上面参照图19描述的存储装置50相同的方式来操作。

[0236] 用户接口4500可包括向应用处理器4100输入数据或指令或者向外部装置输出数据的接口。在实施方式中,用户接口4500可包括诸如键盘、键区、按钮、触摸面板、触摸屏、触摸板、触摸球、相机、麦克风、陀螺仪传感器、振动传感器和压电装置的用户输入接口。用户接口4500还可包括诸如液晶显示器(LCD)、有机发光二极管(OLED)显示装置、有源矩阵OLED(AMOLED)显示装置、LED、扬声器和监视器的用户输出接口。

[0237] 根据本公开的存储器装置以及操作该存储器装置的方法可提供缩短的编程操作时间。

[0238] 相关申请的交叉引用

[0239] 本申请要求2019年11月21日提交于韩国知识产权局的韩国专利申请号10-2019-0150464的优先权,其完整公开通过引用并入本文。

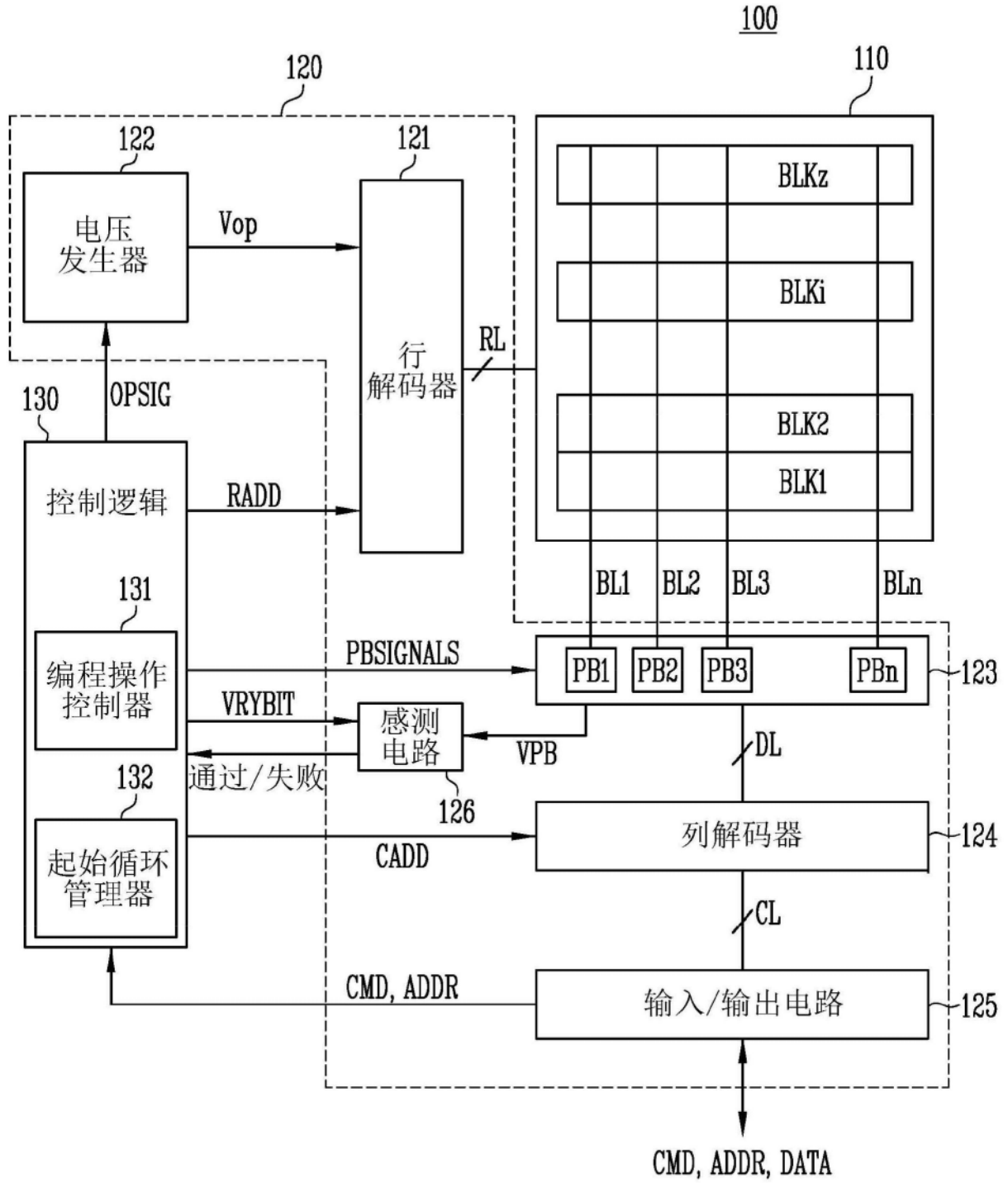


图1

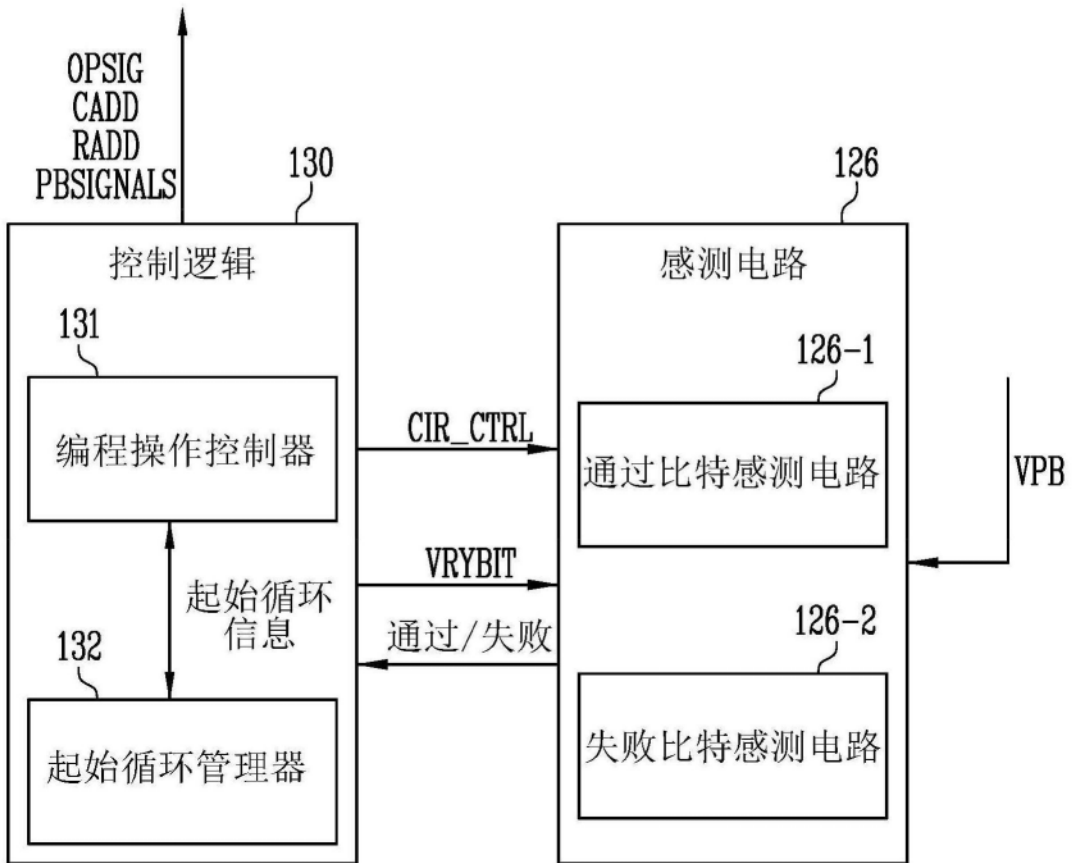


图2

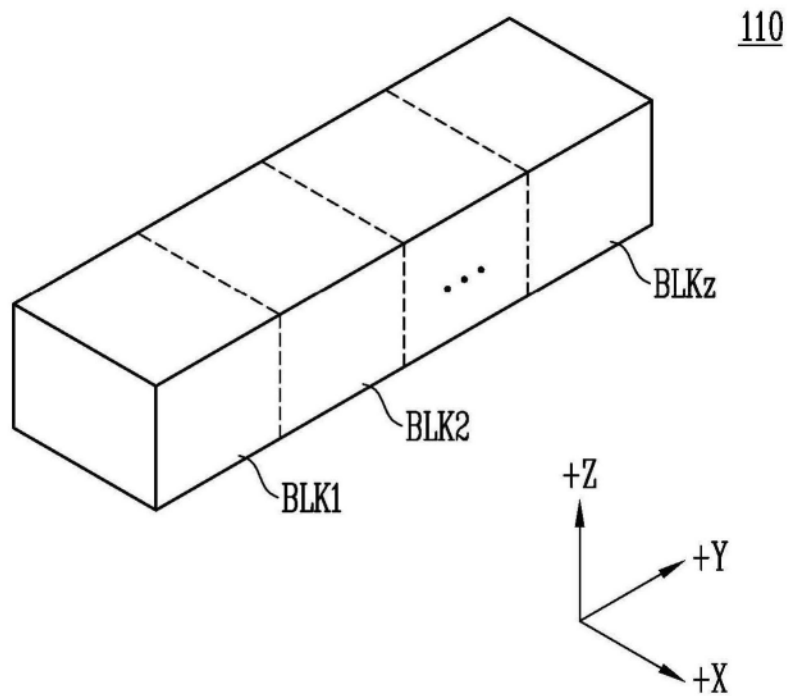


图3

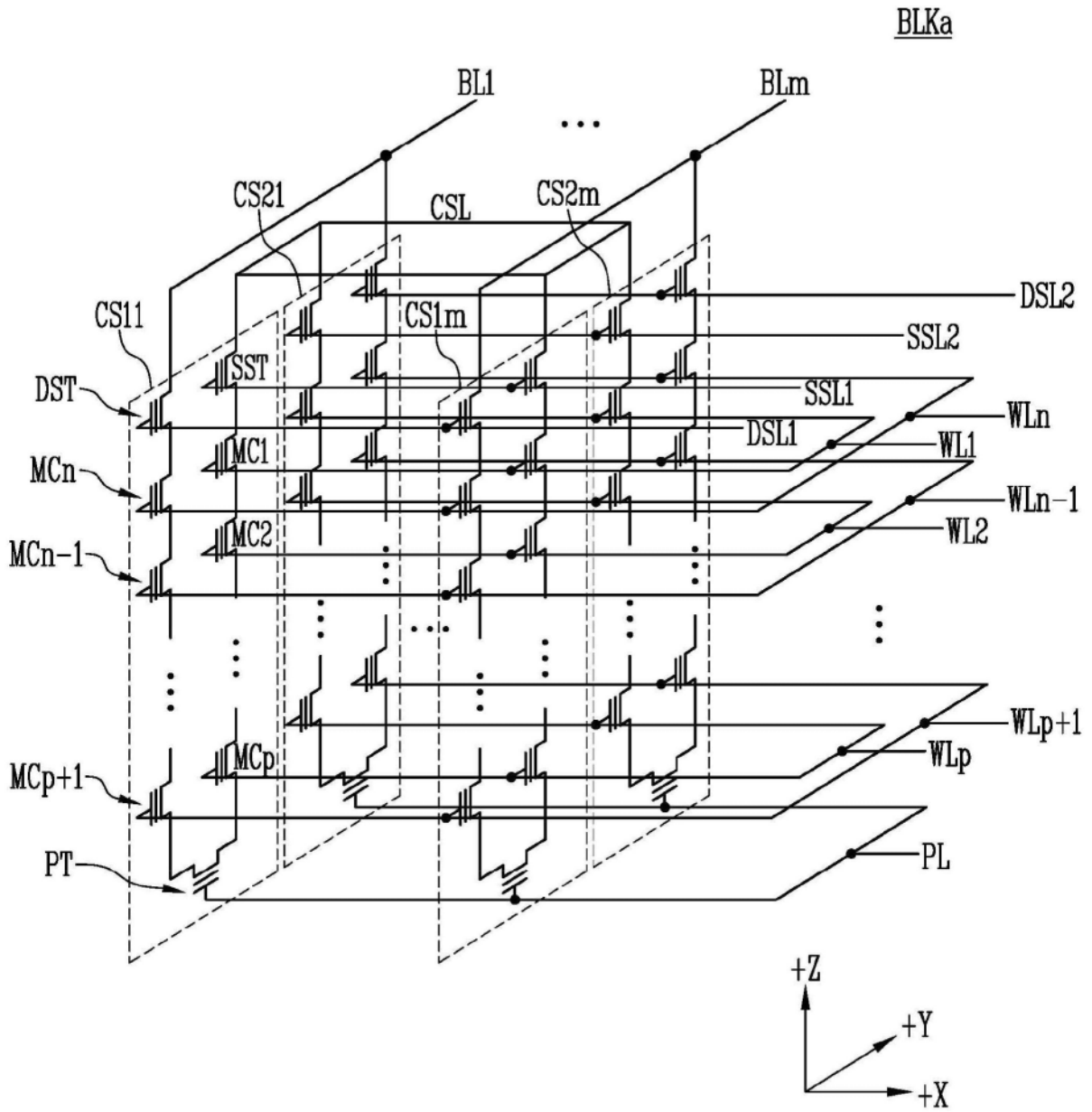


图4

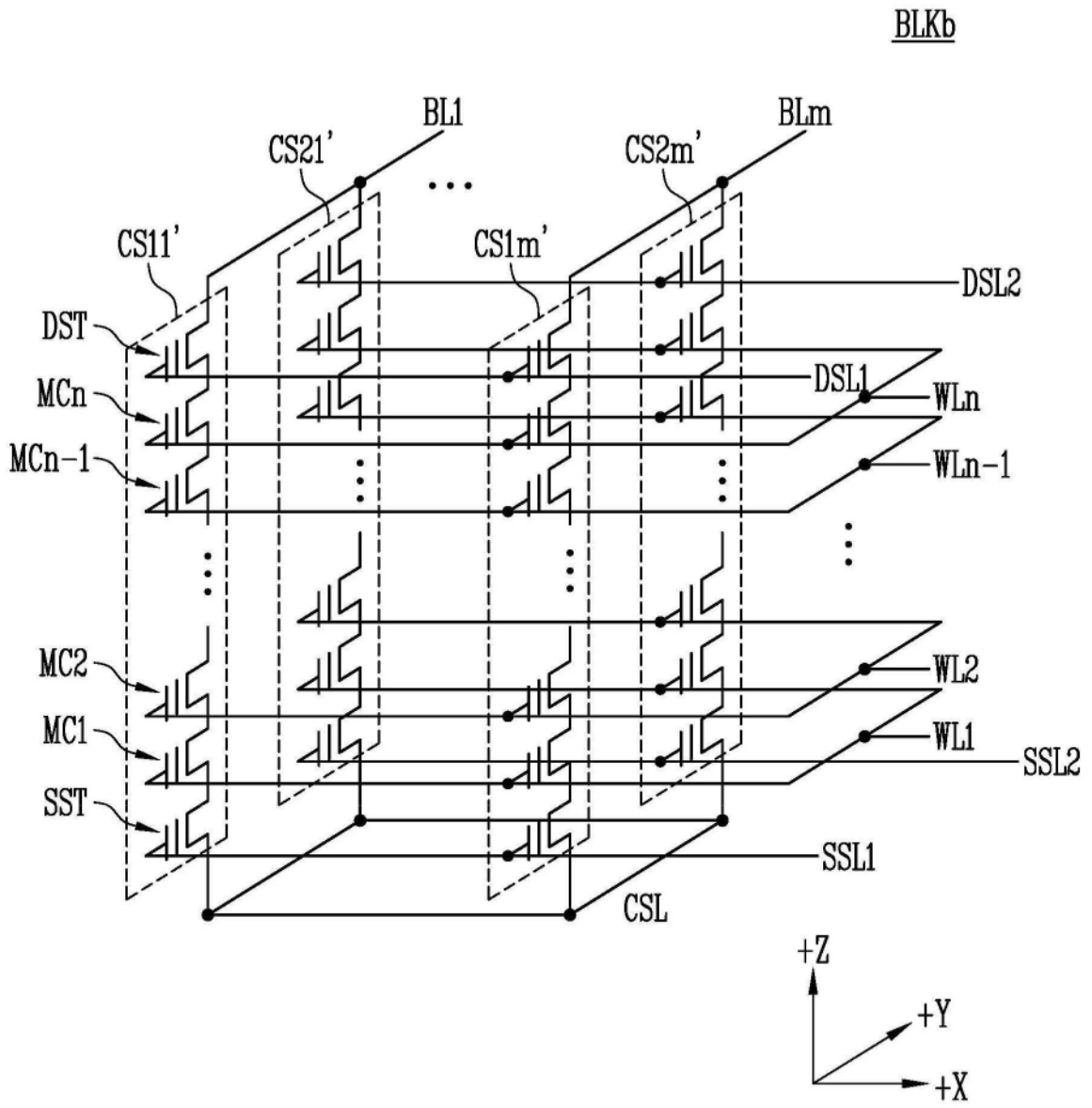


图5

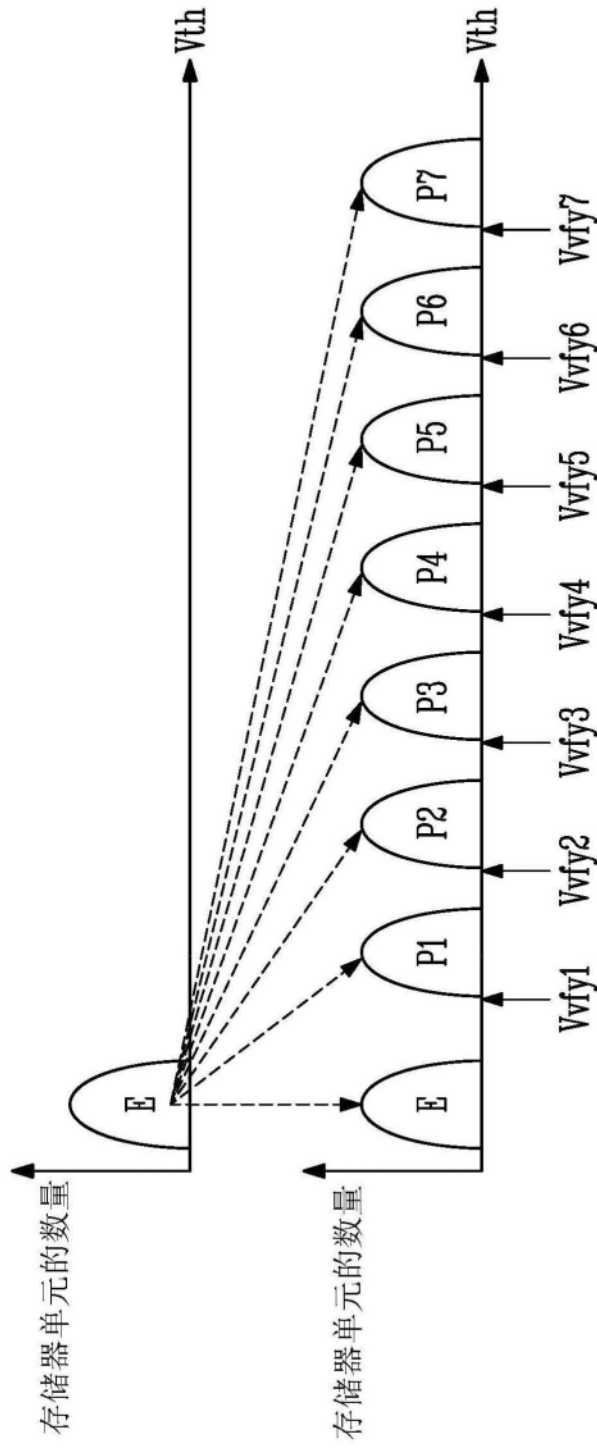


图6

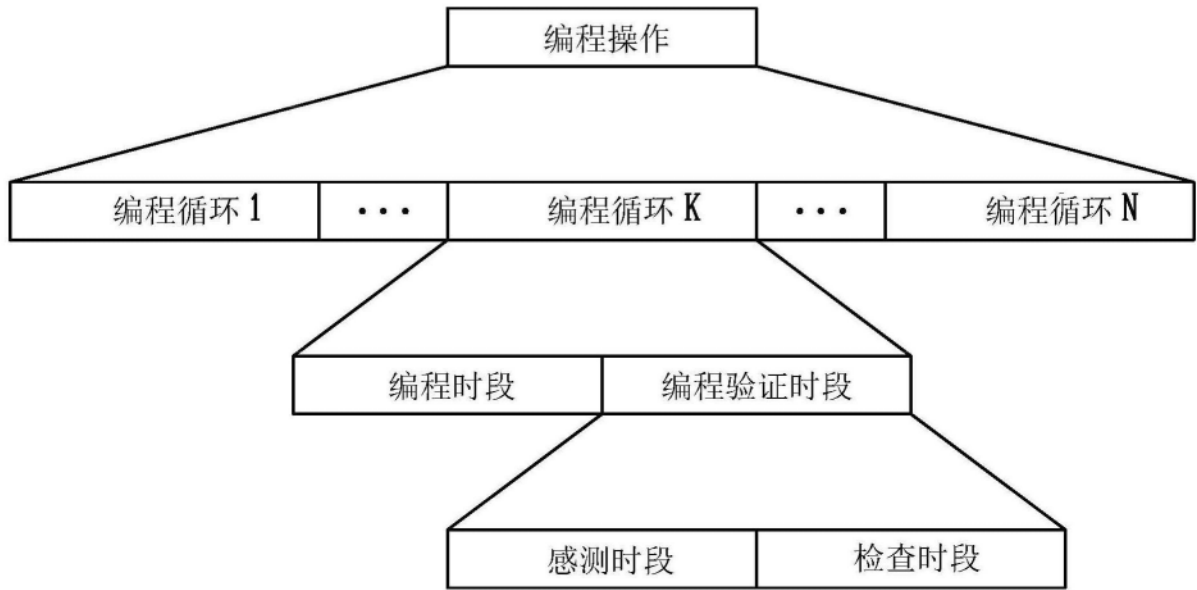


图7

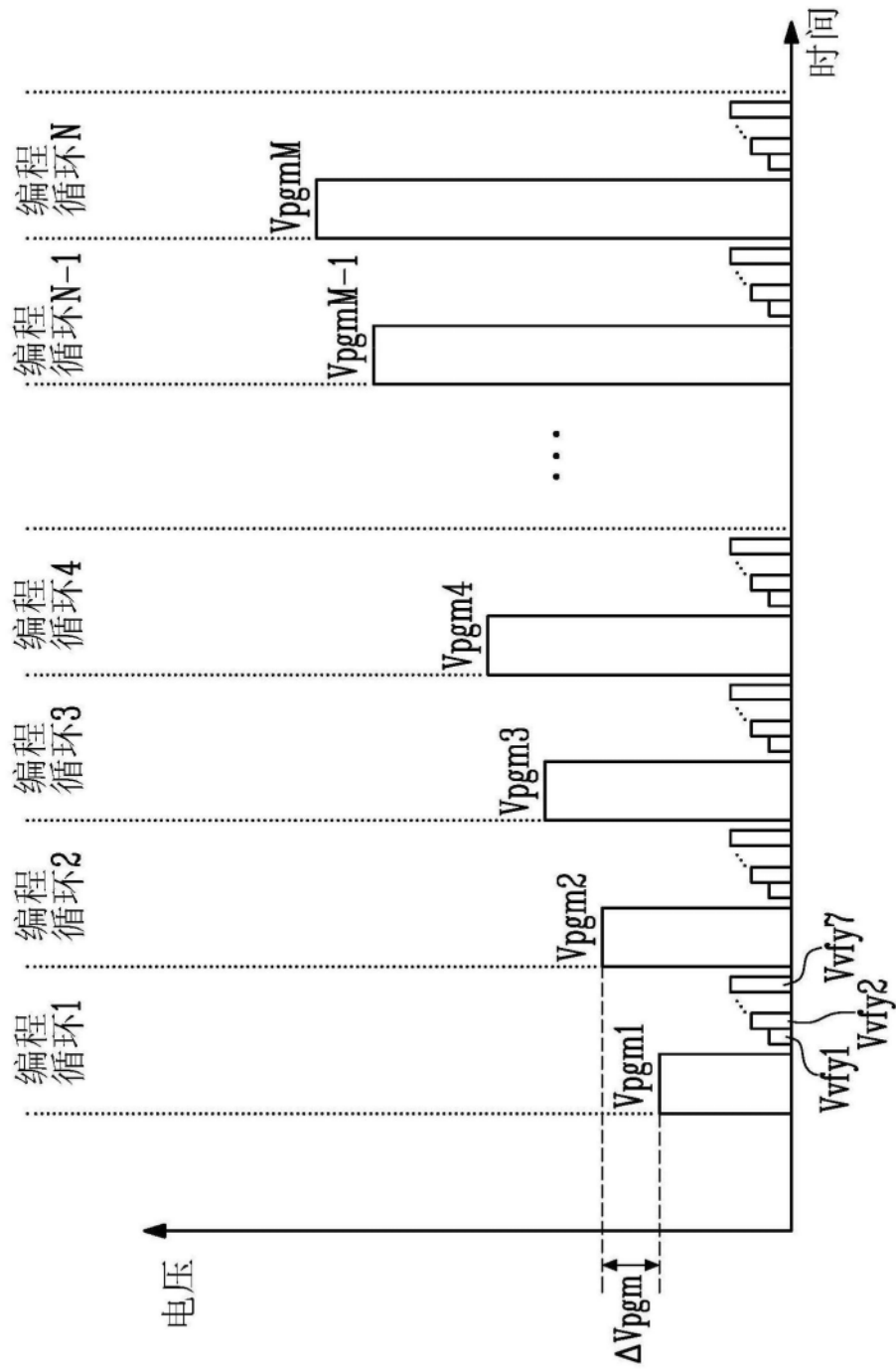


图8

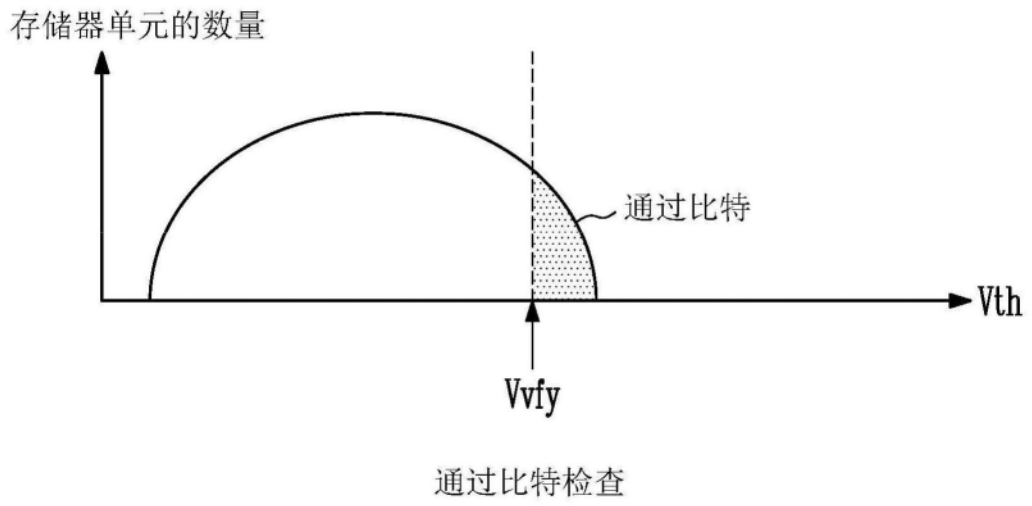


图9A

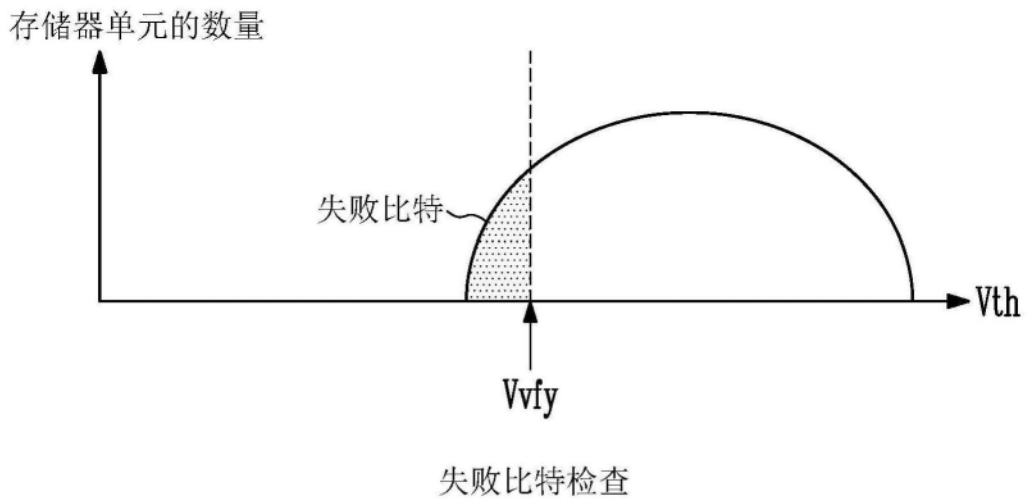


图9B

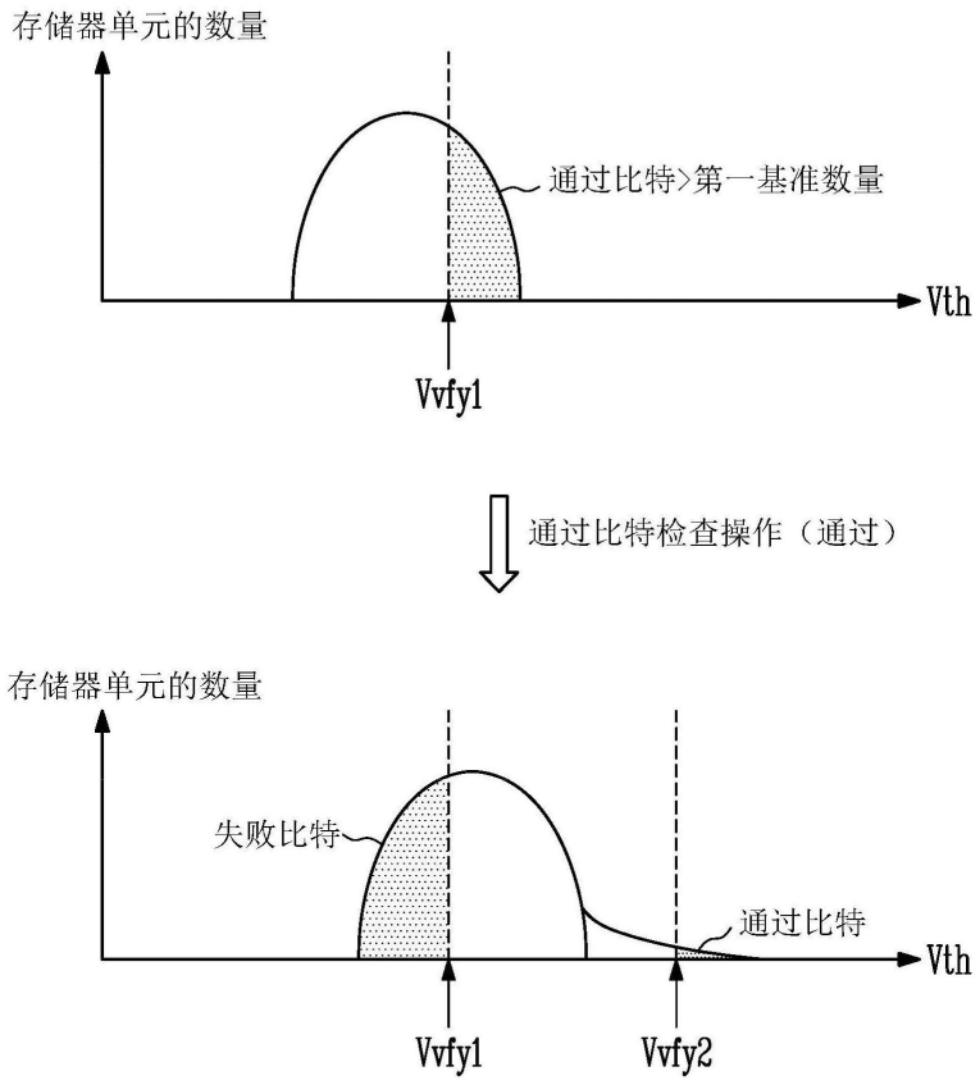


图10

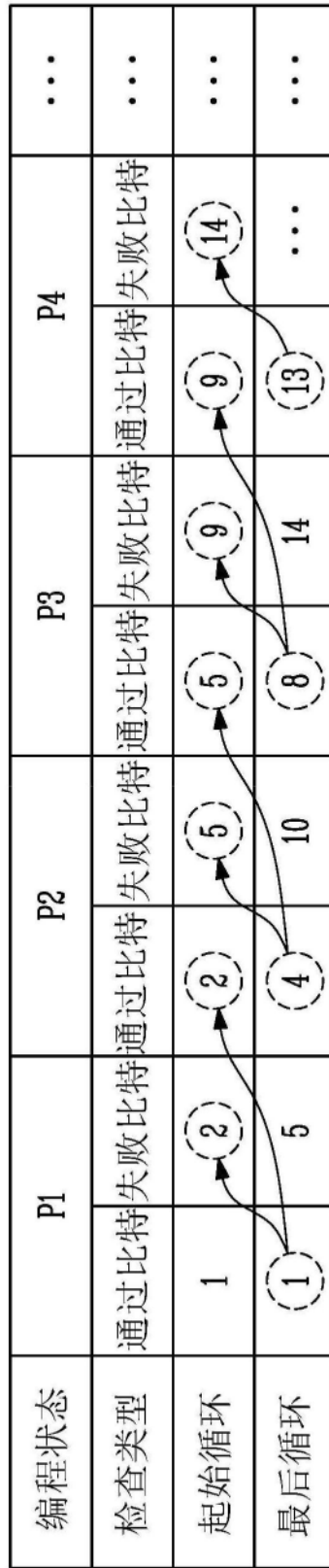


图11

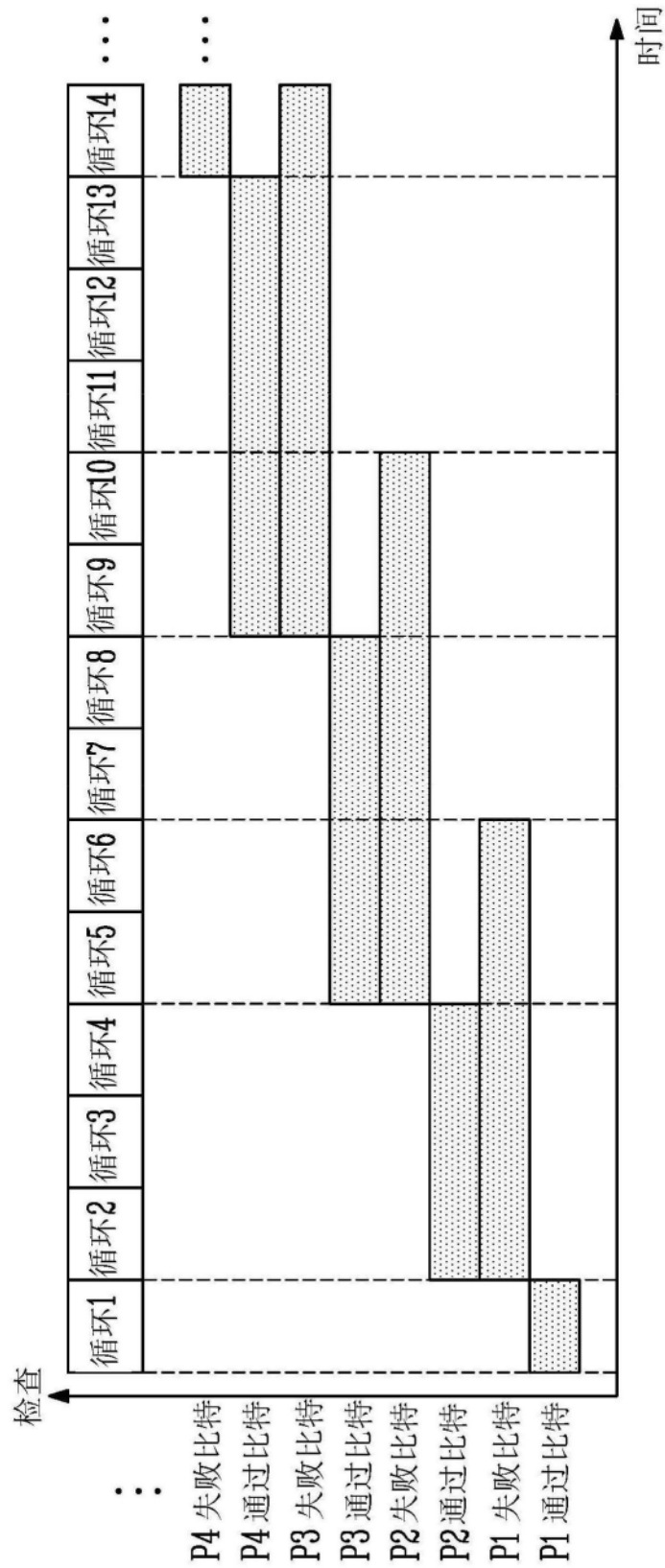


图12

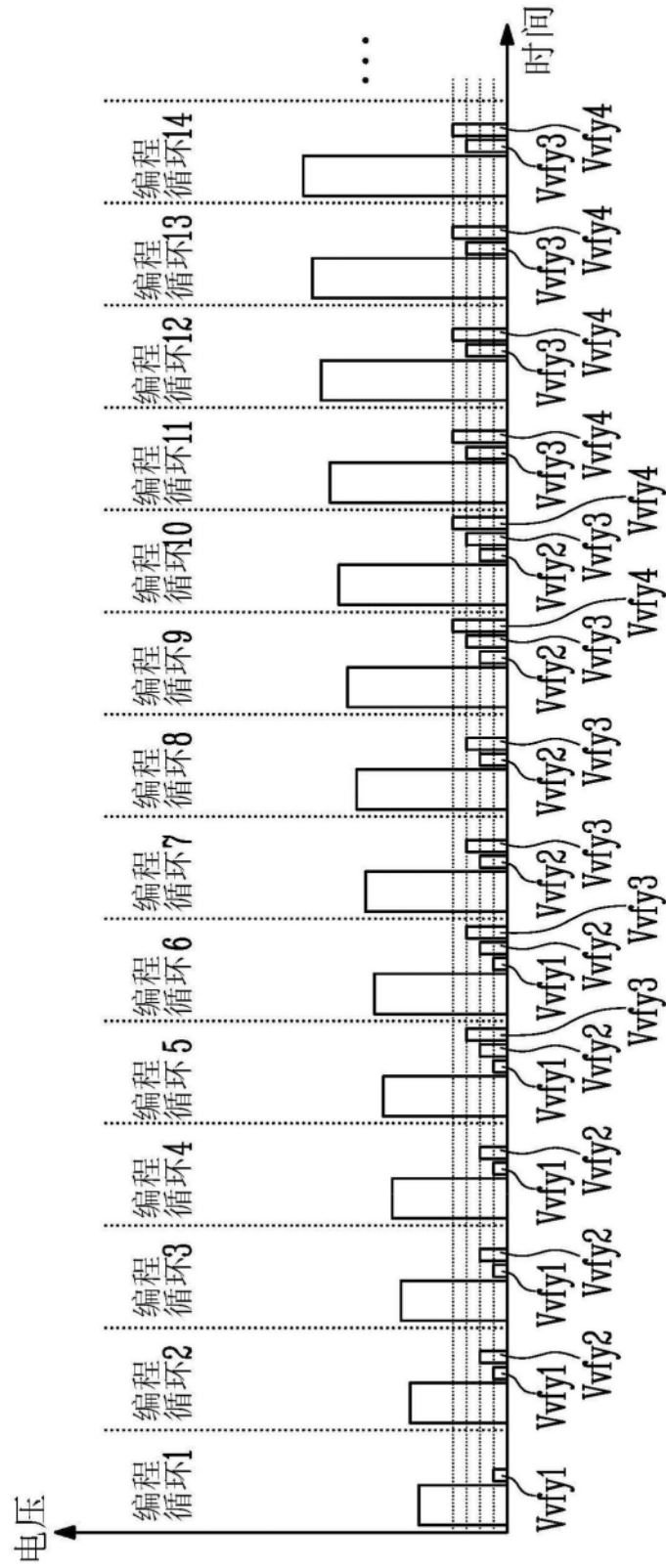


图13

1500

	P1	P2	P3	P4	...
失败比特检查 起始循环	2	5	9	14	...

图14

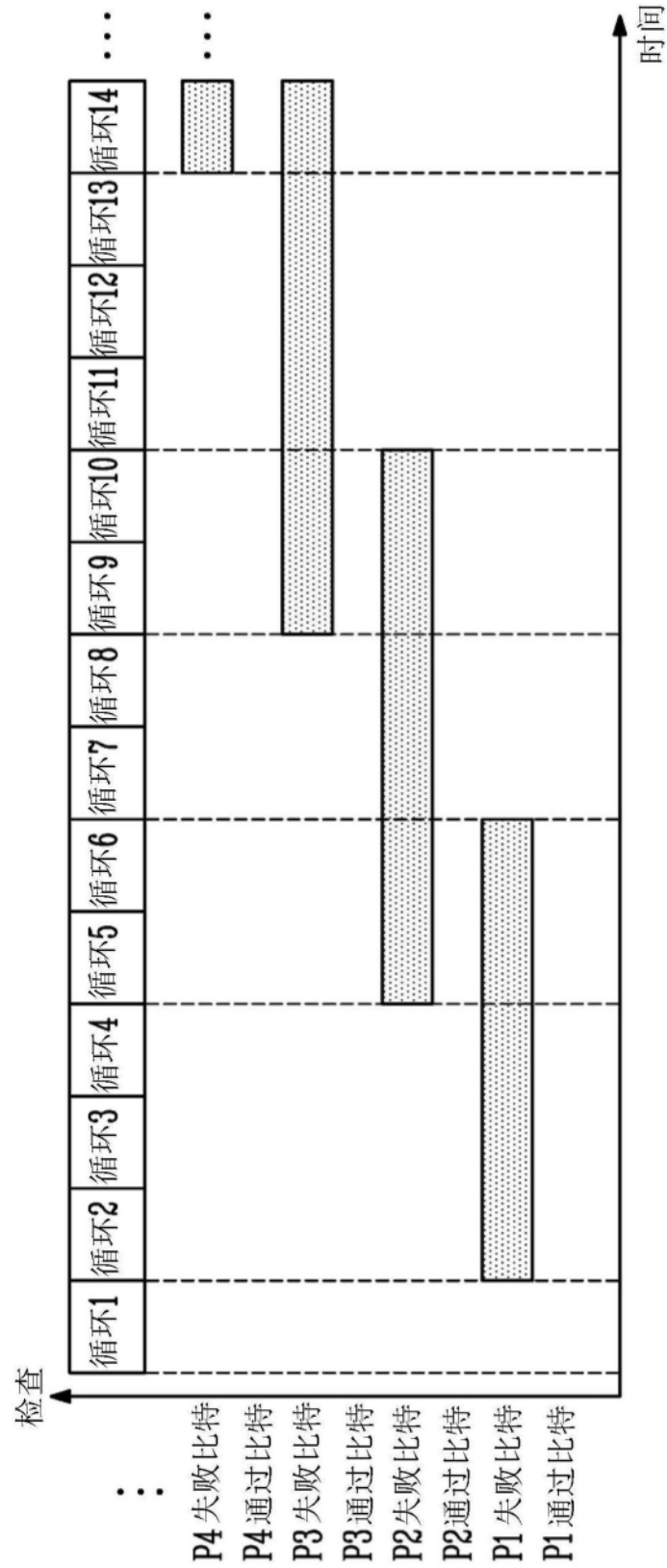


图15

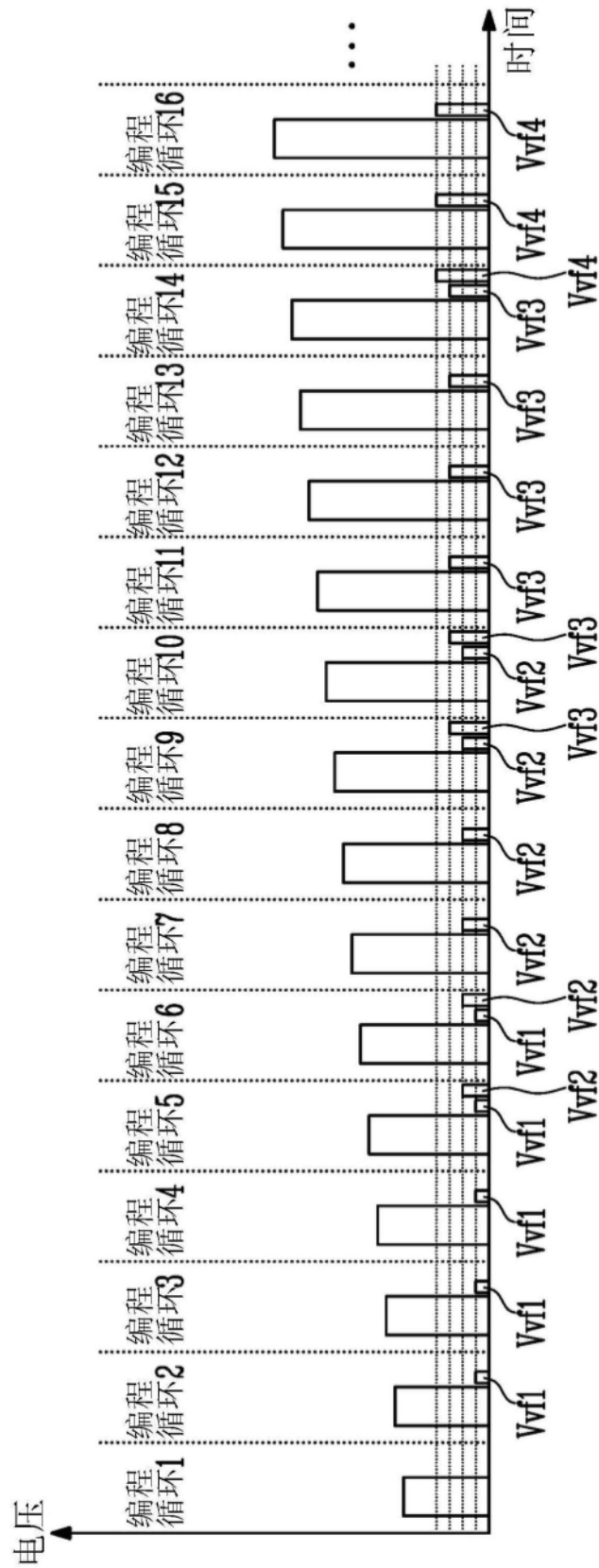


图16

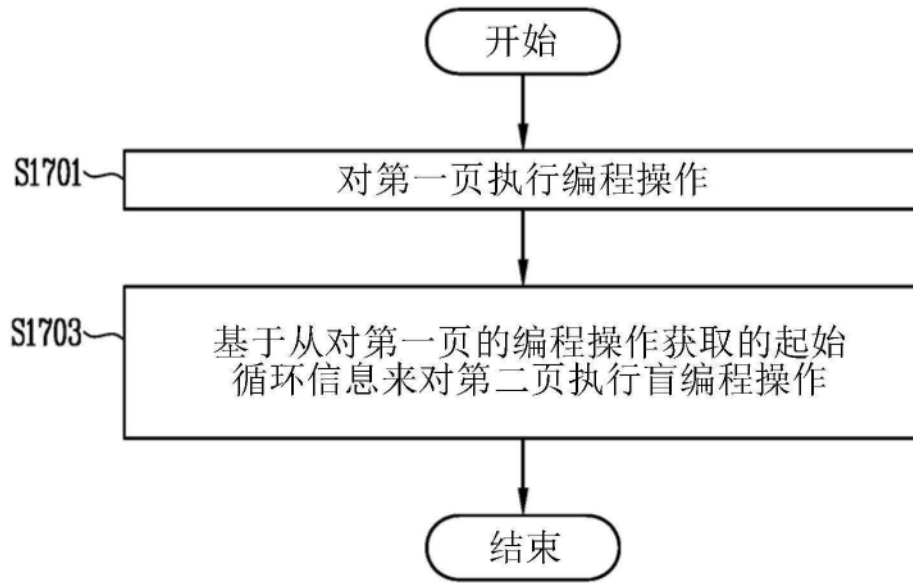


图17

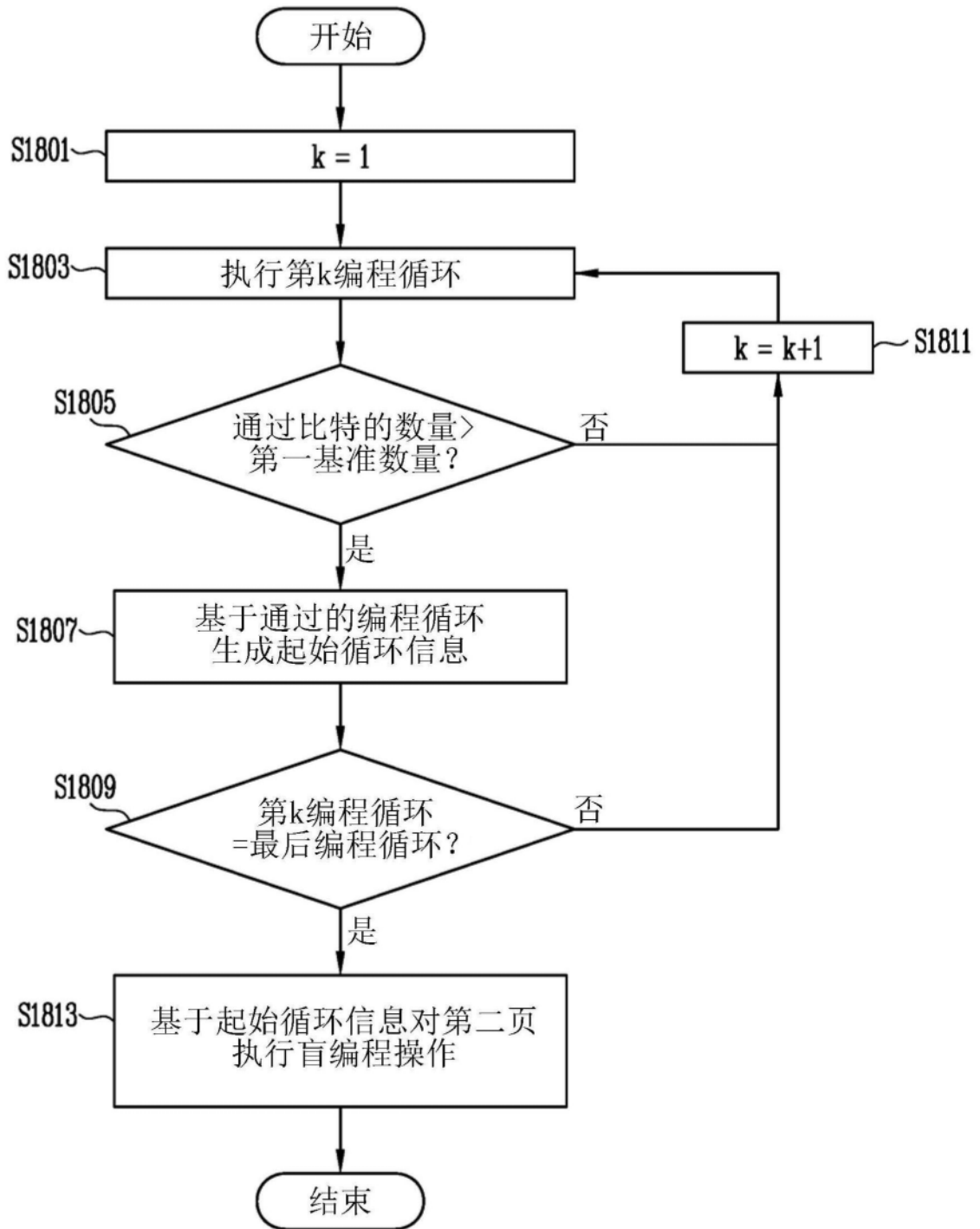


图18

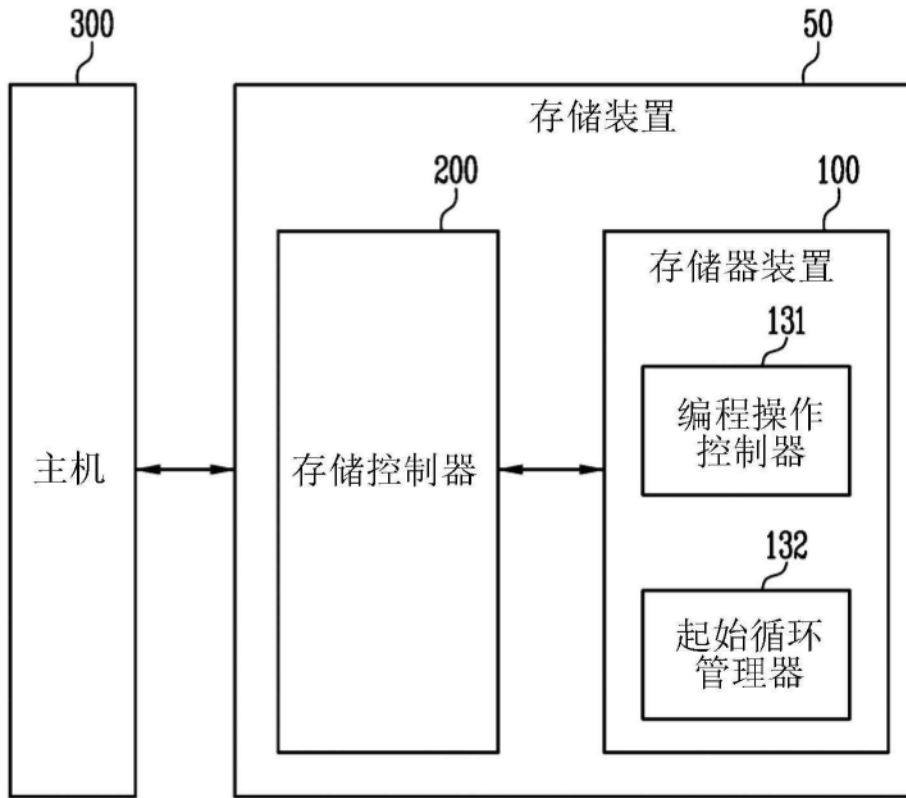


图19

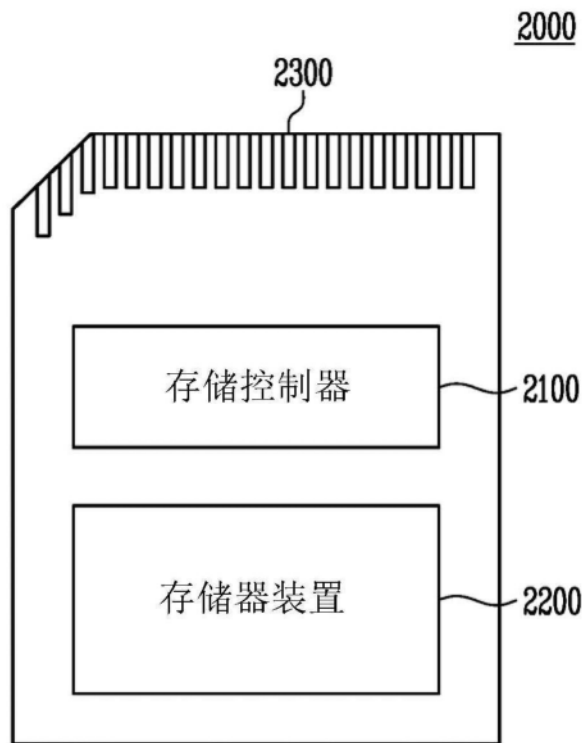


图20

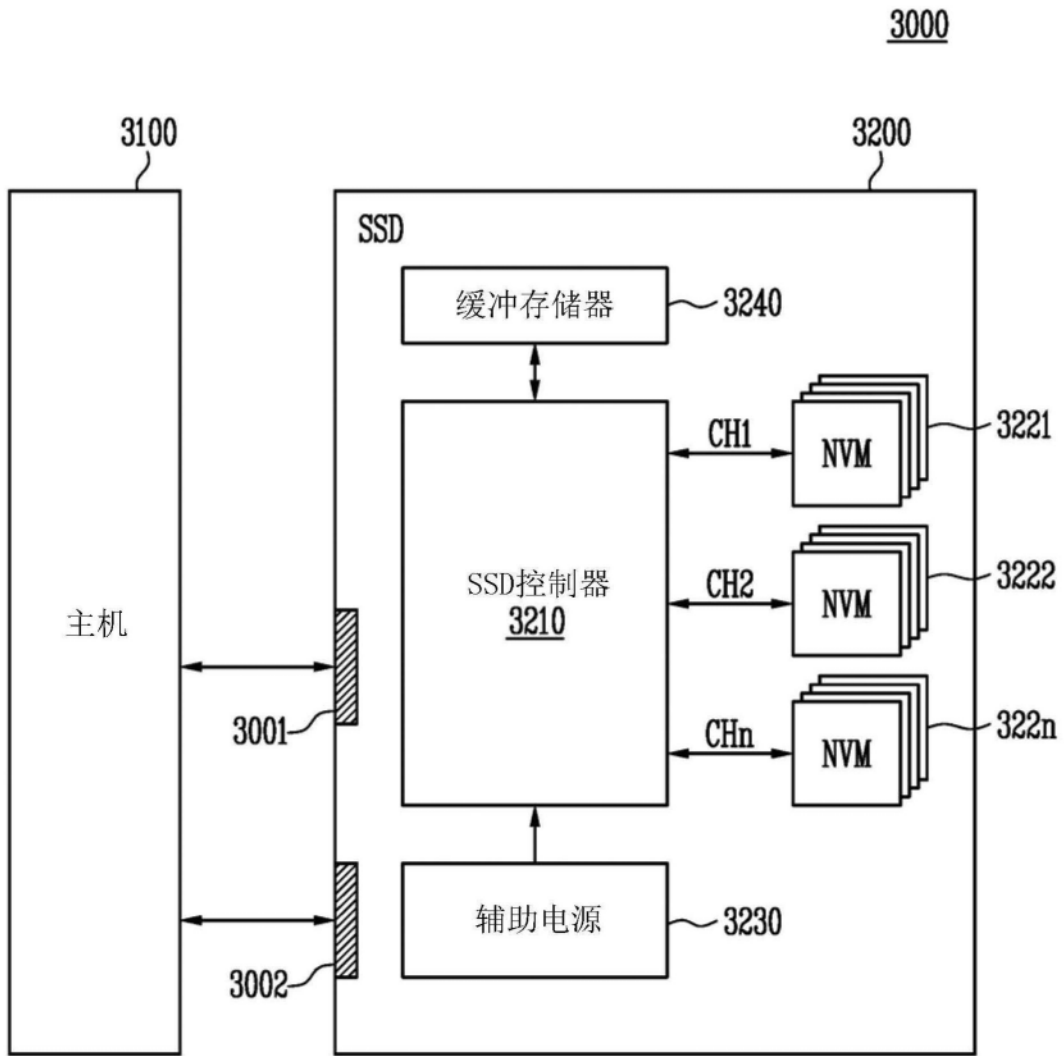


图21

4000

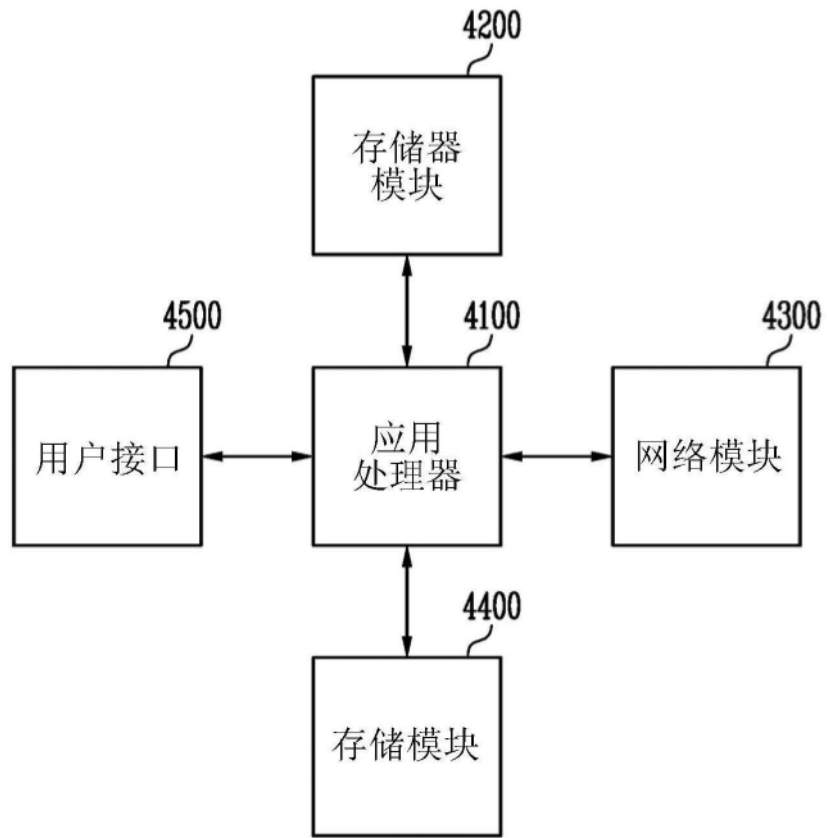


图22