



(12) 发明专利申请

(10) 申请公布号 CN 106653086 A

(43) 申请公布日 2017. 05. 10

(21) 申请号 201510713978. 7

(22) 申请日 2015. 10. 28

(71) 申请人 上海复旦微电子集团股份有限公司  
地址 200433 上海市杨浦区国泰路 127 号复  
旦国家大学科技园 4 号楼

(72) 发明人 夏杰峰 肖磊 左平 刘刚  
刘金辰 黄新运

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 吴敏

(51) Int. Cl.

G11C 16/26(2006. 01)

G11C 16/06(2006. 01)

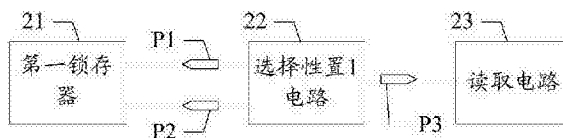
权利要求书3页 说明书8页 附图4页

(54) 发明名称

非易失性存储器的页缓存器电路及控制方法、存储器

(57) 摘要

非易失性存储器的页缓存器电路及控制方法、存储器,包括:第一锁存器、读取电路、用于调节判断节点的电位的选择性置 1 电路;所述判断节点位于所述读取电路和所述选择性置 1 电路之间;所述第一锁存器适于存储来自外部 I/O 的数据,包括第一锁存点和第二锁存点;所述选择性置 1 电路通过第一输入端与所述第一锁存点耦接,通过第二输入端与所述第二锁存点耦接,通过输出端与所述判断节点耦接;在所述读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择性置 1 操作。上述方案可以减小页缓存器电路的面积,提高电路可靠性。



1. 一种非易失性存储器的页缓存器电路,其特征在于,包括:第一锁存器、读取电路、用于调节判断节点的电位的选择性置 1 电路;所述判断节点位于所述读取电路和所述选择性置 1 电路之间;

所述第一锁存器适于存储来自外部 I/O 的数据,包括第一锁存点和第二锁存点;其中,所述第一锁存点的信号值与外部 I/O 数据一致,所述第一锁存点和第二锁存点的电位反相;

所述选择性置 1 电路通过第一输入端与所述第一锁存点耦接,通过第二输入端与所述第二锁存点耦接,通过输出端与所述判断节点耦接;适于在所述读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置 1 操作。

2. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,所述选择性置 1 电路包括:第一 PMOS 管、第十一 NMOS 管和第九 NMOS 管;

所述第一 PMOS 管的源极适于接入所述第二电压源,所述第一 PMOS 管的栅极作为所述选择性置 1 电路的第二输入端;

所述第十一 NMOS 管的漏极与所述第一 PMOS 管的漏极耦接,所述第十一 NMOS 管的源极适于接入所述第二电压源,所述第十一 NMOS 管的栅极作为所述选择性置 1 电路的第一输入端;

所述第九 NMOS 管的漏极与所述第一 PMOS 管的漏极耦接,所述第九 NMOS 管的源极作为所述选择性置 1 电路的输出端,所述第九 NMOS 管的栅极适于接入判断节点置位使能信号。

3. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,所述第一锁存器包括:第八 NMOS 管、第一反相器和第二反相器;

所述第一反相器的输入端与所述第二反相器的输出端耦接,所述第一反相器的输出端与所述第二反相器的输入端耦接,所述第一反相器的输出端作为所述第一锁存器的第一锁存点,所述第二反相器的输出端作为所述第一锁存器的第二锁存点;

所述第八 NMOS 管的源极与所述第二反相器的输入端耦接,漏极与所述第一反相器的输入端耦接,栅极适于接入第一均衡使能器信号。

4. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,所述读取电路包括第十五 NMOS 管和第十 NMOS 管,适于读取所述非易失性存储器的存储元中存储的数据后,在位线电压钳位信号的控制下传输所述存储元中存储的数据至所述判断节点;

所述第十五 NMOS 管的源极经过所述判断节点与所述选择性置 1 电路的输出端耦接,所述第十五 NMOS 管的栅极适于接入所述位线电压钳位信号;

所述第十 NMOS 管的源极与所述第十五 NMOS 管的源极耦接,所述第十 NMOS 管的漏极适于接入第一电压源,栅极适于接入位线预充使能信号。

5. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,还包括:第二锁存器,适于存储外部 I/O 数据,所述第二锁存器包括:第三 NMOS 管、第三反相器和第四反相器;

所述第三反相器的输入端与所述第四反相器的输出端耦接,所述第三反相器的输出端与所述第四反相器的输入端耦接,所述第三反相器的输出端与作为所述第二锁存器的输出端;

所述第三 NMOS 管的漏极与所述第三反相器的输入端耦接,源极与所述第四反相器的输入端耦接,所述第三 NMOS 管的栅极适于接入第二均衡使能信号。

6. 根据权利要求 5 所述的非易失性存储器的页缓存器电路,其特征在于,还包括:第五 NMOS 管、第六 NMOS 管和第十四 NMOS 管;

所述第五 NMOS 管的源极与所述第二锁存器的输出端耦接,栅极适于接入第二数据传输使能信号,漏极适于经所述判断节点与所述选择性置 1 电路的输出端耦接;

所述第六 NMOS 管的源极与漏极耦接并接地,所述第六 NMOS 管的栅极与所述第五 MOS 管的漏极耦接;

所述第十四 NMOS 管的源极与所述第一锁存器的第一锁存点耦接,漏极经所述判断节点与所述选择性置 1 电路的输出端耦接,栅极适于接入数据传输使能信号。

7. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,还包括:判断电路,所述判断电路包括:第七 NMOS 管;适于根据所述第一锁存器的第二锁存点的数据来判断编程校验的结果;

所述第七 NMOS 管的栅极与所述第一锁存器的第二锁存点耦接,源极适于接地,漏极适于接入校验结果信号。

8. 根据权利要求 1 所述的非易失性存储器的页缓存器电路,其特征在于,还包括:选择电路,所述选择电路包括:第十六 NMOS 管、第十七 NMOS 管、第十八 NMOS 管和第十九 NMOS 管;适于选择需要传输数据的位线;

所述第十六 NMOS 管的栅极适于接入偶位线选通信号,源极通过接入偶数比特线与所述非易失性存储器的存储元耦接,漏极与所述第十五 NMOS 管的漏极耦接并作为所述选择电路的输出端;

所述第十七 NMOS 管的漏极与所述第十六 NMOS 管的源极耦接,栅极适于接入偶位线屏蔽信号,源极适于接入位线屏蔽电压信号;

所述第十八 NMOS 管的源极与所述第十七 NMOS 管的源极耦接,所述第十八 NMOS 管的栅极适于接入奇位线屏蔽信号;

所述第十九 NMOS 管的源极与所述第十八 NMOS 管的漏极耦接,并通过接入奇数比特线与所述非易失性存储器的存储元耦接,所述第十九 NMOS 管的漏极与所述第十六 NMOS 管的漏极耦接,所述第十九 NMOS 管的栅极适于接入奇位线选通信号。

9. 一种用于如权利要求 1-8 任一项所述的非易失性存储器的页缓存器电路的控制方法,其特征在于,包括:

在读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择性置 1 操作;

所述选择性置 1 操作包括:

在所述读取电路读取所述非易失性存储器的存储元的数据传至判断节点后,将第二电压源拉高;

当第一锁存器的第一锁存点的数据为 1 时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;

当所述第一锁存器的第一锁存点的数据为 0 时,所述判断节点置位使能信号置高电平

时仍维持所述判断节点的数据。

10. 根据权利要求 9 所述的非易失性存储器的页缓存器电路的控制方法,其特征在于,所述当第一锁存器的第一锁存点的数据为 1 时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;当所述第一锁存器的第一锁存点的数据为 0 时,所述判断节点置位使能信号置高电平时仍维持所述判断节点的数据包括:

当第一锁存器的第一锁存点的数据为 1 时,所述第二电压源信号拉高,第一 PMOS 管的栅极在所述第一锁存器的第二锁存点的低电平信号控制下导通所述第二电压源信号,第十一 NMOS 管关断,第九 NMOS 管在所述判断节点置位使能信号置高电平时导通,以将所述第二电压源的高电平信号传至判断节点;

当所述第一锁存器的第一锁存点的数据为 0 时,所述第二电压源信号拉低,所述第一 PMOS 管的栅极在所述第一锁存器的第二锁存点的高电平信号控制下关断,所述第十一 NMOS 管关断,第九 NMOS 管在所述判断节点置位使能信号置高电平时导通。

11. 一种非易失性存储器,其特征在于,包括:页缓存器阵列;

所述页缓存器阵列采用权利要求 1-8 任一项所述的非易失性存储器的页缓存器电路。

## 非易失性存储器的页缓存器电路及控制方法、存储器

### 技术领域

[0001] 本发明涉及电路技术领域,特别是涉及一种非易失性存储器的页缓存器电路及控制方法、存储器。

### 背景技术

[0002] NAND 闪存是一种非易失性存储技术,即断电后仍能保存数据,相比其他的快闪存储器,它是实现大容量低成本的最有效方案之一。非易失性存储器的存储阵列的读写操作以页为单位,对于存储阵列的编程操作数据来自外部 I/O,并传入非易失性存储器的页缓存器电路,最终再被编入存储阵列的存储元中。

[0003] 图 1 是现有技术中的一种页缓存器电路,参照图 1 所示,如果外部 I/O 数据为 1,那么 SLR1 为 1,表示编程禁止,让存储元维持擦除态,如果 SLR1 为 0,表示需要进行编程。当一次编程完成后,需要读取存储元的状态校验判断是否编程成功。假设 SLR1 初始数据为 1,表示编程禁止,需要维持存储元的擦除态,但擦除态的存储元经校验读取到 N1 的是 0,如果校验读取的数据写入锁存器 11 将使 SLR1 的数据改写为 0,而 SLR1 为 0 表示要对存储元进行编程,这样,就会破坏存储元的擦除状态。因此,需要通过电路 10 对此时校验读取到 N1 的数据 0 改写为 1 后,才能写入锁存器 11,该过程称为选择性置 1 操作。

[0004] 图 1 所示的现有技术的页缓存器电路中的电路 10 完成了所述选择性置 1 的操作,然而,现有技术中的页缓存器电路由于采用所述电路 10,存在辐照条件下容易产生漏电、面积较大的问题。

### 发明内容

[0005] 本发明实施例要解决的技术问题是减小页缓存器电路的面积,提高页缓存器电路的可靠性。

[0006] 为解决上述问题,本发明提供一种非易失性存储器的页缓存器电路,所述电路包括:

[0007] 第一锁存器、读取电路、用于调节判断节点的电位的选择性置 1 电路;所述判断节点位于所述读取电路和所述选择性置 1 电路之间;

[0008] 所述第一锁存器适于存储来自外部 I/O 的数据,包括第一锁存点和第二锁存点;其中,所述第一锁存点的信号值与外部 I/O 数据一致,所述第一锁存点和第二锁存点的电位反相;

[0009] 所述选择性置 1 电路通过第一输入端与所述第一锁存点耦接,通过第二输入端与所述第二锁存点耦接,通过输出端与所述判断节点耦接;适于在所述读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择性置 1 操作。

[0010] 可选地,所述选择性置 1 电路包括:第一 PMOS 管、第十一 NMOS 管和第九 NMOS 管;

[0011] 所述第一 PMOS 管的源极适于接入所述第二电压源,所述第一 PMOS 管的栅极作为所述选择性置 1 电路的第二输入端;

[0012] 所述第十一 NMOS 管的漏极与所述第一 PMOS 管的漏极耦接,所述第十一 NMOS 管的源极适于接入所述第二电压源,所述第十一 NMOS 管的栅极作为所述选择性置 1 电路的第一输入端;

[0013] 所述第九 NMOS 管的漏极与所述第一 PMOS 管的漏极耦接,所述九 NMOS 管的源极作为所述选择性置 1 电路的输出端,所述第九 NMOS 管的栅极适于接入判断节点置位使能信号。

[0014] 可选地,所述第一锁存器包括:第八 NMOS 管、第一反相器和第二反相器;

[0015] 所述第一反相器的输入端与所述第二反相器的输出端耦接,所述第一反相器的输出端与所述第二反相器的输入端耦接,所述第一反相器的输出端作为所述第一锁存器的第一锁存点,所述第二反相器的输出端作为所述第一锁存器的第二锁存点;

[0016] 所述第八 NOMS 管的源极与所述第二反相器的输入端耦接,漏极与所述第一反相器的输入端耦接,栅极适于接入第一均衡使能器信号。

[0017] 可选地,所述读取电路包括第十五 NMOS 管和第十 NMOS 管,适于读取所述非易失性存储器的存储元中存储的数据后,在位线电压钳位信号的控制下传输所述存储元中存储的数据至所述判断节点;

[0018] 所述第十五 NMOS 管的源极经过所述判断节点与所述选择性置 1 电路的输出端耦接,所述第十五 NMOS 管的栅极适于接入所述位线电压钳位信号;

[0019] 所述第十 NMOS 管的源极与所述第十五 NMOS 管的源极耦接,所述第十 NMOS 管的漏极适于接入第一电压源,栅极适于接入位线预充使能信号。

[0020] 可选地,所述非易失性存储器的页缓存器电路,还包括:第二锁存器,适于存储外部 I/O 数据,所述第二锁存器包括:第三 NMOS 管、第三反相器和第四反相器;

[0021] 所述第三反相器的输入端与所述第四反相器的输出端耦接,所述第三反相器的输出端与所述第四反相器的输入端耦接,所述第三反相器的输出端与作为所述第二锁存器的输出端;

[0022] 所述第三 NMOS 管的漏极与所述第三反相器的输入端耦接,源极与所述第四反相器的输入端耦接,所述第三 NMOS 管的栅极适于接入第二均衡使能信号。

[0023] 可选地,所述非易失性存储器页缓存器电路,还包括:第五 NMOS 管、第六 NMOS 管和第十四 NMOS 管;

[0024] 所述第五 NMOS 管的源极与所述第二锁存器的输出端耦接,栅极适于接入第二数据传输使能信号,漏极适于经所述判断节点与所述选择性置 1 电路的输出端耦接;

[0025] 所述第六 NMOS 管的源极与漏极耦接并接地,所述第六 NMOS 管的栅极与所述第五 MOS 管的漏极耦接;

[0026] 所述第十四 NMOS 管的源极与所述第一锁存器的第一锁存点耦接,漏极经所述判断节点与所述选择性置 1 电路的输出端耦接,栅极适于接入数据传输使能信号。

[0027] 可选地,所述非易失性存储器页缓存器电路,还包括:判断电路,所述判断电路包括:第七 NMOS 管;适于根据所述第一锁存器的第二锁存点的数据来判断编程校验的结果;

[0028] 所述第七 NMOS 管的栅极与所述第一锁存器的第二锁存点耦接,源极适于接地,漏

极适于接入校验结果信号。

[0029] 可选地,所述非易失性存储器页缓存器电路,还包括:选择电路,所述选择电路包括:第十六NMOS管、第十七NMOS管、第十八NMOS管和第十九NMOS管;适于选择需要传输数据的位线;

[0030] 所述第十六NMOS管的栅极适于接入偶位线选通信号,源极通过接入偶数比特线与所述非易失性存储器的存储元耦接,漏极与所述第十五NMOS管的漏极耦接并作为所述选择电路的输出端;

[0031] 所述第十七NMOS管的漏极与所述第十六NMOS管的源极耦接,栅极适于接入偶位线屏蔽信号,源极适于接入位线屏蔽电压信号;

[0032] 所述第十八NMOS管的源极与所述第十七NMOS管的源极耦接,所述第十八NMOS管的栅极适于接入奇位线屏蔽信号;

[0033] 所述第十九NMOS管的源极与所述第十八NMOS管的漏极耦接,并通过接入奇数比特线与所述非易失性存储器的存储元耦接,所述第十九NMOS管的漏极与所述第十六NMOS管的漏极耦接,所述第十九NMOS管的栅极适于接入奇位线选通信号。

[0034] 本发明实施例还提供一种上述非易失性存储器的页缓存器电路的控制方法,所述控制方法包括:

[0035] 在读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置1操作;

[0036] 所述选择性置1操作包括:

[0037] 在所述读取电路读取所述非易失性存储器的存储元的数据传至判断节点后,将第二电压源拉高;

[0038] 当第一锁存器的第一锁存点的数据为1时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;

[0039] 当所述第一锁存器的第一锁存点的数据为0时,所述判断节点置位使能信号置高电平时仍维持所述判断节点的数据。

[0040] 可选地,所述当第一锁存器的第一锁存点的数据为1时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;当所述第一锁存器的第一锁存点的数据为0时,所述判断节点置位使能信号置高电平时仍维持所述判断节点的数据包括:

[0041] 当第一锁存器的第一锁存点的数据为1时,所述第二电压源信号拉高,第一PMOS管的栅极在所述第一锁存器的第二锁存点的低电平信号控制下导通所述第二电压源信号,第十一NMOS管关断,第九NMOS管在所述判断节点置位使能信号置高电平时导通,以将所述第二电压源的高电平信号传至判断节点;

[0042] 当所述第一锁存器的第一锁存点的数据为0时,所述第二电压源信号拉低,所述第一PMOS管的栅极在所述第一锁存器的第二锁存点的高电平信号控制下关断,所述第十一NMOS管关断,第九NMOS管在所述判断节点置位使能信号置高电平时导通。

[0043] 本发明实施例还提供一种非易失性存储器,所述存储器包括:页缓存器阵列;

[0044] 所述页缓存器阵列采用上述的非易失性存储器的页缓存器电路。

[0045] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0046] 本发明实施例的技术方案通过设置所述用于调节判断节点的电位的选择性置 1 电路,所述判断节点位于读取电路和所述选择性置 1 电路之间,所述选择性置 1 电路通过第一输入端与第一锁存器的第一锁存点耦接,通过第二输入端与第二锁存器的第二锁存点耦接,通过输出端与所述判断节点耦接,在所述读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置 1 操作,由于所述第二输入端与所述第一锁存器的第二锁存点耦接,只需通过与所述第二锁存点耦接的开关单元在第二锁存点的低电位信号下导通即可传送所述第二电压源的信号,从而可以采用耐压性较低的开关器件,进而可以减小页缓存器电路的面积,同时提高页缓存器电路的可靠性。

### 附图说明

[0047] 图 1 是现有技术的一种非易失性存储器的页缓存器电路中实现选择性置 1 操作的电路结构示意图;

[0048] 图 2 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图;

[0049] 图 3 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图;

[0050] 图 4 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图;

[0051] 图 5 是本发明实施例中的一种非易失性存储器的结构示意图。

### 具体实施方式

[0052] 如前所述,图 1 所示,现有技术的页缓存器电路中的电路 10 完成了选择性置 1 的操作,然而,现有技术中的页缓存器电路由于采用所述电路 10,存在辐照条件下容易产生漏电、面积较大的问题。

[0053] 本发明实施例的非易失性存储器的页缓存器电路由于设置用于调节判断节点的电位的选择性置 1 电路,所述判断节点位于所述读取电路和所述选择性置 1 电路之间,所述选择性置 1 电路通过第一输入端与第一锁存器的第一锁存点耦接,通过第二输入端与第一锁存器的第二锁存点耦接,通过输出端与所述判断节点耦接,在读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置 1 操作,从而提高页缓存器电路的可靠性,减小页缓存器电路的面积。

[0054] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0055] 图 2 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图。所述非易失性存储器的页缓存器电路的结构可以包括:第一锁存器 21、读取电路 23 和用于调节判断节点的电位的选择性置 1 电路 22(以下简称选择性置 1 电路 22);所述判断节点位于所述读取电路 23 和所述选择性置 1 电路 22 之间;

[0056] 所述第一锁存器 21 适于存储来自外部 I/O 的数据,包括第一锁存点和第二锁存点;其中,所述第一锁存点的信号值与外部 I/O 数据一致,所述第一锁存点和第二锁存点的电位反相;



[0057] 所述选择性置 1 电路 22 通过第一输入端 P1 与所述第一锁存点耦接,通过第二输入端 P2 与所述第二锁存点耦接,通过输出端 P3 与所述判断节点耦接;适于在所述读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置 1 操作。

[0058] 本发明实施例通过将所述选择性置 1 电路的第一输入端 P1 与所述第一锁存点耦接,通过第二输入端 P2 与所述第二锁存点耦接,只需通过与所述第二锁存点耦接的开关单元在第二锁存点的低电位信号下导通即可传送所述第二电压源的信号,使得所述选择性置 1 电路可以使用耐压性较低的开关单元来传输所述第二电压源,从而简化了电路,减小页缓存器电路的面积,同时所述第二输入端没有产生浮空节点使得电路功能不受影响,提升了页缓存器电路的可靠性。

[0059] 图 3 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图。下面结合图 2 和图 3 进行说明。

[0060] 所述非易失性存储器的页缓存器电路可以包括第一锁存器 21、读取电路 23 和用于调节判断节点的电位的选择性置 1 电路 22;所述判断节点 N1 位于所述读取电路 23 和所述选择性置 1 电路 22 之间;

[0061] 在具体实施中,所述选择性置 1 电路 22 可以包括:第一 PMOS 管 MP1、第十一 NMOS 管 MN11 和第九 NMOS 管 MN9;

[0062] 所述第一 PMOS 管 MP1 的源极适于接入所述第二电压源 V2,所述第一 PMOS 管 MP1 的栅极作为所述选择性置 1 电路的第二输入端 P2;

[0063] 所述第十一 NMOS 管 MN11 的漏极与所述第一 PMOS 管 MP1 的漏极耦接,所述第十一 NMOS 管 MN11 的源极适于接入所述第二电压源 V2,所述第十一 NMOS 管 MN11 的栅极作为所述选择性置 1 电路 22 的第一输入端 P1;

[0064] 所述第九 NMOS 管 MN9 的漏极与所述第一 PMOS 管 MP1 的漏极耦接,所述第九 NMOS 管 MN9 的源极作为所述选择性置 1 电路 22 的输出端 P3,所述第九 NMOS 管 MN9 的栅极适于接入判断节点置位使能信号 REG。

[0065] 在具体实施中,所述第一锁存器 21 可以包括:第八 NMOS 管 MN8、第一反相器 T1 和第二反相器 T2;

[0066] 所述第一反相器 T1 的输入端与所述第二反相器 T2 的输出端耦接,所述第一反相器 T1 的输出端与所述第二反相器 T2 的输入端耦接,所述第一反相器 T1 的输出端作为所述第一锁存器 21 的第一锁存点 SLR1,所述第二反相器 T2 的输出端作为所述第一锁存器 21 的第二锁存点 SLS1;

[0067] 所述第八 NMOS 管 MN8 的源极与所述第二反相器 T2 的输入端耦接,漏极与所述第一反相器 T1 的输入端耦接,栅极适于接入第一均衡使能器信号 EQ\_EN1。

[0068] 在具体实施中,所述读取电路 23 包括第十五 NMOS 管 MN15 和第十 NMOS 管 MN10,适于读取所述非易失性存储器的页缓存器电路的存储元中存储的数据后在位线电压钳位信号的控制下传输所述存储元中存储的数据至所述判断节点;

[0069] 所述第十五 NMOS 管 MN15 的源极经过所述判断节点与所述选择性置 1 电路的输出端耦接,所述第十五 NMOS 管 MN15 的栅极适于接入所述位线电压钳位信号 BLCLAMP,漏极与

所述选择电路的输出端耦接；

[0070] 所述第十 NMOS 管 MN10 的源极与所述第十五 NMOS 管 MN15 的源极耦接,所述第十 NMOS 管 MN10 的漏极适于接入第一电压源,栅极适于接入位线预充使能信号 BLPRE。

[0071] 在具体实施中,所述读取电路 23 读取到所述判断节点 N1 的数据通过第十四 NMOS 管 MN14 在数据传输使能信号的控制下传至所述第一锁存器 21。

[0072] 具体地,当所述读取电路 23 读取的数据传到所述判断节点 N1 后,所述第二电压源 V2 从 0 变成 1,如果此时所述第一锁存点 SLR1 的数据为 1,所述第二锁存点 SLS1 的数据为 0,那么所述第一 PMOS 管 MP1 导通传输所述第二电压源 VDD 电平至 A 点,当所述第九 NMOS 管 MN9 在所述判断节点置位使能信号的控制下导通,所述第二电压源 V2 的高电平传至所述判断节点 N1,至此,所述判断节点 N1 从 0 改写为 1,这样,经所述第十四 NMOS 管 MN14 可写入所述第一锁存器 21 而不会改变所述第一锁存点 SLR1 的数据,则校验读取数据至 N1 节点对应的存储元保持原有的擦除态,而不会使存储元因为所述第一锁存点 SLR1 变为 0 而再次编程存储错误的数据。如果初始所述第一锁存点 SLR1 为 0,第二锁存点 SLS1 为 1,所述第一 PMOS 管 MP1 和所述第十一 NMOS 管 MN11 都关断,A 点维持浮空状态,当所述第九 NMOS 管 MN9 导通后,由于 N1 点挂了一个比较大的显性电容第六 NMOS 管 MN6,此时 A 点的电荷不会影响 N1 的电平,N1 的数据保持不变。所以虽然 A 点也是一个浮空节点,但它不在栅端,不影响电路功能。

[0073] 本发明实施例由于使用第一 PMOS 管 MP1,使得当第一锁存点 SLR1 为 1 时,连接所述第二锁存点 SLS1 低电平的所述第一 PMOS 管 MP1 导通,而不需要高于所述第二电压源的栅端电压即可导通,从而不需要使用耐压较高的晶体管传输所述第二电压源,进而减小了电路的面积开销。与此同时,在上述控制传输所述第二电压源对所述判断节点置 1 的过程中,没有在所述第一 PMOS 管 MP1 的栅端产生浮空节点,从而提高了电路的可靠性。

[0074] 进一步地,可以通过在版图上将所述第一 PMOS 管 MP1 与所述第一锁存器 21 中的 PMOS 管画在同一个 N 阱中,从而不用额外消耗 N 阱面积,减小电路的面积开销。

[0075] 图 4 是本发明实施例中的一种非易失性存储器的页缓存器电路的结构示意图。

[0076] 在具体实施中,所述非易失性存储器的页缓存器电路,还可以包括:第二锁存器 24,所述第二锁存器 24 适于存储外部 I/O 数据,所述第二锁存器 24 包括:第三 NMOS 管 MN3、第三反相器 T3 和第四反相器 T4;

[0077] 所述第三反相器 T3 的输入端与所述第四反相器 T4 的输出端耦接,所述第三反相器 T3 的输出端与所述第四反相器 T4 的输入端耦接,所述第三反相器 T3 的输出端作为所述第二锁存器 24 的输出端;

[0078] 所述第三 NMOS 管 MN3 的漏极与所述第三反相器 T3 的输入端耦接,源极与所述第四反相器 T4 的输入端耦接,所述第三 NMOS 管 MN3 的栅极适于接入第二均衡使能信号 EQ\_EN1。

[0079] 在具体实施中,所述非易失性存储器的页缓存器电路还可以包括:第五 NMOS 管 MN15、第六 NMOS 管 MN16 和第十四 NMOS 管 MN14;

[0080] 参见图 3,所述第十四 NMOS 管 MN14 的源极与所述第一锁存器 21 的第一锁存点 SLR1 耦接,漏极经所述判断节点 N1 与所述选择性置 1 电路 22 的输出端 P3 耦接,栅极适于接入数据传输使能信号 BLCD1。

[0081] 具体地,从所述读取电路 23 读取到所述判断节点 N1 的数据在数据传输使能信号 BLCD1 的控制下,可以写入所述第一锁存器 21。

[0082] 所述第六 NMOS 管 MN6 的源极与漏极耦接并接地,所述第六 NMOS 管 MN6 的栅极与所述第五 MOS 管 MN5 的漏极耦接。

[0083] 所述第五 NMOS 管 MN5 的源极与所述第二锁存器 24 的输出端耦接,栅极适于接入第二数据传输使能信号 BLCD2,漏极适于通过所述判断节点 N1 与所述选择性置 1 电路 22 的输出端耦接。

[0084] 在具体实施中,所述非易失性存储器的页缓存器电路还可以包括:判断电路 25,所述判断电路 25 可以包括:第七 NMOS 管 MN7;适于根据第一锁存器 21 中存储的数据来判断编程校验的结果;所述第七 NMOS 管 MN7 的栅极与所述第一锁存器 21 的第二锁存点 SLS1 耦接,源极适于接地,漏极适于接入校验结果信号 PB\_P\_UP。

[0085] 具体地,所述判断电路 25 由所述第二锁存点 SLS1 控制,如果 SLR1 = 0,那么 SLS1 为 1,所述第七 NMOS 管 MN7 导通会下拉信号所述校验结果信号 PB\_P\_UP。非易失性存储器的页缓存器电路阵列的页缓存器间的所述校验结果信号 PB\_P\_UP 都接在一起,只要有一个页缓存器电路中的 SLR1 为 0,那么所述校验结果信号 PB\_P\_UP 就会变成 0。如果所有页缓存器阵列的页缓存器中的 SLS1 都为 0,那么所述校验结果信号 PB\_P\_UP 就会由于弱上拉而维持高电平。因此所述校验结果信号 PB\_P\_UP 就反映了所述第一锁存器 21 中数据的情况,在编程校验中,如果最终所有页缓存器的第二锁存点 SLS1 都为 0,那么此时 PB\_P\_UP 为高就表示编程成功了。

[0086] 在具体实施中,所述非易失性存储器的页缓存器电路还可以包括:选择电路 26,所述选择电路 26 可以包括:第十六 NMOS 管 MN16、第十七 NMOS 管 MN17、第十八 NMOS 管 MN18 和第十九 NMOS 管 MN19;适于选择需要传输数据的位线;

[0087] 所述第十六 NMOS 管 MN16 的栅极适于接入偶位线选通信号 BLSE,源极通过接入偶数比特线与所述非易失性存储器的存储元耦接,漏极与所述第十五 NMOS 管 MN15 的漏极耦接并作为所述选择电路 26 的输出端;

[0088] 所述第十七 NMOS 管 MN17 的漏极与所述第十六 NMOS 管 MN16 的源极耦接,栅极适于接入偶位线屏蔽信号 YBLE,源极适于接入位线屏蔽电压信号 YBLE;

[0089] 所述第十八 NMOS 管 MN18 的源极与所述第十七 NMOS 管 MN17 的源极耦接,所述第十八 NMOS 管 MN18 的栅极适于接入奇位线屏蔽信号 YBLO;

[0090] 所述第十九 NMOS 管 MN19 的源极与所述第十八 NMOS 管 MN18 的漏极耦接,并通过接入奇数比特线与所述非易失性存储器的存储元耦接,所述第十九 NMOS 管 MN19 的漏极与所述第十六 NMOS 管 MN16 的漏极耦接,所述第十九 NMOS 管 MN19 的栅极适于接入奇位线选通信号 BLS0。

[0091] 本发明实施例还提供一种非易失性存储器的页缓存器电路的控制方法,所述方法可以包括:

[0092] 在读取电路读取所述非易失性存储器的存储元的数据至所述判断节点后,在第二电压源和判断节点置位使能信号的控制下,根据所述第一锁存器中第一锁存点的数据对所述判断节点进行选择置 1 操作;

[0093] 所述选择性置 1 操作包括:

[0094] 在所述读取电路读取所述非易失性存储器的存储元的数据传至判断节点后,将第二电压源拉高;

[0095] 当第一锁存器的第一锁存点的数据为 1 时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;

[0096] 当所述第一锁存器的第一锁存点的数据为 0 时,所述判断节点置位使能信号置高电平时仍维持所述判断节点的数据。

[0097] 在具体实施中,所述当第一锁存器的第一锁存点的数据为 1 时,通过判断节点置位使能信号置高电平,将所述第二电压源的高电平信号传至判断节点;当所述第一锁存器的第一锁存点的数据为 0 时,所述判断节点置位使能信号置高电平时仍维持所述判断节点的数据包括:

[0098] 当第一锁存器的第一锁存点的数据为 1 时,所述第二电压源信号拉高,第一 PMOS 管的栅极在所述第一锁存器的第二锁存点的低电平信号控制下导通所述第二电压源信号,第十一 NMOS 管关断,第九 NMOS 管在所述判断节点置位使能信号置高电平时导通,以将所述第二电压源的高电平信号传至判断节点;

[0099] 当所述第一锁存器的第一锁存点的数据为 0 时,所述第二电压源信号拉低,所述第一 PMOS 管的栅极在所述第一锁存器的第二锁存点的高电平信号控制下关断,所述第十一 NMOS 管关断,第九 NMOS 管在所述判断节点置位使能信号置高电平时导通。

[0100] 图 5 是本发明实施例中的一种非易失性存储器的结构示意图。所述非易失性存储器的结构可以包括:页缓存器阵列 51,所述页缓存器阵列 51 采用图 1 至图 3 中所述的所述的非易失性存储器的页缓存器电路。

[0101] 在具体实施中,所述非易失性存储器的结构还包括电压产生模块 52、控制逻辑 53、横向译码单元 54、纵向译码单元 55 和存储元阵列 56。

[0102] 具体实施中,所述页缓存器阵列 51 耦接于所述纵向译码单元 55 与所述存储元阵列 56 之间。

[0103] 本领域技术人员可以理解所述电压产生模块 52、控制逻辑 53、横向译码单元 54、纵向译码单元 55 和存储元阵列 56 的结构与功能,在此不再赘述。

[0104] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

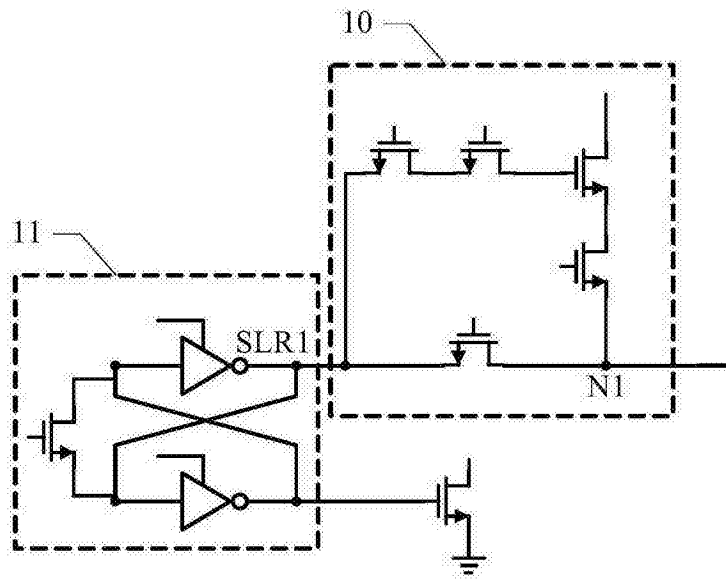


图 1

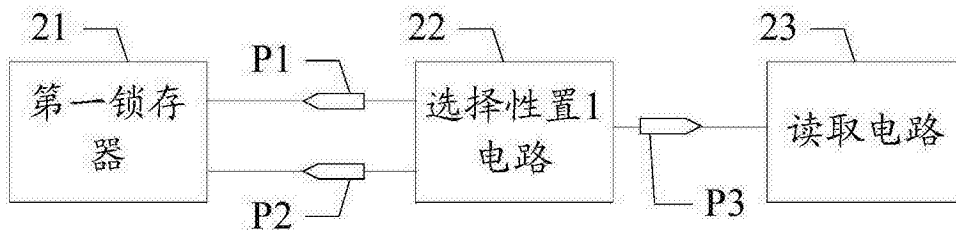


图 2

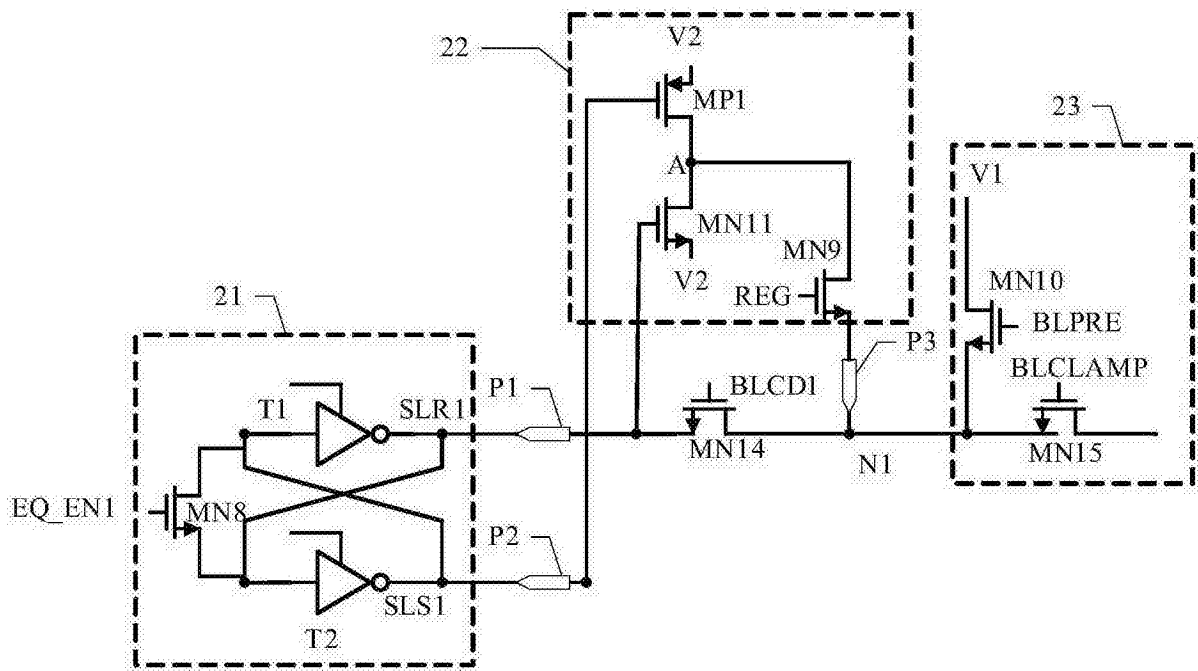


图 3

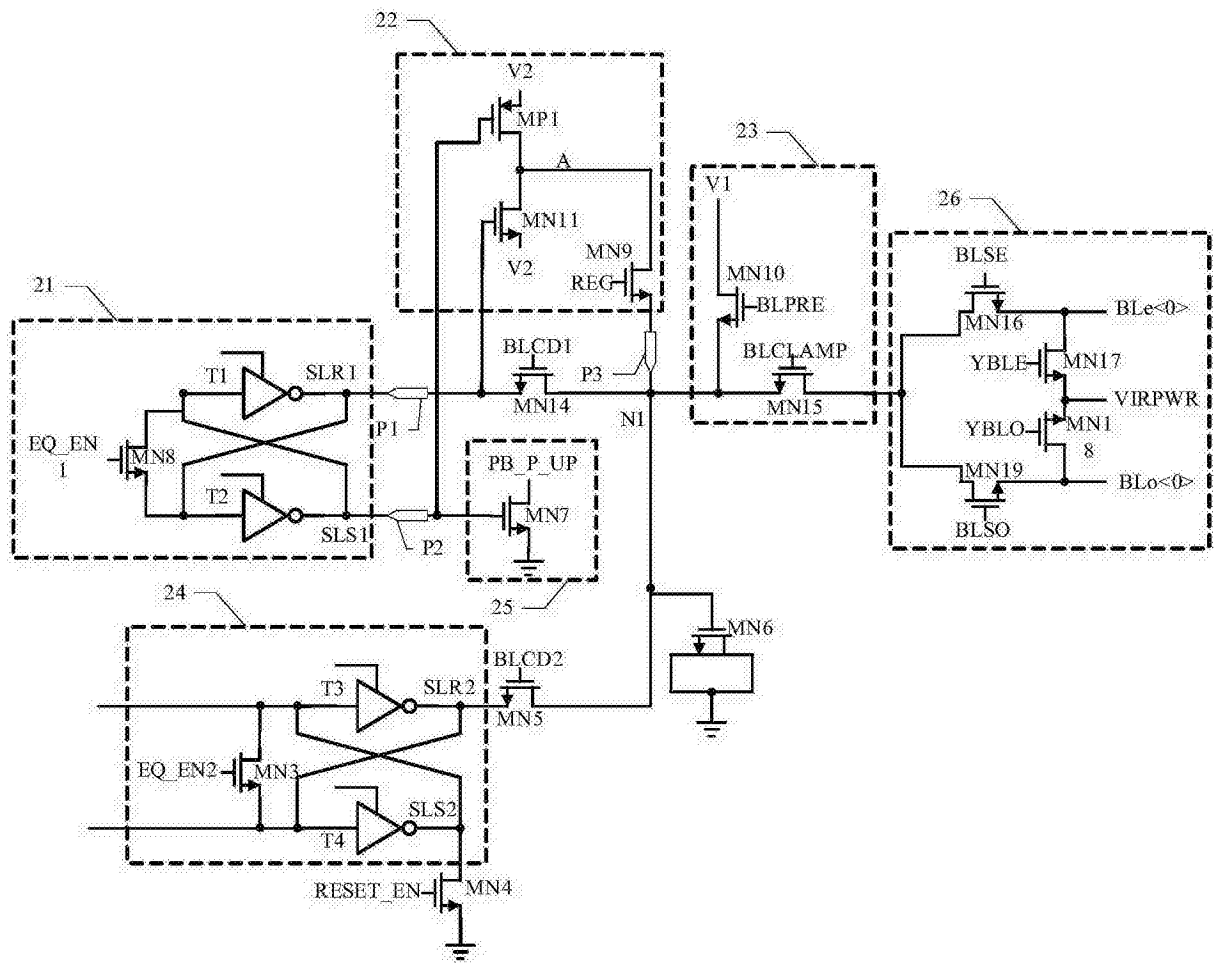


图 4

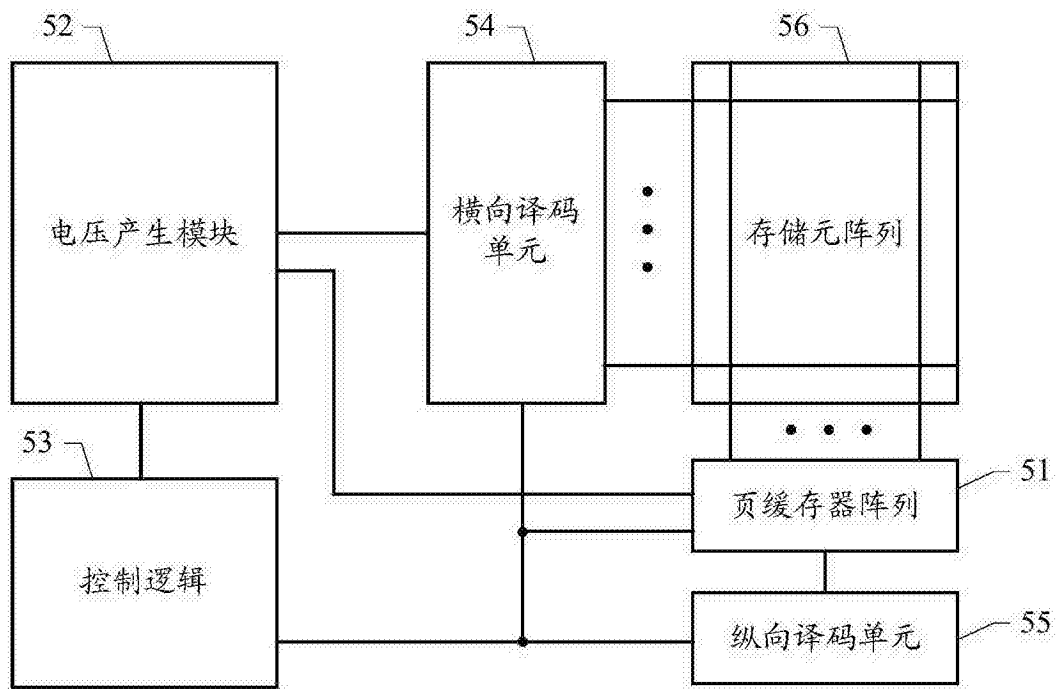


图 5