

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-123743

(P2009-123743A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 N	5 F O 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 Z	5 F O 3 8
HO 1 L 21/3205 (2006.01)	HO 1 L 27/04 D	5 F O 6 4
HO 1 L 23/52 (2006.01)	HO 1 L 21/82 W	
HO 1 L 21/822 (2006.01)		

審査請求 未請求 請求項の数 28 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2007-293136 (P2007-293136)  
 (22) 出願日 平成19年11月12日 (2007.11.12)

(71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

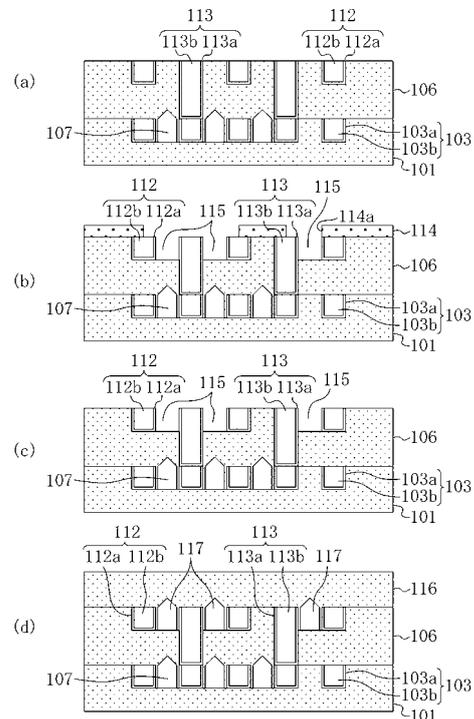
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】歩留りが高く、且つ、配線間容量を十分に低減できる構造を備えた半導体装置を提供する。

【解決手段】半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、絶縁膜の内部に複数の配線溝を形成する工程と、複数の配線溝の内部に複数の配線を形成する工程と、絶縁膜及び複数の配線の上に、複数の配線間の領域のうち選択的に領域を露出する開口部を有するレジストマスクを形成する工程と、レジストマスクを用いたエッチングにより、複数の配線間の領域のうち選択的に露出した領域の絶縁膜を除去してエアギャップ溝を形成する工程と、レジストマスクを除去した後に、複数の配線上を覆うように層間絶縁膜を堆積することによってエアギャップを形成する工程とを含む。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

配線間にエアギャップを有する配線層を複数層含んでなる多層配線構造を備えた半導体装置の製造方法であって、

半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜の内部に複数の配線溝を形成する工程と、

前記複数の配線溝の内部に複数の前記配線を形成する工程と、

前記絶縁膜及び前記複数の配線の上に、前記複数の配線間の領域のうち選択的に領域を露出する開口部を有するレジストマスクを形成する工程と、

前記レジストマスクを用いたエッチングにより、前記複数の配線間の領域のうち選択的に露出した領域の前記絶縁膜を除去してエアギャップ溝を形成する工程と、

前記レジストマスクを除去した後に、前記複数の配線上を覆うように層間絶縁膜を堆積することにより、前記エアギャップ溝に前記エアギャップを形成する工程とを含む、半導体装置の製造方法。

10

**【請求項 2】**

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、単層の前記配線層の所望の領域における前記開口部の占める面積の割合に基づいて形成される、半導体装置の製造方法。

**【請求項 3】**

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記複数の配線層のうち前記エアギャップが形成される各配線層の所望の領域における前記開口部の占める面積の割合の平均に基づいて形成される、半導体装置の製造方法。

20

**【請求項 4】**

請求項 1 に記載の半導体装置の製造方法において、

前記エアギャップは、前記複数の配線層のうち相対的に膜厚の薄い配線層のみに形成される、半導体装置の製造方法。

**【請求項 5】**

請求項 1 に記載の半導体装置の製造方法において、

前記配線層内に、信号線に用いられている前記配線とダミーの前記配線とが形成されている場合、

前記レジストマスクの開口部は、前記ダミーの配線が形成されている領域であって前記信号線に用いられる前記配線から 1  $\mu\text{m}$  よりも離れた領域を露出しないように形成される、半導体装置の製造方法。

30

**【請求項 6】**

請求項 1 に記載の半導体装置の製造方法において、

少なくともチップ領域と、前記チップ領域を区画するスクライプライン領域における線幅を管理するパターン領域とに、前記レジストマスクを用いたエッチングを行う、半導体装置の製造方法。

**【請求項 7】**

請求項 1 に記載の半導体装置の製造方法において、

前記エアギャップが形成された下層の前記配線層の上に上層の前記配線層を形成する構造において、

前記上層の配線層を形成する場合に用いる前記レジストマスクの開口部は、前記下層の配線層における前記エアギャップの直上の領域を露出しないように形成される、半導体装置の製造方法。

40

**【請求項 8】**

請求項 1 に記載の半導体装置の製造方法において、

前記配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の前記配線層の上に、上層の前記配線層を形成する構造において、

50

前記上層の配線層を形成する場合に用いる前記レジストマスクの開口部は、前記下層の配線層内に形成された前記領域に対応する幅の前記エアギャップの直上の領域を露出しないように形成される、半導体装置の製造方法。

【請求項 9】

請求項 1 に記載の半導体装置の製造方法において、

前記配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の前記配線層の上に、上層の前記配線層を形成する構造において、

前記下層の配線層を形成する場合に用いる前記レジストマスクの開口部は、前記領域よりも狭い領域を露出するように形成される、半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の半導体装置の製造方法において、

前記配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の前記配線層の上に、上層の前記配線層を形成する構造において、

前記下層の配線層を形成する場合に用いる前記レジストマスクの開口部は、前記最小配線間スペースを周期的に露出するように形成される、半導体装置の製造方法。

【請求項 11】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記エアギャップ溝を形成する工程において、前記エアギャップ溝内に前記絶縁膜を構成する部分が孤立しないように形成される、半導体装置の製造方法。

【請求項 12】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記エアギャップ溝を形成する工程において、前記エアギャップ溝内に孤立するように形成された前記絶縁膜を構成する部分と、該部分と前記エアギャップが形成されない領域とが接合する部分とが存在するように形成される、半導体装置の製造方法。

【請求項 13】

請求項 12 に記載の半導体装置の製造方法において、

前記エアギャップ溝を形成する工程において、形成される前記エアギャップ溝の前記配線間の長さが、前記配線間の最小配線間スペースの 5 倍以上である場合には、

前記接合する部分は、少なくとも一箇所以上に形成される、半導体装置の製造方法。

【請求項 14】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記エアギャップ溝を形成する工程において、前記エアギャップ溝内に前記配線を構成する部分が孤立しないように形成される、半導体装置の製造方法。

【請求項 15】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記エアギャップ溝を形成する工程において、前記エアギャップ溝内に孤立するように形成された前記配線を構成する部分と、該部分と前記エアギャップが形成されない領域とが接合する部分とが存在するように形成される、半導体装置の製造方法。

【請求項 16】

請求項 15 に記載の半導体装置の製造方法において、

前記エアギャップ溝を形成する工程において、形成される前記エアギャップ溝の前記配線間の長さが、前記配線間の最小配線間スペースの 5 倍以上である場合には、

前記接合する部分は、少なくとも一箇所以上に形成される、半導体装置の製造方法。

【請求項 17】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、ボンディングパッドが配置される領域の直下の領域を

10

20

30

40

50

露出しないように形成される、半導体装置の製造方法。

【請求項 18】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、能動領域におけるボンディングパッドが配置される領域の直下の領域における、前記複数の配線層のうち前記エアギャップが形成される各配線層の所望の領域における前記開口部の占める面積の割合の平均に基づいて形成される、半導体装置の製造方法。

【請求項 19】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、チップのコーナー部における一辺が  $20 \mu\text{m}$  角の領域を露出しないように形成される、半導体装置の製造方法。

10

【請求項 20】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記複数の配線のうち拡散層に接続する配線を含む周辺領域を露出するように形成される、半導体装置の製造方法。

【請求項 21】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、I/O部が形成される領域を露出しないように形成される、半導体装置の製造方法。

【請求項 22】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、メモリ部におけるビットライン、及びワードラインを含む領域を露出するように形成される、半導体装置の製造方法。

20

【請求項 23】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、キャパシタ部が形成される領域を露出しないように形成される、半導体装置の製造方法。

【請求項 24】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、CCDの受光素子及び該受光素子から  $5 \mu\text{m}$  以下の周辺領域を露出しないように形成される、半導体装置の製造方法。

30

【請求項 25】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、アナログ回路部が形成される領域を露出しないように形成される、半導体装置の製造方法。

【請求項 26】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、配線ヒューズ部が形成される領域を露出するよう形成される、半導体装置の製造方法。

【請求項 27】

請求項 1 に記載の半導体装置の製造方法において、

前記複数の配線層間において、上層の前記配線と下層の前記配線とを接続するビアを有する場合、

前記レジストマスクの開口部は、前記ビアと接続する前記上層の配線の周囲の領域を露出しないように形成される、半導体装置の製造方法。

40

【請求項 28】

請求項 1 に記載の半導体装置の製造方法において、

前記レジストマスクの開口部は、前記配線間の領域が 3 方向以上から集合している領域を露出しないように形成される、半導体装置の製造方法。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造方法、特に、多層配線構造の製造方法に関するものである。

## 【背景技術】

## 【0002】

近年、半導体集積回路素子の微細化に伴い、素子間及び素子内を結ぶ配線の間隔が狭くなってきている。このため配線間の容量が増加し、信号の伝搬速度の低下を引き起こす課題が顕在化している。そこで、例えば特許文献1に示されているように、配線間にエアギャップを形成して容量を低下させる方法が提案されている。

10

## 【0003】

以下に、上記特許文献1に記載の従来の半導体装置の製造方法について、図面を参照しながら説明する。

## 【0004】

図18(a)~(d)及び図19(a)~(c)は、従来の半導体装置の製造方法を工程順に示す工程断面図である。

## 【0005】

まず、図18(a)に示すように、半導体能動素子が形成された半導体基板(図示せず)上に、第1の絶縁膜10を堆積した後、該第1の絶縁膜10中に凹部を形成する。続いて、第1の絶縁膜10における凹部の底部及び壁部に第1のバリアメタル膜11を形成した後、凹部を埋め込むようにして銅膜よりなる第1の配線12を形成する。

20

## 【0006】

次に、図18(b)に示すように、第1の配線12の剥離防止及び第1の配線12を構成する銅の拡散防止の目的で、第1の絶縁膜10及び第1の配線12の上に、ライナー絶縁膜13を堆積する。

## 【0007】

次に、図18(c)に示すように、リソグラフィ法を用いて、ライナー絶縁膜13の上にレジストパターン14を形成する。レジストパターン14は、第1の絶縁膜10における第1の配線12間における部分のみを除去できる開口パターン14aを有しており、所望の第1の配線12間に配線間ギャップを形成するために用いられ、所望の第1の配線12間における領域のみを露出させるマスクパターンである。

30

## 【0008】

次に、図18(d)に示すように、レジストパターン14をマスクに用いたドライエッチングにより、ライナー絶縁膜13及び第1の絶縁膜10をエッチングして、第1の配線12間に配線間ギャップ15を形成する。

## 【0009】

次に、図19(a)に示すように、第1の配線12間の配線間ギャップ15及びライナー絶縁膜13の上に、第2の絶縁膜17を堆積することにより、第1の配線12間に形成され、頂部がライナー絶縁膜13の上に突き出しているエアギャップ16を形成する。第2の絶縁膜17として、カバレッジ率が低く且つ埋め込み性能が悪い膜を使用することにより、エアギャップ16を容易に形成することができる。

40

## 【0010】

次に、図19(b)に示すように、エッチングにより、第2の絶縁膜17中に、第1の配線12の表面を露出させる接続孔17aを形成した後に、配線溝17bを形成する。この場合、接続孔17aを配線溝17bよりも先に形成するデュアルダマシン(Dual Damascene)法を用いている。

## 【0011】

次に、図19(c)に示すように、接続孔17a及び配線溝17bを含む第2の絶縁膜17の上に、バリアメタル膜を形成した後に、シード膜を用いてメッキ膜を形成する。その後、金属系のCMPを用いて、接続孔17a及び配線溝17bの内部からはみ出してい

50

る余分なバリアメタル膜、シード膜、及びメッキ膜を取り除くことにより、接続孔 17 a にはバリアメタル膜 18 及びビア 19 が形成されると共に、配線溝 17 b にはバリアメタル膜 20 及び第 2 の配線 21 が形成される。このようにして、第 1 の配線 12 及び第 2 の配線 21 よりなる 2 層配線が形成される。

【0012】

以上のように、銅膜よりなる第 1 の配線 12 間にエアギャップ 16 が形成された多層配線を有する半導体装置を製造することができる。空気よりなるエアギャップ 16 における比誘電率は、第 1 の絶縁膜 10 の比誘電率の約 1/4 である。このため、エアギャップ 16 を設けることによって、隣り合う第 1 の配線 12 間の容量を低減することができる。したがって、隣り合う第 1 の配線 12 間における信号の遅延を抑制することができるので、動作マージンが広く且つ誤動作が生じにくい半導体装置を実現することができると共に、従来の配線材料を活用することができるので、低コスト化を図ることができる。

10

【特許文献 1】特開 2006 - 120998 号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上記従来の半導体装置の製造方法によると、特定の配線間スペースにおいて、全領域にエアギャップが形成されているため、配線の機械的強度が低下することにより、配線形成時における配線界面からの膜剥がれ、ワイヤーボンディング時における上層からの圧力による配線層崩れが生じ、半導体装置の歩留りが低下する。

20

【0014】

前記に鑑み、本発明の目的は、歩留りが高く、且つ、配線間の容量を十分に低減できる構造を備えた半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0015】

前記の課題を解決するために、本発明の一形態に係る半導体装置の製造方法は、配線間にエアギャップを有する配線層を複数層含んでなる多層配線構造を備えた半導体装置の製造方法であって、半導体基板上に絶縁膜を形成する工程と、絶縁膜の内部に複数の配線溝を形成する工程と、複数の配線溝の内部に複数の配線を形成する工程と、絶縁膜及び複数の配線の上に、複数の配線間の領域のうち選択的に領域を露出する開口部を有するレジストマスクを形成する工程と、レジストマスクを用いたエッチングにより、複数の配線間の領域のうち選択的に露出した領域の絶縁膜を除去してエアギャップ溝を形成する工程と、レジストマスクを除去した後に、複数の配線上を覆うように層間絶縁膜を堆積することにより、エアギャップ溝にエアギャップを形成する工程とを含む。

30

【0016】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、単層の配線層の所望の領域における開口部の占める面積の割合に基づいて形成される。

【0017】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、複数の配線層のうちエアギャップが形成される各配線層の所望の領域における開口部の占める面積の割合の平均に基づいて形成される。

40

【0018】

本発明の一形態に係る半導体装置の製造方法において、エアギャップは、複数の配線層のうち相対的に膜厚の薄い配線層のみに形成される。

【0019】

本発明の一形態に係る半導体装置の製造方法において、配線層内に、信号線に用いられている配線とダミーの配線とが形成されている場合、レジストマスクの開口部は、ダミーの配線が形成されている領域であって信号線に用いられる配線から 1 μm よりも離れた領域を露出しないように形成される。

【0020】

50

本発明の一形態に係る半導体装置の製造方法において、少なくともチップ領域と、チップ領域を区画するスクライプライン領域における線幅を管理するパターン領域とに、レジストマスクを用いたエッチングを行う。

【0021】

本発明の一形態に係る半導体装置の製造方法において、エアギャップが形成された下層の配線層の上に上層の配線層を形成する構造において、上層の配線層を形成する場合に用いるレジストマスクの開口部は、下層の配線層におけるエアギャップの直上の領域を露出しないように形成される。

【0022】

本発明の一形態に係る半導体装置の製造方法において、配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の配線層の上に、上層の配線層を形成する構造において、上層の配線層を形成する場合に用いるレジストマスクの開口部は、下層の配線層内に形成された領域に対応する幅のエアギャップの直上の領域を露出しないように形成される。

10

【0023】

本発明の一形態に係る半導体装置の製造方法において、配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の配線層の上に、上層の配線層を形成する構造において、下層の配線層を形成する場合に用いるレジストマスクの開口部は、領域よりも狭い領域を露出するように形成される。

【0024】

本発明の一形態に係る半導体装置の製造方法において、配線間が最小配線間スペースに対して等倍よりも大きい領域を有する下層の配線層の上に、上層の配線層を形成する構造において、下層の配線層を形成する場合に用いるレジストマスクの開口部は、最小配線間スペースを周期的に露出するように形成される。

20

【0025】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、エアギャップ溝を形成する工程において、エアギャップ溝内に絶縁膜を構成する部分が孤立しないように形成される。

【0026】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、エアギャップ溝を形成する工程において、エアギャップ溝内に孤立するように形成された絶縁膜を構成する部分と、該部分とエアギャップが形成されない領域とが接合する部分とが存在するように形成される。

30

【0027】

本発明の一形態に係る半導体装置の製造方法において、エアギャップ溝を形成する工程において、形成されるエアギャップ溝の配線間の長さが、配線間の最小配線間スペースの5倍以上である場合には、接合する部分は、少なくとも一箇所以上に形成される。

【0028】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、エアギャップ溝を形成する工程において、エアギャップ溝内に配線を構成する部分が孤立しないように形成される。

40

【0029】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、エアギャップ溝を形成する工程において、エアギャップ溝内に孤立するように形成された配線を構成する部分と、該部分とエアギャップが形成されない領域とが接合する部分とが存在するように形成される、半導体装置の製造方法。

【0030】

本発明の一形態に係る半導体装置の製造方法において、エアギャップ溝を形成する工程において、形成されるエアギャップ溝の配線間の長さが、配線間の最小配線間スペースの5倍以上である場合には、接合する部分は、少なくとも一箇所以上に形成される。

50

## 【0031】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、ボンディングパッドが配置される領域の直下の領域を露出しないように形成される。

## 【0032】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、能動領域におけるボンディングパッドが配置される領域の直下の領域における、複数の配線層のうちエアギャップが形成される各配線層の所望の領域における開口部の占める面積の割合の平均に基づいて形成される。

## 【0033】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、チップのコーナー部における一辺が20 $\mu$ m角の領域を露出しないように形成される。

## 【0034】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、複数の配線のうち拡散層に接続する配線を含む周辺領域を露出するように形成される。

## 【0035】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、I/O部が形成される領域を露出しないように形成される。

## 【0036】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、メモリ部におけるビットライン、及びワードラインを含む領域を露出するように形成される。

## 【0037】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、キャパシタ部が形成される領域を露出しないように形成される。

## 【0038】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、CCDの受光素子及び該受光素子から5 $\mu$ m以下の周辺領域を露出しないように形成される。

## 【0039】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、アナログ回路部が形成される領域を露出しないように形成される。

## 【0040】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、配線ヒューズ部が形成される領域を露出するように形成される。

## 【0041】

本発明の一形態に係る半導体装置の製造方法において、複数の配線層間において、上層の配線と下層の配線とを接続するビアを有する場合、レジストマスクの開口部は、ビアと接続する上層の配線の周囲の領域を露出しないように形成される。

## 【0042】

本発明の一形態に係る半導体装置の製造方法において、レジストマスクの開口部は、配線間の領域が3方向以上から集合している領域を露出しないように形成される。

## 【発明の効果】

## 【0043】

以上のように、本発明における一形態に係る半導体装置の製造方法によると、レジストマスクの形状に特徴を持たせることで、エアギャップの形成領域を所望の領域に制限することにより、配線間容量の低減を実施すると共に、配線の機械的強度を確保することができる。

## 【発明を実施するための最良の形態】

## 【0044】

以下、本発明の一実施形態に係る半導体装置及びその製造方法について、図面を参照しな

10

20

30

40

50

がら説明する。なお、本発明は、以下の一実施形態に限定される趣旨ではなく、本発明の趣旨を逸脱しない範囲で、様々な形態に変形して実施可能である。

【0045】

- 半導体装置の製造方法 -

図1(a)~(f)、図2(a)~(d)、及び図3(a)~(d)は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す工程断面図である。

【0046】

まず、図1(a)に示すように、半導体能動素子が形成された半導体基板(図示せず)上に絶縁膜101を形成する。

【0047】

次に、図1(b)に示すように、フォトリソグラフィー及びドライエッチングにより、絶縁膜101中に配線溝102を形成する。

【0048】

次に、図1(c)に示すように、絶縁膜101における配線溝102の底部及び壁部並びに絶縁膜101上にバリアメタル膜を堆積した後、配線溝102を埋め込むようにして銅膜を堆積する。その後、CMP(chemical mechanical polishing)を用いて、配線溝102の内部からはみ出しているバリアメタル膜及び銅膜を研磨除去することにより、配線溝102内にバリアメタル膜103a及び銅膜103bよりなる配線103を形成する。

【0049】

次に、図1(d)に示すように、絶縁膜101及び配線103の上に、所望の領域を露出する(絶縁膜101及び配線103上の領域を選択的に露出する)開口部104aを有するレジストマスク104を形成する。なお、レジストマスク104の形状における種々の形態については後述で詳説する。

【0050】

次に、図1(e)に示すように、レジストマスク104をマスクに用いたドライエッチングにより、配線103の間の領域にエアギャップ溝105に形成する。

【0051】

次に、図1(f)に示すように、アッシング及び洗浄により、レジストマスク104を除去する。

【0052】

次に、図2(a)に示すように、カバレッジ性の悪い層間絶縁膜106を堆積することにより、頂部が絶縁膜101の上に突き出すようにエアギャップ107が形成される。なお、この場合、上記レジストマスク104の開口部104aに露出する領域においてのみ、エアギャップ107が形成される。

【0053】

次に、図2(b)に示すように、層間絶縁膜106上であってビアを形成する所望の領域を露出する開口部108aを有するレジストマスク108を形成した後、該レジストマスク108を用いたドライエッチングにより、層間絶縁膜106にビアホール109を形成する。

【0054】

次に、図2(c)に示すように、層間絶縁膜106上であって配線を形成する所望の領域を露出する開口部110aを有するレジストマスク110を形成する。

【0055】

次に、図2(d)に示すように、レジストマスク110を用いたドライエッチングにより、層間絶縁膜106に配線溝111を形成する。

【0056】

次に、図3(a)に示すように、層間絶縁膜106におけるビアホール109及び配線溝111の底部及び壁部並びに層間絶縁膜106上にバリアメタル膜を堆積した後、ビアホール109及び配線溝111を埋め込むようにして銅膜を堆積する。その後、CMPを

10

20

30

40

50

用いて、ビアホール 109 及び配線溝 111 の内部からはみ出しているバリアメタル膜及び銅膜を研磨除去することにより、配線溝 111 内にバリアメタル膜 112 a 及び銅膜 112 b よりなる配線 112 を形成すると共に、ビアホール 109 内にバリアメタル膜 113 a 及び銅膜 113 b よりなるビア 113 を形成する。このようにして多層配線が形成される。

【0057】

次に、図 3 ( b ) に示すように、層間絶縁膜 106、配線 112、及びビア 113 の上に、所望の領域を露出する ( 層間絶縁膜 106、配線 112、及びビア 113 上の領域を選択的に露出する ) 開口部 114 a を有するレジストマスク 114 を形成する。なお、レジストマスク 114 の形状における種々の形態については後述で詳説する。その後、レジストマスク 114 をマスクに用いたドライエッチングにより、配線 112 間の所望の領域にエアギャップ溝 115 を形成する。

10

【0058】

次に、図 3 ( c ) に示すように、アッシング及び洗浄により、レジストマスク 114 を除去する。

【0059】

次に、図 3 ( d ) に示すように、カバレッジ性の悪い層間絶縁膜 116 を堆積することにより、頂部が層間絶縁膜 106 の上に突き出すようにエアギャップ 117 が形成される。なお、この場合、上記レジストマスク 114 の開口部 114 a に露出する領域においてのみ、エアギャップ 117 が形成される。

20

【0060】

以後、上述した図 2 ( b ) ~ 図 3 ( d ) の工程を繰り返すことにより、任意の層数を有する多層配線構造を形成することが可能である。

【0061】

なお、上記のエアギャップ溝 105、115 を形成する際には、エッチングを 2 段階に分けて行うことが好ましい。つまり、第 1 のエッチングでは異方性の高いエッチング、第 2 のエッチングでは等方性の高いエッチングを用いることにより、配線の側壁近傍の絶縁膜を十分に除去できるため、配線間容量を十分に低減することができる。

【0062】

以下に、上記レジストマスク 104 及びレジストマスク 114 の好ましい形態について具体的に説明する。

30

【0063】

- 単層の場合の面積率制限について -

レジストマスク 104 の開口部 104 a の開口面積、及びレジストマスク 114 の開口部 114 a の開口面積は、それぞれ、各層における所望の検査領域の面積の 30 % 以下の面積率に制限することが好ましい。なお、この場合の所望の検査領域とは、例えば、各層における一辺が 50  $\mu\text{m}$  の正方形の領域である。

【0064】

このようにするのは、開口面積が全面積の 30 % よりも大きくなると、下部の配線層とその上部の配線層との界面における密着性が低下することにより、上部の配線層を形成する際の CMP 処理中に、上記界面を基点として、界面剥離が発生するからである。よって、開口面積を全面積の 30 % 以下とすることで、界面剥離を抑制することができる。

40

【0065】

- 積層の場合の面積率制限について -

下層に位置するレジストマスク 104 の面積率と、その上層に位置するレジストマスク 114 の面積率の積層平均占有率 ( = ( エアギャップを適用している各配線層における開口率 ) / エアギャップを適用している配線層数 ) が 25 % 以下であることが好ましい。なお、この場合の面積率は、例えば、一辺が 50  $\mu\text{m}$  の正方形の所望の検査領域毎に算出することが好ましい。

【0066】

50

このようにするのは、例えば、図4に示すように、レジストマスク104の開口部104aが露出する領域と、レジストマスク114の開口部114aが露出する領域との重なりが大きいと、エアギャップ107及び117の体積率が局所的に大きくなる領域4Aが発生するため、配線層間における機械的強度が脆弱となるからである。よって、各配線層にエアギャップ107及び117を形成する際に用いる各レジストマスク104及び114の面積率の積層平均占有率を25%以内とすることで、機械的強度の減少を抑制することが可能となる。

【0067】

- 複数レイヤーにおけるエアギャップの形成について -

エアギャップ107、117は、半導体装置の総配線層のうち、相対的に膜厚が薄いファインレイヤーのみに形成することが好ましい。つまり、レジストマスク104及び114は、ファインレイヤーのみに用いることが好ましい。

10

【0068】

このようにするのは、例えば、図5に示すように、半導体装置が上記図3(d)に示す構造と同様の構造を有する相対的に膜厚が薄いファインレイヤーからなる領域5Aと、上記図3(d)に示す構造と同様だが、相対的に膜厚が厚い層間絶縁膜201にビア202及び配線203が形成された領域5Bとからなる場合に、各領域5A及び5Bの各配線層にレジストマスク104及び114を適用してエアギャップ204を形成すると、半導体装置全面の機械的強度が脆弱となるからである。よって、例えば、図6に示すように、半導体装置が図5と同様に領域6A及び6Bからなる場合は、相対的に膜厚が薄いファインレイヤーからなる領域6Aにのみ、レジストマスク104及び114を適用してエアギャップ107及び117のみを形成することで、半導体装置全面の高い機械強度を確保することが可能となる。

20

【0069】

- ダミーパターン形成領域におけるエアギャップの形成について -

エアギャップ107、117は、ダミーパターン間に形成しないことが好ましい。

【0070】

すなわち、配線103及び配線112が、半導体装置内における配線占有率を調整するために設けたドットのようなパターンであるダミーパターンを含んでいる場合、例えば、図7に示すように、ダミーパターンが形成されているダミーパターン形成領域122には、該領域122を開口しないような開口部104a、114bを有するレジストマスク104、114を用いて、エアギャップ107、117を形成することが好ましい。

30

【0071】

このようにすると、ダミーパターン形成領域122にエアギャップ107、117が形成されることなく、配線形成領域にはエアギャップ107、117が形成されるため、半導体装置の動作速度低下させることなく、高い機械的強度を確保することが可能となる。なお、ダミーパターン形成領域122であって配線103、112から例えば1 $\mu$ mよりも離れた領域にはエアギャップ107、117を形成しないことが好ましい。これは、エアギャップ107、117による容量低減を可能にしながらも、該1 $\mu$ mより離れた領域にエアギャップ107、117を形成しないことによって機械的強度も同時に確保するためである。

40

【0072】

- スクライブ領域におけるエアギャップの形成について -

エアギャップ107、117は、スクライブ領域に搭載している寸法管理パターン及び初期電気特性評価パターンにのみ形成することが好ましい。

【0073】

このようにするのは、例えば、スクライブ領域全体にエアギャップ107、117を形成すると、半導体チップ近傍における機械的強度が大きく低下し、半導体チップ内へのクラッキングが発生する可能性が高いからである。よって、スクライブ領域に搭載している寸法管理パターン及び初期電気特性評価パターンにのみを開口する開口部104a、114

50

aを有するレジストマスク104、114を用いて、エアギャップ107、117を形成することにより、スクライブ領域における大幅な機械強度の改善により、チップ内へのクラッキングの発生を防止することが可能となる。

【0074】

- 上層レイヤーにおけるエアギャップの形成について -

エアギャップ107及び117を形成する際、下層のエアギャップ107、117の直上の配線層における領域を露出しないように形成された開口部104a、114aを有するレジストマスク104、114を用いることが好ましい。

【0075】

このようにするのは、レジストマスク104、114の開口部104a、114aが露出する領域の直上に、レジストマスク104、114の開口部104a、114aが露出する領域を配置すると、エアギャップ107、117が上下の配線層に重なるように形成されて、局所的な機械的強度の低下が発生するからである。つまり、この場合、半導体装置製造プロセスの中には、ウェハ表面から圧力が掛かる工程（例えば、CMPなど）により、上記のような局所的な機械的強度の低下が発生する箇所から、エアギャップ107、107の崩落が発生し、多層配線の形成が困難になるからである。よって、エアギャップ107、117が上下の配線層で重ならないように形成することにより、局所的な機械的強度の低下を抑制して、エアギャップ107、117の崩落を防止することが可能となる。

10

【0076】

- 配線間スペースが幅広である場合におけるエアギャップの形成について(1) -

半導体装置の総配線層における最小配線間スペースに比べて等倍よりも大きい幅広の配線間スペースを有する配線層が存在する場合に、その上層の配線層では、下層の幅広の配線間スペースに形成されたエアギャップ107、117上に位置する領域（少なくとも、エアギャップ107、117の頂部が位置する座標上の領域）には、エアギャップ107、117を形成しないことが好ましい。

20

【0077】

このようにするのは、例えば、図8(a)に示すように、幅広の配線間スペースを有する領域に形成されたエアギャップ107の上部を露出する開口部114aを有するレジストマスク114を用いて、エアギャップ117を形成すると、領域8Aにおいて、エアギャップ107と、エアギャップ117を構成するエアギャップ溝115とが一部で接合するため、洗浄などの薬液を使用する工程の処理が施されることにより、エアギャップ107内に薬液が入り込み、配線103の金属の腐食が発生するからである。よって、総配線層における最小配線間スペースに比べて等倍よりも広い配線間スペースを有する領域に形成されたエアギャップを有する配線層が存在する場合に、その上層の配線層では、該エアギャップの頂部と同一座標軸にエアギャップの形成を禁止することにより、下層のエアギャップと上層のエアギャップ溝とが接合することを防止することが可能になる。

30

【0078】

- 配線間スペースが幅広である場合におけるエアギャップの形成について(2) -

半導体装置の総配線層における最小配線間スペースに比べて等倍よりも大きい幅広の配線間スペースを有する配線層が存在する場合に、その幅広の配線間スペースには、配線間スペースに対応したエアギャップ107、117を形成することなく、配線間スペースに比して小さいエアギャップ（例えば107a）を形成することが好ましい。

40

【0079】

このようにするのは、上述(1)で述べた通り、図8(a)のようにエアギャップ107とエアギャップ溝115とが一部で接合する可能性がある上に、局所的にエアギャップ107、117の比率が高くなり、配線103と層間絶縁膜106との界面密着性が低下して界面剥離の可能性があるからである。よって、上述(1)のように下層における幅広の配線間スペースに対応して形成されたエアギャップ107、117の上には、上層の配線層においてエアギャップ107、117を形成しないという構造も考えることができる

50

が、ここでは、図 8 ( b ) に示すように、その幅広の配線間スペースには、配線間スペースに比して小さいエアギャップ 1 0 7 a を形成することにより、上層及び下層のエアギャップの接合の抑制及び界面剥離の抑制を実現することが可能となる。

【 0 0 8 0 】

- 配線間スペースが幅広である場合におけるエアギャップの形成について ( 3 ) -

半導体装置の総配線層における最小配線間スペースに比べて等倍よりも大きい幅広の配線間スペースを有する配線層が存在する場合に、その幅広の配線間スペースには、配線間スペースに対応したエアギャップ 1 0 7、1 1 7 を形成することなく、Line & Space のエアギャップ ( 例えば 1 0 7 b ) を形成することが好ましい。

【 0 0 8 1 】

このようにするのは、上述 ( 1 ) 及び ( 2 ) で述べた通り、図 8 ( a ) のようにエアギャップ 1 0 7 とエアギャップ溝 1 1 5 とが一部で接合する可能性があることに加えて、局所的にエアギャップ 1 0 7 及び 1 1 7 の比率が高くなるという問題は、上述の ( 2 ) の構造によれば解決可能であるが、その ( 2 ) の構造によっても配線間容量が大きいという問題があるからである。よって、図 8 ( c ) に示すように、その幅広の配線間スペースには、Line & Space のエアギャップ 1 0 7 b を形成することにより、上層及び下層のエアギャップの接合の抑制及び界面剥離の抑制を実現すると共に、配線間容量を低減することが可能となる。

【 0 0 8 2 】

- エアギャップの形成と孤立絶縁膜について ( 1 ) -

エアギャップ溝内には孤立する絶縁膜が形成されない構造であることが好ましい。すなわち、エアギャップ溝内に孤立する絶縁膜が形成されないような開口部 1 0 4 a、1 1 4 a を有するレジストマスク 1 0 4、1 1 4 を用いることが好ましい。

【 0 0 8 3 】

このようにするのは、例えば、図 9 ( a ) に示すように、レジストマスク 1 0 4、1 1 4 の開口部 1 0 4 a、1 1 4 a の形状により、エアギャップ溝内に絶縁膜が孤立して形成される場合には、孤立する絶縁膜底部の界面面積が小さいため、絶縁膜のパターンが倒れて、パーティクルが発生する原因となるからである。よって、エアギャップ溝内に孤立する絶縁膜が形成されないような開口部 1 0 4 a、1 1 4 a を有するレジストマスク 1 0 4、1 1 4 を用いてエアギャップ 1 0 7、1 1 7 を形成することにより、絶縁膜部のパターン倒れを抑制することが可能となる。

【 0 0 8 4 】

- エアギャップの形成と孤立絶縁膜について ( 2 ) -

エアギャップ溝内に孤立する絶縁膜が形成される構造である場合においても、該絶縁膜とエアギャップ溝非形成領域、隣接する配線又は絶縁膜との間を橋渡し構造が形成されていることが好ましい。すなわち、エアギャップ溝内に上記橋渡し構造が形成されるような開口部 1 0 4 a、1 1 4 a を有するレジストマスク 1 0 4、1 1 4 を用いることが好ましい。

【 0 0 8 5 】

このようにするのは、上述 ( 1 ) のように孤立する絶縁膜の形成を禁止する構造であると、例えば、図 9 ( b ) に示すように、大面積のエアギャップ溝が形成されて、機械的強度の低下及び界面剥離が発生する可能性があるからである。よって、例えば、図 9 ( c ) に示すように、エアギャップ溝内に孤立する絶縁膜が形成されるような開口部 1 0 4 a、1 1 4 a を有するレジストマスク 1 0 4、1 1 4 であっても、さらに、その孤立する絶縁膜との間で橋渡し構造 9 B が形成されるような開口部 1 0 4 a、1 1 4 a を有するレジストマスク 1 0 4、1 1 4 ( 橋渡し構造 9 A を有するレジストマスク 1 0 4、1 1 4 ) を用いてエアギャップ 1 0 7、1 1 7 を形成することにより、絶縁膜部のパターン倒れを抑制しながら、機械的強度の確保、及び界面剥離の抑制を実現することが可能となる。なお、エアギャップ溝の配線間の長さが、配線間の最小配線間スペースの 5 倍以上と非常に長くなる場合には、配線を支える絶縁膜のエッジ部の表面粗さが粗いために配線倒れが起こり

10

20

30

40

50

配線消失が起こる可能性があることを考慮して、橋渡し構造 10 A、10 B は、少なくとも一箇所以上に形成されることが好ましい。

【0086】

- エアギャップの形成と孤立配線について (1) -

エアギャップ溝内に孤立する配線 103、112 が形成されない構造であることが好ましい。すなわち、エアギャップ溝内に孤立する配線 103、112 が形成されないような開口部 104 a、114 a を有するレジストマスク 104、114 を用いることが好ましい。

【0087】

このようにするのは、例えば、図 10 (a) に示すように、レジストマスク 104、114 の開口部 104 a、114 a の形状により、エアギャップ溝内に配線 103、112 が孤立して形成される場合には、孤立する配線 103、112 の底部の界面面積が小さいため、配線 103、112 のパターンが倒れて、配線オープン不良が発生する原因となるからである。よって、エアギャップ溝内に孤立する配線 103、112 が形成されないような開口部 104 a、114 a を有するレジストマスク 104、114 を用いてエアギャップ 107、117 を形成することにより、配線パターン倒れによる配線オープン不良を抑制することが可能となる。

10

【0088】

- エアギャップの形成と孤立配線について (2) -

エアギャップ溝内に孤立する配線が形成される構造である場合においても、該配線とエアギャップ溝非形成領域、隣接する配線又は絶縁膜との間を橋渡す構造が形成されていることが好ましい。すなわち、エアギャップ溝内に上記橋渡し構造が形成されるような開口部 104 a、114 a を有するレジストマスク 104、114 を用いることが好ましい。

20

【0089】

このようにするのは、上述 (1) のように孤立する配線の形成を禁止する構造であると、例えば、図 10 (b) に示すように、大面積の配線 103、112 が形成されて、配線間容量が増大して、配線遅延が発生するからである。よって、例えば、図 10 (c) に示すように、エアギャップ溝内に孤立する配線 103、112 が形成されるような開口部 104 a、114 a を有するレジストマスク 104 及び 114 であっても、さらに、その孤立する配線 103、112 との間で橋渡す構造 10 B が形成されるような開口部 104 a、114 a を有するレジストマスク 104、114 (橋渡し構造 10 A を有するレジストマスク 104、114) を用いてエアギャップ 107、117 を形成することにより、配線パターン倒れによる配線オープン不良を抑制しながら、配線間容量の増大による配線遅延を抑制することが可能となる。なお、エアギャップ溝の配線間の長さが、配線間の最小配線間スペースの 5 倍以上と非常に長くなる場合には、配線を支える絶縁膜のエッジ部の表面粗さが粗いために配線倒れが起こり配線消失が起こる可能性があることを考慮して、橋渡し構造 10 A、10 B は、少なくとも一箇所以上に形成されることが好ましい。

30

【0090】

- パッド下の領域におけるエアギャップの形成について -

半導体装置の最上層に形成されているワイヤーボンディングを実施するためのボンディングパッドの下部領域には、エアギャップ 107、117 を形成しないことが好ましい。

40

【0091】

このようにするのは、半導体装置の最上層のボンディングパッドの下部領域にエアギャップ 107、117 が形成されていると、エアギャップ 107、117 が形成されていない絶縁膜構造の場合よりも機械的強度が低減しているため、配線層が崩落する可能性があるからである。よって、例えば、図 11 に示すように、ボンディングパッドの下部領域には、エアギャップ 107、エアギャップ 117 が形成されないような開口部 104 a、114 a を有するレジストマスク 104、114 を用いることにより、機械的強度を保持し、ワイヤーボンディングが可能な半導体装置を実現することが可能となる。

【0092】

50

- ボンディングパッドの配置領域におけるエアギャップの形成について -

半導体装置の最上層に形成されているワイヤーボンディングを実施するためのボンディングパッドがチップ内の全面に能動領域に形成されている場合、ボンディングパッドが配置されている座標におけるエアギャップ107、117が適用される全ての層において、各層の所望の検査領域におけるエアギャップ107、117の占める面積率の積層平均占有率が15%以下であることが好ましい。なお、この場合の面積率は、例えば、一辺が20 $\mu$ mの正方形の領域毎に算出することが好ましい。

【0093】

このようにするのは、例えば図12に示すように、半導体装置の最上層のボンディングパッド301がチップ300内の全面に能動領域に形成されている場合、ワイヤーボンディングを実施する際、ボンディングパッド301下の領域におけるエアギャップ107、117の積層平均占有率が大きいと、エアギャップ107、117が形成されていない絶縁膜構造の場合よりも機械的強度が低減しているため、配線層が崩落する可能性があるからである。よって、ボンディングパッドが配置されている座標におけるエアギャップ107、117が適用される全ての層に対して、エアギャップ107、117の積層平均占有率が15%以下となるように開口部104a及び114aを有するレジストマスク104、114を用いることで、機械的強度を保持し、ワイヤーボンディングが可能な半導体装置を実現することが可能となる。

10

【0094】

- チップのコーナー部の領域におけるエアギャップの形成について -

20

チップのコーナー部にはエアギャップ107、117を形成しないことが好ましい。なお、この場合のチップコーナー部とは、例えば、一辺20 $\mu$ mの正方形の領域を示すことが好ましい。

【0095】

このようにするのは、例えば図13に示すように、半導体ウエハ400上の各チップ300のコーナー部13Aにエアギャップ107、117を形成すると、チップ300のコーナー部13Aにおける機械的強度が低下し、半導体ウエハ400からチップ300を切り出す際に（以下、ダイシングと呼ぶ）、チップ300の外周部からチップ内部にかけてクラックが発生する可能性があるからである。よって、チップ300のコーナー部13Aにはエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、チップ300のコーナー部13Aにおける機械的強度を確保することが可能となり、ダイシング時におけるチップ300のコーナー部13Aのクラックの発生を抑制することが可能となる。また、ここでは、チップコーナー部13Aの領域として、例えば一辺20 $\mu$ mの正方形の領域としたが、これは、例えばチップ300における周辺部に形成されるシールリングの端部からダイシング後のチップ界面までの距離と同じ長さとなるように設定した値であって、この値に限定されるものではない。その距離と同じになるように、コーナー部13Aの正方形の一辺の長さが設定された他の値とすることもできる。

30

【0096】

- 拡散層に接続されている配線周辺領域におけるエアギャップの形成について -

40

エアギャップ107、117は、拡散層と接続する配線の周囲のみに形成することが好ましい。

【0097】

このようにするのは、多層配線を形成する際に、拡散層と接続しない配線を形成することがあるが、このような配線の周囲にエアギャップを形成すると、半導体装置全体の機械的強度が著しく低下するからである。よって、このような機械的強度の減少を防止するために、拡散層と接続する配線の周囲のみにエアギャップ107、117が形成されるような開口部104a及び114aを有するレジストマスク104、114を用いることにより、半導体装置全体の機械強度を確保することが可能となる。

【0098】

50

- I O部におけるエアギャップの形成について -

エアギャップ107、117は、少なくともI O部を除く他の回路に形成することが好ましい。

【0099】

このようにするのは、半導体装置内のI O部は高耐圧が要求され、高速伝送が要求されていない部位が存在するが、I O部にエアギャップ1047、117を形成すると、半導体装置全体の機械的強度が著しく低下するからである。よって、少なくともI O部を除く他の回路にエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、半導体装置全体の機械的強度を確保することが可能となる。

10

【0100】

- エアギャップの形成とメモリ部について -

エアギャップ107、117は、半導体装置内のメモリ部(DRAMなど)に形成することが好ましい。

【0101】

このようにするのは、半導体装置内のメモリ部(DRAMなど)のワードライン・ビットラインでは高速伝送が要求されるからである。よって、このような高速伝送が必要な部位にエアギャップ107、117が形成されるような開口部104a、114aを有するレジストマスク104、114を用いることにより、そのような部位における配線間容量が低減し、高速伝送が可能となる。

20

【0102】

- キャパシタ部におけるエアギャップの形成について -

エアギャップ107、117は、キャパシタ領域での形成を抑制することが好ましい。

【0103】

このようにするのは、半導体装置内のキャパシタ領域にエアギャップ107、117を形成すると、配線間容量が小さくなるため、所定の配線間容量を満たすためには、チップ面積が増大してしまうからである。よって、キャパシタ領域でのエアギャップ107、117の形成が抑制されるような開口部104a、114aを有するレジストマスク104、114を用いることにより、キャパシタ領域における面積の縮小が可能となる。

30

【0104】

- CCD受光素子部におけるエアギャップの形成について -

エアギャップの形成は、CCDの受光素子部周辺での形成を制御することが好ましい。この場合、受光素子部及びその周辺回路部の5 $\mu$ mの範囲においてエアギャップを形成しないことが好ましい。

【0105】

このようにするのは、例えば図14のCCDの受光素子部における断面図に示すように、受光素子部14Aにエアギャップ107、117を形成すると、周辺回路は配線間容量の低減によって高速伝送が可能となるが、光の屈折率が変化することで受光素子部14Aは受光素子として機能しなくなるからである。よって、CCDの受光素子部14Aの周辺にエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、受光素子部14Aにおける光の屈折率を制御し、受光素子部14Aの受光素子としての動作の確保し、かつ、周辺回路の高速動作を確保することが可能となる。

40

【0106】

- 配線ヒューズ部におけるエアギャップの形成について -

エアギャップ107、117は、配線ヒューズ部に形成しないことが好ましい。

【0107】

このようにするのは、半導体装置に、配線を用いたヒューズが形成されることがあり、このヒューズを切断する際には、レーザーを用いる場合と大電流を瞬時的に流す場合とがあるが、いずれの場合にも、配線周辺の絶縁膜にはダメージ(クラックなど)が生じるか

50

らである。よって、例えば、図15に示すように、配線ヒューズ500におけるヒューズ部の周辺領域15Aにエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、ヒューズ切断時の配線間の絶縁膜501へのダメージを抑制することが可能となる。

【0108】

- ピアの直上の領域におけるエアギャップの形成について -

エアギャップ107、117は、ビアの直上の領域に形成しないことが好ましい。

【0109】

このようにするのは、下層の配線と上層の配線とを接合する際には、ビアが形成されるが、このビアの直上の配線の周囲にエアギャップ107、117が形成されると、上層の配線のCu原子が電流印加時などに動きやすくなり、上層の配線の信頼性が低下するからである。よって、例えば、図16に示すように、ビア113における上部（配線112と接続している領域の周辺領域16A）においてエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、上層の配線のCu原子の移動を抑制し、信頼性を向上させることが可能となる。

10

【0110】

- 配線間隔部が3方向以上から集合する領域におけるエアギャップの形成について -

エアギャップ107、117は、配線間隔部が3方向以上から集合する領域に形成しないことが好ましい。

【0111】

このようにするのは、例えば、図17に示すように、配線112の間隔部が3方向以上から集合している領域17Aにエアギャップ107、117を形成すると、そのエアギャップ107、117の高さは、配線112の間隔部が2方向から集合している領域に形成するエアギャップ107、117の高さに比較して高くなり、エアギャップ107、117の高さが均一的にならないからである。よって、配線112の間隔部が3方向以上から融合している領域にエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、配線層におけるエアギャップ107、117の高さを均一にすることが可能となる。

20

【0112】

- アナログ回路部におけるエアギャップの形成について -

エアギャップ107、117は、アナログ回路部に形成しないことが好ましい。

30

【0113】

このようにするのは、アナログ回路部にエアギャップ107、117を形成すると、信号のタイミングが異常を規してしまい、回路動作として動作しない可能性があるからである。よって、アナログ回路部にはエアギャップ107、117が形成されないような開口部104a、114aを有するレジストマスク104、114を用いることにより、アナログ回路部の回路動作異常の発生を防止することができる。

【産業上の利用可能性】

【0114】

本発明は、配線間にエアギャップを適用する多層配線構造を有する半導体装置及びその製造方法にとって有用である。

40

【図面の簡単な説明】

【0115】

【図1】(a)～(f)は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す工程断面図である。

【図2】(a)～(d)は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す工程断面図である。

【図3】(a)～(d)は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す工程断面図である。

【図4】本発明の一実施形態の積層の場合におけるエアギャップの面積率制限を説明する

50

ための図である。

【図5】本発明の一実施形態のレイヤーにおけるエアギャップの形成を説明するための図である。

【図6】本発明の一実施形態のレイヤーにおけるエアギャップの形成を説明するための図である。

【図7】本発明の一実施形態のダミーパターン形成領域におけるエアギャップの形成を説明するための図である。

【図8】(a)～(c)は、本発明の一実施形態の配線間図ペースが幅広である場合のエアギャップの形成を説明するための図である。

【図9】(a)～(c)は、本発明の一実施形態の孤立絶縁膜とエアギャップの形成を説明するための図である。

【図10】(a)～(c)は、本発明の一実施形態の孤立配線とエアギャップの形成を説明するための図である。

【図11】本発明の一実施形態のパッド下の領域におけるエアギャップの形成を説明するための図である。

【図12】本発明の一実施形態のボンディングパッドの配置領域とエアギャップの形成を説明するための図である。

【図13】本発明の一実施形態のチップのコーナー部の領域におけるエアギャップの形成を説明するための図である。

【図14】本発明の一実施形態のCCD受光素子部におけるエアギャップの形成を説明するための図である。

【図15】本発明の一実施形態の配線ヒューズ部におけるエアギャップの形成を説明するための図である。

【図16】本発明の一実施形態のビアの直上の領域におけるエアギャップの形成を説明するための図である。

【図17】本発明の一実施形態の配線間隔部が3方向以上から集合する領域におけるエアギャップの形成を説明するための図である。

【図18】(a)～(d)は、従来の半導体装置の製造方法を工程順に示す工程断面図である。

【図19】(a)～(c)は、従来の半導体装置の製造方法を工程順に示す工程断面図である。

【符号の説明】

【0116】

101 絶縁膜

102 配線溝

103 a バリア膜

103 b 銅膜

103 配線

104 レジストマスク

104 a 開口部

105 エアギャップ溝

106 層間絶縁膜

107、107 a、107 b エアギャップ

108 レジストマスク

108 a 開口部

109 ビアホール

110 レジストマスク

110 a 開口部

111 配線溝

112 a バリア膜

10

20

30

40

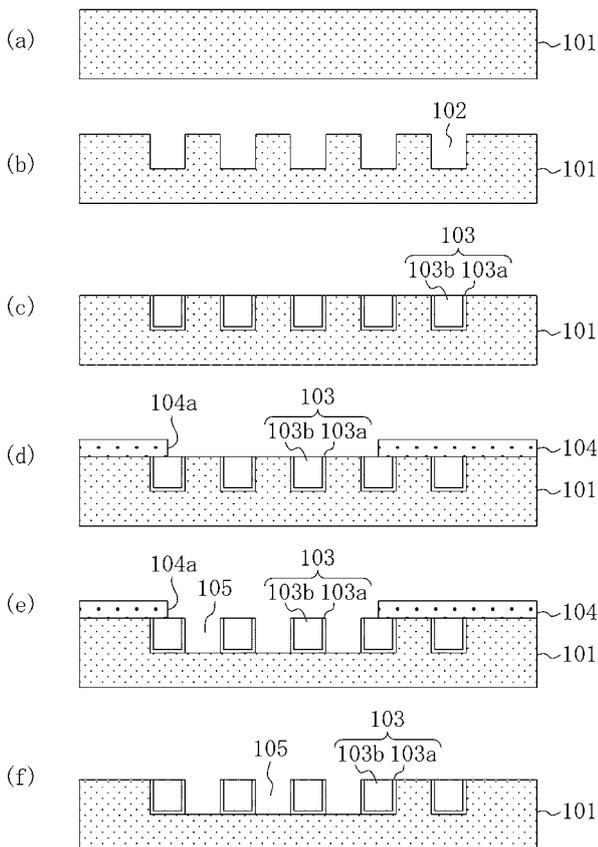
50

- 1 1 2 b 銅膜
- 1 1 2 配線
- 1 1 3 a バリア膜
- 1 1 3 b 銅膜
- 1 1 3 ビアに接続された配線
- 1 1 4 レジストマスク
- 1 1 4 a 開口部
- 1 1 5 エアギャップ溝
- 1 1 6 層間絶縁膜
- 1 1 7 エアギャップ
- 1 2 2 ダミーパターン
- 2 0 1 層間絶縁膜
- 2 0 2 ビア
- 2 0 3 配線
- 2 0 4 エアギャップ
- 3 0 0 チップ
- 3 0 1 ボンディングパッド
- 4 0 0 半導体ウエハ
- 4 A、5 A、5 B、8 A、1 1 A 領域
- 1 3 A チップのコーナー部
- 1 4 A CCDの受光素子部
- 1 5 A ヒューズ部の周辺領域
- 1 6 A ビアにおける上部の周辺領域

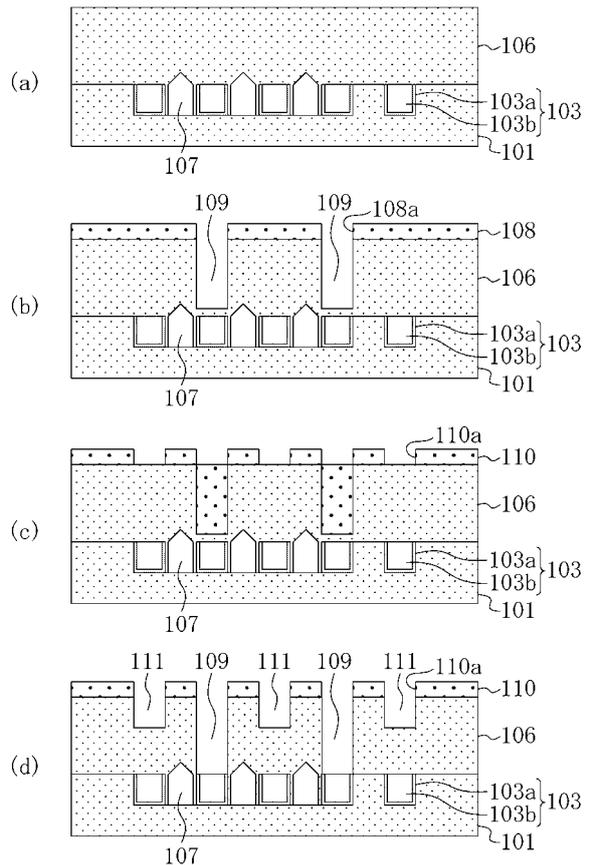
10

20

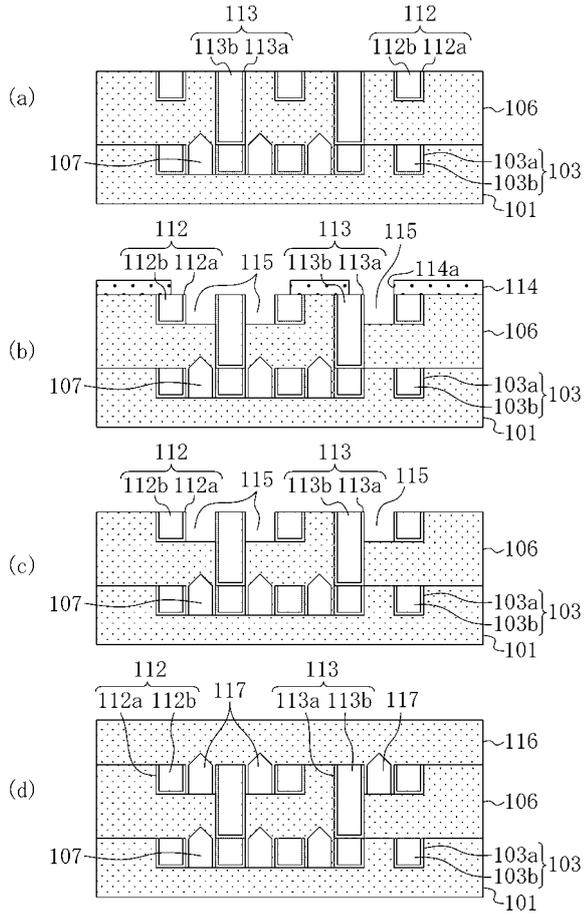
【 図 1 】



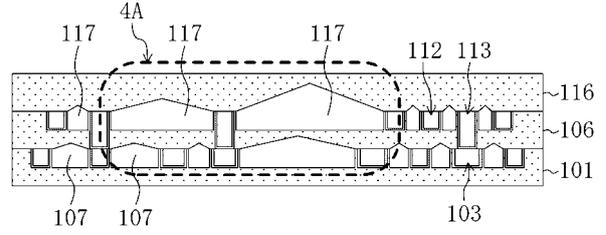
【 図 2 】



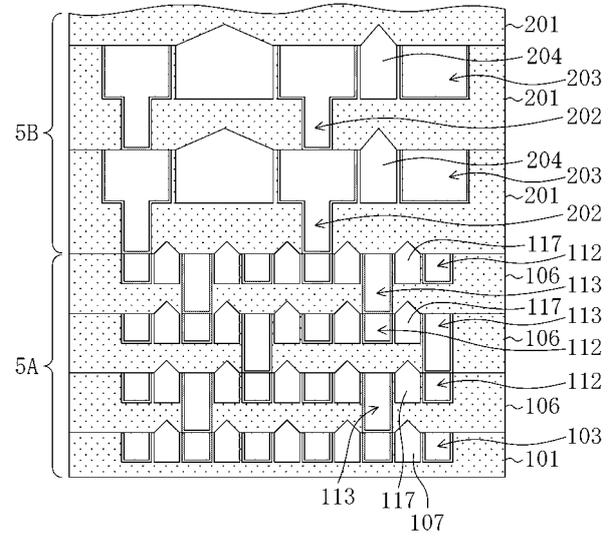
【 図 3 】



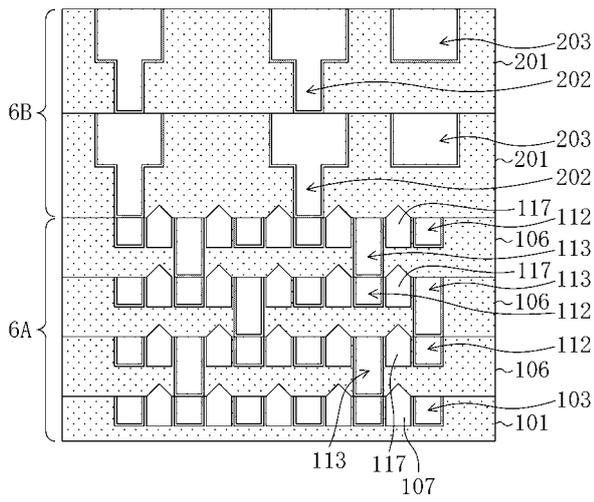
【 図 4 】



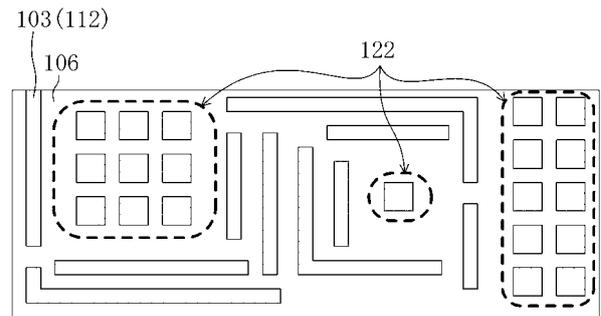
【 図 5 】



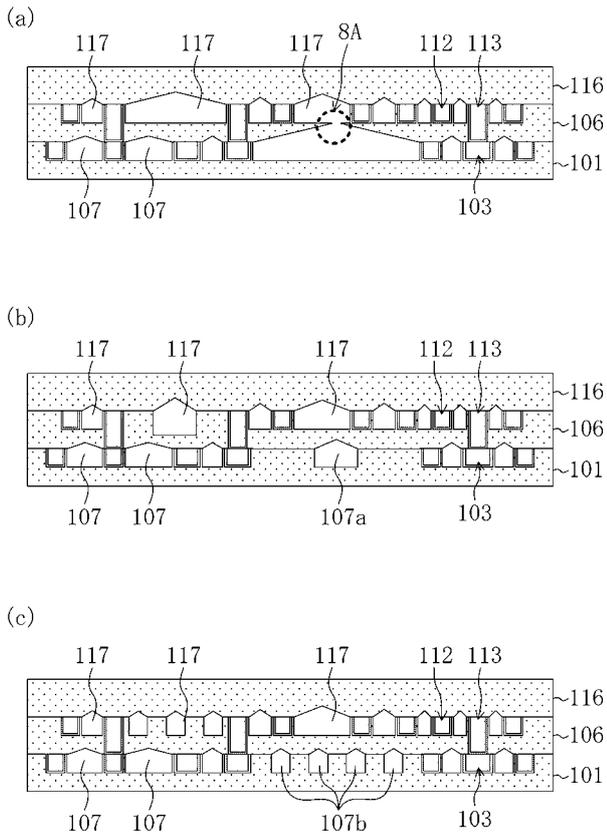
【 図 6 】



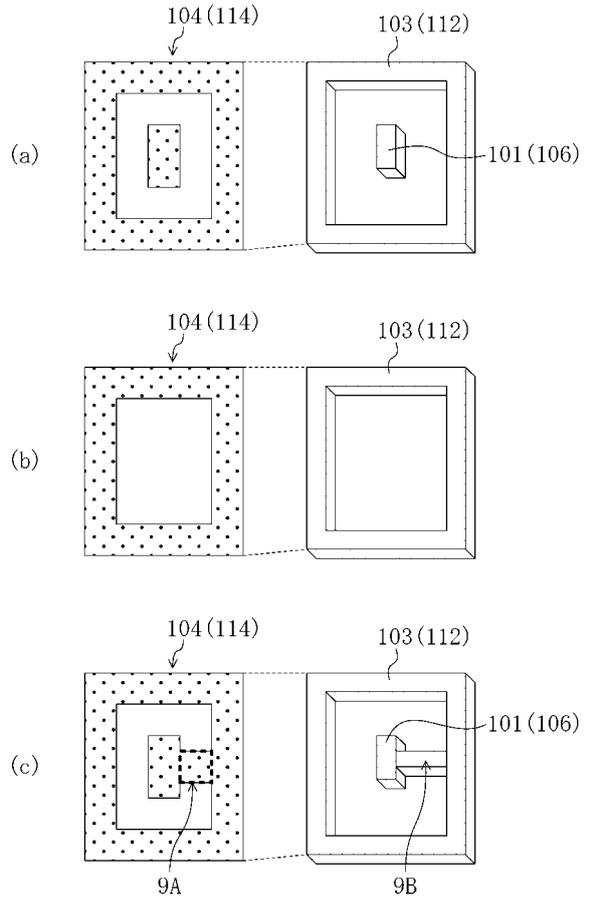
【 図 7 】



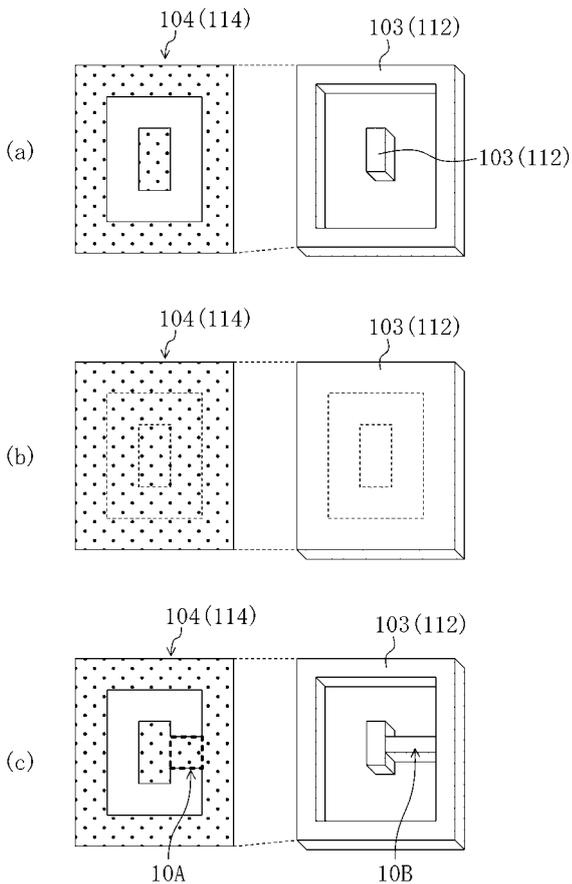
【 図 8 】



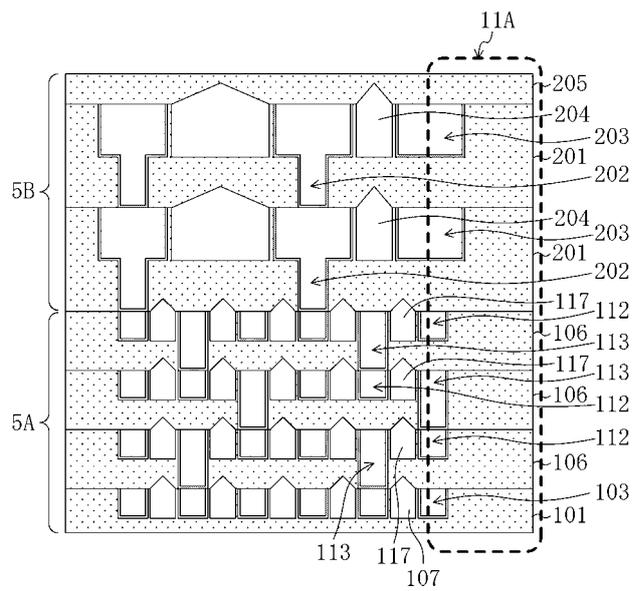
【 図 9 】



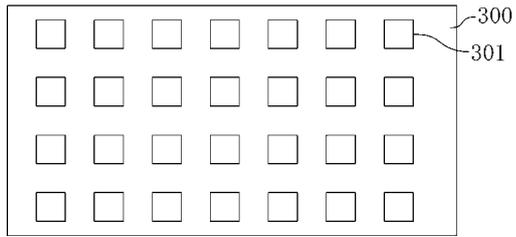
【 図 10 】



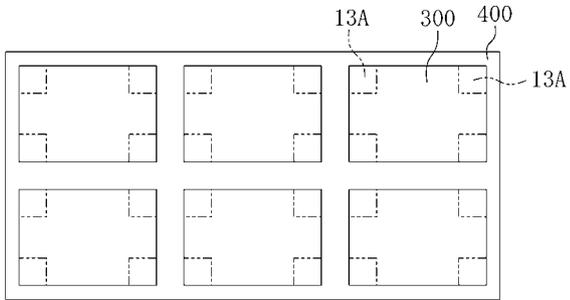
【 図 11 】



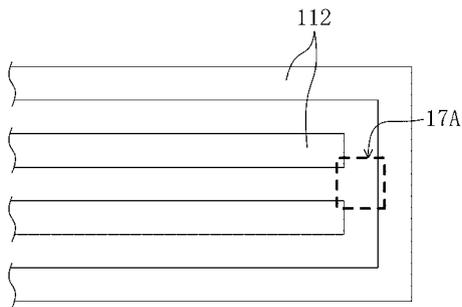
【図12】



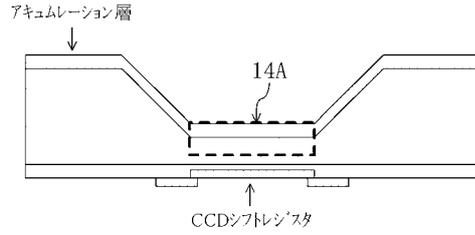
【図13】



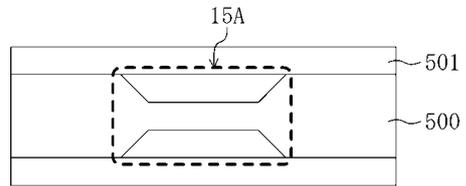
【図17】



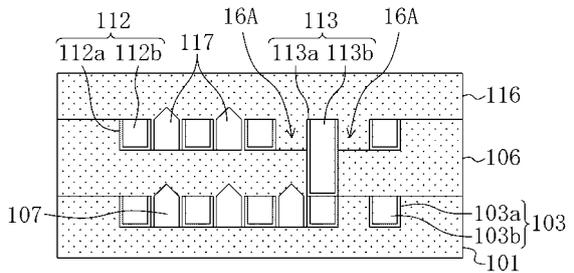
【図14】



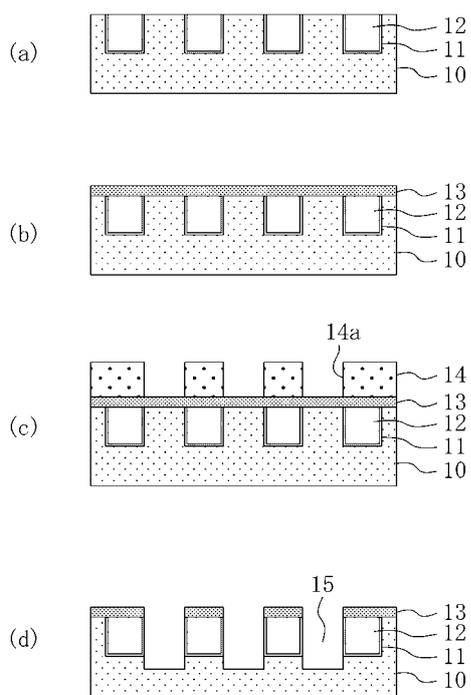
【図15】



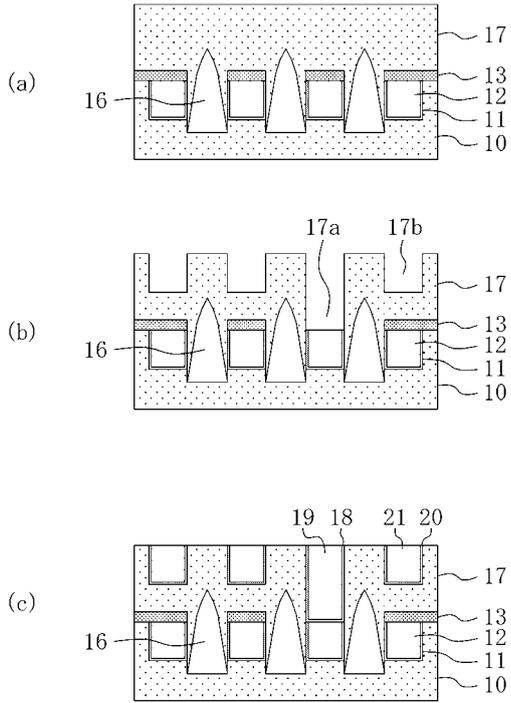
【図16】



【図18】



【 図 19 】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 27/04 (2006.01)**  
**H 0 1 L 21/82 (2006.01)**

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 柴田 潤一

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 原田 剛史

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 植木 彰

京都府長岡京市神足焼町 1 番地 パナソニック半導体エンジニアリング株式会社内

F ターム(参考) 5F033 HH11 JJ11 KK11 MM01 MM02 MM12 MM13 MM28 NN06 NN07  
 QQ09 QQ11 QQ37 QQ48 RR30 UU03 UU05 VV01 VV07 VV10  
 VV11 VV12 VV16 WW01 XX17 XX18 XX19 XX25  
 5F038 AC05 AV15 AZ02 CA05 CA10 CD10 CD13 CD18 DF01 DF05  
 EZ14 EZ15 EZ20  
 5F064 BB12 BB21 CC23 CC30 DD42 EE14 EE23 EE26 EE27 EE32  
 EE43 EE51 EE56 FF27 FF32 FF34 FF42 GG03