



1. 一种高能注入埋层双通道LDMOS器件,其特征在于,包括P型衬底,所述P型衬底中形成有相邻的深N阱和P阱,从所述深N阱的顶部至内部依次形成有P型帽层和至少一层注入埋层,所述深N阱远离所述P阱的一侧形成有N+漏极,所述P阱上形成有N+源极和P+源极,在所述深N阱与P阱交界区域上方的所述P型衬底上形成有多晶硅栅,所述多晶硅栅与所述深N阱和P阱绝缘隔离,其中,所述注入埋层包括由上至下的N型埋层和P型埋层。

2. 根据权利要求1所述的高能注入埋层双通道LDMOS器件,其特征在于,所述多晶硅栅呈阶梯形,且所述多晶硅栅较高的一端位于所述深N阱上方,所述多晶硅栅较低的一端位于所述P阱上方。

3. 根据权利要求1或2所述的高能注入埋层双通道LDMOS器件,其特征在于,所述P型衬底上还形成有绝缘介质层,所述多晶硅栅夹设于所述绝缘介质层中。

4. 根据权利要求3所述的高能注入埋层双通道LDMOS器件,其特征在于,所述P型衬底上还形成有漏极金属和源极金属,所述漏极金属穿过所述绝缘介质层与所述N+漏极电性连接,所述源极金属穿过所述绝缘介质层与所述N+源极和P+源极电性连接。

5. 根据权利要求1所述的高能注入埋层双通道LDMOS器件,其特征在于,所述深N阱的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2$ - $8 \times 10^{12}/\text{cm}^2$ ,所述深N阱的结深为4-16 $\mu\text{m}$ 。

6. 根据权利要求5所述的高能注入埋层双通道LDMOS器件,其特征在于,所述P型帽层、N型埋层和P型埋层的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2$ - $7 \times 10^{12}/\text{cm}^2$ 。

7. 根据权利要求6所述的高能注入埋层双通道LDMOS器件,其特征在于,所述N+漏极、N+源极和P+源极的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2$ - $1 \times 10^{16}/\text{cm}^2$ 。

8. 一种高能注入埋层双通道LDMOS器件的制造方法,其特征在于,所述制造方法包括以下步骤:

S1: 在P型衬底上注入N型离子,并通过高温推结形成深N阱;

S2: 在相邻所述深N阱的P型衬底上注入P型离子形成P阱;

S3: 在所述深N阱中通过高能离子注入分别注入P型杂质、N型杂质和P型杂质,分别形成P型帽层和至少一层注入埋层,其中,所述注入埋层包括由上至下的N型埋层和P型埋层;

S4: 在所述深N阱上方的所述P型衬底上通过氧化形成厚氧化层,在所述P阱上方的所述P型衬底上通过氧化形成薄氧化层,其中,所述厚氧化层与薄氧化层相连;

S5: 在所述厚氧化层与薄氧化层上通过淀积多晶硅形成多晶硅栅;

S6: 在所述深N阱远离所述P阱的一侧注入N型离子形成有N+漏极,在所述P阱上注入N型离子和P型离子形成有N+源极和P+源极。

9. 根据权利要求8所述的制造方法,其特征在于,所述深N阱的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2$ - $8 \times 10^{12}/\text{cm}^2$ ,所述深N阱的结深为4-16 $\mu\text{m}$ 。

10. 根据权利要求9所述的制造方法,其特征在于,所述P型帽层、所述N型埋层和P型埋层的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2$ - $7 \times 10^{12}/\text{cm}^2$ ;所述N+漏极、N+源极和P+源极的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2$ - $1 \times 10^{16}/\text{cm}^2$ 。

## 一种高能注入埋层双通道LDMOS器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其是一种高能注入埋层双通道LDMOS器件及其制造方法。

### 背景技术

[0002] 横向高压DMOS(LDMOS, Laterally Diffused Metal Oxide Semiconductor, 横向扩散金属氧化物半导体)器件,广泛应用于AC-DC电源管理、LED驱动和马达驱动芯片中。

[0003] LDMOS器件要获得高的击穿电压,通常要增大比导通电阻(导通电阻 $\times$ 面积),但这两个参数之间是矛盾的。现有的LDMOS器件主要采用降低表面电场(RESURF)技术,来减小因增加击穿电压而导致的导通电阻增加幅度,其核心思想在于引入额外的P型层次来辅助耗尽N型导电区(漂移区),使得N型漂移区可以用于更高的浓度,从而获得更低的比导通电阻。

[0004] 但是,由于P型层次不易实现,因此传统的RESURF技术只能实现1倍(Single) RESURF、2倍(Double) RESURF和3倍(Triple) RESURF,即N型漂移区的上限浓度被限制在 $3 \times 10^{12}/\text{cm}^2$ 。这样,在同样击穿电压下,LDMOS的比导通电阻仍然较大,限制了其应用。

### 发明内容

[0005] 本发明的发明目的在于:针对上述存在的问题,提供一种高能注入埋层双通道LDMOS器件及其制造方法,能够在同样击穿电压前提下,获得更低的比导通电阻。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种高能注入埋层双通道LDMOS器件,包括P型衬底,所述P型衬底中形成有相邻的深N阱和P阱,从所述深N阱的顶部至内部依次形成有P型帽层和至少一层注入埋层,所述深N阱远离所述P阱的一侧形成有N<sup>+</sup>漏极,所述P阱上形成有N<sup>+</sup>源极和P<sup>+</sup>源极,在所述深N阱与P阱交界区域上方的所述P型衬底上形成有多晶硅栅,所述多晶硅栅与所述深N阱和P阱绝缘隔离,其中,所述注入埋层包括由上至下的N型埋层和P型埋层。

[0007] 优选的,所述多晶硅栅呈阶梯形,且所述多晶硅栅较高的一端位于所述深N阱上方,所述多晶硅栅较低的一端位于所述P阱上方。

[0008] 优选的,所述P型衬底上还形成有绝缘介质层,所述多晶硅栅夹设于所述绝缘介质层中。

[0009] 优选的,所述P型衬底上还形成有漏极金属和源极金属,所述漏极金属穿过所述绝缘介质层与所述N<sup>+</sup>漏极电性连接,所述源极金属穿过所述绝缘介质层与所述N<sup>+</sup>源极和P<sup>+</sup>源极电性连接。

[0010] 优选的,所述深N阱的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2$ – $8 \times 10^{12}/\text{cm}^2$ ,所述深N阱的结深为4–16 $\mu\text{m}$ 。

[0011] 优选的,所述P型帽层、N型埋层和P型埋层的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2$ – $7 \times 10^{12}/\text{cm}^2$ 。

[0012] 优选的,所述N<sup>+</sup>漏极、N<sup>+</sup>源极和P<sup>+</sup>源极的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2$ – $1 \times 10^{16}/\text{cm}^2$ 。

cm<sup>2</sup>。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种高能注入埋层双通道LDMOS器件的制造方法,所述制造方法包括以下步骤:S1:在P型衬底上注入N型离子,并通过高温推结形成深N阱;S2:在相邻所述深N阱的P型衬底上注入P型离子形成P阱;S3:在所述深N阱中通过高能离子注入分别注入P型杂质、N型杂质和P型杂质,分别形成P型帽层和至少一层注入埋层,其中,所述注入埋层包括由上至下的N型埋层和P型埋层;S4:在所述深N阱上方的所述P型衬底上通过氧化形成厚氧化层,在所述P阱上方的所述P型衬底上通过氧化形成薄氧化层,其中,所述厚氧化层与薄氧化层相连;S5:在所述厚氧化层与薄氧化层上通过淀积多晶硅形成多晶硅栅;S6:在所述深N阱远离所述P阱的一侧注入N型离子形成有N+漏极,在所述P阱上注入N型离子和P型离子形成有N+源极和P+源极。

[0014] 优选的,所述深N阱的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2 - 8 \times 10^{12}/\text{cm}^2$ ,所述深N阱的结深为4-16 $\mu\text{m}$ 。

[0015] 优选的,所述N型埋层和P型埋层的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2 - 7 \times 10^{12}/\text{cm}^2$ ;所述N+漏极、N+源极和P+源极的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2 - 1 \times 10^{16}/\text{cm}^2$ 。

[0016] 综上所述,由于采用了上述技术方案,本发明的高能注入埋层双通道LDMOS器件在深N阱(DNW)漂移区通过高能离子注入形成P型帽层和至少一层注入埋层,注入埋层包括由上至下的N型埋层和P型埋层,与传统的LDMOS器件相比,N型区域均可被上下P型区域耗尽,在获得同样耐压前提下,可以拥有更高的漂移区浓度,从而能够在同样击穿电压前提下,获得更低的比导通电阻。

## 附图说明

[0017] 图1是本发明实施例的高能注入埋层双通道LDMOS器件一个实施例的结构示意图。

[0018] 图2是本发明实施例的高能注入埋层双通道LDMOS器件另一个实施例的结构示意图。

## 具体实施方式

[0019] 本说明书中公开的所有特征,或公开的所有方法或过程中的步骤,除了互相排斥的特征和/或步骤以外,均可以以任何方式组合。

[0020] 本说明书(包括任何附加权利要求、摘要)中公开的任一特征,除非特别叙述,均可被其他等效或具有类似目的的替代特征加以替换。即,除非特别叙述,每个特征只是一系列等效或类似特征中的一个例子而已。

[0021] 如图1所示,是本发明实施例的高能注入埋层双通道LDMOS器件一个实施例的结构示意图。在本实施例中,高能注入埋层双通道LDMOS器件包括P型衬底10,P型衬底10中形成有相邻的深N阱20和P阱30,从深N阱20的顶部至内部依次形成有P型帽层21和注入埋层22,深N阱20远离P阱30的一侧形成有N+漏极23,P阱30上形成有N+源极31和P+源极32,在深N阱20与P阱30交界区域上方的P型衬底10上形成有多晶硅栅40,多晶硅栅40与深N阱20和P阱30绝缘隔离,其中,注入埋层22包括由上至下的N型埋层221和P型埋层222。

[0022] 在本实施例中,多晶硅栅40呈阶梯形,且多晶硅栅40较高的一端位于深N阱20上方,多晶硅栅40较低的一端位于P阱30上方。

[0023] P型衬底10上还形成有绝缘介质层50,多晶硅栅40夹设于绝缘介质层50中。进一步的,P型衬底10上还形成有漏极金属60和源极金属70,漏极金属60穿过绝缘介质层50与N+漏极23电性连接,源极金属70穿过绝缘介质层50与N+源极31和P+源极32电性连接。

[0024] 深N阱20通过在P型衬底10上注入N型离子形成,深N阱20的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2$ – $8 \times 10^{12}/\text{cm}^2$ ,深N阱的结深为4–16 $\mu\text{m}$ 。P型帽层21、N型埋层221和P型埋层222通过高能离子注入工艺分别注入P型杂质、N型杂质和P型杂质形成,注入剂量与深N阱20的注入剂量相匹配,具体而言,P型帽层21、N型埋层221和P型埋层222的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2$ – $7 \times 10^{12}/\text{cm}^2$ ,N+漏极23、N+源极31和P+源极32的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2$ – $1 \times 10^{16}/\text{cm}^2$ 。

[0025] 本发明的高能注入埋层双通道LDMOS器件主要适用于200V–900V的应用,通过改变漂移区长度 $L_{\text{drift}}$ 可以实现不同的耐压需求, $L_{\text{drift}}$ 的长度范围为10–100 $\mu\text{m}$ ,其在高压关态下,N型埋层221被上下方的P型帽层21和P型埋层222耗尽,可以拥有较高的掺杂浓度;深N阱20被P型帽层21、P型埋层222和P型衬底10耗尽,同样可以拥有较高的掺杂浓度。较之传统的Double RESURF和Triple RESURF的LDMOS器件结构,整个N型区域可以拥有更高的掺杂浓度,理论上总剂量可达到 $4 \times 10^{12}/\text{cm}^2$ ,这意味着更低的比导通电阻,一方面,在相同面积下,可提供更低的导通电阻,使其在应用中拥有更低的导通损耗,有利于节能减排。另一方面,在相同导通电阻下,可以拥有更小的面积,具有更低的制造成本,有利于提升产品竞争力。

[0026] 如图2所示,是本发明实施例的高能注入埋层双通道LDMOS器件另一个实施例的结构示意图。本实施例的高能注入埋层双通道LDMOS器件与前述实施例的高能注入埋层双通道LDMOS器件不同之处在于,注入埋层22为多层,而其他技术特征则一致。本实施例的高能注入埋层双通道LDMOS器件通过在y方向高能注入离子形成n层注入埋层22,总剂量可达到 $(n+3) \times 10^{12}/\text{cm}^2$ 。

[0027] 本发明还保护一种高能注入埋层双通道LDMOS器件的制造方法,制造方法包括以下步骤:

[0028] S1:在P型衬底上注入N型离子,并通过高温推结形成深N阱;

[0029] S2:在相邻与深N阱的P型衬底上注入P型离子形成P阱;

[0030] S3:在深N阱中通过高能离子注入分别注入P型杂质、N型杂质和P型杂质,分别形成P型帽层和至少一层注入埋层,其中,注入埋层包括由上至下的N型埋层和P型埋层;

[0031] S4:在深N阱上方的P型衬底上通过氧化形成厚氧化层,在P阱上方的所述P型衬底上通过氧化形成薄氧化层,其中,厚氧化层与薄氧化层相连;

[0032] S5:在厚氧化层与薄氧化层上通过淀积多晶硅形成多晶硅栅;

[0033] S6:在深N阱远离所述P阱的一侧注入N型离子形成有N+漏极,在P阱上注入N型离子和P型离子形成有N+源极和P+源极。

[0034] 在本实施例中,深N阱的N型离子的注入剂量范围为 $2 \times 10^{12}/\text{cm}^2$ – $8 \times 10^{12}/\text{cm}^2$ ,深N阱的结深为4–16 $\mu\text{m}$ 。P型帽层、N型埋层和P型埋层的注入剂量范围为 $1 \times 10^{12}/\text{cm}^2$ – $7 \times 10^{12}/\text{cm}^2$ ;N+漏极、N+源极和P+源极的注入剂量范围为 $1 \times 10^{15}/\text{cm}^2$ – $1 \times 10^{16}/\text{cm}^2$ 。

[0035] 本发明并不局限于前述的具体实施方式。本发明扩展到任何在本说明书中披露的新特征或任何新的组合,以及披露的任一新的方法或过程的步骤或任何新的组合。

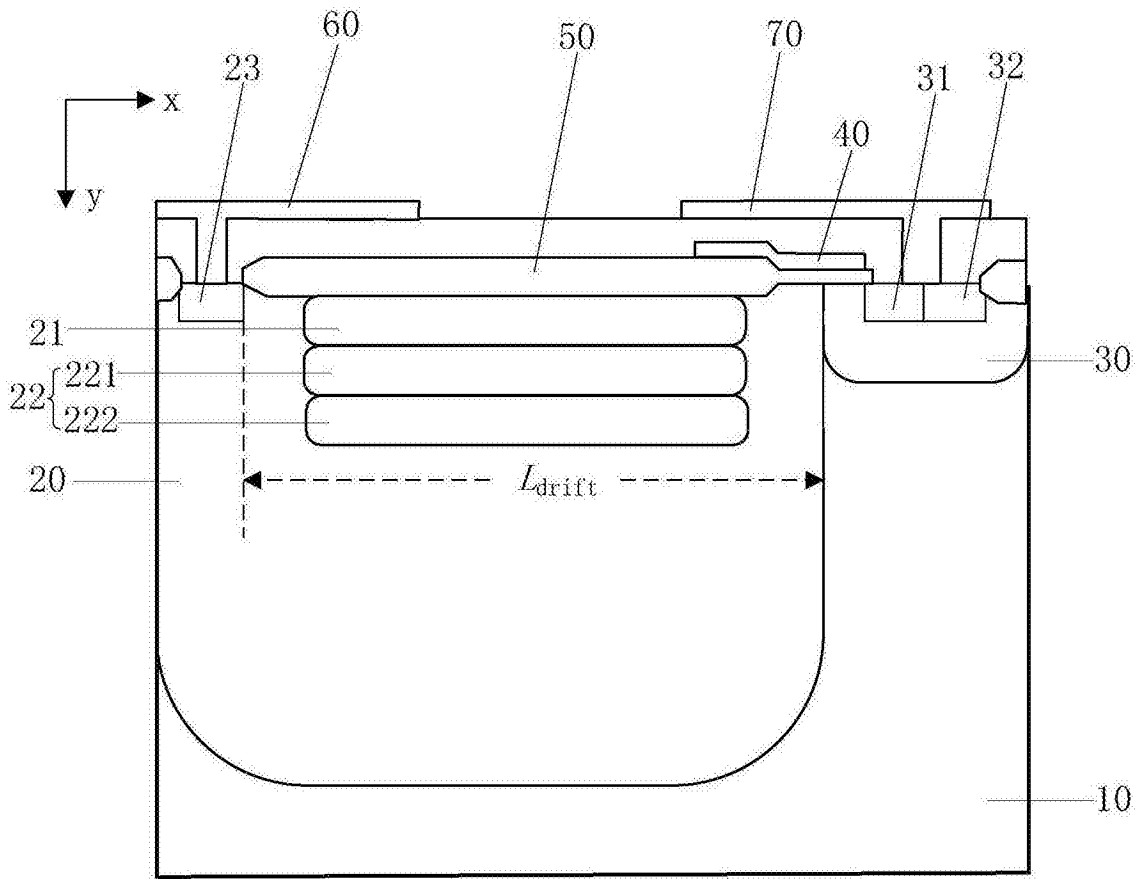


图1

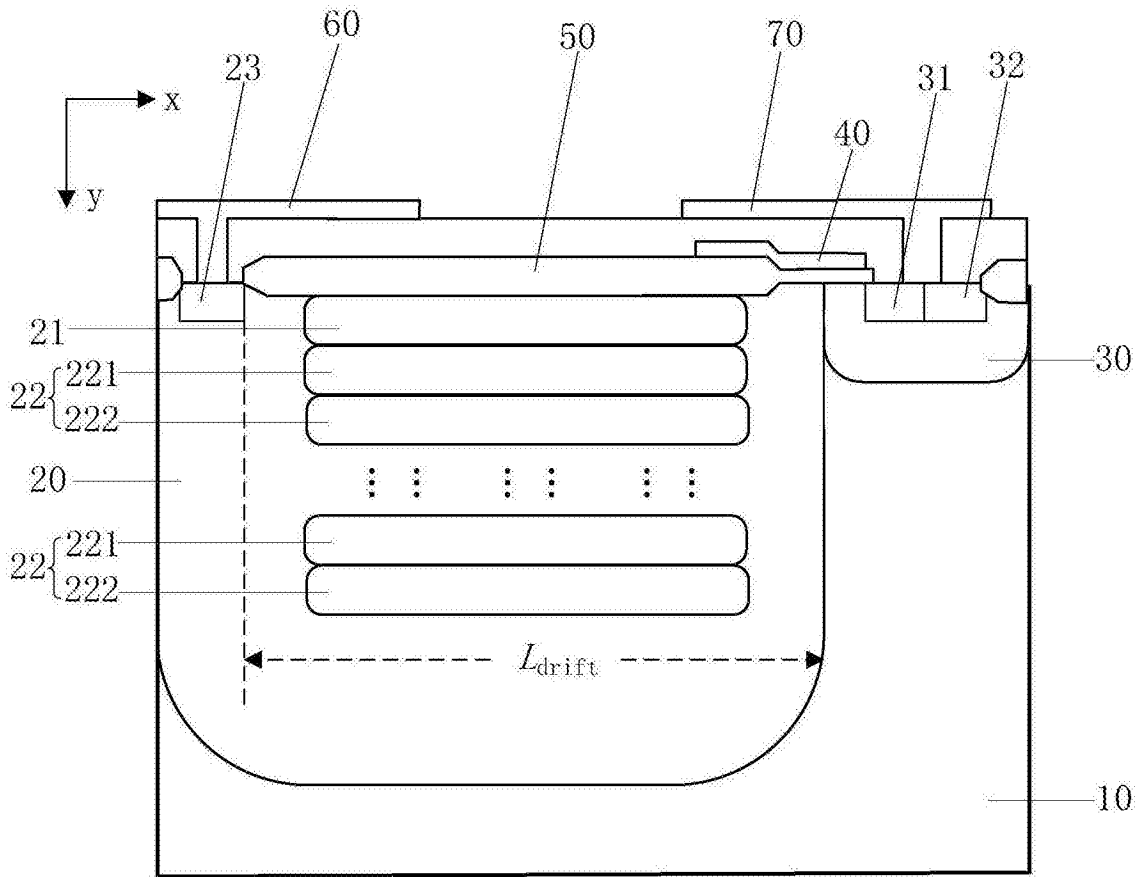


图2