



(12) 发明专利

(10) 授权公告号 CN 103035279 B

(45) 授权公告日 2015. 07. 08

(21) 申请号 201110302022. X

(22) 申请日 2011. 09. 30

(73) 专利权人 无锡江南计算技术研究所  
地址 214083 江苏省无锡市滨湖区军东新村  
030 号

(72) 发明人 高剑刚 王彦辉 刘耀 丁亚军  
王玲秋 李滔 贾福楨

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 骆苏华

(51) Int. Cl.

G11C 7/10(2006. 01)

G11C 5/06(2006. 01)

(56) 对比文件

WO 2011/016934 A2, 2011. 02. 10, 说明书第  
0016-0027 段以及说明书附图 1-2.

WO 03/079202 A1, 2003. 09. 25, 全文 .

CN 101291141 A, 2008. 10. 22, 全文 .

审查员 邢白灵

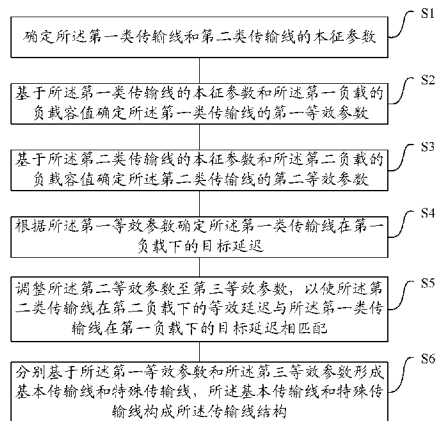
权利要求书2页 说明书7页 附图3页

(54) 发明名称

消除 DDR3 负载差异影响的传输线结构及形  
成方法、内存结构

(57) 摘要

一种消除 DDR3 负载差异影响的传输线结构  
及形成方法、内存结构,所述形成方法包括确定第  
一类传输线和第二类传输线的本征参数;基于第  
一类传输线的本征参数和第一负载的负载容值确  
定第一类传输线的第一等效参数;基于第二类传  
输线的本征参数和第二负载的负载容值确定第  
二类传输线的第二等效参数;根据第一等效参数  
确定第一类传输线在第一负载下的目标延迟;调  
整第二等效参数至第三等效参数,以使第二类传  
输线在第二负载下的等效延迟与第一类传输线  
在第一负载下的目标延迟相匹配;分别基于第一  
等效参数和第三等效参数形成基本传输线和特  
殊传输线,基本传输线和特殊传输线构成所述  
传输线结构。本技术方案提高了信号传输中信号  
的时序完整性。



1. 一种消除 DDR3 负载差异影响的传输线结构的形成方法,所述传输线结构包括第一类传输线和第二类传输线,分别适于在第一负载和第二负载下传输信号,所述第一负载大于所述第二负载;其特征在于,包括:

确定所述第一类传输线和第二类传输线的本征参数,具体地,根据所述第一类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定所述第一类传输线的本征参数,根据所述第二类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定所述第二类传输线的本征参数;

基于所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数;

基于所述第二类传输线的本征参数和所述第二负载的负载容值确定所述第二类传输线的第二等效参数;

根据所述第一等效参数确定所述第一类传输线在第一负载下的目标延迟;

调整所述第二等效参数至第三等效参数,以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配;

分别基于所述第一等效参数和所述第三等效参数形成基本传输线和特殊传输线,所述基本传输线和特殊传输线构成所述传输线结构。

2. 根据权利要求 1 所述的传输线结构的形成方法,其特征在于,所述根据所述第一等效参数确定所述第一类传输线在第一负载下的目标延迟包括:根据所述第一类传输线的长度以及信号在所述第一类传输线上的传输速度确定所述第一类传输线在第一负载下的目标延迟。

3. 根据权利要求 1 所述的传输线结构的形成方法,其特征在于,所述调整所述第二等效参数至第三等效参数,以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配包括:调整所述第二类传输线的参数以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

4. 根据权利要求 3 所述的传输线结构的形成方法,其特征在于,所述调整所述第二类传输线的参数包括:调整所述第二类传输线的线长或者线宽或者线厚,以使所述第二等效参数变化成第三等效参数。

5. 根据权利要求 3 所述的传输线结构的形成方法,其特征在于,所述调整所述第二类传输线的参数包括:改变印制板的基材的材料,以使所述第二等效参数变化成第三等效参数,其中所述印制板承载所述第二类传输线。

6. 根据权利要求 1 所述的传输线结构的形成方法,其特征在于,所述分别基于所述第一等效参数和所述第三等效参数形成基本传输线和特殊传输线具体包括:

在第一负载下,根据所述第一等效参数形成基本传输线;

在第二负载下,根据所述第三等效参数形成特殊传输线。

7. 根据权利要求 1 所述的传输线结构的形成方法,其特征在于,所述第一类传输线用于向 DDR3SDRAM 传输地址信号和命令信号、所述第二类传输线用于向 DDR3SDRAM 传输时钟信号和控制信号。

8. 一种消除 DDR3 负载差异影响的传输线结构,所述传输线结构包括第一类传输线和第二类传输线,分别适于在第一负载和第二负载下传输信号,所述第一负载大于所述第二

负载；其特征在于，在所述传输线结构中，在第一负载下，所述第一类传输线为基于第一等效参数形成的基本传输线；在第二负载下，所述第二类传输线为基于第三等效参数形成的特殊传输线，其中所述特殊传输线在第二负载下传输信号的等效延迟与所述基本传输线在第一负载下传输信号的目标延迟相匹配；

其中，根据所述第一类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定所述第一类传输线的本征参数，基于所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数；

根据所述第二类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定所述第二类传输线的本征参数，基于所述第二类传输线的本征参数和所述第二负载的负载容值确定所述第二类传输线的第二等效参数。

9. 一种内存结构，其特征在于，包括内存控制器、内存模组以及如权利要求 8 所述传输线结构；其中所述内存控制器通过所述传输线结构中的第一类传输线和第二类传输线控制管理所述内存模组。

10. 根据权利要求 9 所述的内存结构，其特征在于，所述内存控制器通过所述第一类传输线向所述内存模组传输地址信号和命令信号；所述内存控制器通过所述第二类传输线向所述内存模组传输时钟信号和控制信号。

11. 根据权利要求 9 所述的内存结构，其特征在于，所述内存模组包括多个存储器，其中所述存储器是同步动态随机存储器或者动态随机存储器。

## 消除 DDR3 负载差异影响的传输线结构及形成方法、内存结构

### 技术领域

[0001] 本发明涉及内存技术领域,特别涉及一种消除 DDR3 负载差异影响的传输线结构及形成方法、内存结构。

### 背景技术

[0002] 内存是计算机中重要的部件之一,计算机中所有程序的运行都在内存中进行,因此内存的性能好坏对于计算机的影响很大。内存一般采用半导体存储单元,包括随机存储器(RAM)、只读存储器(ROM)以及高速缓存(Cache)。其中,随机存储器是最重要的存储器,计算机的 CPU 可以从中读取数据,也可以写入数据,但当计算机关闭时,存于其中的数据就会丢失。随着技术的发展,随机存储器的存取速度在不断提高、其容量也在不断增大。

[0003] 现如今,同步动态随机存储器(Synchronous Dynamic Random Access Memory, SDRAM)在计算机、个人通信、消费电子产品(智能卡、数码相机、多媒体播放器)等领域广泛应用,其中同步是指存储器工作需要同步时钟,内部的命令的发送与数据的传输都以同步时钟为基准;动态是指存储阵列需要不断的刷新来保证数据不丢失;随机是指数据不是线性依次存储,而是自由指定地址进行数据读写。目前,SDRAM 已发展到了第四代,即通常所说的 DDR3 SDRAM,相比于前一代产品 DDR2 SDRAM,DDR3 SDRAM 具有更高的运行效能和更低的电压。

[0004] 但是现有技术中,随着 DDR3 SDRAM 高速接口信号的频率不断增加,对接口信号的时序完整性(即上文所述的存储器工作需要同步时钟,内部的命令的发送与数据的传输都以同步时钟为基准)的要求越来越严格。通常在 DDR3 的地址/命令/控制/时钟信号的传输中,采用的是一种串推形式的传输线结构将内存控制器发出的信号传输到内存模组中,但是由于不同种类的信号驱动的信号负载个数(即存储器的个数)不同,例如,地址/命令信号驱动的负载较多,而控制/时钟信号驱动的负载较少,这样的负载差异将导致信号传输延迟偏斜的差异。

[0005] 更多关于内存以及传输线结构的技术方案可以参考公开号为 US2007263475A1 的美国专利申请文件:使用共模差分的 DDR2 SDRAM 的数据信号控制信号的传输(Using Common Mode Differential Data Signals Of DDR2 SDRAM For Control Signal Transmission),但同样没有解决上述问题。

### 发明内容

[0006] 本发明解决的问题是在内存控制器向内存模组传输信号过程中,消除传输线上由于不同种类信号驱动的负载差异而引起的传输延迟偏斜差异,提高信号传输中信号的时序完整性。

[0007] 为解决上述问题,本发明实施例提供一种消除 DDR3 负载差异影响的传输线结构的形成方法,所述传输线结构包括第一类传输线和第二类传输线,分别适于在第一负载和

第二负载下传输信号,所述第一负载大于所述第二负载;包括:确定所述第一类传输线和第二类传输线的本征参数;基于所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数;基于所述第二类传输线的本征参数和所述第二负载的负载容值确定所述第二类传输线的第二等效参;根据所述第一等效参数确定所述第一类传输线在第一负载下的目标延迟;调整所述第二等效参数至第三等效参数,以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配;分别基于所述第一等效参数和所述第三等效参数形成基本传输线和特殊传输线,所述基本传输线和特殊传输线构成所述传输线结构。

[0008] 可选地,所述确定所述第一类传输线和第二类传输线的本征参数包括:根据所述第一类传输线的单位电感值和单位电容值确定所述第一类传输线的本征参数;根据所述第二类传输线的单位电感值和单位电容值确定所述第二类传输线的本征参数。

[0009] 可选地,基于所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数包括:根据所述第一类传输线的单位电感值和单位电容值以及所述第一负载的负载容值确定所述第一类传输线的第一等效参数。

[0010] 可选地,基于所述第二类传输线的本征参数和所述第二负载的负载容值确定所述第二类传输线的第二等效参数包括:根据所述第二类传输线的单位电感值和单位电容值以及所述第二负载的负载容值确定所述第二类传输线的第二等效参数。

[0011] 可选地,所述根据所述第一等效参数确定所述第一类传输线在第一负载下的目标延迟包括:根据所述第一类传输线的长度以及信号在所述第一类传输线上的传输速度确定所述第一类传输线在第一负载下的目标延迟。

[0012] 可选地,所述调整所述第二等效参数至第三等效参数,以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配包括:调整所述第二类传输线的参数以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

[0013] 可选地,所述调整所述第二类传输线的参数:调整所述第二类传输线的线长或者线宽或者线厚,以使所述第二等效参数变化成第三等效参数。

[0014] 可选地,所述调整所述第二类传输线的参数包括:改变印制板的基材的材料,以使所述第二等效参数变化成第三等效参数,其中所述印制板承载所述第二类传输线。

[0015] 可选地,所述分别基于所述第一等效参数和所述第三等效参数形成基本传输线和特殊传输线具体包括:在第一负载下,根据所述第一等效参数形成基本传输线;在第二负载下,根据所述第三等效参数形成特殊传输线。

[0016] 可选地,所述第一类传输线用于向 DDR3 SDRAM 传输地址信号和命令信号、所述第二类传输线用于向 DDR3 SDRAM 传输时钟信号和控制信号。

[0017] 本发明实施例还提供了一种消除 DDR3 负载差异影响的传输线结构,所述传输线结构包括第一类传输线和第二类传输线,分别适于在第一负载和第二负载下传输信号,所述第一负载大于所述第二负载;在所述传输线结构中,在第一负载下,所述第一类传输线为基于第一等效参数形成的基本传输线;在第二负载下,所述第二类传输线为基于第三等效参数形成的特殊传输线,其中所述特殊传输线在第二负载下传输信号的等效延迟与所述基本传输线在第一负载下传输信号的目标延迟相匹配。

[0018] 可选地,所述基本传输线的第一等效参数是根据所述第一类传输线的单位电感值和单位电容值以及所述第一负载的负载容值确定的。

[0019] 可选地,所述特殊传输线的第三等效参数是根据调整后的所述第二类传输线的单位电感值和单位电容值以及所述第二负载的负载容值确定的。

[0020] 本发明实施例还提供了一种内存结构,包括内存控制器、内存模组以及上述传输线结构;其中所述内存控制器通过所述传输线结构中的第一类传输线和第二类传输线控制管理所述内存模组。

[0021] 可选地,所述内存控制器通过所述第一类传输线向所述内存模组传输地址信号和命令信号;所述内存控制器通过所述第二类传输线向所述内存模组传输时钟信号和控制信号。

[0022] 可选地,所述内存模组包括多个存储器,其中所述存储器是同步动态随机存储器或者动态随机存储器。

[0023] 与现有技术相比,本发明技术方案具有以下有益效果:针对分别在第一负载和第二负载下传输信号的第一类传输线和第二类传输线,其中第一负载大于第二负载;根据所述第一负载下传输信号的第一类传输线的第一等效参数确定其传输信号的传输延迟,并作为目标延迟;调整在所述第二负载下传输信号的第二类传输线的第二等效参数至第三等效参数,使得传输信号的等效延迟与所述目标延迟相匹配;根据第一等效参数设置基本传输线,根据第三等效参数设置特殊传输线,形成传输线结构,从而消除传输线上由于不同种类信号驱动的负载差异而引起的传输延迟偏斜差异。

## 附图说明

[0024] 图1是本发明的一种内存结构的具体实施例的结构示意图;

[0025] 图2是本发明的一种消除DDR3负载差异影响的传输线结构的形成方法的具体实施方式的流程示意图;

[0026] 图3是本发明的消除DDR3负载差异影响的传输线结构中第一类传输线或第二类传输线的RLCG参数模型的具体实施例的示意图。

## 具体实施方式

[0027] 发明人发现在现有技术中,通常在DDR3 SDRAM的地址/命令/控制/时钟信号的传输中,采用的是一种串推形式的传输线结构,将内存控制器发出的信号传输到内存模组中,但是由于不同种类的信号驱动的信号负载个数(即存储器的个数)不同,例如,地址/命令信号驱动的负载较多,而控制/时钟信号驱动的负载较少,这样的负载差异将导致信号传输延迟偏斜的差异。

[0028] 针对上述问题,发明人经过研究,提供了一种消除DDR3负载差异影响的传输线结构及形成方法,通过本技术方案的传输线结构可以消除传输线上由于不同种类信号驱动的负载差异而引起的传输延迟偏斜差异。

[0029] 在此基础上,还提供了一种内存结构,包括内存控制器、内存以及上述传输线结构;其中,所述内存控制器通过所述传输线结构中的第一类传输线和第二类传输线控制管理所述内存模组,从而消除传输线上由于不同种类信号驱动的负载差异而引起的传输延迟

偏斜差异。

[0030] 为使本发明的上述目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0031] 如图 1 所示的本发明的一种内存结构的具体实施例的结构示意图。如图 1 所示，所述内存结构包括内存控制器 21、内存模组 22a、22b 以及第一类传输线 23a 和第二类传输线 23b。在本实施例中，所述内存模组 22a 包括 N 个存储器（例如，同步动态随机存储器或者动态随机存储器）、所述内存模组 22b 也包括 N 个存储器（例如同步动态随机存储器或者动态随机存储器）。在实际应用中，通常 N 取值为 9。

[0032] 具体地，所述内存控制器 21 向内存模组 22a、22b 发出不同种类的信号，这些信号至少包括地址信号、控制信号、命令信号以及时钟信号。其中，由所述第一类传输线 23a 向所述内存模组 22a、22b 传输地址信号和命令信号，由所述第二类传输线 23b 向所述内存模组 22a 传输控制信号和时钟信号。可以看出，所述第一类传输线 23a 在传输信号（地址 / 命令信号）过程中的负载为 2N 个存储器，而所述第二类传输线 23b 在传输信号（控制 / 时钟信号）过程中的负载为 N 个存储器。本领域技术人员可以理解，由于第一类传输线 23a 和第二类传输线 23b 是在不同的负载下传输信号的，这样会造成信号到达内存模组 22a、22b 上同一位置上的存储器（例如存储器 1 和存储器 n+1）时产生不同的延迟偏斜，从而影响了信号传输中信号时序完整性。

[0033] 为此在本发明实施中，针对传输线在传输信号过程中承载的不同负载，分别设置不同的传输线，即将所述第一类传输线 23a 作为基本传输线、传输地址 / 控制信号，将所述第二类传输线 23b 作为特殊传输线，传输命令 / 时钟信号，以避免不同种类的信号达到内存模组上同一位置上的存储器的延迟偏斜。具体设置不同的传输线的方法将在图 2 所述的实施例中作描述。

[0034] 如图 2 所示的本发明的一种消除 DDR3 负载差异影响的传输线结构的形成方法的具体实施方式的流程示意图。参考图 2，所述传输线结构的形成方法包括：

[0035] 步骤 S1：确定所述第一类传输线和第二类传输线的本征参数。

[0036] 具体地，结合参考图 3 所示的消除 DDR3 负载差异影响的传输线结构中第一类传输线或第二类传输线的 RLCG 参数模型的具体实施例的示意图。该参考模型包括电阻 11(R)、电感 12(L)、电容 13(C) 以及电导 14(G)，所述电阻 11(R) 和电感 12(L) 是传输线本身的电阻和电感，所述电容 13(C) 和电导 14(G) 是传输线对地的电容和电导；其中所述电阻 11(R) 和电感 12(L) 串联、所述电容 13(C) 和电导 14(G) 并联。进一步地，本领域技术人员可以理解，传输线也可以仅用电容 (C) 和电感 (L) 来建模，例如理想传输线。所述理想传输线是一种无损耗的传输线，其能量只是在电感 / 电容 (L/C) 之间进行转换，传输线上传播的信号没有畸变，并且信号在传输过程中不被衰减。

[0037] 在本实施例中，以理想传输线为例，所述确定所述第一类传输线和第二类传输线的本征参数包括：1) 根据所述第一类传输线的单位电感值和单位电容值确定所述第一类传输线的本征参数；2) 根据所述第二类传输线的单位电感值和单位电容值确定所述第二类传输线的本征参数。需要说明的是，在本发明实施例中，所述第一类传输线或第二类传输线的单位电感值和单位电容值是根据上述 RLCG 参数模型所确定第一类传输线或第二类传输线的电感值和电容值以及所述第一类传输线或第二类传输线的长度所确定的。换句话

说,将所述第一类传输线或第二类传输线的电感值和电容值平均分配到第一类传输线或第二类传输线的长度上,即可得到所述第一类传输线或第二类传输线的单位电感值和单位电容值。

[0038] 在实际应用中,若所述第一类传输线和第二类传输线不是理想传输线,即传输线的参考模型包括电阻、电感、电容以及电导时,那么确定所述第一类传输线的本征参数将根据第一类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定;相应地,确定所述第二类传输线和第二类传输线的本征参数将根据第二类传输线的单位电阻值、单位电感值、单位电容值以及单位电导值确定。需要说明的是,其中所述第一类传输线或第二类传输线的单位电阻值和单位电导值也可以根据上述确定所述第一类传输线或第二类传输线的单位电感值和单位电容值的方法来得到,在此不予赘述。

[0039] 步骤 S2:基于所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数。

[0040] 具体地,在本实施例中,由于所述第一类传输线适于在第一负载下传输信号,因此,在确定所述第一类传输线的本征参数的基础上,还需要确定在所述第一负载的负载容值下,所述第一类传输线的第一等效参数。其中,所述第一负载的负载容值是指所述第一类传输线在传输信号过程中所承载的存储器(例如图1中所示的存储器1、存储器2、...、存储器n+1、...、存储器2n)的容值。

[0041] 同样,以理想传输线为例,本步骤包括:根据所述第一类传输线的单位电感值和单位电容值以及所述第一负载的负载容值确定所述第一类传输线的第一等效参数。具体地,如上述步骤S1所述,根据所述第一类传输线的单位电感值和单位电容值可以确定所述第一类传输线的本征参数;进一步地,根据所述第一类传输线的长度,还需要确定将所述第一负载的负载容值在所述第一类传输线的长度上的平均负载容值,即确定单位长度的第一类传输线上承载的第一负载的负载容值。基于上述确定的所述第一类传输线的本征参数和所述第一负载的负载容值确定所述第一类传输线的第一等效参数。

[0042] 步骤 S3:基于所述第二类传输线的本征参数和所述第二负载的负载容值确定所述第二类传输线的第二等效参数。其中,所述第二负载的负载容值是指所述第二类传输线在传输信号过程中所承载的存储器(例如图1中所示的存储器1、存储器2、...、存储器n)的容值。

[0043] 具体地,在本实施例中,同样以理想传输线为例,根据所述第二类传输线的单位电感值和单位电容值以及所述第二负载的负载容值确定所述第二类传输线的第二等效参数。本步骤的具体实现可以参照上述步骤S2的实施过程,在此不作赘述。

[0044] 步骤 S4:根据所述第一等效参数确定所述第一类传输线在第一负载下的目标延迟。

[0045] 具体地,在本实施例中,本步骤包括:根据所述第一类传输线的长度以及信号在所述第一类传输线上的传输速度确定所述第一类传输线在第一负载下的目标延迟。其中,信号在所述第一类传输线上的传输速度可以根据所述第一类传输线的第一等效参数来确定,然后将所述第一类传输线的长度除以该传输速度就能得到所述第一类传输线在第一负载下的目标延迟。

[0046] 步骤 S5:调整所述第二等效参数至第三等效参数,以使所述第二类传输线在第二



负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

[0047] 具体地,在本实施例中,首先,根据所述第二等效参数确定所述第二类传输线在第二负载下的等效延迟。具体可以是:根据所述第二类传输线的长度以及信号在所述第二类传输线上的传输速度确定所述第二类传输线在第二负载下的目标延迟。其中,信号在所述第二类传输线上的传输速度可以根据所述第二类传输线的第二等效参数来确定,然后将所述第二类传输线的长度除以该传输速度就能得到所述第二类传输线在第二负载下的等效延迟。

[0048] 然后,调整所述第二类传输线的参数以使所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

[0049] 具体地,调整所述第二类传输线的参数包括:调整所述第二类传输线的线长、线宽、线厚,以使所述第二等效参数变化成第三等效参数。在本发明实施例中,由于所述第二负载的负载容值小于所述第一负载的负载容值,并且该负载容值都是确定值。因此,通过调整所述第二类传输线的线长、线宽、线厚中的一种参数或多种参数,使得所述第二等效参数变化成第三等效参数,所述第三等效参数和所述第一等效参数是相匹配的,这样基于所述第三等效参数确定的所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

[0050] 进一步地,本领域技术人员理解,实际应用中,承载所述传输线结构的不同印制板的基材对于传输线在不同负载下的等效参数也会产生影响。因此,还可以通过改变所述基材的材料使得所述第二类传输线在所述第二负载下的第二等效参数与所述第一类传输线在第一负载下的第一等效参数相匹配,从而所述第二类传输线在第二负载下的等效延迟与所述第一类传输线在第一负载下的目标延迟相匹配。

[0051] 步骤 S6:分别基于所述第一等效参数和所述第三等效参数形成基本传输线和特殊传输线,所述基本传输线和特殊传输线构成所述传输线结构。

[0052] 具体地,在本实施例中,本步骤包括:1) 在第一负载下,根据所述第一等效参数形成基本传输线;2) 在第二负载下,根据所述第三等效参数形成特殊传输线。与现有技术相比,本技术方案针对不同的负载容值,分别设置基本传输线和特殊传输线,其中所述基本传输线在第一负载下的第一等效参数与所述特殊传输线在第二负载下的第三等效参数相匹配,从而使得所述基本传输线和特殊传输线在传输信号过程中的传输延迟相匹配,提高了信号传输中信号的时序完整性。

[0053] 根据上述形成传输线结构的方法,本发明实施例还提供了一种消除 DDR3 负载差异影响的传输线结构,所述传输线结构包括第一类传输线和第二类传输线,分别适于在第一负载和第二负载下传输信号,所述第一负载大于所述第二负载;在所述传输线结构中,在第一负载下,所述第一类传输线为基于第一等效参数形成的基本传输线;在第二负载下,所述第二类传输线为基于第三等效参数形成的特殊传输线,其中所述特殊传输线在第二负载下传输信号的等效延迟与所述基本传输线在第一负载下传输信号的目标延迟相匹配。

[0054] 其中,所述基本传输线的第一等效参数是根据所述第一类传输线的单位电感值和单位电容值以及所述第一负载的负载容值确定的;所述特殊传输线的第三等效参数是根据调整后的所述第二类传输线的单位电感值和单位电容值以及所述第二负载的负载容值确定的。具体形成过程可以参考图 2 所述的实施例,在此不作赘述。

[0055] 综上所述,根据本技术方案提供的内存结构、传输线结构以及形成方法,可以消除传输线上由于不同种类信号驱动的负载差异而引起的传输延迟偏斜差异,提高了信号传输中信号的时序完整性。

[0056] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

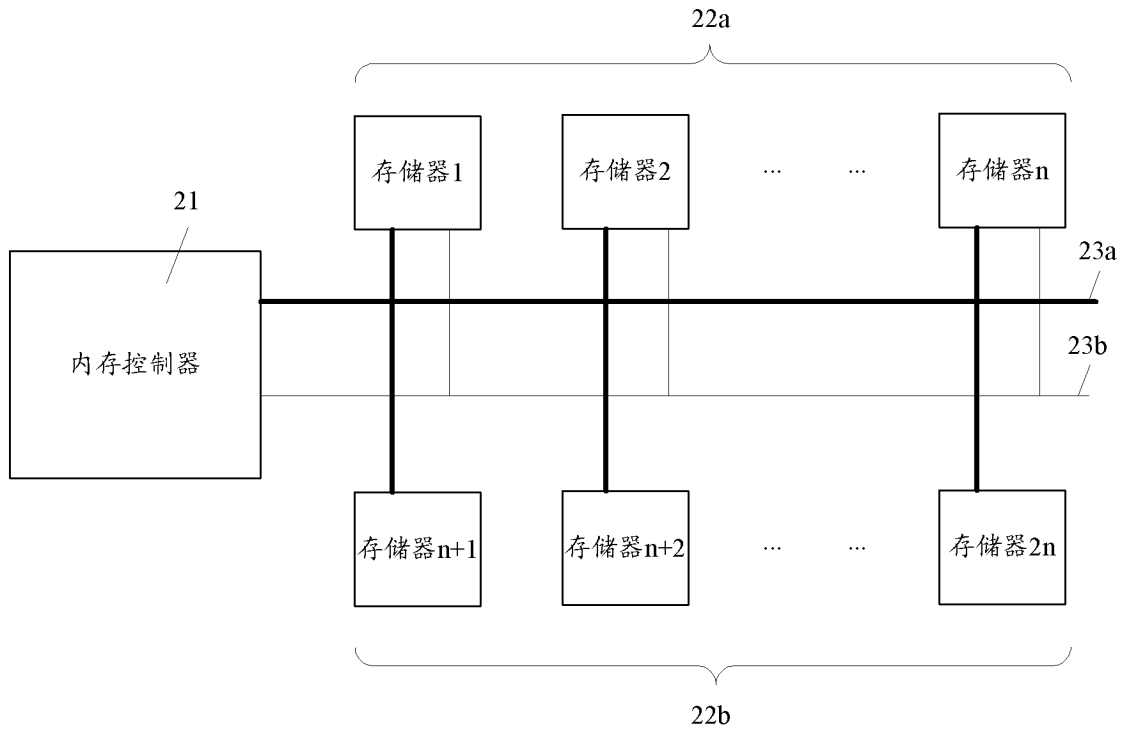


图 1

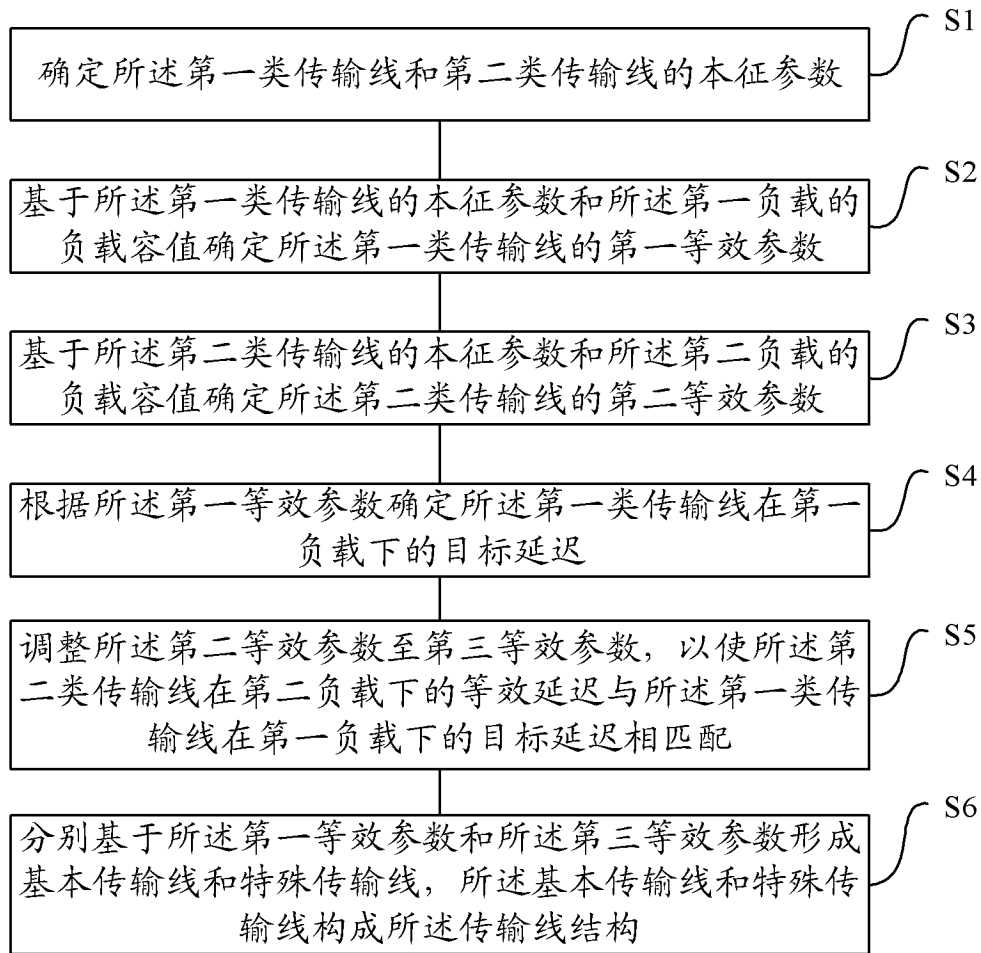


图 2

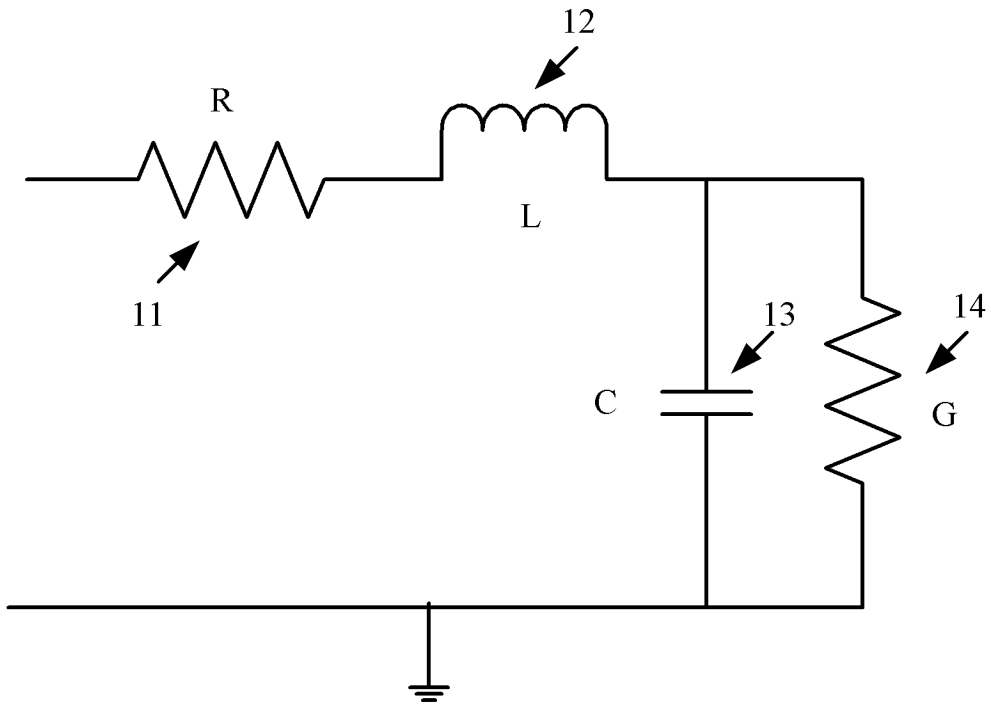


图 3