

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G01R 31/28		(45) 공고일자 1999년03월20일	
		(11) 등록번호 특0163756	
		(24) 등록일자 1998년09월09일	
(21) 출원번호	특1989-006926	(65) 공개번호	특1989-017546
(22) 출원일자	1989년05월24일	(43) 공개일자	1989년12월16일
(30) 우선권주장	8801362 1988년05월27일	네덜란드(NL)	
(73) 특허권자	엔. 브이. 필립스 글로아이라펜파브리켄 이반 밀러 레르너		
(72) 발명자	네덜란드왕국 아인드호펜 그로네보드세베그 1 빌헬름 사우에르발트		
	네덜란드왕국 아인드호펜 그로네보드세베그 1 안바르 오세이란		
	네덜란드왕국 아인드호펜 그로네보드세베그 1 라르스 아르옌 라울 에렌스타인		
	네덜란드왕국 아인드호펜 그로네보드세베그 1 프란시스쿠스 게라르두스 마리아 데 종		
(74) 대리인	네덜란드왕국 아인드호펜 그로네보드세베그 1 이병호, 최달용		

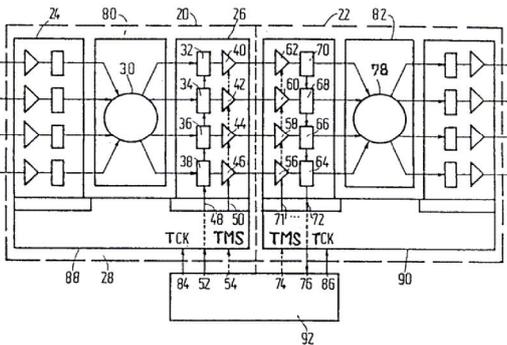
심사관 : 김재문

(54) 전자 모듈 소켓장치

요약

전자 디지털 IC 모듈은 다른 기판상에 형성되는 표준 집적 회로상에서 경계 스캔의 실행을 위해 테스트 집적 회로가 형성되는 기판 소자를 포함한다. 상기 표준 회로가 피기-백으로 설치되는 경우 테스트 회로를 위한 상기 기판이 테스트 소켓이 형성되는 전자 서브 모듈내에 형성되거나, 본드 패드에 의해 상호 접속된 두 기판 소자들로 구성된 하이브리드 패키지가 제공된다. 상기 테스트 회로는 상기 표준 회로에의 병렬 접속을 위한 시프트 레지스터와 외부 테스트 유닛에의 직렬 접속을 포함한다.

대표도



명세서

[발명의 명칭]

전자 모듈 소켓 장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 2개의 전자 모듈과 그 사이의 상호 접속 기능 도시도.

제2도는 본 발명에 따른 전자 모듈의 제 1의 물리적 구현체 도시도.

제3도는 본 발명에 따른 전자 모듈의 제 2의 물리적 구현체 도시도.

또다른 양호한 특징들이 종속항에 기술되어 있다.

본 발명을 도면을 참조하여 더 상세히 설명한다.

제1도는 상호 접속 기능과 함께, 본 발명에 따른 2개의 전자 모듈을 도시한다. 상기 전자 모듈(20,22)은 파선에 의해 표시된다. 각각의 모듈은 각각의 제1 기판 소자(80,82)상에 수용된 기능 부분(30,78)을 포함한다. 상기 기능 부분은 임의의 특성을 가질 수 있는데, 예를들어 그것은 프로세서나, 제어기나, 메모리 등 일 수 있다. 상기 2개 모듈의 기술은 같을 필요가 없다.

간단히 하기 위해, 상기 두 전자 모듈은 동일한 것이라 가정한다.

각각의 전자 모듈은 또한 제2기판 소자(88,90)를 구비한다. 상기 제1 및 제2 기판 소자는 임의의 기술로 이루어진 것일 수 있다. 신호 레벨, 슬로프(slope), 클럭 주파수등이 호환가능해야 함이 명백할 것이다. 단순하게 할 목적으로 상기 2개의 전자 모듈사이의 상호 접속 기능만이 논의될 것이다. 적절한 데이터 통로는 4비트의 폭을 가지고 있으며, 상기 모듈(20)은 소스로서만 역할을 하며 모듈(22)은 목적지로서의 역할만 한다. 상기 관점에서 상기 기판 소자(26)는 이제 셀(32,34,36,38)과 직렬 입력(48)을 포함한다, 각 셀에 대해 활성화 입력(50)을 구비한 제어된 출력 버퍼(40,42,44,46)가 제공된다. 또한 테스트 유닛(92)을 제공한다. 상기 테스트 유닛은 전자 모듈에 다음 3개의 신호를 공급한다.

-라인(52) 상에 일련의 테스트 패턴 -테스트 상태 및 동작 상태사이에서 선택하는 라인(54)상의 테스트 제어신호 -시프트 레지스터에서 시프팅을 동기화하는 라인(84)상의 테스트 클럭 신호

상기 라인(84,52) 상의 신호는 동작 상태에 영향을 주지 않는다. 상기 시프트 레지스터 단에 대한 제어 신호는 종래 방법으로 다양하게 발생된다. 간단하게 하기 위해 상기는 상술하지 않는다. 상기 제어 신호로부터 버퍼 단(40,42,44,46)에 대한 제어신호가 유도될 수 있다; 기록동안 그들은 예를 들어 연속적으로 저지된다. 이 역시 여기서는 상세히 설명하지 않는다.

상기 기판 소자(90)의 구성은 기판 소자(88)와 유사하며, 어떤 경우에도 상기 데이터 통로는 적당한 접속부를 포함해야 한다. 상기 소자(90)는 결과 패턴(72)을 위한 일련의 출력을 구비하는 셀(64,66,68,70)을 가지는 시프트 레지스터를 포함한다. 여기에 다시 시프트 레지스터의 일련의 동작동안 라인(71)상의 신호에 의해 차단되는 제어된 버퍼단(56,58,60,62)이 제공된다. 상기 테스트 유닛은 다음 2개의 신호를 공급한다.

-라인(86)상의 클럭인 TCK와 라인(74)상의 테스트/동작 상태 제어 신호TMS. 더구나, 결과 신호는 라인(76)상에 연속적으로 수신된다. 전자 모듈이 목적 장치뿐 아니라 소스 장치로서 동작하도록 될 때에는, 대개 4개의 부가적 접속이 상호 접속 기능 테스트를 위해 요구된다. 상기 시프트 레지스터는 매번 2개의 병렬 접속과 하나의 직렬 접속을 구비한다. 동작 상태에 있어, 그들은 병렬 방향으로 투명하게 된다. 한편, 그들은 예를들어 래치 기능을 가질수 있으나 그것은 무시되어 진다.

상기 상호 접속 기능 그자체는 양방향성이 된다. 완전한 테스트를 위해, 각각의 시프트 레지스터는 소스로서 뿐만 아니라 목적지로서 동작해야 한다. 그러므로 상기 경우에 (최소) 4개의 부가적 접속은 관련기판 소자를 위해 요구된다. 상기 테스트 결과의 평가는 여기에서 상세히 설명되지 않는다. 상기 3개의 출력(20,22,24)는 프린트 배선판상에 함께 수용될 수 있다.

상기 상태는 또한 더욱 복잡하게 된다는 것이 명확할 것이다. 모듈은 다수의 다른 모듈에 다른 쪽의 데이터 통로를 통해 상호 접속되어 있다. 이미 상기 칩상에, 본발명에 따라 모듈에 상호 접속된 경계 스캔 메카니즘이 제공된 모듈이 있을 수 있다. 테스트 설비는 주어진 상호 접속에 대해 사용되지 않을 것이다. 더구나, 상기 기술된 테스트에 적당하지 않은 아날로그 신호를 위한 상호 접속이 제공될 수 있다. 실제로, 상기 아날로그 신호들은 상기 칩상에서 디지털 신호로 변환되고, 그후 처리되어 다시 아날로그 신호로 변환된다.

대안적으로, 이들 2개의 변환중의 단지 하나만이 칩에 존재할 수 있다.

이경우에 있어 상기 테스트 레지스터는 회로의 디지털 부분과 아날로그 신호로부터 또는 아날로그 신호로의 변환기 사이에 위치된다. 더구나, 제1도에서 상기 버퍼는 예를들어 상기 신호를 전기적(시프트 레지스터 셀에서) 및 광학적(상호 접속상에)사이로 변환시킬 수 있다. 마지막으로, 상기 공급 접속이 무시되어 진다. 상기 디지털 데이터 신호의 의미는 임의적이며, 데이터와, 제어와, 다른 신호들도 가능하다.

[양호한 두 실시예의 설명]

제2도는 상기 발명에 따른 전자 모듈의 제1의 물리적 실시예를 도시한다. 상기 물리적 규격은 네덜란드 왕국, 아인드호펜 필립스에 의해 1987년 출판된 책 마이크로 제어기 및 주변장치 IC 14, 1274페이지에 의해 유도된다.

상기 경우에 있어, 상기 기능부분은 부분 A 에 위치되며, 다른 부분은 부분 B에 위치되고, 상기 패키징은 공지된 방식으로 실현된다. 부분B는 40개의 핀을 구비한다.

이들 핀은 대개 인쇄 회로 기판에 제공되는 홀의 열들에 결합된다. 부분 A는 36핀을 통해 부분 B에 삽입되는데. 이를 위해 부분 B에는 대응하는 소켓 커넥터가 제공된다. 도시된 바와같이, 도면에서 부분B에는 집적 회로가 제공된다; 상기 기판 소자는 리드 C 아래에 케이싱을 가지고 있다. 상기 부분 A에는 상기 핀의 말단에 결합되는 분리된 집적 회로가 제공된다.

또다른 가능성은 상기 부분 B와 같은 방법으로 영구적으로 새겨진 기판 소자를 부분A에 제공하는 것이다. 상기 부분 A의 핀의수는 예를들어 도시된 수보다 작을 수 있는데, 이는 부분 B가 다수의 여유 시프트 레지스터 위치 또는 다른 설비를 포함하고 있기 때문이거나, 표준화의 특성 때문이다. 원칙적인 규격은: 상기 부분 A가 n접속을 포함할 때, 상기 개수는 상기 부분 B에 대해 $2n+4$ 가 되는 것이다.; 그러나,

상기 부분 B는 더 많은 접속을 포함할 수 있다.

제2b도는 상기 발명에 따른 전자 모듈의 말단 도시도이다.

분명히, 본 발명의 사상에 벗어남이 없이 많은 다른 실시예들을 실행 할 수 있다.

제3도는 상기 발명에 따른 전자 모듈의 제2의 물리적 실시예를 도시한다. 상기 도면은 미합중국 특허출원 4,703,483호와, 일본 우선권 84년 7월 27일 (156618) 및 84년 11월 16일(241977)을 주장한 유럽 특허출원 174,224호로부터 알 수 있다. 상기 공지된 구성은 2개의 기판 소자사이에 상호 접속 테스팅을 포함한다. 본 발명에 따라 특히, 상기 환경에 대한 상호 접속 기능이 테스트된다. 본 발명에 따라 상기 기능 부분은 제1의 기판 소자(104)상에 위치된다. 상기 소자는 제1결합 패드(bound pad, 106)를 통해 상기 제2 기판 소자(102)에 접속되는데, 예를 들면, 열적으로 압축함으로써 적당한 영역에 제공된 납땜 범프(solder bump)를 녹여서 결합한다. 서로에 대한 2 기판 소자의 위치는 이제 고정된다. 대안적으로, 상기 2 기판 소자는 인접하여 배치되어 공통의 지지 층, 즉 상기 경우에는 층(100)에 고정된다. 그들은 이제 결합 와이어(bond wire)에 의해 상호 접속되어 있다. 상기 기판 소자(102)상의 전도체 트랙은 굵은 선에 의해 표시 되어있다. 결합 와이어(108, 110)를 사용하여 상기 트랙은 상기 패키지의 도전 소자에 연결된다. 그들의 외부 말단에서 이들 소자들에는 접속핀(120, 124)에 고정된 두꺼운 부분(118, 122)이 제공된다.

상기 하부(100), 벽(112, 114) 및 상부(116)는 패키지로 밀봉된다.

상기 하이브리드 패키지는 인쇄 회로를 가진 캐리어상에, 제2도를 참고하여 상술된 방법으로 설치되어진다. 상기 접속에 대한 상기 진술은 다시 유효할 것이다: 상기 제2기판 소자는 제1기판 소자상에 존재할 필요가 없는 테스트를 위한 4개의 접속을 포함한다.

확장은 상기 기능적으로는 외부적으로 이용가능할 필요없는 제1기판 소자상의 결합 패드가 여전히 테스트 받을 수 있는 것이다. 다음은 상기에 따른 예이다: 2개의 결합 패드는 같은 신호를 전달하나, 이중 설비의 결과로 제1기판 소자상의 지연 시간은, 상기 결합 패드와 목적지간 또는 소스의 위치와 결합 패드간의 기하학적인 거리가 짧기 때문에 더 짧다. 제1도의 구성에서, 상기 시프트 레지스터는 결합 패드당 하나의 단(stage)을 구비하고; 연관된 버퍼는 이제 상기 패키지의 단일 접속 핀에 함께 연결될 수 있다. 동일한 원리가 다른 이유로도 사용될 수 있다. 주어진 결합 패드가 회로내에서 적절하나, 외부에 전혀 출력되지 않는 신호를 전달하는 것이 대안적으로 가능하다. 상기 경우에 있어 연관된 버퍼는 제1도에서 없어도 상관없다. 따라서 제1 및 제2기판 소자사이의 접속 수는 상기 제2기판 소자와 외부환경(environment)사이의 대응하는 접속 수 보다 더 크다.(클럭 및 제어 접속은 고려되지 않았다.)

[아키텍처에 대한 상세한 설명]

제4도는 제2기판 소자에서 실현될 경계 스캔 아키텍처(boundary scan architecture)의 더욱 정교한 버전이다. 공급 접속은 무시된다. 상기 연속 테스트 데이터는 입력 TDI상에 나타나고, 종단 저항기(terminating resistor)가 표시된다. 상기 테스트 클럭 신호는 입력 TCK상에 나타난다. 선택 코드가 입력 TMS상에 나타나고, 다시 종단 저항기가 제공된다. 소자(132)는 수신된 연속 코드를 제어신호나 외부로 나가는 클럭 신호에 대한 활성화신호로 변환하는 디코더이다.

제1클럭 신호의 제어하에서 상기 안내 레지스터(134)는 IR 클럭에 의해 클럭되는, 입력 TDI상의 연속 데이터로 로드된다. 제2제어 신호의 제어하에, 상기 레지스터(134)의 새로운 내용은 상기 회로의 또다른 소자를 제어하기 위해 활성화된다.

제3제어 신호의 제어하에, 상기 레지스터(134)는 라인 (136)상에 병렬 상태 데이터(parallel status data)로 로드된다. 또다른 제어신호는 출력 버퍼(144)용 인에이블 신호 및 출력 멀티플렉서(142)용 선택 신호를(라인 138)제공한다. 상기 안내 레지스터(134)는 디코딩 로직(decoding logic)에 연결되고, 라인(148)을 통해 멀티플렉서(150)에 연결된다. 상기 디코딩 로직(146)은 경계 스캔 레지스터(130), 식별 레지스터(identification register)(152), 사용자 테스트 데이터 레지스터의 어레이, 바이패스 레지스터(bypass register)(156)에 활성화 신호를 공급한다. 상기 레지스터(130)은 한 전자 모듈의 직렬/병렬 시프트 레지스터의 세트를 나타내어서 그것이 인쇄 회로 기판뿐 아니라 제1판 소자내의 기능 부분에 접속되도록 한다. 이들 접속들은 간략화를 위해 생략되어 있다. 상기 레지스터(130, 152, 154, 156)은 상기 블럭(132)(DR 클럭 신호)으로 부터의 선택/제어 신호 및 클럭 신호를 수신한다. 상기 제4도의 아키텍처는 필립스 아인드호펜 CFT의 1988년 4월의 표준 경계 스캔 양식의 최종 버전2.0에서 상술되어 있으며, 제1 및 제2기판 소자의 분할은 거기에 상술되지 않았다.

(57) 청구의 범위

청구항 1

제1디지털 집적 회로와, 상기 제1집적 회로와 상호 접속 기능을 통해 상기 제1집적 회로에 접속될 수 있는 제2집적 회로(78)사이의 상기 상호 접속 기능을 테스트하는 테스트 수단을 포함하는 전자 회로 모듈로서, 상기 테스트 수단은, 테스트 유닛과 통신하기 위한 직렬접속과, 상기 상호 접속 기능을 제공하는 구조에 대한 제1병렬 접속부와, 상기 제1집적 회로(30)의 기능부에 대한 제2병렬 접속부를 구비한 시프트 레지스터(32-38)를 포함하며, 테스트 상태에서 상기 직렬 접속과 상기 제1병렬 접속을 활성화하고 동작 상태에서 상기 제1 및 2병렬 접속을 활성화하여 시프트 레지스터가 병렬 방향으로 투명하도록 하는 테스트 선택 메카니즘이 제공되는, 전자 회로 모듈에 있어서, 상기 기능부는 제1기판 소자(80)사에 제공되고, 상기 시프트 레지스터와 테스트 선택 메카니즘은 제2기판 소자(26)에 수용되며, 상기 제1 및 제2 기판 소자는 서로에 대하여 물리적으로 고정되는 것을 특징으로 하는 전자 회로 모듈.

청구항 2

제1항에 있어서, 상기 제1기판 소자(80)는 분리 전자 서브-모듈(A)에 포함되고, 상기 분리 전자 서브-모듈에 대해 상기 제2기판 소자를 포함하는 또다른 전자 서브-모듈(B)이 소켓으로 동작하고, 상기 소켓은 인쇄 회로 기판에 대한 접속을 위한 접속 수단을 자체로 포함하는 것을 특징으로 하는 전자 모듈.

청구항 3

제2항에 있어서, 상기 분리 전자 서브-모듈(A)은 커넥터 핀(connector pins)을 포함하도록 구성되고, 상기 커넥터핀에 대해 상기 소켓은 접속 소켓 수단을 포함하는 것을 특징으로 하는 전자 모듈.

청구항 4

제1디지털 집적 회로(30)의 커넥터 소자를 수용하는 제1상호 접속 수단을 포함하고, 회로 기판에 인터페이스하는 상기 제1상호 접속 수단에 상호 접속되어서 상기 제1디지털 집적 회로(30)와 제2디지털 집적 회로(78)사이의 상호 접속 기능을 제공하는 구조에 접속되도록 하는 제2상호 접속 수단을 가지는, 소켓에 있어서, 상기 소켓은 상기 상호 접속 기능을 테스트하는 테스트 수단을 구비하며, 상기 테스트 수단은 테스트 유닛과 통신하기 위한 상기 제2상호 접속 수단에 병렬인 직렬 접속부와, 상기 제2상호 접속 수단에의 제1병렬 접속부와, 상기 제1접속 수단에의 제2병렬 접속부를 구비한 시프트 레지스터(32-38)를 포함하며, 테스트 상태에서는 상기 직렬 접속부와 제1병렬 접속부를 활성화하고 동작 상태에서는 상기 제1 및 2병렬 접속부를 활성화하여 상기 시프트 레지스터(32-38)를 병렬 방향으로 투명하게 하도록 상기 제2접속 수단에 병렬인 입력(TMS)을 구비한 테스트 선택 매카니즘이 제공되며, 상기 제1 및 2상호 접속 수단의 최소한 한 부분은 양방향으로 활성화된 것을 특징으로 하는 소켓.

청구항 5

제4항에 있어서, 소켓은, 테스트 패턴을 위한 직렬 입력(48)과, 결과 패턴을 위한 출력(72)과, 테스트 클럭 입력과, 테스트 제어 입력과, 상기 직렬 입력(48)과 상기 직렬 출력(72)사이의 최소한 2개의 선택적으로 활성화가 가능한 데이터 경로를 포함하는 것을 특징으로 하는 소켓.

청구항 6

제4항 또는 제5항에 있어서, 상기 제1상호 접속 수단은 소켓 상호 접속 수단을 표시하고, 제2상호 접속 수단은 상기 회로 기판에 기계적 인터페이싱을 허용하는 것을 특징으로 하는 소켓.

청구항 7

제1항에 있어서, 상기 제1 및 제2기판 소자는 패키지내 신호 접속(106)을 통해 서로 접속되며, 상기 제2기판 소자는 또다른 신호 접속을 통해 패키지내에 고정되고 인쇄 회로 기판에 외부적으로 접속될 수 있는 접속 수단에 접속되는 것을 특징으로 하는 전자 모듈.

청구항 8

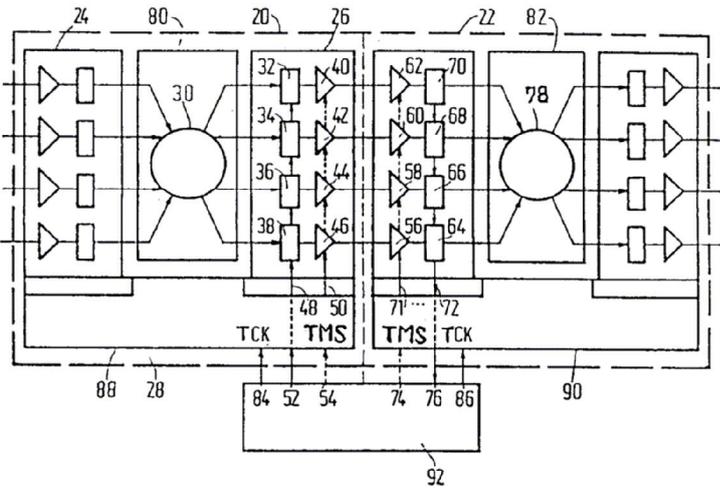
제7항에 있어서, 상기 제1 및 제2기판 소자 사이의 접속수는 상기 제2기판 소자와 환경사이의 대응 접속수보다 작은 것을 특징으로 하는 전자 모듈.

청구항 9

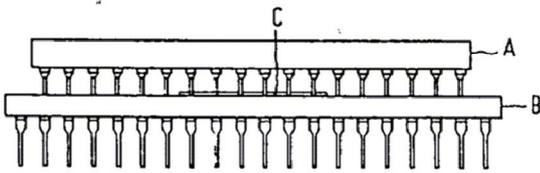
전자 모듈들은 각각, 상기 접속 기능을 통해 상호 접속된 디지털 집적회로와, 상기 접속 기능을 테스트하는 테스트수단을 포함하되, 상기 테스트 수단은 테스트 유닛과 통신하기 위한 직렬 접속부와, 상기 접속 기능을 제공하는 구조에의 제1병렬 접속부와, 상기 제1집적회로(30)의 기능부에의 제2병렬 접속부를 구비하는 시프트 레지스터(32-38)를 포함하며, 상기 전자 모듈에는 테스트 상태에서 상기 직렬 접속부와 상기 제1병렬 접속부를 활성화하고, 동작 상태에서 상기 제1 및 제2병렬 접속부를 활성화하여 상기 시프트 레지스터가 병렬방향으로 투명하게 되도록 하는 테스트 선택 매카니즘이 제공되는, 인쇄 회로 기판과 최소한 2개의 상기 전자 모듈을 포함하는 디지털 신호 처리용 전자 장치에 있어서, 상기 기능부는 제1기판 소자(80)에 제공되고, 상기 시프트 레지스터와 테스트 선택 매카니즘은 제2기판 소자(26)에 수용되고, 상기 제1 및 2기판 소자는 서로에 대하여 물리적으로 고정되는 것을 특징으로 하는 전자 장치.

도면

도면1



도면2a



도면2b

