

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5367641号
(P5367641)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 1 7 0
 G 1 1 C 13/00 1 9 0

請求項の数 3 (全 16 頁)

<p>(21) 出願番号 特願2010-127625 (P2010-127625) (22) 出願日 平成22年6月3日(2010.6.3) (65) 公開番号 特開2011-253596 (P2011-253596A) (43) 公開日 平成23年12月15日(2011.12.15) 審査請求日 平成24年8月14日(2012.8.14)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 110001612 きさらぎ国際特許業務法人 (72) 発明者 河野 良洋 東京都港区芝浦一丁目1番1号 株式会社 東芝内 審査官 後藤 彰</p>
---	--

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数の第1の配線、前記第1の配線に交差する複数の第2の配線、並びに前記第1及び第2の配線の各交差部に配置された電氣的書き換え可能な抵抗値をデータとして不揮発に記憶する可変抵抗素子からなる複数のメモリセルを有するメモリセルアレイと、

前記メモリセルに対するフォーミング時に、前記第1の配線及び第2の配線を介して前記メモリセルに所定の電圧を印加する電圧印加手段と、

前記メモリセルに対する前記所定の電圧の印加時に前記メモリセルの抵抗状態の変化を検出して検出情報を出力する検出手段と、

前記フォーミング時に前記検出手段から出力された検出情報の少なくとも一部を不揮発性半導体記憶装置の外部に出力する出力手段と

を備えた

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記検出手段は、

前記第1の配線を介して前記メモリセルに定電流を供給する定電流回路と、

前記定電流の経路に設けられたセンスノードの電圧と基準電圧とを比較してその比較結果を前記検出情報として出力する差動増幅回路と、

前記差動増幅回路から出力される検出情報に基づいて前記電圧印加手段から前記メモリセルへの電圧の印加を制御するスイッチ回路と

10

20

を備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記出力手段は、

n 個のメモリセルに対応する n ビットの検出情報を外部に出力するものであり、

前記 n ビットの検出情報は、前記 n 個のメモリセルのうち抵抗状態が変化したら当該メモリセルに対応する位置のビットが実時間で反転する情報である

ことを特徴とする請求項 1 又は 2 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、電気的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルを NAND 接続又は NOR 接続してセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶 / アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トンネル磁気抵抗効果による抵抗変化を用いる MRAM 素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電 RAM (PF-RAM) のメモリ素子、電気パルス印加によって抵抗変化を起こす ReRAM 素子等が知られている。

【0004】

このうち、ReRAM に使用される可変抵抗素子は、電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるものとに大別される。

【0005】

また、ReRAM に使用される可変抵抗素子には、2 種類の動作モードがある。1 つは、印加電圧の極性を切り替えることにより、高抵抗状態と低抵抗状態とを設定するもので、これはバイポーラ型といわれる。もう 1 つは、印加電圧の極性を切り替えることなく、電圧値と電圧印加時間を制御することにより、高抵抗状態と低抵抗状態との設定を可能とするもので、これはユニポーラ型といわれる。

【0006】

従来技術では、メモリセルの書き換え動作を行う際、書き換え電圧を一定時間ずつ印加し、その度毎に、書き換えの成否を確認するためのベリファイ動作を行っていた。しかし、メモリセルの書き換え時間にはばらつきがあり、ベリファイは全てのメモリセルが書き換え動作を完了しないとパスしないため、大多数のメモリセルの書き換えが完了しても一部の書き換え速度の遅いメモリセルにより書き換え時間が決定されてしまうという問題があった。従来技術では、このようなメモリセルの書き換え状況を外部から把握することはできず、サイクルタイムを短縮することが困難であった。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2010 - 80041 号

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、動作速度を向上させた不揮発性半導体記憶装置を提供することを目的とする

10

20

30

40

50

。【課題を解決するための手段】

【0009】

実施形態に係る不揮発性半導体記憶装置は、複数の第1の配線、前記第1の配線に交差する複数の第2の配線、並びに前記第1及び第2の配線の各交差部に配置された電氣的書き換え可能な抵抗値をデータとして不揮発に記憶する可変抵抗素子からなる複数のメモリセルを有するメモリセルアレイと、前記メモリセルに対するデータの書き込み又はフォーミング時に、前記第1の配線及び第2の配線を介して前記メモリセルに所定の電圧を印加する電圧印加手段と、前記メモリセルに対する前記所定の電圧の印加時に前記メモリセルの抵抗状態の変化を検出して検出情報出力する検出手段と、前記検出手段から出力された検出情報の少なくとも一部を外部に出力する出力手段とを備えたことを特徴としている。

10

。【図面の簡単な説明】

【0010】

【図1】第1の実施形態に係る不揮発性半導体記憶装置のブロック図である。

【図2】同不揮発性半導体記憶装置のメモリセルアレイの一部の斜視図である。

【図3】図2におけるI-I'線で切断して矢印方向に見たときのメモリセル1個分の断面図である。

【図4】同不揮発性半導体記憶装置のメモリセルの可変抵抗素子の一例を示す模式的な断面図である。

20

【図5】同不揮発性半導体記憶装置のメモリセルアレイの回路図である。

【図6】同カラム制御回路中のセット回路の回路図である。

【図7】同セット回路によるセット動作を説明するタイミングチャートである。

【図8】同カラム制御回路中のリセット回路の回路図である。

【図9】同セット回路によるリセット動作を説明するタイミングチャートである。

【図10】同不揮発性半導体記憶装置のフォーミング動作を説明するタイミングチャートである。

【図11】同不揮発性半導体記憶装置のフラグデータを利用したセット電圧とセット時間との相関を示す図である。

【図12】同不揮発性半導体装置におけるセット動作時のタイミング波形を示すタイミングチャートである。

30

【図13】第2の実施形態におけるセット動作時のフローチャートである。

【図14】第3の実施形態におけるセット動作を説明するタイミングチャートである。

【発明を実施するための形態】

【0011】

以下、図面を参照しながら、実施形態に係る不揮発性半導体記憶装置について詳細に説明する。

【0012】

[第1の実施形態]

[全体構成]

図1は、第1の実施形態に係る不揮発性半導体記憶装置のブロック図である。

40

【0013】

この不揮発性半導体記憶装置は、後述するReRAM(可変抵抗素子)を使用したメモリセルをマトリクス状に配置したメモリセルアレイ1を備える。メモリセルアレイ1のビット線BL方向に隣接する位置には、メモリセルアレイ1のビット線BLを制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行うカラム制御回路2が設けられている。また、メモリセルアレイ1のワード線WL方向に隣接する位置には、メモリセルアレイ1のワード線WLを選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加するロウ制御回路3が設けられている。

50

【 0 0 1 4 】

データ入出力バッファ 4 は、I/O線を介して外部コントローラ 10 に接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取り、及びメモリセルアレイ 1 の抵抗状態に応じて出力されるフラグの受け取り等を行う。また、データ入出力バッファ 4 は、受け取った書き込みデータをカラム制御回路 2 に送り、カラム制御回路 2 から読み出したデータを受け取って外部に出力する。外部からデータ入出力バッファ 4 に供給されたアドレスは、アドレスレジスタ 5 を介してカラム制御回路 2 及びロウ制御回路 3 に送られる。また、外部コントローラ 10 からデータ入出力バッファ 4 に供給されたコマンドは、コマンド・インタフェース 6 に送られる。コマンド・インタフェース 6 は、外部コントローラ 10 からの外部制御信号を受け、データ入出力バッファ 4 に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン 7 に転送する。ステートマシン 7 は、この半導体記憶装置全体の管理を行うもので、外部コントローラ 10 からのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部コントローラ 10 は、ステートマシン 7 が管理するステータス情報を受け取って、書き込み、消去の成否を判断することも可能である。このステータス情報は書き込み、消去の制御にも利用される。更に、外部コントローラ 10 は、入力された情報を集計し、これを分析する事によって、動作条件を適切なものに調整する事が可能である。

10

【 0 0 1 5 】

また、ステートマシン 7 によって電圧供給回路であるパルスジェネレータ 9 が制御される。この制御により、パルスジェネレータ 9 は任意の電圧、任意のタイミングのパルスを出力することが可能となる。具体的には、ステートマシン 7 が、外部から与えられたアドレスをアドレスレジスタ 5 を介して入力し、どのメモリ層へのアクセスかを判定し、そのメモリ層に対応するパラメータを用いて、パルスジェネレータ 9 からのパルスの高さ・幅を制御する。このパラメータは、メモリ層毎の書き込み等の特性を把握した上で、各メモリ層の書き込み特性が均一になるように求められた値であり、メモリセルに保存されている。ここで、形成されたパルスはカラム制御回路 2 及びロウ制御回路 3 で選択された任意の配線へ転送することが可能である。

20

【 0 0 1 6 】

なお、メモリセルアレイ 1 以外の周辺回路素子はメモリセルアレイ 1 の直下のシリコン基板に形成可能であり、これにより、この半導体記憶装置のチップ面積はほぼ、メモリセルアレイ 1 の面積に等しくすることも可能である。

30

【 0 0 1 7 】

[メモリセル及びメモリセルアレイ]

図 2 は、メモリセルアレイ 1 の一部の斜視図、図 3 は、図 2 における I - I' 線で切断して矢印方向に見たメモリセル 1 つ分の断面図である。

【 0 0 1 8 】

複数本の第 1 の配線としてワード線 W L 0 ~ W L 2 が平行に配設され、これと交差して複数本の第 2 の配線としてビット線 B L 0 ~ B L 2 が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセル M C が配置される。ワード線 W L 及びビット線 B L は、熱に強く、且つ抵抗値の低い材料が望ましく、例えば W , W S i , N i S i , C o S i 等を用いることができる。

40

【 0 0 1 9 】

メモリセル M C は、図 3 に示すように、可変抵抗素子 V R と非オーミック素子 N O の直列接続回路からなる。

【 0 0 2 0 】

可変抵抗素子 V R としては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極 E L 1、E L 2 が配置される。電極材としては、P t、A u、A g、T i A l N、S r R u O、R u、R u N、I r、C o、T i、T i N、T a N、L a N i O、A l、P t I

50

r O x、P t R h O x、R h / T a A l N等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

【0021】

可変抵抗素子V Rは、遷移元素となる陽イオンを含む複合化合物であって陽イオンの移動により抵抗値が変化するもの(R e R A M)を用いることができる。

【0022】

図4は、この可変抵抗素子V Rの例を示す図である。図4に示す可変抵抗素子V Rは、電極層11、13の間に記録層12を配置してなる。記録層12は、少なくとも2種類の陽イオン元素を有する複合化合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式 $A_x M_y X_z$ (AとMは互いに異なる元素)で表され、例えばスピネル構造($A M_2 O_4$)、イルメナイト構造($A M O_3$)、デラフォサイト構造($A M O_2$)、LiMoN₂構造($A M N_2$)、ウルフラマイト構造($A M O_4$)、オリピン構造($A_2 M O_4$)、ホランダイト構造($A_x M O_2$)、ラムスデライト構造($A_x M O_2$)、ペロブスカイト構造($A M O_3$)等の結晶構造を持つ材料により構成される。

【0023】

図4の例では、AがZn、MがMn、XがOである。記録層12内の小さな白丸は拡散イオン(Zn)、大きな白丸は陰イオン(O)、小さな黒丸は遷移元素イオン(Mn)をそれぞれ表している。記録層12の初期状態は高抵抗状態であるが、電極層11を固定電位、電極層13側に負の電圧を印加すると、記録層12中の拡散イオンの一部が電極層13側に移動し、記録層12内の拡散イオンが陰イオンに対して相対的に減少する。電極層13側に移動した拡散イオンは、電極層12から電子を受け取り、メタルとして析出するため、メタル層14を形成する。記録層12の内部では、陰イオンが過剰となり、結果的に記録層12内の遷移元素イオンの価数を上昇させる。これにより、記録層12はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層12を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。低抵抗状態を高抵抗状態(初期状態)にリセットするには、例えば記録層12に大電流を十分な時間流してジュール加熱して、記録層12の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってもリセットが可能である。

【0024】

図5は、図1に示すメモリセルアレイ1の詳細を示す等価回路図である。なお、ここでは、非オーミック素子NOとしてダイオードD_iを用い、説明を簡単にするため、1層構造であるとして説明する。

【0025】

図5において、メモリセルアレイ1のメモリセルMCは、直列接続されたダイオードD_i及び可変抵抗素子V Rにより構成されている。ダイオードD_iのカソードは、ワード線W Lに接続され、アノードは、可変抵抗素子V Rを介してビット線B Lに接続されている。各ビット線B Lには、カラム制御回路2内のセンスアンプ回路S / Aが設けられている。センスアンプ回路S / Aとしては、シングルエンド型、参照セルを用いた差動型等、種々のタイプを用いることができる。また、ワード線W Lには、ロウ制御回路3のワード線ドライバD R Vが設けられている。このワード線ドライバD R Vは、データ書き込み/消去、あるいはデータ読み出しに必要な電圧をワード線W Lに供給するものである。

【0026】

なお、メモリセルMCは、個別に選択されても、選択されたワード線W Lにつながる複数のメモリセルMCのデータが一括で読み出される形式でも良い。また、メモリセルアレイ1は、ワード線W L側からビット線B L側に電流が流れるようにしても良い。

【0027】

[カラム制御回路]

10

20

30

40

50

次に、本実施形態に係る不揮発性半導体記憶装置のカラム制御回路2について説明するが、その前に、不揮発性メモリの動作について説明する。

【0028】

いま、図5の点線円で示すように、ワード線WL4と、ビット線BL1~3につながるメモリセルMC1~3を選択して、これら選択メモリセルMC1~3にアクセスする場合を想定する。

【0029】

データの消去(“1”データの書き込み)は、例えば、選択ワード線WL4を接地電圧VSSに近い口ウ接地電圧VSSROW、その他のワード線WLに書き込み電圧Vwrよりも0.8V程度低い電圧VUXを印加し、選択ビット線BL1~3に書き込み電圧Vwr(=Vrst)、その他のビット線BLに接地電圧VSSROWよりも0.8V程度高い電圧VUBを印加し、1μA~10μA程度の電流を500ns~2μsだけ流す消去動作によって行う。

10

【0030】

データの書き込み(“0”データの書き込み)は、例えば、選択ワード線WL4に接地電圧VSSROW、その他のワード線WLに書き込み電圧Vwrよりも0.8V程度低い電圧VUXを印加し、選択ビット線BL1~3に書き込み電圧Vwr(=VSEL)、その他のビット線BLに口ウ接地電圧VSSROWよりも0.8V程度高い電圧VUBを印加し、10nA程度の電流を10ns~100nsだけ流す書き込み動作によって行う。

【0031】

データの読み出しは、例えば、選択ワード線WL4及び非選択ビット線BLに接地電圧VSSに近い口ウ接地電圧VSSROW、選択ビット線BL1~3及び非選択ワード線WLに電圧VUXを印加するリード動作によって行う。この時の電圧VUX-VSSROWは、選択メモリセルMC1~3の可変抵抗素子VRの抵抗状態が変化しない程度の電圧となっている。この時、センスアンプ回路S/Aが選択メモリセルMC1~3を流れる電流Icell1~3をモニタリングし、メモリセルMC1~3の可変抵抗素子VRの抵抗状態が低抵抗状態(“0”データ)か高抵抗状態(“1”データ)かを判別する。

20

【0032】

[セット動作]

次に、カラム制御回路2中のセット動作に用いるセット回路2aの構成について、図6を参照して説明する。

30

【0033】

セット回路2aは、センスアンプ回路S/Aの内部に設けられ、セット状態検知回路100と、電圧供給回路150とを含んでいる。

【0034】

セット状態検知回路100は、メモリセルMCのダイオードのアノード側にあるセンスノードNSENの電圧と所定の基準電圧VREF__AMPとを比較する比較器101を有する。セット動作中、メモリセルMCには、セット回路2aによって、一定のセル電流が流される。この場合、メモリセルMCの可変抵抗素子の抵抗状態の低下がセンスノードNSENの電圧の低下として現れる。セット状態検知回路100は、このセンスノードNSENの電圧が基準電圧VREF__AMP以下になったことを比較器101によって検知することで、メモリセルMCがセット状態になったことを検知する。

40

【0035】

セット電圧供給回路150は、セット電圧VSEL端子及び接地端子間に直列接続されたPMOSTランジスタQ101及びNMOSTランジスタQ102を有する。このうちトランジスタQ102のゲートには、負荷電流信号ILOADが入力される。これによって、トランジスタQ101及びQ102は、定電流回路を構成する。また、この定電流回路と並列に、セット電圧VSEL端子及びセンスノードNSEN間に直列接続されたPMOSTランジスタQ103及びQ104を有する。このうちトランジスタQ103は、トランジスタQ101との組み合わせによってカレントミラー回路CM101を構成する。

50

また、センスノードNSEN及びビット線BLに繋がるノードDSA間に電圧クランプ用のNMOSトランジスタQ105を有する。このトランジスタQ105のゲートにはクランプ電圧VCLAMPが与えられている。これによって、ビット線BLの電圧がクランプされる。さらに、ノードDSA及び接地間に接続されたNMOSトランジスタQ106を有する。このNMOSトランジスタQ106がオンすることで、ビット線BLの電圧が放電される。

【0036】

セット状態検知回路100は、センスノードNSENの電圧と一定の基準電圧VREFAMPとを比較してその比較結果であるセットフラグSETFLAGを出力する比較器101と、セットフラグSETFLAGの状態を保持するラッチ回路102とを有する。ラッチ回路102に保持されたセットフラグSETFLAGは、セット電圧供給回路150のトランジスタQ104及びQ106のベースに入力される。これによって、セットフラグSETFLAGが“H”になった場合、トランジスタQ104がオフになるため、セット電圧供給回路150からの選択メモリセルへのセット電圧VSELの供給が停止する。また、トランジスタQ106がオンになるため、ビット線BLの電圧は放電される。

10

【0037】

また、ラッチ回路102に保持されたセットフラグSETFLAGは、所定ビットずつパラレル又はシリアルにデータ入出力バッファ4を介して外部コントローラ10に出力される。

20

【0038】

次に、上記構成のセット回路2aを用いたセット動作について説明する。

【0039】

図7は、本実施形態に係る不揮発性半導体記憶装置におけるセット動作時の動作波形図である。

【0040】

セット動作前(ステップS100)、ワード線WL、ビット線BL、センスノードNSENは、すべて接地電圧になっている。

【0041】

始めに、ステップS101において、ワード線WLに非選択ワード線電圧VUXを供給すると共に、ビット線BLに非選択ビット線電圧VUBを供給する。

30

【0042】

続いて、ステップS102において、セット電圧供給回路150から選択ビット線BL1~3に対してセット電圧VSELを供給する。この際、センスノードNSENはセット電圧VSELに上昇する。

【0043】

続いて、ステップS103において、選択ワード線WL4をワード線接地電圧VSSROWに引き下げる。これによって、メモリセルMC1~MC3には電圧VSEL-VSSROWが印加される。この時点では、メモリセルMC1~MC3の抵抗状態は高抵抗状態であり、センスノードNSENの電圧も基準電圧VREFAMPよりも高いため、比較器101の出力であるセットフラグSETFLAGは“L”のままとなっている。

40

【0044】

続いて、ステップS104において、メモリセルMC1のセット動作が完了する。このセット動作完了によってメモリセルMC1の抵抗状態は低抵抗状態になっている。この場合、メモリセルMC1に繋がるセンスノードNSENの電圧も基準電圧VREFAMPより低くなるため、セットフラグSETFLAGは“H”になる。このようにセットフラグSETFLAGが“H”になると、セット電圧供給回路150のトランジスタQ104はオフになる。これによって、セット電圧供給回路150からビット線BL1へのセット電圧VSELの供給は停止する。

【0045】

50

続いて、ステップS105において、メモリセルMC3のセット動作が完了する。この場合、ステップS104と同様に、メモリセルMC3に繋がるセンスノードNSENの電圧が基準電圧VREFAMPより低くなり、セットフラグSETFLAGが“H”になる。これによって、セット電圧供給回路150からビット線BL2へのセット電圧VSELの供給は停止する。

【0046】

更に、ステップS106において、メモリセルMC2のセット動作が完了する。この場合にも、ステップS104、S105と同様に、メモリセルMC3に繋がるセンスノードNSENの電圧が基準電圧VREFAMPより低くなり、セットフラグSETFLAGが“H”になる。これによって、セット電圧供給回路150からビット線BL2へのセット電圧VSELの供給は停止する。

10

【0047】

最後に、ステップS107において、セット動作を必要とする全てのメモリセルMC1～3のセット動作完了を受けて非選択ワード線電圧WLに対する非選択ワード線電圧VUXの供給を停止する。

【0048】

以上によって、メモリセルMC1～MC3に対するセット動作が完了する。

【0049】

なお、この例では、セット動作の間、データ入出力バッファ4は、メモリセルMC1～MC3の抵抗状態を示すセットフラグSETFLAGを、3ビットのフラグデータとして外部コントローラ10に出力する出力回路として機能する。3ビットのフラグデータは、第1ビット（右端）、第2ビット（中央）及び第3ビット（左端）が、それぞれメモリセルMC1、MC2、MC3のセットフラグSETFLAGに対応している。外部コントローラ10へのフラグデータは、図7のIOxで示すように、メモリセルMC1～MC3のいずれかがセット状態となる毎に、“000” “001” “101” “111”のように、セットされたメモリセルMCの位置に対応するビットを反転させながら出力される。これにより、外部コントローラ10は、どのメモリセルMCがセット状態に変化したかを外部から把握することができる。

20

【0050】

[リセット動作]

次に、カラム制御回路2中のリセット動作に用いるリセット回路2bについて、図8を参照して説明する。

30

【0051】

リセット回路2bは、センスアンプ回路S/Aの内部に設けられ、リセット状態検知回路200と、電圧供給回路250とを含んでいる。

【0052】

リセット状態検知回路200は、メモリセルMCに流れるセル電流と所定の基準電流Irstwdとを比較する比較器201を有する。リセット動作中、メモリセルMCには、リセット用センスアンプ回路2bによって、一定のリセット電圧が供給される。この場合、メモリセルMCの可変抵抗素子の抵抗値の上昇がセル電流の低下として現れる。リセット状態検知回路200は、このセル電流が基準電流Irstwd以下になったことを比較器201によって検知することで、メモリセルMCがリセット状態になったことを検知する。

40

【0053】

リセット電圧供給回路250は、セット電圧VSEL端子及びノードDSA間に直列接続されたPMOSTランジスタQ201及びQ202を有する。また、セット電圧VSEL端子及び接地間に直列接続されたPMOSTランジスタQ203及びQ204を有する。このうちトランジスタQ204は、トランジスタQ202との組み合わせによってカレントミラー回路CM201を構成する。さらに、正入力端子に所定のクランプ電圧VCLAMP、負入力端子にノードDSA、出力端子にトランジスタQ201及びQ203のゲ

50

ートがそれぞれ接続されたオペアンプ203を有する。オペアンプ203は、クランプ電圧VCLAMPとノードDSAの電圧との差に応じてトランジスタQ201及びQ203を制御する。これによって、リセット電圧供給回路250は、セット電圧VSELからリセット電圧Vrstを生成して安定的にビット線BLに供給することができる。ここで、オペアンプ203は、直流電源205からの直流電圧を受けて動作する電源制御部204によって駆動される。

【0054】

リセット状態検知回路200は、所定の電圧V0端子及び接地間に直列接続されたPMOSトランジスタQ206及びNMOSトランジスタQ207を有する。このうちトランジスタQ207は、リセット電圧供給回路250のトランジスタQ205との組み合わせによってカレントミラー回路CM202を構成する。したがって、このトランジスタQ207には、カレントミラー回路CM201及びCM202を介してノードDSAに流れるセル電流Icellが流れる。また、リセット状態検知回路200は、電圧V0端子及び接地間に直列接続されたPMOSトランジスタQ208及びNMOSトランジスタQ209を有する。このうちトランジスタQ208は、トランジスタQ206との組み合わせでカレントミラー回路CM203を構成する。一方、トランジスタQ209は、基準電流信号IREF_RSTによって制御される。これによって、トランジスタQ209には、一定の基準電流Irstwdが流れる。この基準電流Irstwdは、カレントミラー回路CM203を介してトランジスタQ206に流れる。その結果、トランジスタQ206及びQ207間のノードCMoutから電流Irstwd-Icellを取り出すことができる。さらに、ノードCMoutに入力端子が接続されたAND回路202を有する。このAND回路202の他方には、検出信号DETが入力されている。つまり、このAND回路202の出力であるリセットフラグRST_FLAGは、検出信号DETが活性化され、且つ、セル電流Icellが基準電流Irstwdよりも小さい場合にだけ“H”になる。このリセットフラグRST_FLAGは、セット回路2aのラッチ回路102にラッチされると共に、直流電源205の制御に用いられており、リセットフラグRST_FLAGが“H”の場合、直流電源205は非活性になる。その結果、ビット線BLに対するリセット電圧供給回路250からのリセット電圧Vrstの供給が停止する。なお、トランジスタQ206～209及びAND回路202によって、図8に示す比較器201を構成している。なお、リセットフラグRST_FLAGの出力部はセットフラグSET_FLAGの出力部と同様の構成でも良い。また、セットフラグSET_FLAGとリセットフラグRST_FLAGは図示しないOR回路を介してラッチ回路にラッチされるようにしても良い。

【0055】

ラッチ回路102に保持されたりセットフラグRST_FLAGは、所定ビットずつパラレル又はシリアルにデータ入出力バッファ4を介して外部コントローラ10に出力される。

【0056】

次に、上記構成のリセット回路2bを用いたリセット動作について説明する。

【0057】

図9は、本実施形態に係る不揮発性半導体記憶装置におけるリセット動作時の動作波形図である。

【0058】

リセット動作前(ステップS200)、ワード線WL、ビット線BLは、すべて接地電圧になっている。

【0059】

始めに、ステップS201において、ワード線WLに非選択ワード線電圧VUXを供給すると共に、ビット線BLに非選択ビット線電圧VUBを供給する。

【0060】

続いて、ステップS202において、リセット電圧供給回路250から選択ビット線B

10

20

30

40

50

L1 ~ BL3 に対してリセット電圧 V_{rst} を供給する。

【0061】

続いて、ステップ S203 において、選択ワード線 WL4 をワード線接地電圧 V_{SSROW} に引き下げる。これによって、メモリセル MC1 ~ MC3 には電圧 $V_{rst} - V_{SSROW}$ が印加される。また、検知信号 DET を “H” にし、AND 回路 202 によるセル電流 I_{cell} の検知を開始する。この時点では、メモリセル MC1 ~ MC3 の可変抵抗素子は低抵抗状態であり、セル電流 I_{cell} は、基準電流 I_{rstwd} よりも大きいため、AND 回路 202 の出力であるリセットフラグ RST_FLAG は “L” のままである。

【0062】

続いて、ステップ S204 において、メモリセル MC1 のリセット動作が完了する。このリセット動作完了によってメモリセル MC1 の抵抗状態は高抵抗状態になる。これに伴い、セル電流 I_{cell} も基準電流 I_{rstwd} よりも低くなるため、メモリセル MC1 に対応するリセットフラグ RST_FLAG は “H” になる。このようにリセットフラグ RST_FLAG が “H” になると、リセット電圧供給回路 250 の直流電源 205 が非活性になる。これによって、リセット電圧供給回路 250 からビット線 BL1 へのリセット電圧 V_{rst} の供給は停止する。

【0063】

続いて、ステップ S205 において、メモリセル MC3 のリセット動作が完了し、メモリセル MC3 に対応するリセットフラグ RST_FLAG が “H” になる。その結果、リセット電圧供給回路 250 からビット線 BL3 へのリセット電圧 V_{rst} の供給は停止する。

【0064】

更に、ステップ S206 において、メモリセル MC2 のリセット動作が完了し、メモリセル MC2 に対応するリセットフラグ RST_FLAG が “H” になる。その結果、リセット電圧供給回路 250 からビット線 BL2 へのリセット電圧 V_{rst} の供給は停止する。

【0065】

最後に、ステップ S207 において、リセット動作を必要とする全てのメモリセル MC1 ~ MC3 のリセット動作完了を受けて非選択ワード線電圧 WL に対する非選択ワード線電圧 V_{UX} の供給を停止する。また、検出信号 DET を “L” にし、AND ゲート 202 の出力であるリセットフラグ RST_FLAG を “L” にし、次のリセット動作に備える。

【0066】

以上によって、メモリセル MC1 ~ 3 に対するリセット動作が完了する。

【0067】

なお、この例においても、セット動作と同様に、リセット動作の間、データ入出力バッファ 4 は、メモリセル MC1 ~ MC3 の抵抗状態を示すリセットフラグ RST_FLAG を、3 ビットのフラグデータとして外部コントローラ 10 に出力する出力回路として機能する。すなわち、外部コントローラ 10 へのフラグデータは、図 9 の IO_x で示すように、メモリセル MC1 ~ MC3 のいずれかがリセット状態となる毎に、“000” “001” “101” “111” のように、リセットされたメモリセル MC の位置に対応するビットを反転させながら出力される。これにより、外部コントローラ 10 は、どのメモリセル MC がリセット状態に変化したかを外部から把握することができる。

【0068】

[フォーミング動作]

図 10 は、フォーミング時のビット線電圧とフラグデータの出力状態を示している。フォーミング動作においても、セット動作と同様に、メモリセル MC の抵抗値変化を検出して、メモリセル MC のフォーミングが終了する毎にフラグを複数ビットのデータとして外部コントローラ 10 に出力することにより、外部コントローラ 10 でフォーミング進行状態を把握することが可能になる。

10

20

30

40

50

【 0 0 6 9 】

[フラグデータの利用例 1]

外部コントローラ 10 は、フラグデータを利用することによって、セット又はリセット完了までの最適なサイクルタイムが得られる電圧印加条件を統計的に求めることが出来る。

【 0 0 7 0 】

図 11 は、書き込み電圧とセット時間の関係を示したものである。例えば B I S T (Built in self test) を利用して、例えばワード線 W L の電圧を順次変えながら、セット又はリセット完了までの時間をフラグデータにより集計する。上記の工程によって、図 11 に示すような、書き込み電圧とセット又はリセット時間の相関関係が得られる。この相関関係を分析し、メモリ動作時の動作条件 (書き込み電圧、書き込み時間等) を適切なものに調整する。

10

【 0 0 7 1 】

[フラグデータの利用例 2]

本実施形態ではメモリセル M C の抵抗状態がフラグデータとして直接、実時間で出力されているため、ベリファイを行うことなくメモリセル M C の抵抗状態を把握する事が可能である。従って本実施形態においては、図 12 に示す通り、セットフラグ又はリセットフラグが出力されるまで書き込み時間を徐々に増加させながら書き込みパルスを印加し続け、所定のメモリセル又は全てのメモリセルに対応するフラグが出力された時点でベリファイを行えばよい。これによりベリファイの回数を減少させ、セット動作時間を大幅に短縮する事が可能となる。

20

【 0 0 7 2 】

以上の通り、可変抵抗素子のセット時間は、同じメモリセルアレイ内においてさえも個体差が大きく、書き込み電圧を適切に設定する事は非常に困難であった。即ち、書き込み時間を短く設定した場合には、記憶素子としての信頼性が損なわれる事となり、その一方で、長く設定しすぎてしまうと動作速度が犠牲となってしまふ。またこの場合、一部の動作速度の遅いメモリセルに合わせて動作速度の速いメモリセルも動作させることとなり、メモリセルアレイの性能を有効に活用することができなくなってしまう。

【 0 0 7 3 】

本実施形態においては、メモリセル M C の抵抗状態に応じて書き込み時間を調整する、即ち、メモリセル M C のそれぞれの動作速度に応じてセット動作を行うことが可能となるため、不要な待機時間を省略し、これによってセット動作時間を短縮する事が可能となった。また、セット動作時において、パルスジェネレータ 9 による電圧の印加は S E T _ F L A G の確認を待って終了となる。従来では S E T _ F L A G の出力は無く、書き込み動作の成否はベリファイ動作のみによって判断していた。これに対し、本実施形態においては外部コントローラ 10 によって常に書き込み動作の成否を監視できる事となり、記憶素子としての信頼性も向上する。

30

【 0 0 7 4 】

[第 2 の実施形態：フラグデータの利用例 3]

上記の第 1 の実施形態では、書き込み電圧が常に一定であったが、第 2 の実施形態では、メモリセル M C の状態に応じて徐々に変化させていく。図 13 に、この時のフローチャートを示す。まず、図 13 に示す通り、メモリセル M C に対して書き込み電圧を印加し、書き込み動作を行う。一定の条件 (たとえば一定時間の経過、一定数の S E T _ F L A G の確認等) が満たされた後、制御条件を変更し (たとえば書き込み電圧を上昇させ) 、残ったメモリセル M C に対して更に書き込み動作を行う。以上の動作を、対象とする全てのメモリセル M C の S E T _ F L A G が出力されるまで繰り返す。

40

【 0 0 7 5 】

このような方法においては、必要なメモリセルにのみ比較的大きな書き込み電圧を印加する事が可能である。このため、消費電力及び発熱量の増加等の問題を生じさせることなく、更なるセット動作時間の短縮が可能となる。尚、以上の説明においては印加電圧を段階

50

的に変化させていたが、これを連続的に変化させていくことも可能である。

【 0 0 7 6 】

[第 3 の実施形態：フラグデータの利用例 4]

図 1 4 は、本発明の第 3 の実施形態におけるセット動作の簡易タイミングチャートである。本実施形態におけるセット動作は、基本的には第 1 の実施形態に記載されているセット動作と同様である。しかしながら、第 1 の実施形態では S E T _ F L A G 出力後にベリファイ動作を行っているのに対し、本実施形態においてはベリファイ動作を完全に省略している。

【 0 0 7 7 】

本実施形態においては、ベリファイ動作を省略することで、さらなるセット動作時間の短縮を図っている。メモリセル M C の抵抗状態はフラグを通じて外部コントローラ 1 0 に出力されるため、ベリファイ動作を省略してもメモリセルの抵抗状態を確認する事は可能である。また、本実施形態では、書き込み電圧を徐々に変化（主に増加）させていくようにしているが、常に等しい書き込み電圧を印加するようにしても良い。また、一部のメモリセルについてのみベリファイを行い、それ以外のメモリセルについては行わない、という形式でも良い。尚、上記の説明はセット動作を例に挙げて説明したが、同様の方法をリセット動作について採用してもよい。

10

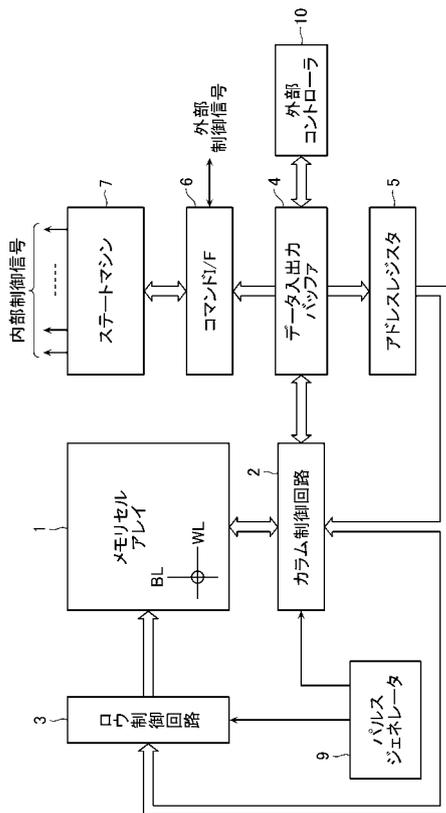
【符号の説明】

【 0 0 7 8 】

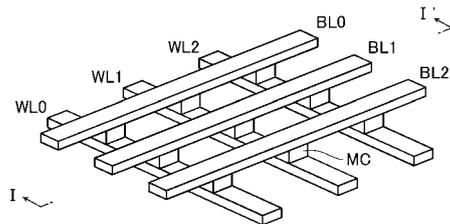
- 1・・・メモリセルアレイ、2・・・カラム制御回路、3・・・ロウ制御回路、4・・・データ入出力バッファ、5・・・アドレスレジスタ、6・・・コマンドI/F、7・・・ステートマシン、8・・・パルスジェネレータ、9・・・パルスジェネレータ、10・・・外部コントローラ。

20

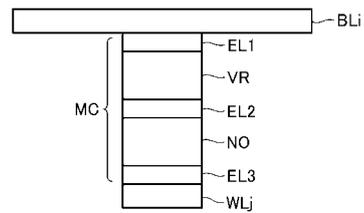
【 図 1 】



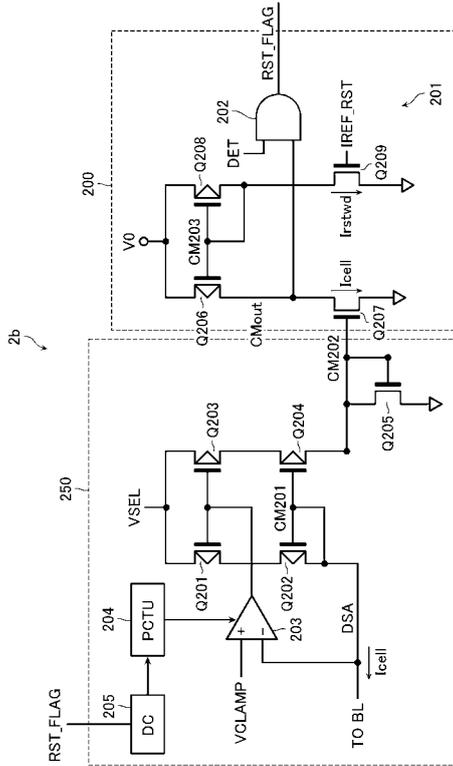
【 図 2 】



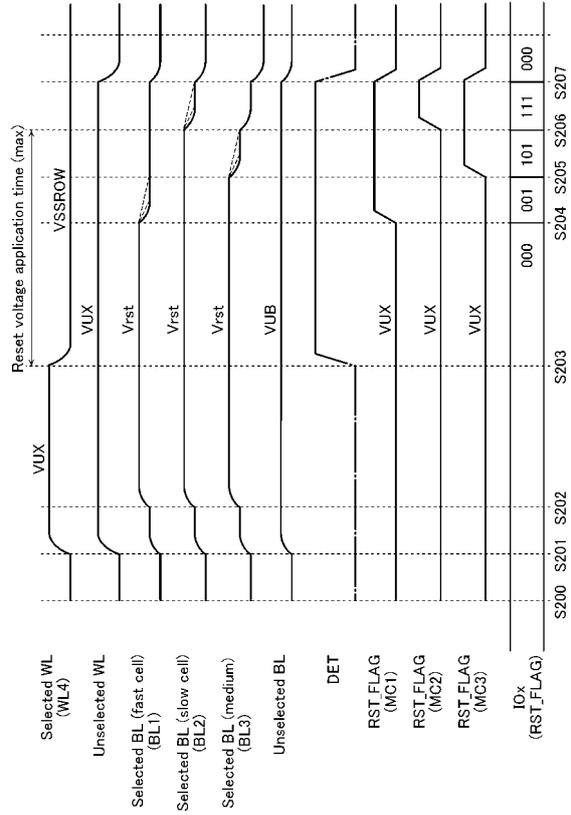
【 図 3 】



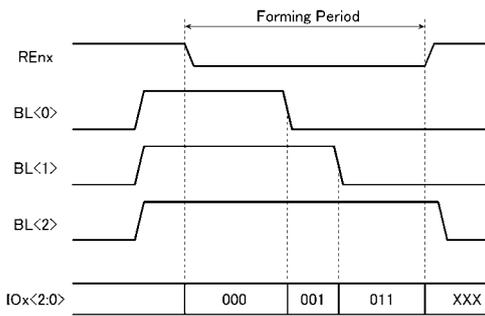
【 図 8 】



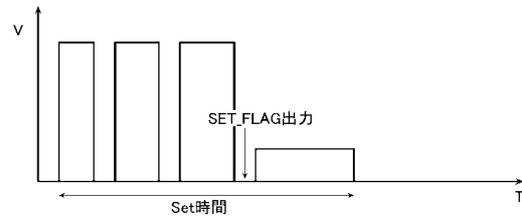
【 図 9 】



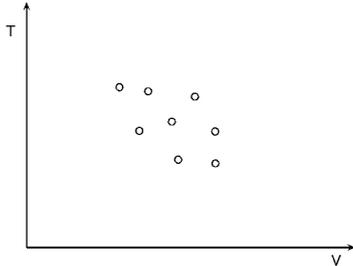
【 図 10 】



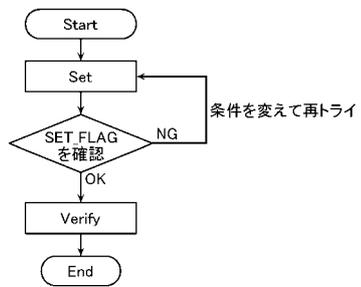
【 図 12 】



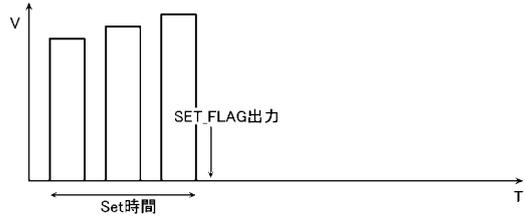
【 図 11 】



【 図 13 】



【 図 1 4 】



フロントページの続き

- (56)参考文献 国際公開第2008/012871(WO, A1)
国際公開第2007/141865(WO, A1)
特開2010-55699(JP, A)
特開2009-245546(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 13/00