

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月13日(13.09.2012)



(10) 国際公開番号
WO 2012/120899 A1

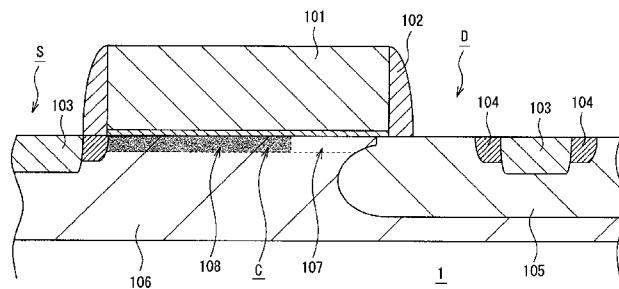
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2012/001644
- (22) 国際出願日: 2012年3月9日(09.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-052052 2011年3月9日(09.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 旭化成エレクトロニクス株式会社(ASAHI KASEI MICRODEVICES CORPORATION) [JP/JP]; 〒1018101 東京都千代田区神田神保町一丁目105番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 坂本 敏郎 (SAKAMOTO, Toshiro) [JP/JP]; 〒1018101 東京都千代田区神田神保町一丁目105番地 Tokyo (JP).
- (74) 代理人: 森 哲也, 外(MORI, Tetsuya et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法

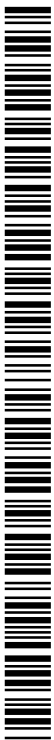
【図1】



(57) Abstract: Provided are: a semiconductor device, which has a BLDD structure having an increased withstand voltage, has a drain region that can sufficiently suppress hot carrier deterioration, and achieves high ESD resistance; and a method for manufacturing the semiconductor device. The semiconductor device that is provided with an MOS transistor is formed, said MOS transistor having a source region and a drain region that are formed in a semiconductor substrate, and a channel region formed between the source region and the drain region. The semiconductor device is configured such that the concentration of holes which contribute to electrical conduction by being discharged from a P-type impurity implanted in the channel region is lower on the side close to the drain region than that on the side close to the source region, the drain region includes a drift region having an N-type impurity implanted therein, and that, in the areas other than the area close to the semiconductor substrate surface, the drift region extends to the channel region side from the drain region.

(57) 要約:

[続葉有]



WO 2012/120899 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

BLDD構造を高耐圧化させ、ホットキャリア劣化を十分に抑制できるドレイン領域を有し、高いESD耐性を実現できる半導体装置、半導体装置の製造方法を提供する。半導体基板内に形成されるソース領域及びドレイン領域と、このソース領域及びドレイン領域との間に形成されるチャンネル領域と、を有するMOSトランジスタを備える半導体装置を形成する。このとき、チャンネル領域に注入されたP型不純物から放出されて電気伝導に寄与する正孔の濃度は、ソース領域に近い側よりもドレイン領域に近い側で低く、ドレイン領域は、N型の不純物が注入されたドリフト領域を含み、ドリフト領域が、半導体基板の表面近傍を除き、ドレイン領域からチャンネル領域側に延出するように構成する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、ホットキャリア劣化の抑止及びE S Dからの保護に着目した半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 半導体集積回路の入出力端子には、端子電極（以下、P A Dと記す）から印加される静電放電（以下、E S D（Electrostatic Discharge）と記す）から内部回路を保護するための保護素子（以下、E S D保護素子と記す）が必要になる。

図5は、従来の半導体集積回路のE S D保護素子を例示した図である。図5に示した構成は、M O Sトランジスタのソース1、バルク2、ドレイン3をバイポーラトランジスタとして動作させることにより、内部回路に用いるM O SトランジスタをE S D保護素子としても利用するものである。なお、図中に符号4を付して示したのはM O Sトランジスタのゲートである。

[0003] 回路素子として用いられるM O SトランジスタをE S D保護素子として用いれば、E S D保護専用の素子を形成する必要がなくなって半導体集積回路の製造プロセスが短工程化できる。

さらに、出力段のM O Sトランジスタとしてドレインが直接P A Dに繋がるケースは、M O Sトランジスタ自体にE S D耐性があれば、そのM O Sトランジスタが保護素子としても機能して、別途E S D保護素子を配置する必要がない。このため、M O SトランジスタとE S D保護素子とを兼用することは、チップ面積の利用効率の観点からも望ましい。特に、出力段のM O Sトランジスタとして用いることの多い、高耐圧M O Sトランジスタでは大きな利点となる。

[0004] 一方、M O Sトランジスタには、回路動作の観点から微細化、高耐圧化が要求される。近年のように微細化、高耐圧化されたM O SトランジスタのE

S D耐性は著しく低下し、E S D保護素子としては成り立たなくなっている。このような傾向は、特に、発熱量の大きい高耐圧M O Sトランジスタで顕著であり、1 5 V以上のドレイン耐圧が求められる半導体集積回路では、E S D保護専用の素子を別途形成することが主流になっている。

[0005] ドレイン耐圧の高いM O Sトランジスタを、回路素子としてもE S D保護素子としても機能させるのが困難な理由の一つに、N M O Sトランジスタのホットキャリア劣化が挙げられる。高耐圧のN M O Sトランジスタではドレイン耐圧やホットキャリア寿命を確保するためにドレイン領域3内に低濃度のドリフト領域6を設けて、ドレイン電界を緩和する必要がある。図6は、ドリフト領域6とドレイン領域3との関係を示す図である。なお、図中に符号5を付して示したのは、ドリフト領域6よりも高濃度の高濃度領域である。

[0006] 低濃度のドリフト領域6では、M O Sトランジスタがバイポーラ動作に入った時にカーク効果（ベースプッシュアウト効果）が起こりやすく、E S Dが発生したときに高濃度領域5との境界部で電界集中による熱破壊が起きやすい。カーク効果を抑制するためには、ドリフト領域6全体の不純物濃度を出来るだけ濃く形成し、かつ、図7に示すように、ドレイン領域3内にドリフト領域6の不純物濃度と高濃度領域5の不純物濃度の中間の不純物濃度を有する中濃度領域7を形成して、ドレイン領域3内の濃度勾配を緩やかにする事が必要となる。

[0007] しかしながら、ドリフト領域6を高濃度化することはホットキャリア寿命を短くすることに繋がり、ここでホットキャリア寿命とE S D耐性のトレードオフが発生する。このトレードオフ関係は、ゲート絶縁膜が薄い場合により顕著になる。高いドレイン耐圧が必要なM O Sトランジスタであっても、ゲート電極についてはそれほど高い電圧が必要とされないケースがあり、その場合、M O Sトランジスタのオン抵抗を下げるためにゲート絶縁膜を薄く（例えばS i O 2 : 1 2 n m程度）形成することが求められる。ゲート絶縁膜を薄く形成する場合、M O Sトランジスタの閾値を制御するためにチャネ

ル領域に閾値制御用の不純物を比較的高濃度に注入することが必要になる。

[0008] ただし、チャンネル領域の不純物濃度を高濃度にする、チャンネル領域とドレイン領域とは不純物が反対の導電型であることから、図8に示すように、高不純物濃度のチャンネル領域8とドレイン領域6とが隣接する境界部（PN接合部）において不純物の濃度勾配が極度に大きくなる。不純物濃度勾配が急峻化すると、電子の加速が促進されてインパクトイオンの発生が顕著になり、ホットキャリア劣化が激しくなる。このため、高いドレイン耐圧を持つNMOSトランジスタでも、特にゲート絶縁膜が薄い場合にはESD耐性とホットキャリア寿命を両立させることがより難しくなる。

[0009] 以上のように、15V以上のドレイン耐圧を持つNMOSトランジスタを回路素子としてもESD保護素子としても機能させるためには、ホットキャリアによる特性劣化を最小限に抑えるドレイン構造を作り、可能な限り高濃度のドリフト領域を形成することが必要となる。

[0010] 特許文献1には、ホットキャリア劣化を低減させる方法として、BLDD構造（拡散層の下にさらに低濃度の拡散層を設けた構造）のMOSトランジスタが挙げられている。特許文献1に記載された発明は、MOSトランジスタ動作時において、ドレイン電流を基板表面から迂回させて流すことで、ホットキャリアの発生位置を基板表面から遠ざけ、発生したホットキャリアがゲート絶縁膜やサイドウォールへ注入されるのを抑制することを目的としている。

[0011] また、ホットキャリア劣化を低減するための別の方法としては、ゲート電極下部のチャンネル領域の不純物濃度を、ソース側よりもドレイン側で低濃度にする方法がある。こうすることで、ドレイン領域を形成するPN接合部における電界が緩和され、インパクトイオン化を抑えることができる。この方法は例えば特許文献2に記載されている。

先行技術文献

特許文献

[0012] 特許文献1：特開昭62-293774号公報

特許文献2：特開2009-245998号公報

発明の概要

発明が解決しようとする課題

[0013] しかしながら、BLDD構造はドレイン耐圧が10V程度のトランジスタに用いられる構造であり、15V以上のドレイン耐圧を持ったMOSトランジスタには、そのまま適用することができない。

また、BLDD構造を単純に高耐圧化しただけでは、ゲート絶縁膜が薄い(SiO₂:12nm程度)高耐圧MOSトランジスタで十分なESD耐性が得られるまでドリフト領域を高濃度化した場合に、ホットキャリア劣化に対して十分な対策とはならない。

[0014] 以上、説明したように、従来のBLDD構造では、ESD耐性とホットキャリア寿命のトレードオフが最も厳しいとされる、ゲート絶縁膜が薄い(SiO₂:12nm程度)高耐圧MOSトランジスタの場合には、十分なESD耐性とホットキャリア寿命を同時に実現することができなかつた。

また、特許文献2に記載された方法でも、ある程度のホットキャリア劣化を抑制することはできるが、記載された製造方法ではBLDD構造の様に電流を迂回させる効果までもたらず事ができない。よってこの構造でも十分なESD耐性とホットキャリア寿命を同時に実現することができなかつた。

[0015] 本発明は、以上の点に鑑みてなされたものであり、15V以上のドレイン耐圧を確保したまま、BLDD構造の様に電流を迂回させる効果を持たせ、かつ、ドレインを形成するPN接合部の電界を緩やかにできる半導体装置及び半導体装置の製造方法を提供することを目的とする。本技術の適用により、ホットキャリア劣化を十分に抑制しながら、高いESD耐性を実現することが可能となる。

課題を解決するための手段

[0016] 上記課題を解決するため、本発明の一態様の半導体装置は、半導体基板(例えば図1に示した半導体基板1)内に形成されるソース領域(例えば図1に示したソース領域S)及びドレイン領域(例えば図1に示したドレイン領

域D)と、ソース領域及びドレイン領域との間に形成されるチャンネル領域(例えば図1に示したチャンネル領域C)と、を有するMOSトランジスタを備える半導体装置であって、チャンネル領域に注入された、第1の極性を有する第1の不純物から放出され、前記チャンネル領域において電気伝導に寄与する荷電粒子(例えばP型不純物から放出された正孔)の濃度は、ソース領域に近い側よりもドレイン領域に近い側で低く、ドレイン領域は、第2の極性を有する第2の不純物(例えばN型不純物)が注入されたドリフト領域(例えば図1に示したドリフト領域105)を含み、ドリフト領域は、半導体基板の表面近傍を除き、ドレイン領域からチャンネル領域側に延出することを特徴とする。

[0017] 上記態様において、本発明の半導体装置は、MOSトランジスタのドレイン耐圧より低い他のMOSトランジスタ(例えば図3-3に示した低耐圧MOSトランジスタ)をさらに備え、ドリフト領域に全体が包含され、第2の極性の濃度がドリフト領域よりも高い高濃度領域(例えば図3-3(a)に示した高濃度領域103)と、記第2の極性の不純物濃度がドリフト領域よりも高く、かつ、高濃度領域よりも低い中濃度領域(例えば図3-3(a)に示した中濃度領域104)と、含み、中濃度領域は、高濃度領域の少なくとも一部を包含するようにしてもよい。

[0018] 上記態様において、本発明の半導体装置は、中濃度領域が、他のMOSトランジスタのソース領域とドレイン領域の中濃度領域と同時に形成され、高濃度領域は、他のMOSトランジスタのソース領域とドレイン領域の高濃度領域と同時に形成することができる。

[0019] 本発明の一態様の半導体装置の製造方法は、半導体基板内にソース領域及びドレイン領域を有するMOSトランジスタを備える半導体装置の製造方法であって、半導体基板に第1の極性を有する第1の不純物を注入し、半導体基板の表面に第1の極性を有する第1の不純物拡散領域を形成する工程と、第1の不純物拡散領域の上にゲート電極を形成する工程と、ドレイン領域及びこのドレイン領域に隣接するゲート電極の上面の一部を介して、第2の極

性を有する第2の不純物を注入する工程と、ゲート電極について、その下方であって、かつ、ドレイン領域の側の端部に、第1の不純物拡散領域よりも第1の不純物から放出されて電気伝導に寄与する荷電粒子の濃度が低い第2の不純物拡散領域を形成する工程と、第2の不純物拡散領域の下部に、チャンネル領域の側に延出する第2の極性を有するドリフト領域を形成する工程と、を含むことを特徴とする。

[0020] 上記態様において、本発明の半導体装置の製造方法は、ドリフト領域に、第2の不純物を注入し、不純物濃度が第1の不純物拡散領域よりも高い中濃度領域を形成する工程と、中濃度領域に第2の不純物を注入し、不純物濃度が中濃度領域よりも高い、高濃度領域を形成する工程と、を含むようにしてもよい。

上記態様において、本発明の半導体装置の製造方法は、中濃度領域を形成する工程においては、MOSトランジスタのドレイン耐圧より低い他のMOSトランジスタのソース領域とドレイン領域の中濃度領域（例えば図3-3（b）に示したソース／ドレイン314）を同時に形成し、高濃度領域を形成する工程においては、他のMOSトランジスタのソース領域とドレイン領域の高濃度領域（例えば図3-3（b）に示したソース／ドレイン313）を同時に形成するようにしてもよい。

発明の効果

[0021] 本発明によれば、チャンネル領域の極性の濃度がソース領域側よりもドレイン領域側で低くなっているため、ドレイン端部におけるホットキャリアの発生を抑えることができる。また、ドリフト領域が半導体基板の表面近傍を除き、ドレイン領域からチャンネル領域側に延出しているため、ドレイン領域近傍で電流が基板表面を迂回した経路を流れることで、ホットキャリアの発生位置が基板表面から遠ざかり、発生したホットキャリアがゲート絶縁膜やサイドウォールに飛び込むことを防ぐ事ができる。

[0022] ホットキャリア劣化の抑制はドリフト領域を高濃度化することを可能にするため、本発明によれば、ドレイン耐圧が15V以上の高耐圧MOSトラン

ジスタにおいてもESD耐性とホットキャリア寿命の条件を充足する半導体装置及び半導体装置の製造方法を提供することができる。

また、本発明によれば、ドリフト領域に全体が包含され、不純物濃度がドリフト領域よりも高く、かつ、高濃度領域よりも低い中濃度領域含むので、ESD発生時のカーク効果をより効果的に抑制することができる。

[0023] また、本発明の半導体装置の製造方法によれば、低濃度層を形成する工程において第1極性の不純物がゲート電極の端部下に注入されてゲート電極下の第2極性の濃度を低下させるので、新たにマスク工程を追加することなくチャンネル領域中に第2極性の濃度が低い部位を形成することができる。

また、本発明の半導体装置の製造方法によれば、本発明の半導体装置と他のLDD型のMOSトランジスタとを同一基板上に形成する場合、中濃度領域と高濃度領域とを、LDD構造のうちの低濃度のソースドレイン、高濃度のソースドレインと同じイオン注入において形成することができる。

このような本発明によれば、想像工程数の増加を抑え、より簡易に本発明の半導体装置を製造することができる。

図面の簡単な説明

[0024] [図1]本発明の一実施形態の半導体装置を説明するための断面図である。

[図2]図1に示した高耐圧MOSトランジスタの動作時の電流経路をシミュレーションによって求めた結果を示した図である。

[図3-1]図1に示した高耐圧MOSトランジスタの製造方法を説明するための図である。

[図3-2]図3-1に示した高耐圧MOSトランジスタの製造工程に続いて実行される高耐圧MOSトランジスタの製造工程を説明するための図である。

[図3-3]図3-2に示した高耐圧MOSトランジスタの製造工程に続いて実行される高耐圧MOSトランジスタの製造工程を説明するための図である。

[図4]本発明の一実施形態の高耐圧MOSトランジスタのTLP評価結果である。

[図5]従来の半導体集積回路のESD保護素子を例示した図である。

[図6]高耐圧MOSトランジスタのドリフト領域とドレイン領域との関係を示す図である。

[図7]ドレイン領域内の濃度勾配を緩やかにした例を示した図である。

[図8]図5に示したMOSトランジスタにおいて、チャンネル領域とドレイン領域とが隣接する境界部における不純物の濃度勾配が極度に大きくなることを説明するための図である。

発明を実施するための形態

[0025] 以下、本発明の半導体装置及び半導体装置の製造方法の一実施形態について説明する。なお、本実施形態は、薄いゲート絶縁膜を用いた高耐圧MOSトランジスタにおいて十分なESD耐性確保するためには、BLDD構造以上にホットキャリア劣化を抑えるドレイン構造を作り、また、カーク効果を抑制するために可能な限り高濃度のドリフト領域を形成すればよいことに着目してなされたものである。

[0026] [半導体装置]

図1は、本実施形態の半導体装置を説明するための断面図である。図示した半導体装置（以下、高耐圧MOSトランジスタと記す）は、本実施形態の半導体装置をゲート絶縁膜の薄い（SiO₂：12nm程度）高耐圧のMOSトランジスタに適用したものである。

図1に示した構成では、半導体基板1にPウェル106が形成されていて、高耐圧MOSトランジスタはNチャンネルのMOSトランジスタとなる。チャンネル領域C上にはゲート絶縁膜を介してゲート電極101が形成されていて、ゲート電極101の側面にはスペーサ102が形成されていて、高耐圧MOSトランジスタのソース領域S側はLDD（Lightly Doped Drain）構造になっている。

[0027] 本実施形態の高耐圧MOSトランジスタは、半導体基板1内に形成されるソース領域S及びドレイン領域Dと、ソース領域とドレイン領域との間に形成されるチャンネル領域Cと、を備えるMOSトランジスタである。そして、ドレイン領域Dは、N型の不純物が注入されたドリフト領域105と、ドリ

フト領域105に全体が包含され、ドリフト領域105よりもN型の不純物濃度が高い高濃度領域103と、を含んでいる。

[0028] また、ドリフト領域105は、半導体基板1の表面近傍を除き、ドレイン領域Dからチャンネル領域C側に延出している。半導体基板1の表面近傍とは、基板最表面から0.1 μ m程度の深さにある範囲とする。

また、チャンネル領域Cにおける、P型の不純物から放出されてチャンネル領域Cにおける電気伝導に寄与する正孔の濃度（以下、本明細書では「P型濃度」とも記す）は、ソース領域Sに近い側よりもドレイン領域Dに近い側で低くなっている。チャンネル領域Cのうち、P型濃度が相対的に高い領域を高濃度チャンネル領域108、P型濃度が相対的に低い領域を低濃度チャンネル領域107として図中に示す。

[0029] また、図1に示した半導体装置は、ドリフト領域105に全体が包含され、N型不純物濃度がドリフト領域105よりも高く、かつ、高濃度領域103よりも低い中濃度領域104をさらに含んでいる。中濃度領域104は、高濃度領域103の少なくとも一部を包含している。

図1に示したように、ドリフト領域105が高濃度領域103全体を包含し、ドリフト領域105が半導体基板の表面近傍を除き、ドレイン領域からチャンネル領域C側に延出する構造によれば、BLDD構造のように、動作時の電流が基板表面を迂回して流れるようにすることができる。ただし、BLDD構造とは異なり、ドリフト領域105が高濃度領域103を完全に覆った構造とすることにより、一般的なBLDD構造よりも高耐圧化を図ることができる。

[0030] また、ドレイン側でチャンネル領域CのP型濃度をソース側よりも低くする構成によれば、チャンネル領域Cとドリフト領域105とのPN接合部の電界を低減できるため、発生するホットキャリアの量を一般的なBLDD構造よりも低減することができる。

このような本実施形態によれば、比較的高濃度のN型ドリフト領域を形成することが可能になり、ESD発生時のカーク効果を抑制することができる

。

[0031] さらに、中濃度領域104が高濃度領域103の少なくとも一部を包含する構成によれば、カーク効果をより効果的に抑えることができる。特に、図1に示した構成では、中濃度領域104が高濃度領域103の半導体基板1表面に近い領域だけを覆っている。このような構成は、最もカーク効果が起こりやすい場所である半導体基板の表面付近をドリフト領域／中濃度領域／高濃度領域の三重構造にしたものである。ただし、中濃度領域104を、高濃度領域103全体を覆うように形成してもよく、このようにした場合には、カーク効果をより抑制することができる。

[0032] 以上説明したドレイン領域DのN型不純物の濃度は、以下のとおりである。

ドリフト領域： $1 \times 10^{17} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度、

中濃度領域： $3 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度

高濃度領域： $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度

[0033] また、本実施形態では、N型不純物によるカウンタードープによって、チャンネル領域に注入されている比較的高濃度のP型極性の濃度を低減することで低濃度チャンネル領域107を形成することができる。カウンタードープはドリフト領域105を形成するためのイオン注入工程を利用して行うことができる。このため、本実施形態は、低濃度チャンネル領域107の形成に新たなプロセスの工程を追加する必要がない。なお、低濃度チャンネル領域107形成のプロセスについては後に詳述する。

[0034] 図2は、図1に示した高耐圧MOSトランジスタの動作時の電流経路をシミュレーションによって求めた結果を示した図である。図2によれば、電流Iが、ゲート電極のドレイン側端部の直下で半導体基板表面を迂回してドレインからチャンネルに流れ込むことが分かる。すなわち、本実施形態は、以上の構成により、ESD耐性を高めることと、必要なホットキャリア寿命を満たすことを両立させた高耐圧MOSトランジスタが実現できる。

なお、本実施形態の半導体装置は、例えばSSRM (Scanning Spreading

Resistance Microscopy)、SCM (Scanning Capacitance Microscopy)、SIMS (Secondary Ion Mass Spectrometry) 等の解析により、その濃度分布やドレイン形状を測定することができる。

[0035] [半導体装置の製造方法]

次に、本実施形態の半導体装置の製造方法を説明する。図3-1、3-2、3-3は、図1に示した高耐圧MOSトランジスタの製造方法を説明するための図である。高耐圧MOSトランジスタは、低耐圧MOSトランジスタと共に集積回路を構成することも多い。このため、本実施形態では、一つの基板上で本実施形態の高耐圧MOSトランジスタと低耐圧MOSトランジスタを製造する例を挙げて高耐圧MOSトランジスタの製造方法を説明する。

[0036] 図3-1(a)に示したように、本実施形態では、まず、基板に例えばホウ素等のP型のイオンを注入してPウェル106a、106bを形成する。Pウェル106aは高耐圧MOSトランジスタ用、Pウェル106bは低耐圧MOSトランジスタ用のウェル層であり、両者の濃度はMOSトランジスタの動作条件等に応じて同じ濃度であってもよいし、異なるものであってもよい。

[0037] Pウェル106a、106bの形成後もしくは前に、基板表面にLOCOS (Local Oxidation of Silicon) 301を形成することによって素子分離がされ、高耐圧MOSトランジスタが形成される領域Aと、低耐圧MOSトランジスタが形成される領域Bとが形成される。領域A、領域B表面を含むチャンネル領域は、Pウェル領域106a、106bよりも高濃度のP型領域となっている。チャンネル領域の不純物濃度は、高耐圧MOSトランジスタ、低耐圧MOSトランジスタに適切な閾値に合わせて決定される。

[0038] 領域A、領域Bの全面にN型ポリシリコン層302が形成される。N型ポリシリコン層302は、後に行われるドリフト領域への不純物(イオン)注入において、イオンの一部がN型ポリシリコン層302を突き抜ける厚さに調整しておく必要がある。本実施形態では、例えば膜厚350nmのN型ポリシリコン層を用いるものとした。しかし、N型ポリシリコン層302の厚

さは、イオン注入のエネルギーや、図1に示したチャネル領域C、低濃度チャネル領域107の不純物濃度によって適宜決定される。

[0039] なお、N型ポリシリコン層302が形成される直前に、領域A、領域Bにはゲート絶縁膜が形成されている。本実施形態のゲート絶縁膜は、約12nmの薄い酸化膜である。

次に、本実施形態では、N型ポリシリコン層302上に塗布されたレジストを露光してレジストパターンを形成し、レジストパターン上からエッチングすることによって図3-1(b)に示すゲート電極101、303を形成する。

[0040] 次に、本実施形態では、ゲート電極101の少なくとも一方の側に、N型の不純物を注入して不純物濃度が比較的低いドリフト領域を形成する。本実施形態では、ドリフト領域の不純物濃度を以降濃度CDと記す。本実施形態では、ドリフト領域形成のイオン注入に、リン(P)イオンを用いるものとする。

図3-1(c)に示すように、ドリフト領域105を形成するイオン注入は、領域Bと領域Aの一部をレジストパターン304でカバーして行われる。このため、本実施形態では、高耐圧MOSトランジスタのドレインの側にだけドリフト領域が形成される。

[0041] このとき、本実施形態では、チャネル領域C(基板表面)が比較的高濃度のP型になっていることを利用し、基板の最表面(表面から0.1μm程度)は高濃度のP型を維持させたまま、最表面よりも深い部位だけがN型化するようにイオン注入を行う。なお、このイオン注入では、イオン注入のドーズ量、加速エネルギー、注入角度を適正に調整し、Pイオンがゲート電極101を突き抜けてゲート電極101下に達するような条件とする。

このようなイオン注入は、例えば、Pイオンを以下の条件で注入した場合に実現することができる。

エネルギー：300keV

イオン注入量： $1.8 \times 10^{13} \text{ cm}^{-2}$

注入角度：45°

[0042] このようなイオン注入条件を用いることで、ドリフト領域を形成するイオン注入において、図3-2(a)に示すように、ゲート電極101上面のレジストで覆われていない領域をPイオンが突き抜けてゲート電極101下のチャンネル領域Cに達する。このような工程により、本実施形態では、比較的高濃度のP型のチャンネル領域のうち、ドレイン近傍の領域（ドレイン領域端部からチャンネル領域に向かって0.5μm程度）のみをN型イオンによるカウンタードープにより、P型イオンから放出されて電気伝導に寄与する正孔の濃度を、Pウェル106aのP型濃度と同程度にまで低濃度化することができる。低濃度化された領域は、図1に示した低濃度チャンネル領域107になる。なお、カウンタードープの注入量を増加させて、低濃度チャンネル領域であった箇所がN型化してしまった場合でも、そのN型の濃度が比較的低濃度であればP型である時と同様の効果を得ることも出来る。

[0043] 次に、本実施形態では、図3-2(b)に示すように、ドリフト領域105となる領域の表面をN型化すること、及び、ドリフト領域を高濃度化することを目的として、図3-1(c)、3-2(a)に示したイオン注入に続いてPイオンを浅く注入する。ドリフト領域の濃度は、以上の2回のイオン注入によって形状を維持したまま調節することができる。すなわち、ESD耐性を強くするためにドリフト領域を濃くしたければ、2回目に注入するPイオン注入量を増加させればよい。

[0044] なお、図3-2(b)に示したイオン注入は、例えば、以下の条件によって実現できる。

エネルギー：70keV

イオン注入量： $5.0 \times 10^{12} \text{ cm}^{-2}$

角度：7°

以上の実施例により、図1に示したように、半導体基板の表面近傍を除き、ドレイン領域Dからチャンネル領域C側に延出するようにドリフト領域105を形成することができる。

[0045] 次に、本実施形態では、図3-2(c)に示すように、ゲート電極101、ゲート電極303の両方の側に、N型の不純物であるPイオンを注入して、不純物濃度がドリフト領域105の濃度CDよりも高い濃度(濃度CMとする)の中濃度領域104を形成する。

本実施形態では、低耐圧MOSトランジスタの低濃度のソース、ドレインを形成するイオン注入に先立って、3-2(c)に示した領域Aにレジストパターン305を形成する。そして、レジストパターン305の上から低耐圧MOSトランジスタの低濃度のソース、ドレインを形成するPイオン注入を行うことにより、ドリフト領域105に全体が包含される中濃度領域104が形成される。

[0046] このとき、領域Bでは、不純物濃度が2段階になっているLDD構造のソース、ドレインのうち低濃度のソースまたはドレイン(以降、ソース/ドレインと記す)314が形成される。つまり、図3-2(c)に示したイオン注入は、低耐圧MOSトランジスタのソース/ドレイン314を形成するためのイオン注入と、高耐圧MOSトランジスタの図1に示した中濃度領域104を形成するためのイオン注入とを一度に行うことができる。

なお、中濃度領域104を形成するイオン注入は、例えば、以下の条件によって行われる。

エネルギー：100keV

イオン注入量： $2.0 \times 10^{13} \text{ cm}^{-2}$

角度：45°

[0047] 次に、本実施形態では、図3-3(a)に示すように、中濃度領域104の中にN型の不純物Asを注入して、不純物濃度が中濃度領域の不純物濃度CMよりも高い濃度CHの高濃度領域103を形成する。すなわち、本実施形態では、ゲート電極101、303の周囲を囲む絶縁膜のスペーサ102を形成する。そして、領域Aにはレジストパターン306を形成した後、領域A、領域Bに中濃度領域の形成時よりも高密度のAsイオンを注入する。このイオン注入により、中濃度領域104の濃度CMよりも高い不純物濃度CH

を有する高濃度領域103が形成される。

[0048] また、領域Bにおいては、ソース／ドレイン314よりも不純物濃度が高い低耐圧MOSトランジスタのソース／ドレイン313が形成される。つまり、図3-3(a)に示したイオン注入は、低耐圧MOSトランジスタのソース／ドレイン313を形成するためのイオン注入と、高耐圧MOSトランジスタの図1に示した高濃度領域103を形成するためのイオン注入とを一度に行うことができる。

なお、高濃度領域103を形成するイオン注入は、例えば、以下の条件によって行われる。

エネルギー：60keV

イオン注入量： $3.0 \times 10^{15} \text{ cm}^{-2}$

角度：7°

[0049] 次に、本実施形態では、注入された不純物を活性化させるために熱処理を行う。熱処理の後、図3-3(b)に示すように、層間絶縁膜315、コンタクトホール316、金属配線310、311を形成することで、低耐圧MOSトランジスタと高耐圧MOSトランジスタは他の素子と電氣的に接続される。以上の工程により、本実施形態の半導体装置である高耐圧MOSトランジスタを製造することができる。

[0050] 図4は、本実施形態の十分なホットキャリア寿命を確保した高耐圧MOSトランジスタが、高いESD耐性を持つことを示す、本実施形態の高耐圧MOSトランジスタのTLP(Transmission Line Pulse)による評価結果である。図4の縦軸はTLP電流で、横軸はTLP電圧である。高耐圧MOSトランジスタはゲート絶縁膜厚が12nm、ドレイン耐圧が18Vのものである。

[0051] また、本実施形態は、以上説明した構成に限定されるものではない。例えば、以上説明した実施形態1では、高耐圧MOSトランジスタとLDD構造を有する低耐圧MOSトランジスタとを同一基板上に製造する例を示したが、本実施形態の高耐圧MOSトランジスタは、PMOSトランジスタ、バイ

ポーラトランジスタ、抵抗素子、キャパシタ等の他の素子を同一基板上に形成することも可能である。

[0052] また、高耐圧MOSトランジスタの図3-3(b)に示したコンタクト部に、必要に応じてシリサイド層を形成してもよい。

また、本発明の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本発明が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本発明の範囲は、特許請求の範囲により画される発明の特徴の組み合わせに限定されるものではなく、すべての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画され得る。

産業上の利用可能性

[0053] 本発明は、高耐圧が要求されるMOSトランジスタにおいて、ESDホットキャリア劣化の抑止及びESDからの保護が要求されるものであれば、どのようなMOSトランジスタにも適用することができる。

符号の説明

[0054] 101、303 ゲート電極
102 スペーサ
103 高濃度領域
104 中濃度領域
105 ドリフト領域
106、106a、106b Pウェル
107 低濃度チャネル領域
108 高濃度チャネル領域
302 N型ポリシリコン層
304、305、306 レジストパターン
310、311 金属配線
313、314 ソース／ドレイン
315 層間絶縁膜

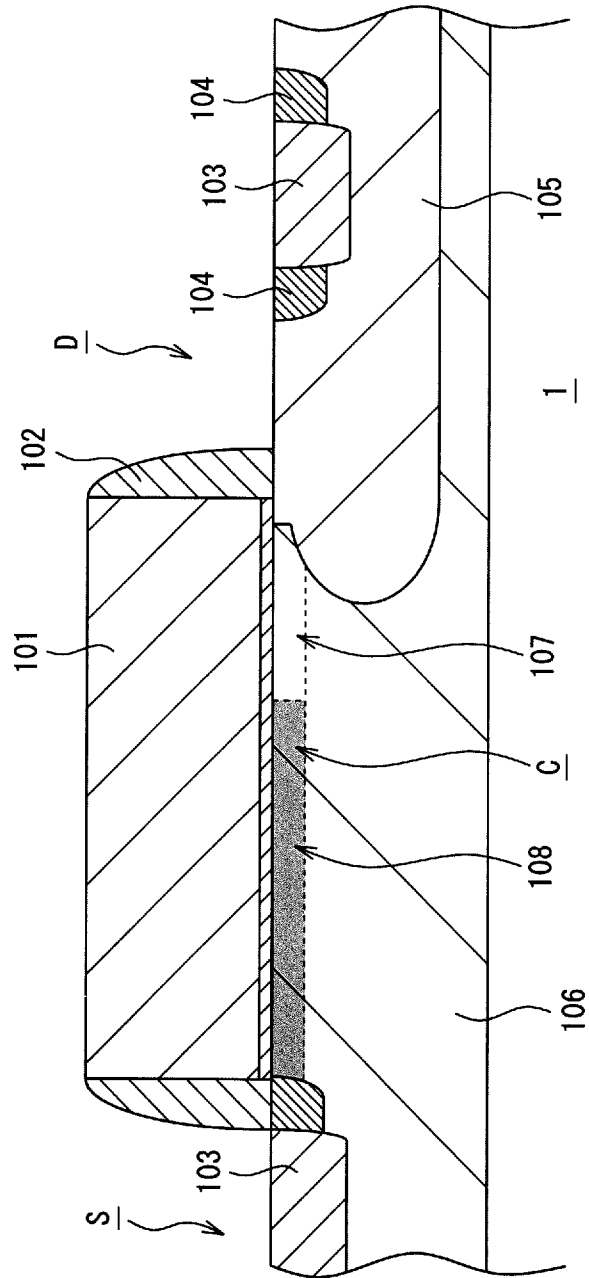
3 1 6 コンタクトホール

請求の範囲

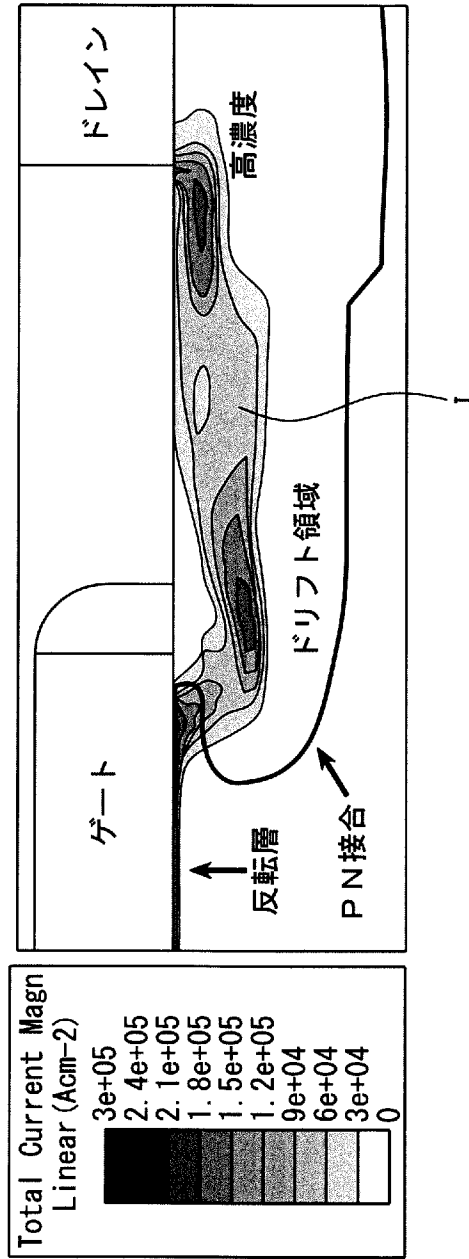
- [請求項1] 半導体基板内に形成されるソース領域及びドレイン領域と、当該ソース領域及びドレイン領域との間に形成されるチャンネル領域と、を有するMOSトランジスタを備える半導体装置であって、
- 前記チャンネル領域に注入された、第1の極性を有する第1の不純物から放出され、前記チャンネル領域において電気伝導に寄与する荷電粒子の濃度は、前記ソース領域に近い側よりも前記ドレイン領域に近い側で低く、
- 前記ドレイン領域は、
- 第2の極性を有する第2の不純物が注入されたドリフト領域を含み、
- 前記ドリフト領域は、
- 前記半導体基板の表面近傍を除き、前記ドレイン領域から前記チャンネル領域側に延出することを特徴とする半導体装置。
- [請求項2] 前記MOSトランジスタのドレイン耐圧より低い他のMOSトランジスタをさらに備え、
- 前記ドリフト領域に全体が包含され、第2の極性の濃度が前記ドリフト領域よりも高い高濃度領域と、
- 前記第2の極性の不純物濃度が前記ドリフト領域よりも高く、かつ、
- 前記高濃度領域よりも低い中濃度領域と、
- を含み、
- 前記中濃度領域は、前記高濃度領域の少なくとも一部を包含していることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記中濃度領域は、前記他のMOSトランジスタのソース領域とドレイン領域の中濃度領域と同時に形成され、
- 前記高濃度領域は、前記他のMOSトランジスタのソース領域とドレイン領域の高濃度領域と同時に形成されたことを特徴とする請求項2に記載の半導体装置。

- [請求項4] 半導体基板内にソース領域及びドレイン領域を有するMOSトランジスタを備える半導体装置の製造方法であって、
- 前記半導体基板に第1の極性を有する第1の不純物を注入し、前記半導体基板の表面に第1の極性を有する第1の不純物拡散領域を形成する工程と、
- 前記第1の不純物拡散領域の上にゲート電極を形成する工程と、
- 前記ドレイン領域及び当該ドレイン領域に隣接する前記ゲート電極の上面の一部を介して、第2の極性を有する第2の不純物を注入する工程と、
- 前記ゲート電極について、その下方であって、かつ、前記ドレイン領域の側の端部に、前記第1の不純物拡散領域よりも前記第1の不純物から放出されて電気伝導に寄与する荷電粒子の濃度が低い第2の不純物拡散領域を形成する工程と、
- 前記第2の不純物拡散領域の下部に、チャンネル領域の側に延出する第2の極性を有するドリフト領域を形成する工程と、
- を含むことを特徴とする半導体装置の製造方法。
- [請求項5] 前記ドリフト領域に、前記第2の不純物を注入し、不純物濃度が第1の不純物拡散領域よりも高い中濃度領域を形成する工程と、
- 前記中濃度領域に前記第2の不純物を注入し、不純物濃度が前記中濃度領域よりも高い、高濃度領域を形成する工程と、
- を含むことを特徴とする請求項4に記載の半導体装置の製造方法。
- [請求項6] 前記中濃度領域を形成する工程においては、前記MOSトランジスタのドレイン耐圧より低い他のMOSトランジスタのソース領域とドレイン領域の中濃度領域を同時に形成し、
- 前記高濃度領域を形成する工程においては、前記他のMOSトランジスタのソース領域とドレイン領域の高濃度領域を同時に形成することを特徴とする請求項5に記載の半導体装置の製造方法。

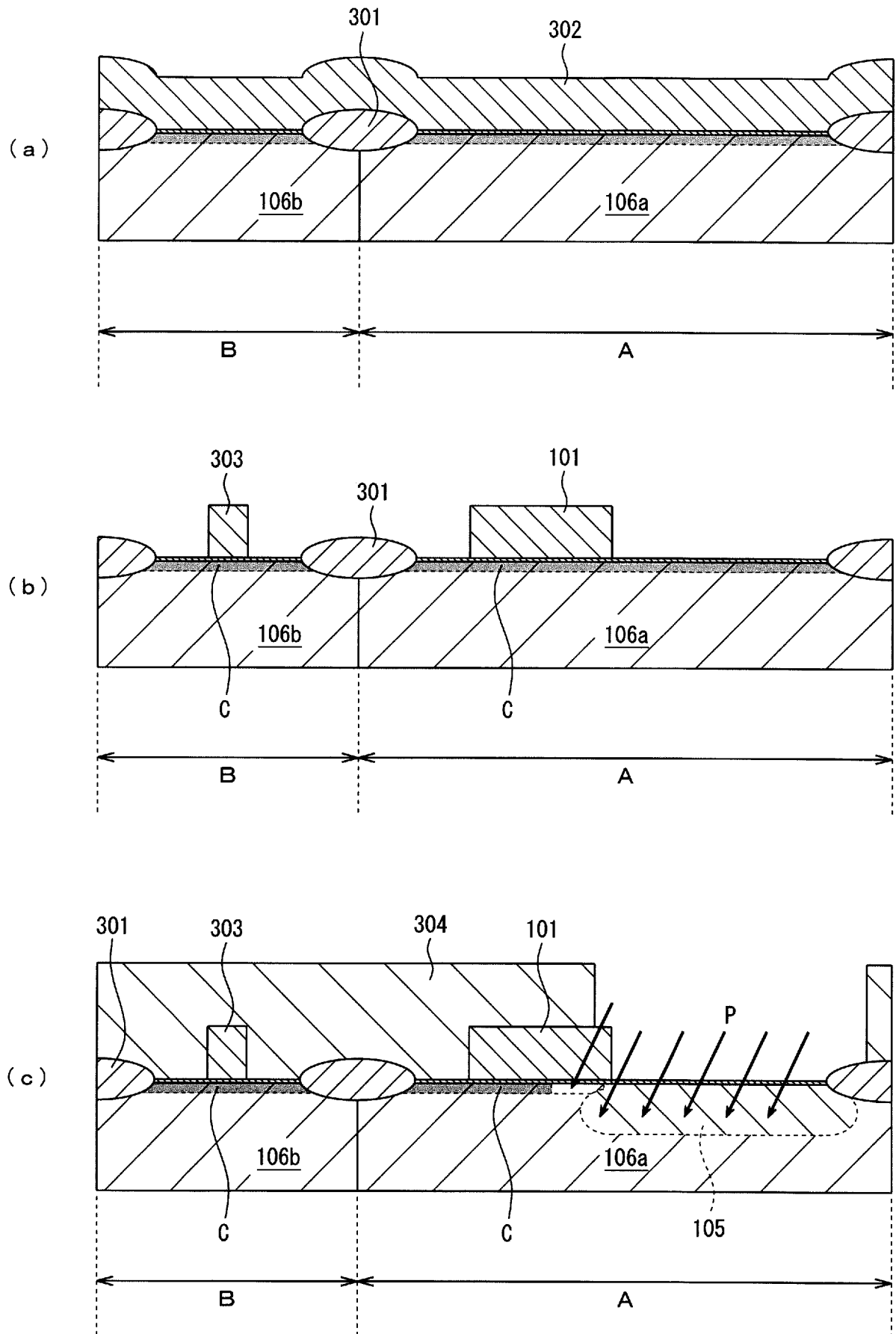
[図1]



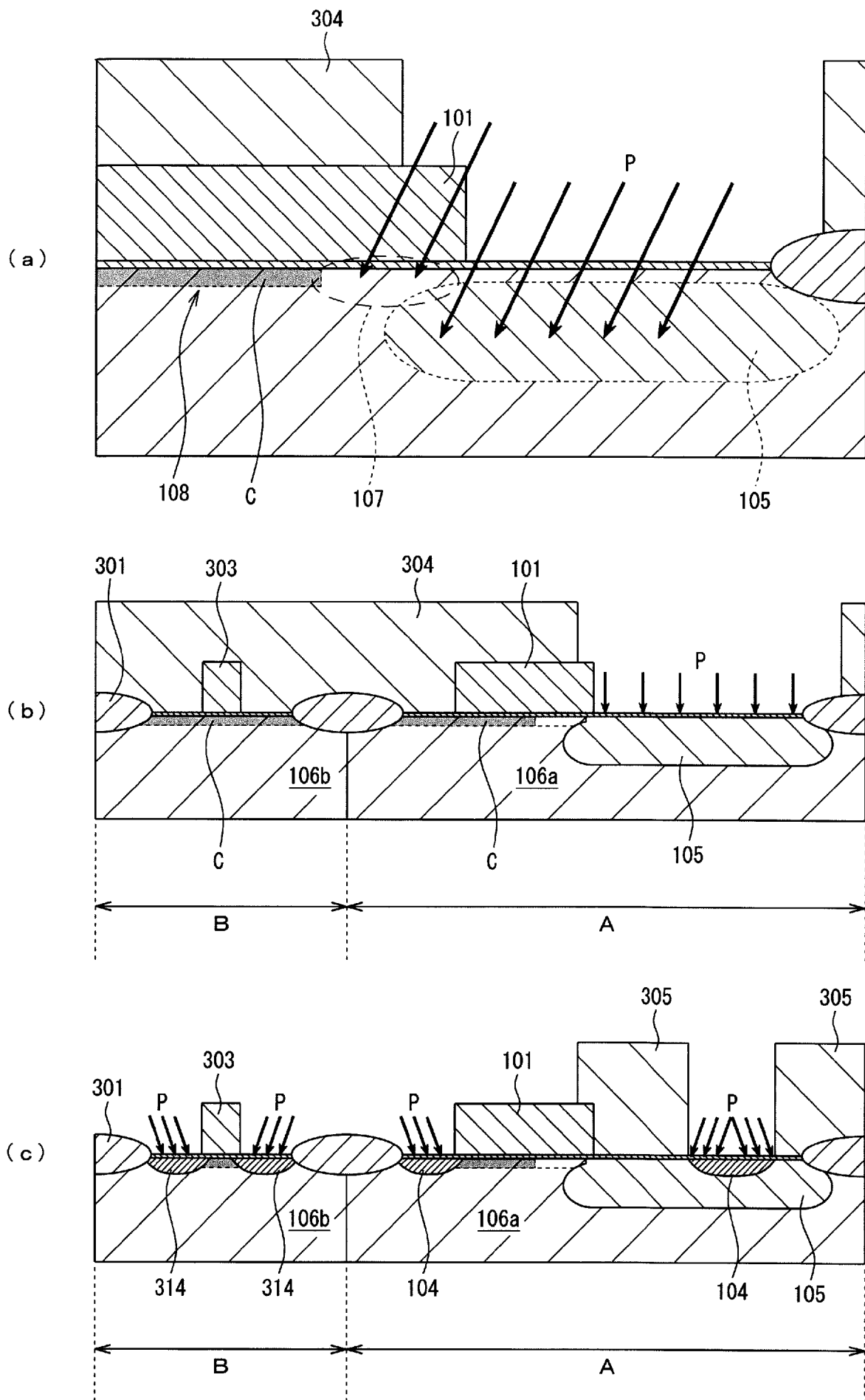
[図2]



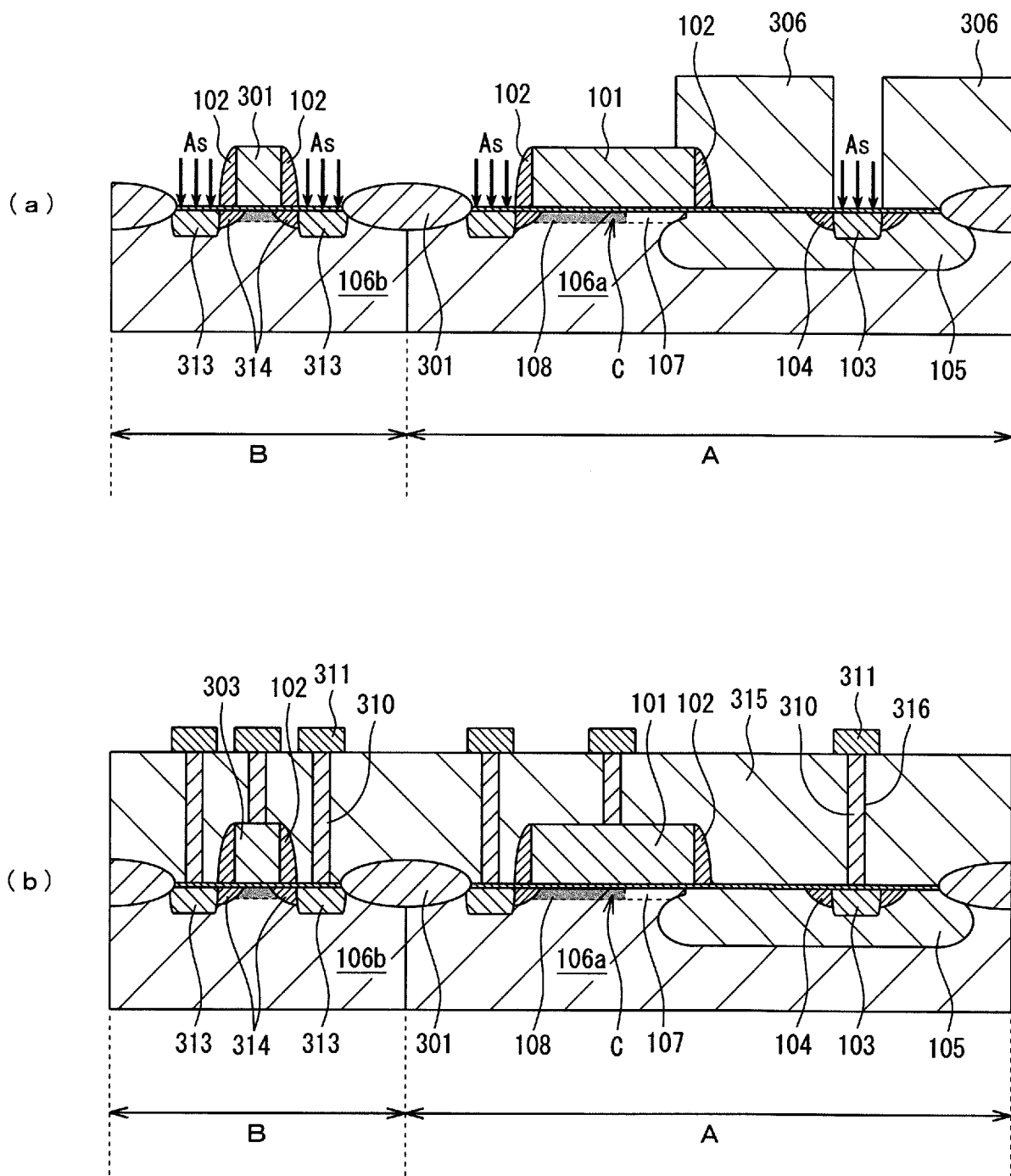
[図3-1]



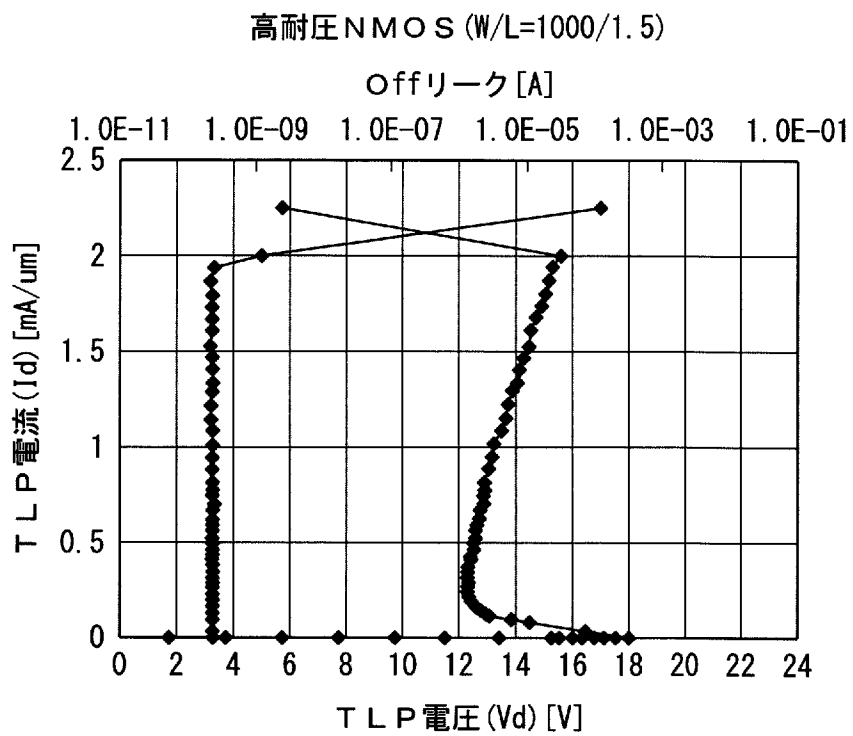
[図3-2]



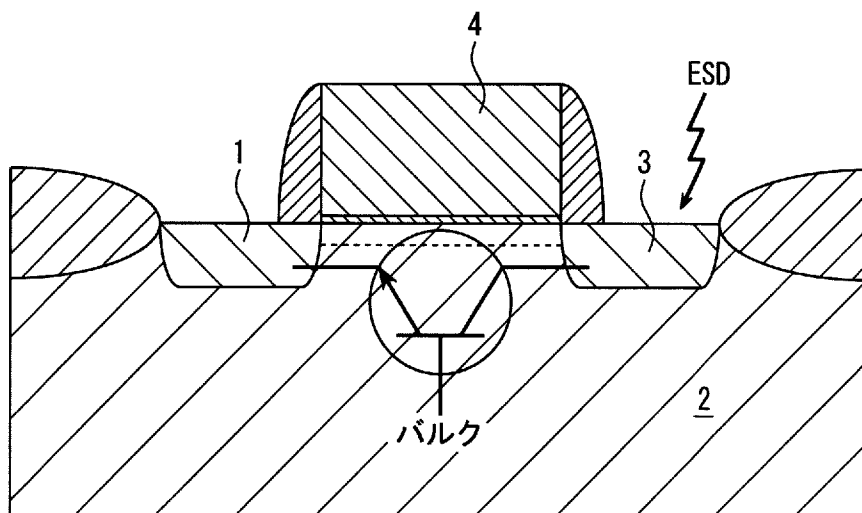
[図3-3]



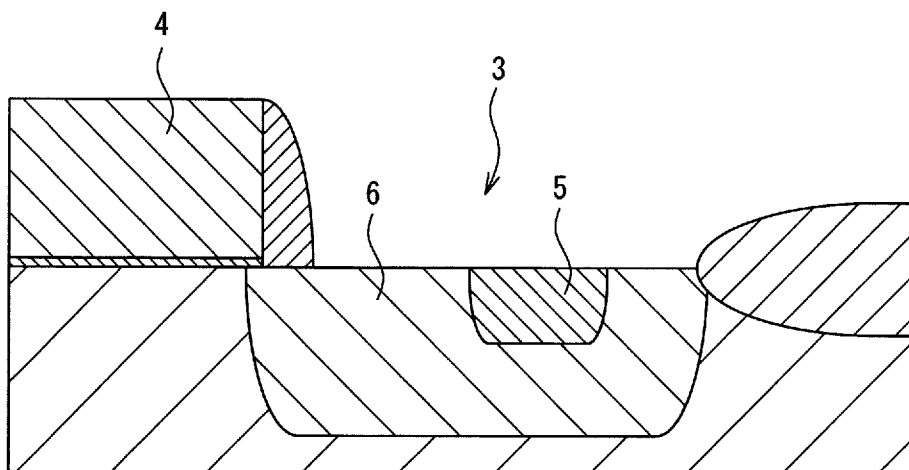
[図4]



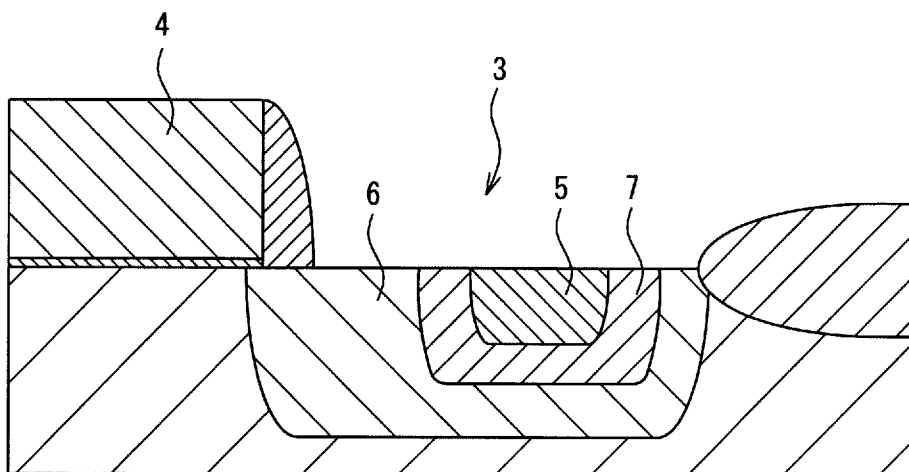
[図5]



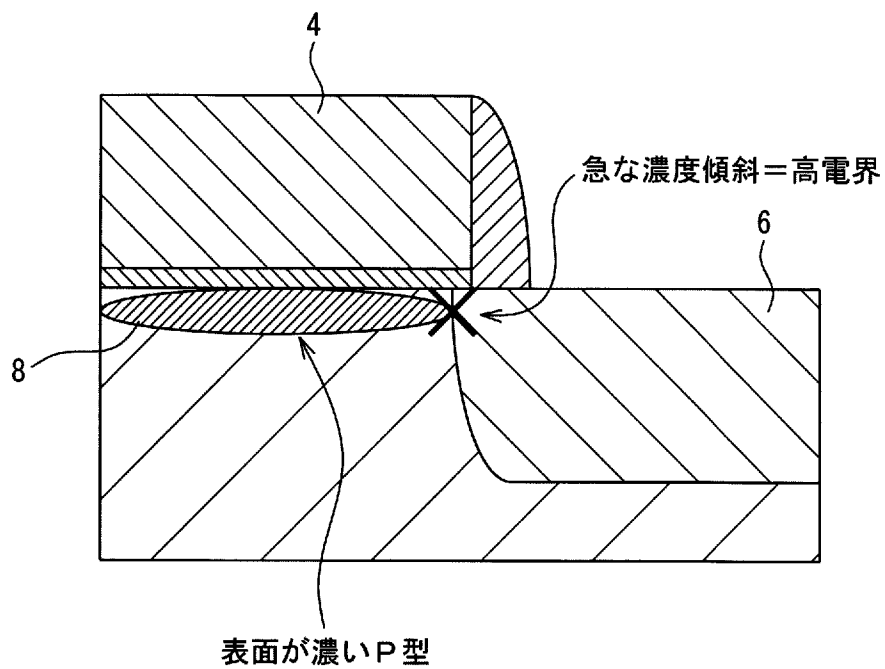
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001644

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 2009-245998 A (Fujitsu Microelectronics Ltd.), 22 October 2009 (22.10.2009), entire text; all drawings (Family: none) | 1-3 |
| Y | JP 07-240515 A (Fuji Electric Co., Ltd.), 12 September 1995 (12.09.1995), entire text; all drawings (Family: none) | 1-3 |
| Y | JP 2000-164854 A (Matsushita Electric Works, Ltd.), 16 June 2000 (16.06.2000), fig. 2 (Family: none) | 1-6 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
29 May, 2012 (29.05.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001644

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2010-225636 A (Fujitsu Semiconductor Ltd.), 07 October 2010 (07.10.2010), fig. 4 & US 2010/0240177 A1 fig. 4 & EP 2230686 A2 & CN 101840889 A & TW 201044449 A | 1-6 |
| Y | JP 08-018052 A (Nippondenso Co., Ltd.), 19 January 1996 (19.01.1996), entire text; all drawings & US 5834347 A & US 5877531 A entire text; all drawings | 1-6 |
| Y | JP 2002-261276 A (Sanyo Electric Co., Ltd.), 13 September 2002 (13.09.2002), entire text; all drawings & US 2002/0125531 A1 entire text; all drawings & KR 10-2002-0071689 A & CN 1373520 A | 2,5 |
| Y | JP 2006-140318 A (Kawasaki Microelectronics, Inc.), 01 June 2006 (01.06.2006), entire text; all drawings & US 2006/0102928 A1 entire text; all drawings & US 2007/0164328 A1 | 3,6 |
| A | JP 08-264788 A (Samsung Electronics Co., Ltd.), 11 October 1996 (11.10.1996), entire text; all drawings & US 5801416 A entire text; all drawings & US 5956588 A & KR 10-0161398 B1 | 1-6 |
| A | JP 2005-223145 A (Asahi Kasei Microsystems Co., Ltd.), 18 August 2005 (18.08.2005), entire text; all drawings (Family: none) | 1-6 |
| A | JP 07-122740 A (Mitsubishi Electric Corp.), 12 May 1995 (12.05.1995), entire text; all drawings (Family: none) | 1-6 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/336, H01L21/8234, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|--|----------------|
| Y | JP 2009-245998 A (富士通マイクロエレクトロニクス株式会社) 2009.10.22, 全文, 全図 (ファミリーなし) | 1-3 |
| Y | JP 07-240515 A (富士電機株式会社) 1995.09.12, 全文, 全図 (ファミリーなし) | 1-3 |
| Y | JP 2000-164854 A (松下電工株式会社) 2000.06.16, 第2図 (ファミリーなし) | 1-6 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|---|--|
| 国際調査を完了した日 29.05.2012 | 国際調査報告の発送日 12.06.2012 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 宇多川 勉 電話番号 03-3581-1101 内線 3559 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 2010-225636 A (富士通セミコンダクター株式会社) 2010. 10. 07, 第4図 & US 2010/0240177 A1, 第4図 & EP 2230686 A2 & CN 101840889 A & TW 201044449 A | 1-6 |
| Y | JP 08-018052 A (日本電装株式会社) 1996. 01. 19, 全文, 全図 & US 5834347 A & US 5877531 A, 全文, 全図 | 1-6 |
| Y | JP 2002-261276 A (三洋電機株式会社) 2002. 09. 13, 全文, 全図 & US 2002/0125531 A1, 全文, 全図 & KR 10-2002-0071689 A & CN 1373520 A | 2, 5 |
| Y | JP 2006-140318 A (川崎マイクロエレクトロニクス株式会社) 2006. 06. 01, 全文, 全図 & US 2006/0102928 A1, 全文, 全図 & US 2007/0164328 A1 | 3, 6 |
| A | JP 08-264788 A (三星電子株式会社) 1996. 10. 11, 全文, 全図 & US 5801416 A, 全文, 全図 & US 5956588 A & KR 10-0161398 B1 | 1-6 |
| A | JP 2005-223145 A (旭化成マイクロエレクトロニクス株式会社) 2005. 08. 18, 全文, 全図 (ファミリーなし) | 1-6 |
| A | JP 07-122740 A (三菱電機株式会社) 1995. 05. 12, 全文, 全図 (ファミリーなし) | 1-6 |