

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 23/12 (2006.01)

H01L 21/28 (2006.01)

H01L 23/48 (2006.01)

(11) 공개번호 10-2006-0041997

(43) 공개일자 2006년05월12일

(21) 출원번호 10-2005-0012781

(22) 출원일자 2005년02월16일

(30) 우선권주장 JP-P-2004-00040408 2004년02월17일 일본(JP)

(71) 출원인 산요덴키가부시키키가이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 가메야마 고우지로  
일본 군마켄 오파시 우찌가시마 402-4-에이101  
스즈끼 아끼라  
일본 군마켄 오파시 이와세가와마찌 21-11  
오카야마 요시오  
미국 02446 매사추세츠주 브루클린 에이피티넘버 814 프리맨 에스티.  
175

(74) 대리인 장수길  
구영창  
이중희

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 반도체 장치 및 그 제조 방법에서, 신뢰성의 향상을 도모한다. 패드 전극(53)이 형성된 실리콘 웨이퍼(51)의 표면에 글래스 기판(56)을 접착한다. 다음으로, 실리콘 웨이퍼(51)의 이면으로부터 패드 전극(53)에 도달하는 비아홀(81)을 형성함과 동시에, 다이싱 라인 중심 DS를 따라서 연장되고, 또한 실리콘 웨이퍼(51)의 이면으로부터 실리콘 웨이퍼(51)를 관통하는 홈(82)을 형성한다. 그 후, 가열 처리를 수반하는 공정을 포함하는 각종 공정에 의해, 완충층(60), 배선층(63), 솔더 마스크(65), 땀납 볼(66)을 실리콘 웨이퍼(51)의 이면에 형성한다. 마지막으로, 다이싱에 의해, 글래스 기판(56)에 지지된 실리콘 웨이퍼(51)를 개개의 실리콘 칩(51A)으로 분할한다.

대표도

도 11

색인어

실리콘 웨이퍼, 솔더 마스크, 땀납 볼, 다이싱 라인

## 명세서

### 도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 2는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 3은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 4는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 5는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 6은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 7은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 8은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 9는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 10은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.
- 도 11은 본 발명의 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하는 단면도.
- 도 12는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하는 평면도.
- 도 13은 종래 기술에 따른 반도체 장치를 설명하는 도면.
- 도 14는 종래 기술에 따른 반도체 장치를 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 101 : 반도체 장치
- 102 : 제1 글래스 기판
- 103 : 제2 글래스 기판
- 104 : 반도체 칩
- 105a, 105b : 에폭시 수지
- 106 : 도전 단자
- 107 : 제1 배선
- 108 : 절연막
- 110 : 제2 배선

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩 사이즈 패키지형의 반도체 장치 및 그 제조 방법에 관한 것이다.

최근, 3차원 실장 기술로서, 또한 새로운 패키지 기술로서, CSP(Chip Size Package)가 주목받고 있다. CSP란, 반도체 칩의 외형 치수와 대략 동일 사이즈의 외형 치수를 갖는 소형 패키지를 말한다.

종래부터, CSP의 일종으로서, BGA형의 반도체 장치가 알려져 있다. 이 BGA형의 반도체 장치는, 뿔납 등의 금속 부재로 이루어진 볼 형상의 도전 단자를 패키지의 일 주면 위에 격자 형상으로 복수 배열하고, 패키지의 다른 면 위에 탑재되는 반도체 칩과 전기적으로 접속한 것이다.

그리고, 이 BGA형의 반도체 장치를 전자 기기에 조립할 때에는, 각 도전 단자를 프린트 기판 위의 배선 패턴에 압착함으로써, 반도체 칩과 프린트 기판 위에 탑재되는 외부 회로를 전기적으로 접속하고 있다.

이러한 BGA형의 반도체 장치는, 측부에 돌출한 리드 핀을 갖는 SOP(Small Outline Package)나 QFP(Quad Flat Package) 등의 다른 CSP형의 반도체 장치에 비교하여, 다수의 도전 단자를 설치할 수 있고, 또한 소형화할 수 있다는 장점을 갖는다. 이 BGA형의 반도체 장치는, 예를 들면 휴대 전화기에 탑재되는 디지털 카메라의 이미지 센서 칩으로서의 용도가 있다.

도 13은 종래의 BGA형의 반도체 장치의 개략 구성을 이루는 것으로, 도 13의 (a)는, 이 BGA형의 반도체 장치의 표면측의 사시도이다. 또한, 도 13의 (b)는 이 BGA형의 반도체 장치의 이면측의 사시도이다.

이 BGA형의 반도체 장치(101)는, 제1 및 제2 글래스 기판(102, 103) 사이에 반도체 칩(104)이 에폭시 수지(105a, 105b)를 통하여 밀봉되어 있다. 제2 글래스 기판(103)의 일 주면 위, 즉 BGA형의 반도체 장치(101)의 이면 위에는, 도전 단자(106)가 격자 형상으로 복수 배치되어 있다. 이 도전 단자(106)는 제2 배선(110)을 통하여 반도체 칩(104)으로 접속된다. 복수의 제2 배선(110)에는, 각각 반도체 칩(104)의 내부로부터 인출된 알루미늄 배선이 접속되어 있고, 각 도전 단자(106)와 반도체 칩(104)의 전기적 접속이 이루어져 있다.

이 BGA형의 반도체 장치(101)의 단면 구조에 대하여 도 14를 참조하여 더 자세히 설명한다. 도 14는 다이싱 라인을 따라, 개개의 칩으로 분할된 BGA형의 반도체 장치(101)의 단면도를 나타내고 있다.

반도체 칩(104)의 표면에 배치된 절연막(108) 위에 제1 배선(107)이 형성되어 있다. 이 반도체 칩(104)은 수지층(105a)에 의해서 제1 글래스 기판(102)과 접촉되어 있다. 또한, 이 반도체 칩(104)의 이면은, 수지층(105b)에 의해서 제2 글래스 기판(103)과 접촉되어 있다.

그리고, 제1 배선(107)의 일단은 제2 배선(110)과 접속되어 있다. 이 제2 배선(110)은, 제1 배선(107)의 일단으로부터 제2 글래스 기판(103)의 표면에 연장되어 있다. 그리고, 제2 글래스 기판(103) 위에 연장한 제2 배선 위에는, 볼 형상의 도전 단자(106)가 형성되어 있다.

전술한 기술은, 예를 들면 이하의 특허 문헌 1에 기재되어 있다.

특허 문헌 1 : 일본 특표 2002-512436호 공보

#### 발명이 이루고자 하는 기술적 과제

그러나, 전술한 BGA형의 반도체 장치(101)에서, 제1 배선(107)과 제2 배선(110)의 접촉 면적이 매우 작기 때문에, 이 접촉 부분에서 단선할 우려가 있었다. 또한, 제2 배선(110)의 스텝 커버리지에도 문제가 있었다. 따라서, 본 발명은 BGA를 갖는 반도체 장치 및 그 제조 방법에서, 신뢰성의 향상을 도모한다.

또한, 전술한 반도체 장치에서는 반도체 칩(104)에 글래스 기판(102, 103)을 에폭시 수지를 통하여 접착하고 있어서, 각각의 열팽창 계수가 상이한 것끼리 접착하고 있기 때문에, 열 처리를 수반하는 각종 작업 공정 중에 반도체 웨이퍼의 휘어짐이 발생하여, 작업성이 나빠진다는 문제가 있었다.

### 발명의 구성 및 작용

본 발명의 반도체 장치의 제조 방법은, 패드 전극이 형성된 반도체 기판을 준비하고, 상기 반도체 기판의 제1 주면에 지지체를 접착하는 공정과, 상기 반도체 기판의 제2 주면으로부터 상기 패드 전극의 표면에 도달하는 비아홀을 형성함과 동시에, 다이싱 라인을 따라 연장되고, 또한 상기 반도체 기판의 제2 주면으로부터 상기 반도체 기판을 관통하는 홈을 형성하는 공정을 구비하는 것을 특징으로 한다.

또한, 상기 공정 외에 추가로, 상기 홈을 형성하는 공정 후에, 상기 지지체가 접착된 상기 반도체 기판을 가열하는 공정을 구비하는 것을 특징으로 한다.

또한, 본 발명의 반도체 장치, 반도체 칩의 제1 주면 위에 형성된 패드 전극과, 상기 반도체 칩의 제1 주면에 접착된 지지체와, 상기 반도체 칩의 제2 주면으로부터 상기 패드 전극의 표면에 관통하는 비아홀과, 상기 비아홀의 측벽 및 상기 반도체 칩의 측면에 형성된 측벽 절연막과, 상기 비아홀을 통해서, 상기 패드 전극과 전기적으로 접속된 배선층과, 상기 배선층 위를 피복하도록 형성된 보호층과, 상기 배선층 위에 형성된 도전 단자를 구비하는 것을 특징으로 한다.

또한, 본 발명의 반도체 장치, 패드 전극이 형성된 반도체 기판의 제1 주면에 접착된 지지체와, 상기 반도체 기판의 제2 주면으로부터 상기 패드 전극의 표면에 도달하도록 형성된 비아홀과, 다이싱 라인을 따라 다이싱된 측단부에 에칭된 면을 갖는 것을 특징으로 한다.

### <실시예>

다음으로, 본 실시예에 대하여 도면을 참조하여 상세히 설명한다. 우선, 이 반도체 장치의 구조에 대하여 설명한다. 도 11은 이 반도체 장치의 단면도로, 후술하는 공정을 거친 반도체 기판, 즉 실리콘 웨이퍼(51)를 다이싱 라인 영역 DL의 다이싱 라인 중심 DS에 따라서 개개의 반도체 칩으로 분할한 것을 나타내고 있다.

반도체 칩인 실리콘 칩(51A)은, 예를 들면 CCD(Charge Coupled Device) 이미지 센서 칩으로, 그 제1 주면인 표면에는 BPSG 등의 층간 절연막(52)을 통하여 패드 전극(53)이 형성되어 있다. 이 패드 전극(53)은, 통상의 와이어 본딩에 이용되는 패드 전극을 다이싱 라인 영역 DL에까지 확장한 것으로, 확장 패드 전극이라고도 한다.

이 패드 전극(53)은, 실리콘 질화막 등의 패시베이션막(54)으로 피복되어 있다. 이 패드 전극(53)이 형성된 실리콘 칩(51A)의 표면에는, 예를 들면 에폭시 수지로 이루어진 수지층(55)을 통하여, 글래스 기판(56)이 접착되어 있다. 글래스 기판(56)은 실리콘 칩(51A)를 보호하는 보호 기판으로서 이용되고, 또한 실리콘 칩(51A)를 지지하는 지지 기판으로서 이용된다.

실리콘 칩(51A)이 CCD 이미지 센서 칩인 경우에는, 외부로부터의 광을 실리콘 칩(51A)의 표면의 CCD 디바이스로 수광할 필요가 있기 때문에, 글래스 기판(56)과 같은 투명 기판, 혹은 반투명 기판을 이용하는 필요가 있다. 실리콘 칩(51A)이 수광이나 발광하는 것이 아닌 경우에는 불투명 기판이어도 된다.

그리고, 실리콘 칩(51A)의 제2 주면인 이면으로부터, 패드 전극(53)에 도달하는 비아홀(81)이 형성되어 있다. 또한, 비아홀(81)의 측벽 및 실리콘 칩(51A)의 측면에는 측벽 절연막(59A)이 형성되어 있다. 측벽 절연막(59A)은 후술하는 배선층(63)과 실리콘 칩(51A)를 전기적으로 절연하는 것이다.

또한, 실리콘 칩(51A)의 이면에는, 비아홀(81)과 인접한 영역에, 제1 절연막(57)을 통하여 완충층(60)이 형성되어 있다.

그리고, 이 비아홀(81)을 통해서 패드 전극(53)에 전기적으로 접속하고, 또한 비아홀(81)로부터 실리콘 칩(51A)의 이면 위 및 측면에 연장하는 배선층(63)이 형성되어 있다. 배선층(63)은, 재배선층이라고도 하는 것으로, 예를 들면 구리(Cu) 위에, Ni/Au 등의 배리어층(64)을 적층한 구조이다.

배선층(63)의 하층에는 시드층(61)이 형성되어 있지만, 이것은 배선층(63)을 전해 도금에 의해서 형성할 때에 이용되는 도금 전극으로 되는 금속층이다. 배선층(63)은 완충층(60)을 피복하도록, 실리콘 칩(51A)의 이면 위에 연장되어 있다.

그리고, 배선층(63)은 보호층인 솔더 마스크(65)에 의해서 피복되어 있지만, 솔더 마스크(65)에는 완충층(60) 위의 부분에 개구부 K가 형성되어 있다. 이 솔더 마스크(65)의 개구부 K를 통해서, 도전 단자인 땀납 볼(66)이 탑재되어 있다. 이에 의해, 땀납 볼(66)과 배선층(63)이 전기적으로 접속되어 있다. 이러한 땀납 볼(66)을 복수 형성함으로써 BGA 구조를 얻을 수 있다.

이렇게 해서, 실리콘 칩(51A)의 패드 전극(53)으로부터, 그 이면에 형성된 땀납 볼(66)에 이르기까지의 배선이 가능해진다. 또한, 비아홀(81)을 통해서 배선하고 있기 때문에, 단선이 발생하기 어렵고 스텝 커버리지도 우수하다. 또한 배선의 기계적 강도도 높다.

또한, 실리콘 칩(51A)의 측면이, 배선층(63)이나 솔더 마스크(65)로 피복되어 있기 때문에, 실리콘 칩(51A) 내부의 수분의 침입을 극력 방지할 수 있다.

또한, 땀납 볼(66)은 완충층(60) 위에 배치되어 있기 때문에, 이 땀납 볼(66)을 통하여, 이 반도체 장치를 프린트 기판에 탑재할 때에, 완충층(60)이 일종의 쿠션으로서 기능하여, 그 충격이 완화되어 땀납 볼(66)이나 본체인 반도체 장치가 손상되는 것이 방지된다.

또한, 땀납 볼(66)의 형성 위치가 실리콘 칩(51A)의 이면보다 완충층(60)의 두께 분만큼 높아진다. 이에 의해, 이 반도체 장치를 프린트 기판에 탑재할 때에, 프린트 기판과 땀납 볼(66)과의 열팽창 계수의 차에 의해서 발생하는 응력에 의해서, 땀납 볼(66)이나 실리콘 칩(51A)이 손상되는 것이 방지된다.

또한, 완충층(60)은 유기 절연물이나 무기 절연물, 금속, 실리콘, 포토 레지스트 등의 여러가지 재질을 이용할 수 있지만, 쿠션으로서 기능시키기 위해서는, 탄력성이 풍부한 유기 절연물이나 무기 절연물, 포토 레지스트 등이 적합하다.

또한, 실리콘 칩(51A)는, GaAs, Ge, Si-Ge 등의 다른 재료의 반도체 칩이어도 된다.

다음으로, 전술한 본 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 도 1에 도시한 바와 같이, 반도체 기판인 실리콘 웨이퍼(51)의 제1 주면, 즉 표면에는, 도시하지 않는 반도체 집적 회로(예를 들면, CCD 이미지 센서)가 형성되어 있는 것으로 한다. 또한, 도 1은 후술하는 다이싱 공정에서 분할되는 예정된 인접 칩의 경계(즉 다이싱 라인 영역 DL 근방)의 단면을 나타내고 있다.

그 실리콘 웨이퍼(51)의 표면에, BPSG 등의 층간 절연막(52)을 통하여, 한쌍의 패드 전극(53)을 형성한다. 이 한쌍의 패드 전극(53)은 예를 들면 알루미늄, 알루미늄 합금, 구리 등의 금속층으로 이루어지고, 그 두께는 1 $\mu$ m 정도이다. 또한, 한쌍의 패드 전극(53)은 다이싱 라인 영역 DL에 확장되어, 그 확장된 단부를 다이싱 라인 영역 DL의 다이싱 라인 중심 DS의 앞에 배치하고 있다.

그리고, 한쌍의 패드 전극(53)을 피복하는 실리콘 질화막 등의 패시베이션막(54)을 형성하고, 또한 이 패시베이션막(54) 위에, 예를 들면 에폭시 수지로 이루어진 수지층(55)을 도포한다.

그리고, 이 수지층(55)을 통하여, 실리콘 웨이퍼(51)의 표면에 글래스 기판(56)을 접착한다. 이 글래스 기판(56)은 실리콘 웨이퍼(51)의 보호 기판이나 지지 기판으로서 기능한다. 또한, 지지 기판은 글래스 기판(56)에 한하지 않고, 예를 들면 금속 기판이나 유기물로 이루어진 기판 형상의 것이나 테이프 형상의 것이어도 된다. 그리고, 이 글래스 기판(56)이 접착된 상태에서, 필요에 따라 실리콘 웨이퍼(51)의 이면 에칭, 소위 백 그라운드를 행하여, 그 두께를 150 $\mu$ m 정도로 가공한다.

그 후, 산(예를 들면, HF와 질산 등과의 혼합액)을 에천트로서 이용하여 20 $\mu$ m 정도, 실리콘 웨이퍼(51)를 에칭한다. 이에 의해, 백 그라운드에 의해서 발생한 실리콘 웨이퍼(51)의 기계적인 손상층을 제거하여, 실리콘 웨이퍼(51)의 표면에 형성된 디바이스의 특성을 개선하는 데 유효하다. 본 실시예에서는, 실리콘 웨이퍼(51)의 최종 마무리 두께는 130 $\mu$ m 정도이지만, 이것은 디바이스의 종류에 따라서 적절하게 선택할 수 있다.

그리고, 상기 공정에 의해 이면이 깎인 실리콘 웨이퍼(51)의 이면 전면에 제1 절연막(57)을 형성한다. 이 제1 절연막(57)은, 예를 들면 플라즈마 CVD법에 의해서 형성되며, PE-SiO<sub>2</sub>막이나 PE-SiN막이 적합하다. 또한, 제1 절연막(57)의 형성을 생략해도 상관없다.

다음으로, 도 2에 도시한 바와 같이, 제1 절연막(57) 위에 포토 레지스트층(58)을 선택적으로 형성한다. 이 포토 레지스트층(58)을 마스크로 하여, 제1 절연막(57) 및 실리콘 웨이퍼(51)의 에칭을 행한다. 이 에칭에 의해, 실리콘 웨이퍼(51)를 관통하는 비아홀(81)을 형성함과 동시에, 다이싱 라인 영역 DL의 다이싱 라인 중심 DS 근방을 따라서 연장되고, 또한 실리콘 웨이퍼(51)를 관통하는 홈(82)을 형성한다. 또한, 상기 제1 절연막(57)의 형성 공정을 생략해도 되고, 이 경우에는 실리콘 웨이퍼(51) 위에 직접 형성한 포토 레지스트층(58)을 마스크로 하여, 실리콘 웨이퍼(51)의 에칭을 행한다.

비아홀(81) 및 홈(82)을 형성하기 위해서는, 웨트 에칭하는 방법이나 드라이 에칭을 사용하는 방법이 있다. 본 실시예에서는, 적어도 SF<sub>6</sub>, O<sub>2</sub>나 C<sub>2</sub>F<sub>4</sub>, C<sub>4</sub>F<sub>8</sub>이나 CHF<sub>3</sub> 등의 CF계 가스 등을 포함하는 에칭 가스를 이용한 드라이 에칭을 행하고 있다. 비아홀(81)에 대해서는, 그 단면 형상은, 후술하는 시드층(61)의 피복성을 좋게 하기 위해, 스텔이퍼 형상으로 가공해도 된다. 이와 같이 비아홀(81)과, 다이싱 라인을 따라 형성된 홈(82)은 에칭된 면을 갖고 있다.

여기서, 비아홀(81)의 바닥부에는 층간 절연막(52)이 노출되고, 그에 접하여 패드 전극(53)이 있다. 비아홀(81)의 폭은, 40 μm 정도, 그 길이는 200 μm 정도이다. 또한, 홈(82)의 바닥부에도 층간 절연막(52)이 노출된다. 홈(82)의 깊이는, 비아홀(81)의 길이와 동일(혹은 동일한 정도)하다. 즉, 홈(82)에 의해, 실리콘 웨이퍼(51)는, 글래스 기판(56)에 접촉된 상태에서 개개의 실리콘 칩으로 분단된다. 이에 의해, 후술하는 공정에서, 가열 처리(예를 들면, 후에 설명하는 스퍼터 공정에서의 가열 처리나, 땀납의 리플로우에서의 열 처리)가 행해지는 경우, 실리콘 웨이퍼(51)가 개편화되어 있기 때문에, 종래와 같은 실리콘 웨이퍼(51)의 열팽창 계수에 따른 팽창이나 수축이 분단되고, 그 열팽창 계수에 따른 팽창이나 수축이 저감되어, 글래스 기판(56)의 열팽창 계수에 따른 팽창이나 수축을 고려하면 되어, 종래에 비하여 휘어짐의 정도가 극력 저감된다. 또한, 접착제로서 이용한 에폭시 수지의 열팽창 계수에 따른 팽창이나 수축도 아울러 고려함으로써, 신뢰성이 더 향상된다.

또한, 실리콘 웨이퍼(51)에 형성된 비아홀(81), 홈(82) 및 다이싱 라인 영역 DL의 위치 관계는, 실리콘 웨이퍼(51)의 이면에서 본 경우의 평면도인 도 12와 같이 된다. 또한, 패드 전극(53)은 다이싱 라인을 따라 형성되어 있는 것에 한정되는 것은 아니다.

다음으로, 도 3에 도시한 바와 같이, 비아홀(81) 및 홈(82)이 형성된 실리콘 웨이퍼(51)의 이면 전체에 제2 절연막(59)을 형성한다. 제2 절연막(59)은, 예를 들면 플라즈마 CVD법에 의해서 형성되며, PE-SiO<sub>2</sub>막이나 PE-SiN막이 적합하다. 제2 절연막(59)은, 비아홀(81)의 바닥부, 측벽, 홈(82)의 바닥부, 측벽, 및 제1 절연막(57) 위에 형성된다.

다음으로, 도 4에 도시한 바와 같이, 비아홀(81)에 인접하여, 제2 절연막(59) 위에 완충층(60)을 형성한다. 완충층(60)으로서, 레지스트 필름을 이용하여, 마스크 노광 및 현상 처리에 의해, 소정의 영역에 형성할 수 있다. 완충층(60)은, 이에 한하지 않고, 유기 절연물이나 무기 절연물, 금속, 실리콘, 포토 레지스트 등의 여러가지 재질을 이용할 수 있지만, 쿠션으로서 기능시키기 위해서는, 탄력성이 풍부한 유기 절연물이나 무기 절연물, 포토 레지스트 등이 적합하다. 또한, 상기 완충층(60)은 생략해도 된다.

다음으로, 도 5에 도시한 바와 같이, 포토 레지스트층을 이용하지 않고, 이방성의 드라이 에칭을 행한다. 이에 의해, 비아홀(81)의 측벽 및 홈(82)의 측벽에만 제2 절연막(59)이 남고, 이것이 측벽 절연막(59A)으로 된다. 또한, 비아홀(81)과 홈(82)의 바닥부에 위치하는 제2 절연막(59) 및 층간 절연막(52)이 에칭 제거된다. 그리고, 비아홀(81)의 바닥부에서는, 패드 전극(53)이 노출된다.

이와 같이, 본 실시예에서는, 비아홀(81)의 형성 후에, 제2 절연막(59)을 비아홀(81) 내에 형성하고, 완충층(60)의 형성 후에, 비아홀(81)의 바닥부에 위치하는 제2 절연막(59) 및 층간 절연막(52)을 에칭하여 제거하여, 패드 전극(53)을 노출하고 있다.

이것과는 반대로, 비아홀(81)의 바닥부를 에칭하여, 패드 전극(53)을 노출한 후에, 완충층(60)을 형성하는 것도 가능하지만, 그렇게 하면, 완충층(60)을 형성할 때에, 노출된 비아홀(81)의 바닥부가 오염되고, 후에 비아홀(81) 내에 형성하는 배선층(63)과 패드 전극(53)과의 전기적 접촉이 불량하게 될 우려가 있다. 따라서, 본 실시예와 같이, 완충층(60)을 형성한 후에, 비아홀(81)의 바닥부를 에칭하는 쪽이 배선층(63)과 패드 전극(53)과의 양호한 전기적 접촉을 얻으므로 바람직하다.

또한, 도 5의 공정에서 완충층(60)을 형성한 후에 비아홀(81) 내의 절연막을 에칭하여 측벽 절연막(59A)을 형성하고 있지만, 이 에칭에 의해 완충층(60)의 표면이 거칠게 되어, 후술하는 시드층(61)과의 밀착성이 향상된다고 하는 이점도 있다.

다음으로, 배선층(63)을 형성하는 공정을 설명한다. 도 6에 도시한 바와 같이, 시드층(61)을, 가열 처리를 수반하는 스퍼터법, MOCVD법, 무전해 도금 등 중 어느 하나의 방법에 의해, 실리콘 웨이퍼(51)의 이면측으로부터, 비아홀(81) 내 및 홈(82) 내를 포함하는 실리콘 웨이퍼(51)의 이면 전체에 형성한다. 시드층은, 예를 들면 구리(Cu)층, 혹은 티탄 텅스텐(TiW)층이나 티탄나이트라이드(TiN)층, 탄탈나이트라이드(TaN)층 등의 배리어 메탈층, 혹은 구리(Cu)층과 배리어 메탈층과의 적층 구조로 이루어진다. 여기서, 비아홀(81) 내에서는, 시드층(61)은, 패드 전극(53)과 전기적으로 접촉되고, 또한 측벽 절연막(59A)를 피복하도록 형성된다.

또한, 시드층(61)은 완충층(60)도 피복하고 있다. 여기서, 시드층(61)을 구성하는 배리어 메탈층은, 구리(Cu)가 측벽 절연막(59A)을 통하여 실리콘 웨이퍼(51) 중에 확산하는 것을 방지한다. 단, 측벽 절연막(59A)이 실리콘 질화막(SiN막)으로 형성되어 있는 경우에는, 실리콘 질화막(SiN막)이 구리 확산에 대한 배리어로 되기 때문에, 시드층(61)은 구리(Cu)만이어도 문제는 없다.

이 시드층(61)은, 후술하는 전해 도금 시의 도금 성장을 위해 도금 전극으로 된다. 그 두께는 1 $\mu$ m 정도로 된다. 또한, 비아홀(81)이 순태이퍼로 가공되어 있는 경우에는, 시드층(61)의 형성에는 스퍼터법을 이용할 수 있다.

다음으로, 도 7에 도시한 바와 같이, 구리(Cu)의 전해 도금을 행함으로써 배선층(63)을 형성한다. 배선층(63)은 비아홀(81)로부터 실리콘 웨이퍼(51)의 이면에 추출되어, 이 이면 위를 연장하여, 완충층(60)을 피복한다. 이에 따라 배선층(63)은, 패드 전극(53)과 전기적으로 접촉된다. 또한, 배선층(63)은, 실리콘 웨이퍼(51)의 이면으로부터 홈(82) 내에 연장되고, 그 측벽 및 바닥부를 피복하도록 하여 형성되어 있다.

또한, 도 7에서는, 배선층(63)은, 비아홀(81) 내에 완전하게 매립되어 있지만, 도금 시간의 조정에 의해, 불완전하게 매립되어도 된다. 또한, 배선층(63)은, 전해 도금에 의해, 비아홀 VH 내에 매립되도록 형성되어 있지만, 이것에는 한정되지 않고, 다른 방법에 의해 형성되어도 된다. 예를 들면, 배선층(63)은, CVD법이나 MOCVD법에 의해, 비아홀(81) 내에 구리(Cu)나 알루미늄(Al) 등의 금속을 매립하는 방법에 의해 형성되어도 된다. 또한, 배선층(63)은 실리콘 웨이퍼(51)의 이면의 원하는 영역에, 원하는 개수를 형성할 수 있다.

이렇게 해서, 실리콘 칩(51A)의 패드 전극(53)으로부터 뿔납 볼(66)에 이르는 배선층(63)이, 비아홀(81)을 통하여 형성되기 때문에, 배선층(63)의 단선이나 스텝 커버리지의 열화를, 종래예에 비하여 저감시킬 수 있다. 이에 의해, 종래예에 비하여 신뢰성이 높은 BGA형의 반도체 장치를 얻을 수 있다.

다음으로, 도 8에 도시한 바와 같이, 니켈(Ni), 금(Au)의 무전해 도금, 혹은 스퍼터법에 의해, 배선층(63) 위에, Ni/Au층으로 이루어진 배리어층(64)을 형성한다. 그 후, 도 9에 도시한 바와 같이, 배선층(63) 위에, 보호층인 솔더 마스크(65)를 피착한다. 솔더 마스크(65)는, 그 완충층(60) 위의 부분에 대해서는 제거되어, 개구부 K가 형성되어 있다.

그리고, 도 10에 도시한 바와 같이, 스크린 인쇄법을 이용하여, 배선층(63)의 소정 영역 위에 뿔납을 인쇄하고, 이 뿔납을 열 처리로 리플로우시킴으로써, 뿔납 볼(66)을 형성한다. 뿔납 볼(66)은, 뿔납에 한하지 않고, 납-프리의 저융점 금속 재료를 이용하여 형성해도 된다. 또한, 뿔납 볼(66)은 그 수나 형성 영역을 자유롭게 선택하여 형성할 수 있다. 또한, 뿔납에만 한정되지 않고, 도금 형성하는 것이어도 된다.

여기서, 뿔납 볼(66)은, 실리콘 칩(51A)의 이면보다 완충층(60)의 막 두께의 분만큼 높은 위치에 형성되어 있다. 이에 의해, 이 반도체 장치가 프린트 기관에 실장되었을 때에 발생하는 응력이 흡수되기 쉬워져서, 뿔납 볼(66)의 손상을 극력 방지할 수 있다. 또한, 뿔납 볼(66)은, 완충층(60) 위에 형성되기 때문에, 프린트 기관에 반도체 장치를 실장할 때의 충격이 완화되어, 반도체 장치의 손상을 방지할 수 있다.

그리고, 도 11에 도시한 바와 같이, 다이싱 라인 영역 DL의 다이싱 라인 중심 DS를 따라서 다이싱 공정을 행하고, 실리콘 웨이퍼(51)를 복수의 실리콘 칩(51A)으로 분할한다. 이 다이싱 공정에서는, 다이싱 블레이드를 이용하여 절삭하고 있다.

여기서, 홈(82)은 각 실리콘 칩(51A)의 측면으로 된다. 이 실리콘 칩(51A)의 측면은, 측벽 절연막(59A), 시드층(61), 배선층(63), 배리어층(64), 솔더 마스크(65)로 피복되어 있다. 이에 의해, 실리콘 칩(51) 내의 수분의 침입을 극력 방지하는 것이 가능하게 된다.

전술한 공정 중, 가열 처리를 수반하는 공정, 즉, 스퍼터법에 의한 시드층(61) 등의 형성 시나, 뿔납의 리플로우에 의한 뿔납 볼(66)의 형성 시에는, 실리콘 웨이퍼(51)가 홈(82)에 의해 분단된 상태에서 글래스 기판(56)에 지지되어 있기 때문에 (도 12 참조), 글래스 기판(56)과 실리콘 웨이퍼(51)의 열팽창 계수의 차이에 의해서 발생하는 휘어짐이 작아진다. 이에 의해, 다른 공정으로 이행할 때의 실리콘 웨이퍼(51)의 반송을 원활히 행하는 것이 가능해짐과 함께, 반도체 장치의 수율을 향상시키는 것이 가능해진다.

또한, 전술한 본 실시예에서는, 통상의 와이어 본딩에 이용되는 패드 전극을 다이싱 라인 영역 DL까지 확장하여 이루어지는 패드 전극(53)을 형성하고 있지만, 이것에는 한정되지 않고, 패드 전극(53) 대신에 다이싱 라인 영역 DL까지 확장되지 않는 통상의 와이어 본딩에 이용되는 패드 전극을 그대로 이용해도 된다. 이 경우에는, 비아홀(81)의 형성 위치를 이 패드 전극에 맞추면 되고, 다른 공정은 완전히 동일하다.

또한, 본 발명은 뿔납 볼(66)이 형성된 BGA형의 반도체 장치 및 그 제조 방법에 적용되는 것으로 했지만, 본 발명은 이것에 제한되는 것은 아니다. 즉, 본 발명은 실리콘 웨이퍼를 관통하는 비아홀을 형성하는 공정 후에, 가열 처리를 수반하는 공정을 포함하는 것이면, 뿔납 볼이 형성되지 않은 반도체 장치 및 그 제조 방법에도 적용되는 것이다. 예를 들면, LGA (Land Grid Array)형의 반도체 장치 및 그 제조 방법에도 적용된다.

### 발명의 효과

본 발명에 따르면, 반도체 칩의 패드 전극으로부터, 그 도전 단자에 이르기까지의 배선이, 비아홀을 통하여 형성되기 때문에, 상기 배선의 단선이나 스텝 커버리지의 열화를 방지할 수 있다. 이에 의해, 신뢰성이 높은 반도체 장치를 얻을 수 있다.

또한, 본 발명에 따르면, 지지 기판이 접착된 반도체 기판을 가열하는 공정에서, 지지 기판의 열팽창 계수와 반도체 기판의 열팽창 계수의 차이에 의해 발생하는 휘어짐을 극력 억제할 수 있다. 이에 의해, 다른 공정으로 이행할 때의 반도체 기판의 반송을 원활히 행하는 것이 가능해짐과 함께, 반도체 장치의 수율이 향상된다.

또한, 본 발명에 따르면, 지지 기판이 접착된 반도체 기판이 개개의 반도체 칩으로 분리된 후, 반도체 칩의 측면이 배선층이나 보호층에 피복되기 때문에, 반도체 칩 내의 수분의 침입을 극력 방지하는 것이 가능해진다.

### (57) 청구의 범위

#### 청구항 1.

패드 전극이 형성된 반도체 기판을 준비하고, 상기 반도체 기판의 제1 주면에 지지체를 접착하는 공정과,

상기 반도체 기판의 제2 주면으로부터 상기 패드 전극의 표면에 도달하는 비아홀을 형성함과 동시에, 다이싱 라인을 따라 연장되고, 또한 상기 반도체 기판의 제2 주면으로부터 상기 반도체 기판을 관통하는 홈을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 2.

제1항에 있어서,

상기 홈을 형성하는 공정 후에, 상기 지지체가 접착된 상기 반도체 기판을 가열하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 3.

패드 전극이 형성된 반도체 기판을 준비하고, 상기 반도체 기판의 제1 주면에 지지체를 접착하는 공정과,

상기 반도체 기판의 제2 주면으로부터 상기 패드 전극의 표면에 도달하는 비아홀을 형성함과 동시에, 다이싱 라인을 따라 연장되고, 또한 상기 반도체 기판의 제2 주면으로부터 상기 반도체 기판을 관통하는 홈을 형성하는 공정과,

상기 비아홀 내를 포함하는 상기 반도체 기판의 제2 주면의 전면에 제1 절연막을 형성하는 공정과,

상기 제1 절연막을 이방성 에칭하여, 상기 비아홀의 바닥부에 위치하는 제1 절연막을 제거하여, 상기 비아홀 및 상기 홈의 측벽에 측벽 절연막을 형성하는 공정과,

상기 비아홀을 통해서, 상기 패드 전극과 전기적으로 접속되고, 또한 상기 비아홀로부터 상기 홈 내에 연장되는 배선층을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 4.

제3항에 있어서,

상기 배선층을 형성하는 공정은, 도금법 또는 스퍼터법에 의해 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 5.

제3항에 있어서,

상기 배선층 위를 피복하는 보호층을 형성하는 공정과,

상기 배선층 위에 도전 단자를 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 6.

반도체 칩의 제1 주면 위에 형성된 패드 전극과,

상기 반도체 칩의 제1 주면에 접촉된 지지체와,

상기 반도체 칩의 제2 주면으로부터 상기 패드 전극의 표면으로 관통하는 비아홀과,

상기 비아홀의 측벽 및 상기 반도체 칩의 측면에 형성된 측벽 절연막과,

상기 비아홀을 통해서, 상기 패드 전극과 전기적으로 접속된 배선층을 구비하는 것을 특징으로 하는 반도체 장치.

#### 청구항 7.

제6항에 있어서,

상기 배선층은 도금법 또는 스퍼터법에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 8.

제6항에 있어서,

상기 배선층 위를 피복하도록 형성된 보호층과,

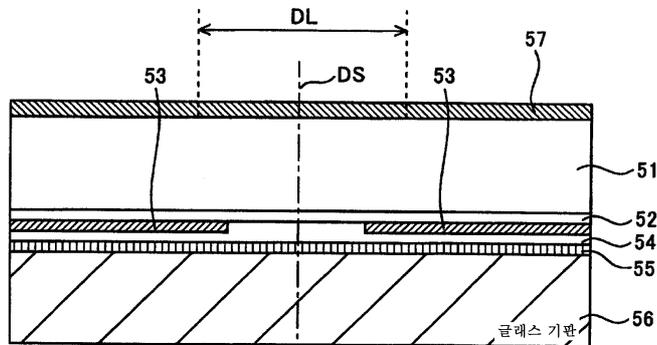
상기 배선층 위에 형성된 도전 단자를 구비하는 것을 특징으로 하는 반도체 장치.

**청구항 9.**

패드 전극이 형성된 반도체 기판의 제1 주면에 접착된 지지체와, 상기 반도체 기판의 제2 주면으로부터 상기 패드 전극의 표면에 도달하도록 형성된 비아홀과, 다이싱 라인을 따라 다이싱된 측단부에 에칭된 면을 갖는 것을 특징으로 하는 반도체 장치.

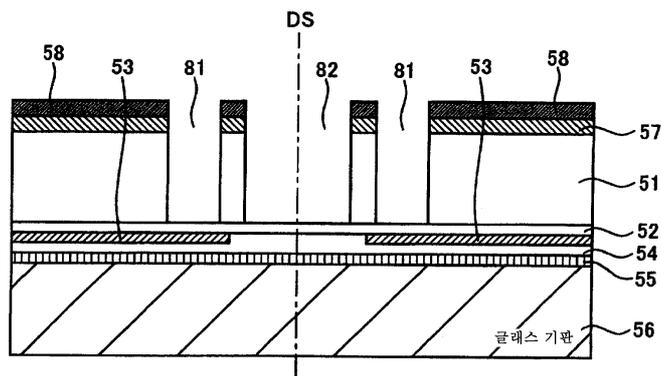
**도면**

**도면1**



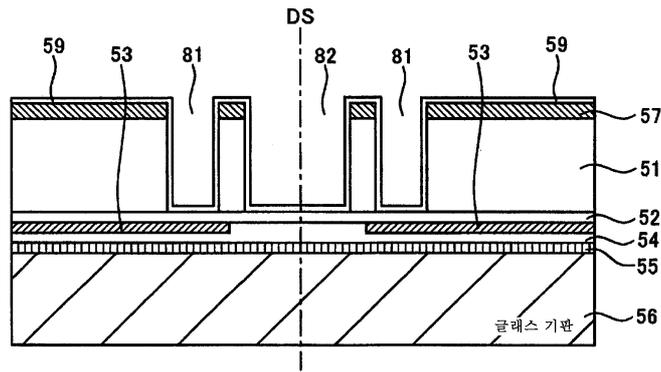
- 51 : 실리콘 웨이퍼      52 : 중간 절연막      53 : 패드 전극
- 54 : 페시베이션막      55 : 수지층          56 : 글래스 기판
- 57 : 제1 절연막

**도면2**



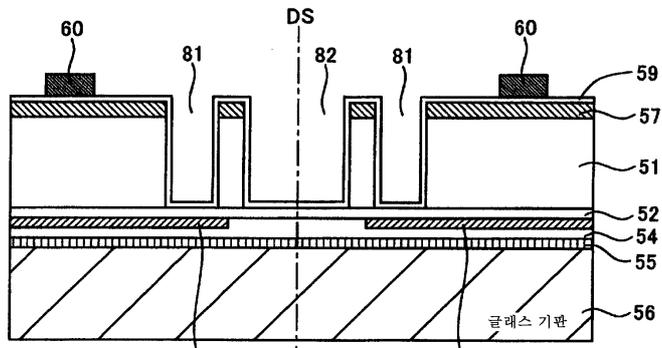
- 58 : 포토 레지스트층      81 : 비아홀          82 : 홈

도면3



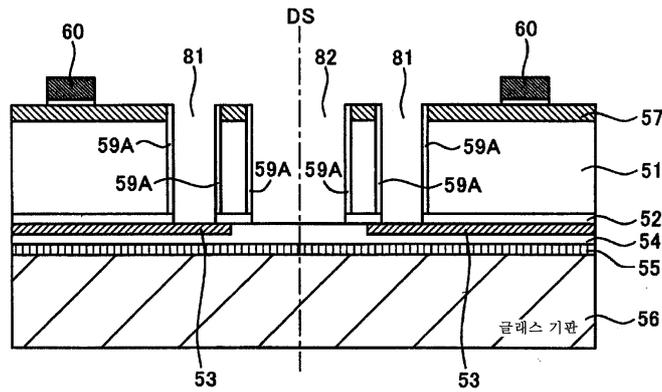
59 : 제2 절연막

도면4

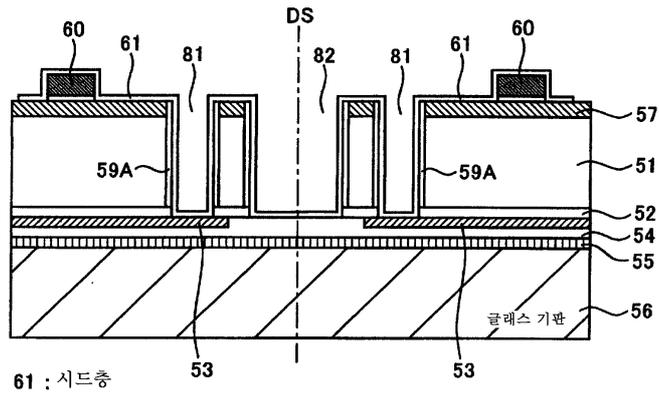


60 : 완충층

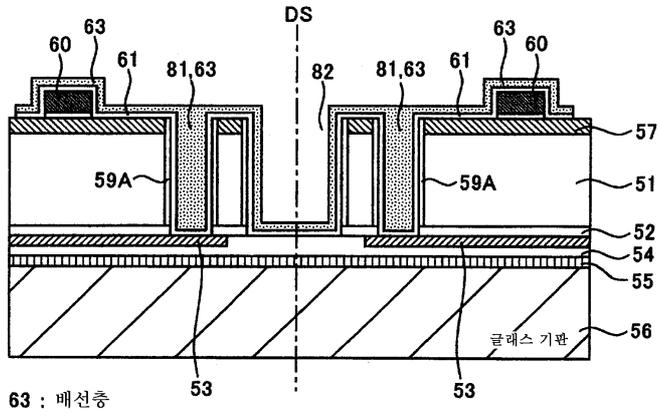
도면5



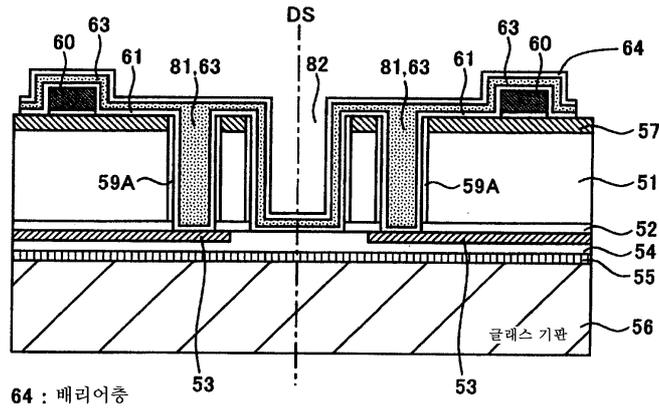
도면6



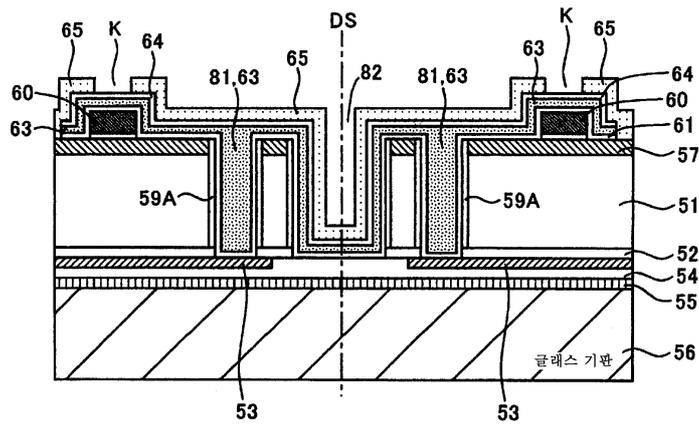
도면7



도면8

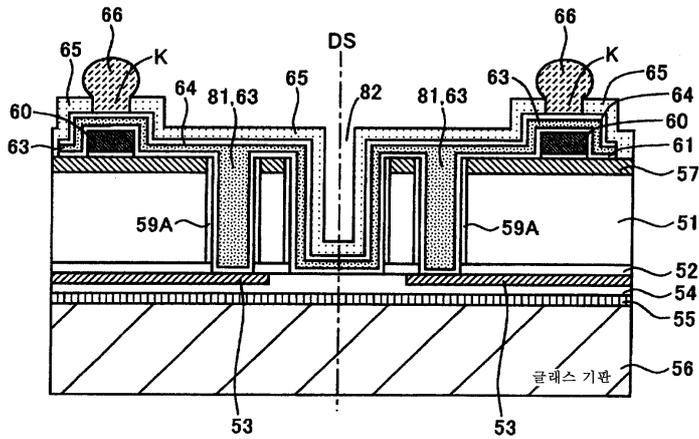


도면9



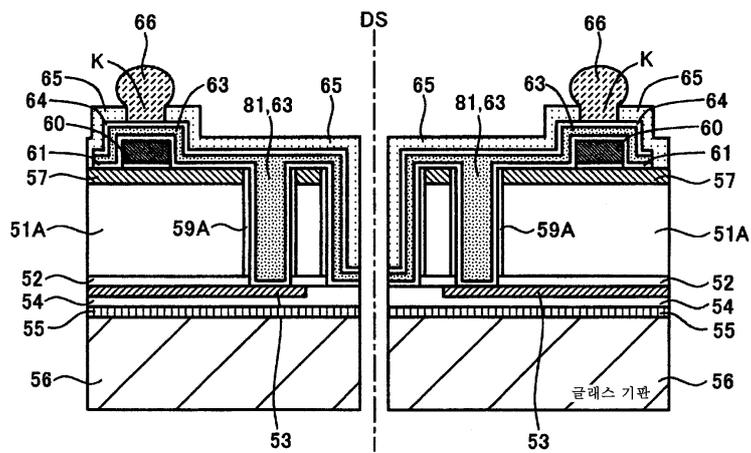
65 : 슬터마스크      K : 개구부

도면10

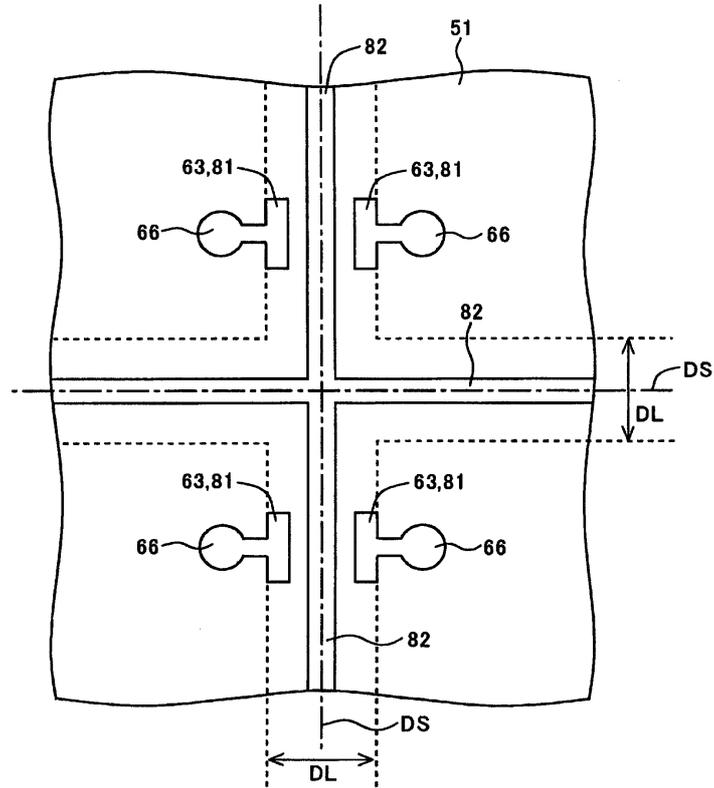


66 : 뽕납 볼

도면11

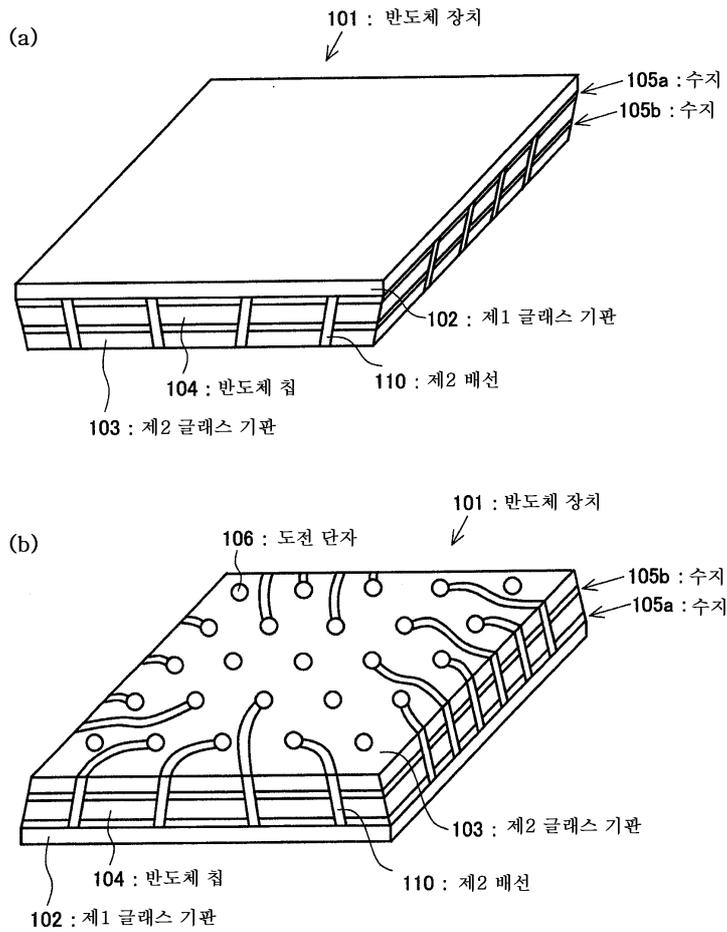


도면12



51 : 실리콘 웨이퍼      63 : 배선층  
 66 : 땀납 볼          81 : 미아홀          82 : 홈

도면13



도면14

