



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I739252 B

(45)公告日：中華民國 110 (2021) 年 09 月 11 日

(21)申請案號：108147542

(22)申請日：中華民國 108 (2019) 年 12 月 25 日

(51)Int. Cl. : H01L29/38 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

H01L21/22 (2006.01)

H01L21/336 (2006.01)

(71)申請人：杰力科技股份有限公司 (中華民國) EXCELLIANCE MOS CORPORATION (TW)  
 新竹縣竹北市台元街 22 號 4 樓之 1

(72)發明人：劉莒光 LIU, CHU-KUANG (TW)；羅禕倫 LO, YI-LUN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW 201535719A

TW 201611183A

TW 201622015A

TW 201631739A

TW 201843833A

TW 201909419A

US 2013/0280870A1

US 2014/0077290A1

US 2016/0190309A1

US 2017/0373185A1

審查人員：李景松

申請專利範圍項數：14 項 圖式數：6 共 22 頁

(54)名稱

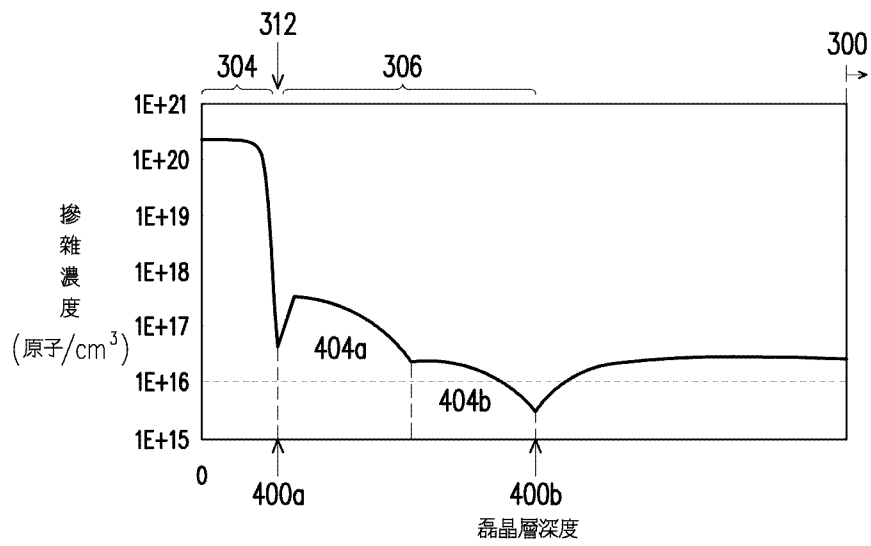
溝槽式 MOSFET 元件及其製造方法

(57)摘要

一種溝槽式 MOSFET 元件及其製造方法。所述溝槽式 MOSFET 元件包括基板、具有第一導電型的磊晶層、位於磊晶層中的溝槽內的閘極、閘氧化層、具有第一導電型的源極區、具有第二導電型的本體區與抗擊穿摻雜區。所述抗擊穿摻雜區是位於本體區與源極區的界面，且其摻雜濃度高於本體區的摻雜濃度。所述磊晶層具有接近源極區的第一 pn 接面和接近基板的第二 pn 接面。以兩個 pn 接面之間劃分為 N 等分的 N 個區域，N 是大於 1 的整數。所述 N 個區域內的摻雜濃度愈接近第一 pn 接面愈大。所述 N 個區域分別具有一摻雜濃度對於磊晶層深度之積分面積，且所述 N 個區域中愈接近所述第一 pn 接面的區域的所述摻雜濃度對於磊晶層深度之積分面積愈大。

A trench MOSFET and a manufacturing method of the same are provided. The trench MOSFET includes a substrate, an epitaxial layer with a first conductive type, a gate within a trench in the epitaxial layer, a gate oxide layer, a source region with the first conductive type, a body region and an anti-punch through region with a second conductive type. The anti-punch through region is disposed at the interface between the source region and the body region, and the doping concentration thereof is higher than that of the body region. The epitaxial layer has a first pn junction close to the source region and a second pn junction near the substrate. N regions are divided into N equally between the two pn junctions, and N is an integer greater than 1. The closer the N regions are to the first pn junction, the larger the doping concentration thereof is. Each of the N regions has an integrated area of a doping concentration to a depth of epitaxial layer, and the closer the N regions are to the first pn junction, the greater integrated area of a doping concentration to a depth of epitaxial layer is.

指定代表圖：



【圖4】

符號簡單說明：

- 300:基板
- 304:源極區
- 306:本體區
- 312:抗擊穿摻雜區
- 400a:第一 pn 界面
- 400b:第二 pn 界面
- 404a:第一區域
- 404b:第二區域



I739252

## 【發明摘要】

【中文發明名稱】溝槽式MOSFET元件及其製造方法

【英文發明名稱】TRENCH MOSFET AND MANUFACTURING

METHOD OF THE SAME

## 【中文】

一種溝槽式 MOSFET 元件及其製造方法。所述溝槽式 MOSFET 元件包括基板、具有第一導電型的磊晶層、位於磊晶層中的溝槽內的閘極、閘氧化層、具有第一導電型的源極區、具有第二導電型的本體區與抗擊穿摻雜區。所述抗擊穿摻雜區是位於本體區與源極區的界面，且其摻雜濃度高於本體區的摻雜濃度。所述磊晶層具有接近源極區的第一 pn 接面和接近基板的第二 pn 接面。以兩個 pn 接面之間劃分為 N 等分的 N 個區域，N 是大於 1 的整數。所述 N 個區域內的摻雜濃度愈接近第一 pn 接面愈大。所述 N 個區域分別具有一摻雜濃度對於磊晶層深度之積分面積，且所述 N 個區域中愈接近所述第一 pn 接面的區域的所述摻雜濃度對於磊晶層深度之積分面積愈大。

## 【英文】

A trench MOSFET and a manufacturing method of the same are provided. The trench MOSFET includes a substrate, an epitaxial layer with a first conductive type, a gate within a trench in the

epitaxial layer, a gate oxide layer, a source region with the first conductive type, a body region and an anti-punch through region with a second conductive type. The anti-punch through region is disposed at the interface between the source region and the body region, and the doping concentration thereof is higher than that of the body region. The epitaxial layer has a first pn junction close to the source region and a second pn junction near the substrate. N regions are divided into N equally between the two pn junctions, and N is an integer greater than 1. The closer the N regions are to the first pn junction, the larger the doping concentration thereof is. Each of the N regions has an integrated area of a doping concentration to a depth of epitaxial layer, and the closer the N regions are to the first pn junction, the greater integrated area of a doping concentration to a depth of epitaxial layer is.

【指定代表圖】圖4。

【代表圖之符號簡單說明】

300：基板

304：源極區

306：本體區

312：抗擊穿摻雜區

400a：第一pn界面

400b：第二pn界面

404a：第一區域

404b：第二區域

【特徵化學式】

無

**【發明說明書】**

**【中文發明名稱】** 溝槽式MOSFET元件及其製造方法

**【英文發明名稱】** TRENCH MOSFET AND MANUFACTURING

METHOD OF THE SAME

**【技術領域】**

**【0001】** 本發明是有關於一種功率半導體元件，且特別是有關於一種溝槽式金氧半導體場效電晶體(MOSFET)元件及其製造方法。

**【先前技術】**

**【0002】** 在功率半導體元件中，垂直設置於溝槽的功率半導體元件因為能大幅增加單元密度，所以已成為各界發展的重點之一。

**【0003】** 圖 1 是習知的一種溝槽式 MOSFET 元件的示意圖。在圖 1 中，基板 100 上的磊晶層 102 內有源極區 104 和本體(body)區 106，而溝槽式閘極 108 則是設置於磊晶層 102 中，內層介電層(ILD)110 覆蓋磊晶層 102 與溝槽式閘極 108。另外，溝槽式閘極 108 表面會有閘氧化層 112。

**【0004】** 圖 2 是沿著圖 1 的溝槽式閘極結構 108 的側壁 108a 的摻雜濃度曲線圖，其中顯示源極區 104 和本體區 106 之間的摻雜濃度分佈平緩，而使本體電阻 (body resistance) 變高。一旦本體電阻變高，將容易造成寄生 N(源極 104)-P(本體 106)-N(磊晶層 102) 雙極性電晶體導通，MOSFET 發生二次崩潰(Secondary

breakdown), 使得元件溫度上升, 造成元件永久損傷, 即非箝制電感切換(Unclamped Inductive Switching, UIS) 的性能變差。

### 【發明內容】

【0005】 本發明提供一種溝槽式 MOSFET 元件, 其本體與源極之間設有特定摻雜濃度範圍的抗擊穿摻雜區 (anti-punch through region), 能降低本體電阻率, 藉此改善溝槽式 MOSFET 元件的 UIS 能力。

【0006】 本發明另提供一種溝槽式 MOSFET 元件的製造方法, 可使本體與源極之間產生高摻雜濃度區域, 以降低本體電阻率 ( $R_{S\_Body}$ ), 以抑制寄生雙極性電晶體開啟。

【0007】 本發明的溝槽式 MOSFET 元件, 包括基板、具有第一導電型的磊晶層、閘極、閘氧化層、具有第一導電型的源極區、具有第二導電型的本體區與具有第二導電型的抗擊穿摻雜區。磊晶層係形成於基板上。磊晶層則具有溝槽, 閘極位於所述溝槽內, 閘氧化層位於閘極與溝槽之間。源極區是位於溝槽兩側的磊晶層的表面, 本體區是位於源極區下方的部分磊晶層內, 且抗擊穿摻雜區是位於本體區與源極區的界面, 其中所述抗擊穿摻雜區的摻雜濃度高於本體區的摻雜濃度。所述磊晶層具有接近源極區的一個第一 pn 接面(pn junction)及接近基板的一個第二 pn 接面, 且以第一 pn 接面與第二 pn 接面之間劃分為 N 等分的 N 個區域, N 是大於 1 的整數。所述 N 個區域內的摻雜濃度愈接近第一 pn 接面愈

大。所述 N 個區域分別具有一摻雜濃度對於磊晶層深度之積分面積，且所述 N 個區域中愈接近第一 pn 接面的區域的摻雜濃度對於磊晶層深度之積分面積愈大。

【0008】 在本發明的一實施例中，上述 N 為 2，且所述 N 個區域包括接近第一 pn 接面的第一區域與接近第二 pn 接面的第二區域，所述第一區域內的摻雜濃度均大於所述第二區域內的摻雜濃度，所述第一區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積。

【0009】 在本發明的一實施例中，上述 N 為 3，且所述 N 個區域包括接近第一 pn 接面的第一區域、接近第二 pn 接面的第三區域與介於第一區域與第三區域之間的第二區域，所述第一區域內的摻雜濃度均大於所述第二區域內的摻雜濃度、所述第二區域內的摻雜濃度均大於所述第三區域內的摻雜濃度，且所述第一區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積，所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第三區域的所述摻雜濃度對於磊晶層深度之積分面積。

【0010】 本發明的溝槽式 MOSFET 元件的製造方法，包括在一基板上的具有第一導電型的磊晶層內形成溝槽式閘極；以植入劑量往所述基板的方向逐漸減少的方式，對所述磊晶層進行多道植入具有第二導電型的摻雜物的步驟；進行第一驅入(drive-in)步驟，使具有所述第二導電型的所述摻雜物在所述磊晶層的上半部擴



散，形成具有所述第二導電型的本體區；在所述磊晶層的表面植入具有所述第一導電型的摻雜物；進行第二驅入步驟，使具有所述第一導電型的所述摻雜物擴散形成源極區；以及在形成所述源極區之後，在本體區與源極區的界面全面地植入具有第二導電型的摻雜物，以形成一抗擊穿摻雜區，其中所述抗擊穿摻雜區的摻雜濃度高於所述本體區的摻雜濃度。

【0011】 在本發明的另一實施例中，上述進行多道植入具有第二導電型的摻雜物的步驟包括兩道或三道植入步驟。

【0012】 在本發明的另一實施例中，上述植入具有第一導電型的摻雜物的能量例如在20KeV~45KeV之間。

【0013】 在本發明的另一實施例中，上述第二驅入步驟包括快速熱處理(RTP)。

【0014】 在本發明的另一實施例中，形成上述溝槽式閘極的步驟包括：在上述磊晶層先形成溝槽，在所述溝槽的表面形成閘氧化層，再在上述溝槽內沉積導體作為閘極。

【0015】 在本發明的各個實施例中，上述抗擊穿摻雜區的摻雜濃度介於 $5E+16$ 原子/cm<sup>3</sup>~ $5E+17$ 原子/cm<sup>3</sup>。

【0016】 在本發明的各個實施例中，上述第一導電型為N型，上述第二導電型為P型。

【0017】 在本發明的各個實施例中，上述第一導電型為P型，上述第二導電型為N型。

【0018】 基於上述，本發明藉由本體與源極之間形成的抗擊穿摻

雜區，使該處具有陡峭的濃度分佈並因而降低本體電阻率，以抑制寄生雙極性電晶體開啟，改善溝槽式 MOSFET 元件的 UIS 能力。

【0019】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0020】

圖 1 是習知的一種溝槽式 MOSFET 元件的示意圖。

圖 2 是沿著圖 1 的溝槽式閘極結構的側壁的摻雜濃度曲線圖

圖 3 是依照本發明的第一實施例的一種溝槽式 MOSFET 元件的示意圖。

圖 4 是沿著圖 3 的溝槽式閘極結構的側壁的一種摻雜濃度曲線圖。

圖 5 是沿著圖 3 的溝槽式閘極結構的側壁的另一種摻雜濃度曲線圖。

圖 6 是依照本發明的第二實施例的一種溝槽式 MOSFET 元件的製造流程步驟圖。

### 【實施方式】

【0021】 以下揭示內容提供許多不同的實施方式或範例，用於實施本發明的不同特徵。當然這些實施例僅為範例，並非用於限制本發明的範圍與應用。再者，為了清楚起見，各個構件、膜層或

區域的相對厚度及位置可能縮小或放大。另外，在各圖式中使用相似或相同的元件符號來標示相似或相同元件或特徵，且圖式中如有與前一圖相同的元件符號，則將省略其贅述。

【0022】圖3是依照本發明的第一實施例的一種溝槽式MOSFET元件的示意圖。

【0023】請參照圖3，第一實施例的溝槽式MOSFET元件包括基板300、具有第一導電型的磊晶層302、具有第一導電型的源極區304、具有第二導電型的本體區306、閘極308、閘氧化層310與具有第二導電型的抗擊穿摻雜區312。在本實施例中，第一導電型為N型，第二導電型為P型。但是本發明並不限於此，於另一實施例中，第一導電型可為P型，第二導電型可為N型。磊晶層302係形成於基板300上，且磊晶層302具有溝槽314。雖然圖3只顯示一個溝槽314，但是應知用於功率裝置的溝槽式MOSFET元件實際上具有多個溝槽314。

【0024】請繼續參照圖3，閘極308位於溝槽314內，且閘氧化層310位於閘極308與溝槽314之間。源極區304是位於溝槽314兩側的磊晶層302的表面302a，本體區306則是位於源極區304下方的部分磊晶層302內。一般來說，磊晶層302若是N型磊晶，則源極區304是N+區。抗擊穿摻雜區312則是位於本體區306與源極區304的界面，其中抗擊穿摻雜區312的摻雜濃度需高於本體區306的摻雜濃度。也就是說，相對於本體區306若是P型井區，則抗擊穿摻雜區312是P+區。在一實施例中，抗擊穿摻雜區312的摻雜濃度例如介於 $5E+16$

原子/cm<sup>3</sup> ~5E+17 原子/cm<sup>3</sup>。此外，可形成一內層介電層316覆蓋磊晶層302與閘極308。

【0025】圖4是沿著圖3的溝槽式閘極結構的側壁的一種摻雜濃度曲線圖。

【0026】在圖4中，磊晶層具有接近源極區304的一個第一pn接面(pn junction)400a以及接近基板300的一個第二pn接面400b，且以第一pn接面400a與第二pn接面400b之間劃分為2個等分，接近第一pn接面400a的設為第一區域404a、接近第二pn接面400b的設為第二區域404b。然而本發明並不限於此，第一pn接面400a與第二pn接面400b之間可劃分為N等份，N除了2以外也可以是大於1的其他整數。在圖4中，所述第一區域404a內的摻雜濃度均大於第二區域404b內的摻雜濃度，且第一區域404a具有一第一摻雜濃度對於磊晶層深度之積分面積、第二區域404b具有一第二摻雜濃度對於磊晶層深度之積分面積，所述第一摻雜濃度對於磊晶層深度之積分面積大於所述第二摻雜濃度對於磊晶層深度之積分面積。而且位於本體區306與源極區304的界面的抗擊穿摻雜區312具有陡峭的濃度分佈，使得此處的本體電阻率變低，進而改善溝槽式MOSFET元件的UIS能力。也就是說，本發明中的上述區域內的摻雜濃度愈接近第一pn接面400a愈大，愈接近第一pn接面400a的區域的摻雜濃度對於磊晶層深度之積分面積也愈大。關於這樣特別的摻雜濃度分佈的製作方式，將於下文描述。

【0027】 圖5是圖3的元件的溝槽側壁的另一種摻雜濃度曲線圖，其中使用與圖4相同的元件符號來表示相同或近似的區域，且相同或近似的區域內容也可參照上述，不再贅述。

【0028】 在圖5中與圖4不同的地方在於，第一pn接面400a與第二pn接面400b之間劃分為3等分，即包含接近第一pn接面400a的第一區域500a、接近第二pn接面400b的第三區域500c與介於第一區域500a與第三區域500c之間的第二區域500b。第一區域500a內的摻雜濃度均大於第二區域500b內的摻雜濃度、第二區域500b內的摻雜濃度均大於第三區域500c內的摻雜濃度，且第一區域500a的摻雜濃度對於磊晶層深度之積分面積大於第二區域500b的摻雜濃度對於磊晶層深度之積分面積，第二區域500b的摻雜濃度對於磊晶層深度之積分面積大於第三區域500c的摻雜濃度對於磊晶層深度之積分面積。所述摻雜濃度分佈的製作方式，也會於下文描述。

【0029】 圖6是依照本發明的第二實施例的一種溝槽式MOSFET元件的製造流程步驟圖。而且，根據第二實施例的步驟，可製作出如圖4或圖5的的摻雜濃度分佈。

【0030】 請參照圖6，先進行步驟S600，在一基板上的具有第一導電型的磊晶層內形成溝槽式閘極。在本實施例中，上述第一導電型為N型，第二導電型為P型；反之亦然。形成溝槽式閘極的步驟可列舉但不限於：在N型磊晶層先形成溝槽，在溝槽的表面形成閘氧化層，再在溝槽內沉積導體作為閘極，其中所述導體例如多晶矽。

【0031】 接著，在步驟 S602 中，以植入劑量往基板的方向逐漸減少的方式，對磊晶層進行多道植入具有第二導電型的摻雜物的步驟；在本實施例中，上述植入步驟可為兩道或三道植入 P 型的摻雜物的步驟。

【0032】 然後，在步驟 S604 中，進行第一驅入(drive-in)步驟，使上述 P 型摻雜物在 N 型磊晶層的上半部擴散，形成 P 型本體區。而且，為避免源極區底部趨近平緩的 N 型濃度與本體區平緩的 P 型濃度，在第一 pn 接面處相互抵消彼此的濃度，導致本體區的電阻率增加，本發明的製程藉由降低熱裕度(thermal budget)，使本體區的摻雜濃度分佈接近步驟 S602 的植入步驟後的濃度分佈。舉例來說，若是習知的驅入步驟是高溫長時間的製程(如高於 1000°C 一小時)，則步驟 S604 則是採取高溫短時間(如高於 1000°C 30 分鐘以下)或者採取同時降低溫度與縮短時間(如 1000°C 以下且短於一小時)的驅入。也就是說，當步驟 S602 的植入步驟是兩道，則所形成的本體區的雜濃度分佈如圖 4 所示；另一方面，若是步驟 S602 的植入步驟是三道，則所形成的本體區的摻雜濃度分佈會如圖 5 所示。

【0033】 隨後，在步驟 S606 中，在磊晶層的表面植入具有第一導電型(如 N 型)的摻雜物。而且，為了後續所形成的源極區具有較陡峭的摻雜濃度分佈，上述植入步驟的能量要比習知形成源極區所進行的植入要低，例如在 20KeV~45KeV 之間。然而，本發並不限於此。依據溝槽式 MOSFET 元件的設計準則，上述植入步驟的能量可進行變更。

【0034】 之後，在步驟 S608 中，進行第二驅入步驟，使具有第一導電型(如 N 型)的摻雜物擴散形成源極區。同樣地，為了使源極區具有較陡峭的摻雜濃度分佈，本發明的製程需進一步降低熱裕度，因此第二驅入步驟的時間要比習知的驅入步驟短，例如在 5 分鐘以下。舉例來說，第二驅入步驟可採用快速熱處理(RTP)。

【0035】 然後，在步驟 S608 之後再進行步驟 S610，在不需要任何光阻遮罩的情況下，在本體區與源極區的界面全面地植入具有第二導電型(如 P 型)的摻雜物，以形成抗擊穿摻雜區，其中所述抗擊穿摻雜區的摻雜濃度高於本體區的摻雜濃度，且後續將不再進行高溫的驅入步驟，使得本體區與源極區的界面形成陡峭的濃度分佈，如圖 4 與圖 5 中第一 pn 接面 400a 左側(往源極區 304)的直線。在本實施例中，抗擊穿摻雜區的摻雜濃度例如介於  $5E+16$  原子/cm<sup>3</sup> ~  $5E+17$  原子/cm<sup>3</sup>。然而，本發並不限於此。根據本體區的摻雜濃度大小，抗擊穿摻雜區的摻雜濃度也可作變更。後續的製程可按照既有技術進行，故不贅述。

【0036】 綜上所述，本發明藉由製程的控制在本體與源極之間形成特別的摻雜濃度分佈，而降低本體電阻率，並藉此改善溝槽式 MOSFET 元件的 UIS 能力。

【0037】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

## 【0038】

100、300：基板

102、302：磊晶層

104、304：源極區

106、306：本體區

108：溝槽式閘極

108a：側壁

110、316：內層介電層

112、310：閘氧化層

302a：表面

308：閘極

312：抗擊穿摻雜區

314：溝槽

400a：第一 pn 接面

400b：第二 pn 接面

404a、500a：第一區域

404b、500b：第二區域

500c：第三區域

S600、S602、S604、S606、S608、S610：步驟



**【發明申請專利範圍】**

【第1項】一種溝槽式MOSFET元件，包括：

基板；

具有第一導電型的磊晶層，形成於所述基板上，且所述磊晶層具有溝槽；

閘極，位於所述溝槽內；

閘氧化層，位於所述閘極與所述溝槽之間；

具有所述第一導電型的源極區，位於所述溝槽兩側的所述磊晶層的表面；

具有第二導電型的本體區，位於所述源極區下方的部分所述磊晶層內；以及

具有所述第二導電型的抗擊穿摻雜區，位於所述本體區與所述源極區的界面，其中所述抗擊穿摻雜區的摻雜濃度高於所述本體區的摻雜濃度，

其中所述磊晶層具有接近所述源極區的第一 pn 介面以及接近所述基板的一第二 pn 介面，且以所述第一 pn 介面與所述第二 pn 介面之間劃分為 N 等分的 N 個區域，N 是大於 1 的整數，

其中所述 N 個區域內的摻雜濃度愈接近所述第一 pn 介面愈大，且

其中所述 N 個區域分別具有一摻雜濃度對於磊晶層深度之積分面積，且所述 N 個區域中愈接近所述第一 pn 介面的區域的所述摻雜濃度對於磊晶層深度之積分面積愈大。

【第2項】如申請專利範圍第1項所述的溝槽式MOSFET元件，其中所述抗擊穿摻雜區的摻雜濃度介於 $5E+16$ 原子/cm<sup>3</sup>~ $5E+17$ 原子/cm<sup>3</sup>。

【第3項】如申請專利範圍第1項所述的溝槽式MOSFET元件，其中N為2，且所述N個區域包括接近所述第一pn接面的第一區域與接近所述第二pn接面的第二區域，所述第一區域內的摻雜濃度均大於所述第二區域內的摻雜濃度，所述第一區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積。

【第4項】如申請專利範圍第1項所述的溝槽式MOSFET元件，其中N為3，且所述N個區域包括接近所述第一pn接面的第一區域、接近所述第二pn接面的第三區域與介於所述第一區域與所述第三區域之間的第二區域，所述第一區域內的摻雜濃度均大於所述第二區域內的摻雜濃度、所述第二區域內的摻雜濃度均大於所述第三區域內的摻雜濃度，且所述第一區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積，所述第二區域的所述摻雜濃度對於磊晶層深度之積分面積大於所述第三區域的所述摻雜濃度對於磊晶層深度之積分面積。

【第5項】如申請專利範圍第1項所述的溝槽式MOSFET元件，其中所述第一導電型為N型，所述第二導電型為P型。

【第6項】如申請專利範圍第1項所述的溝槽式MOSFET元件，其中所述第一導電型為P型，所述第二導電型為N型。

【第7項】一種溝槽式MOSFET元件的製造方法，包括：

在一基板上的具有第一導電型的磊晶層內形成溝槽式閘極；

以植入劑量往所述基板的方向逐漸減少的方式，對所述磊晶層進行多數道植入具有第二導電型的摻雜物的步驟；

進行第一驅入(drive-in)步驟，使具有所述第二導電型的所述摻雜物在所述磊晶層的上半部擴散，形成具有所述第二導電型的本體(body)區；

在所述磊晶層的表面植入具有所述第一導電型的摻雜物；

進行第二驅入步驟，使具有所述第一導電型的所述摻雜物擴散形成源極區；以及

在形成所述源極區之後，在所述本體區與所述源極區的界面全面地植入具有所述第二導電型的摻雜物，以形成一抗擊穿摻雜區，其中所述抗擊穿摻雜區的摻雜濃度高於所述本體區的摻雜濃度。

【第8項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述多數道植入具有第二導電型的摻雜物的步驟包括兩道或三道植入具有所述第二導電型的摻雜物的步驟。

【第9項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述抗擊穿摻雜區的摻雜濃度介於 $5E+16$ 原子/cm<sup>3</sup>~ $5E+17$ 原子/cm<sup>3</sup>。

【第10項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述第一導電型為N型，所述第二導電型為P型。

【第11項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述第一導電型為P型，所述第二導電型為N型。

【第12項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述植入具有所述第一導電型的摻雜物的能量在20KeV~45KeV之間。

【第13項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中所述第二驅入步驟包括快速熱處理(RTP)。

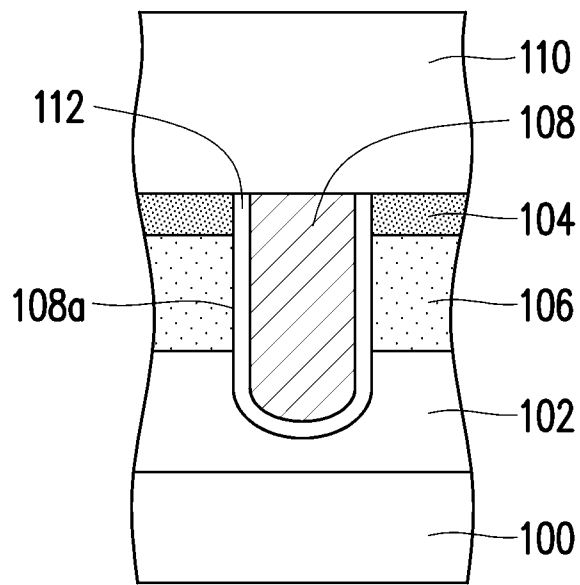
【第14項】如申請專利範圍第7項所述的溝槽式MOSFET元件的製造方法，其中形成所述溝槽式閘極的步驟包括：

在所述磊晶層形成溝槽；

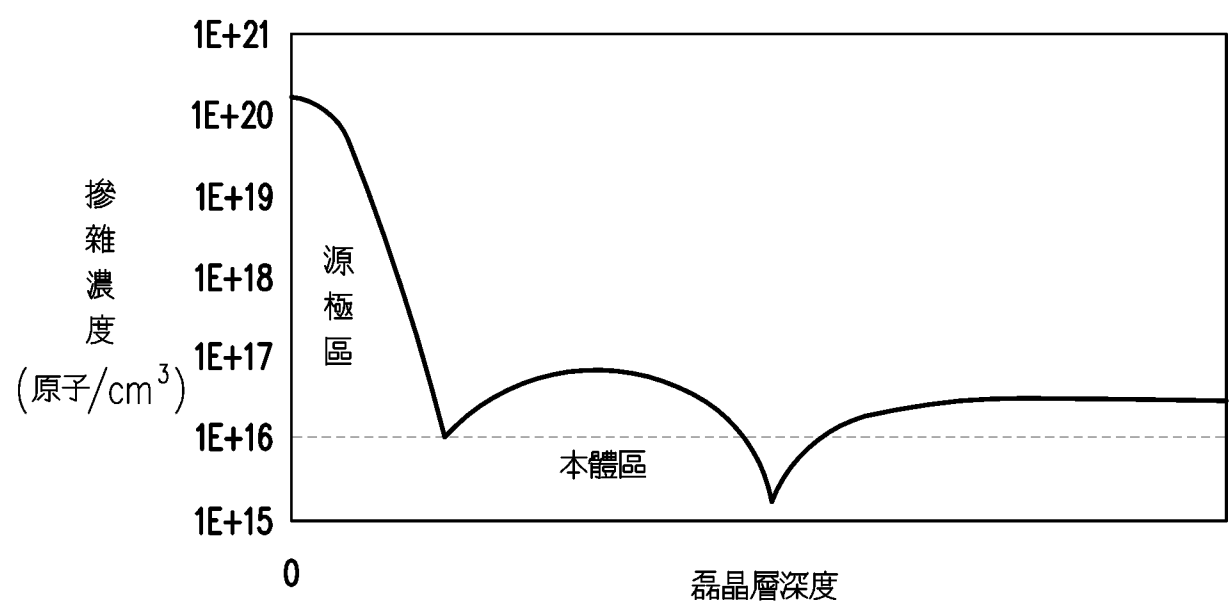
在所述溝槽的表面形成閘氧化層；以及

在所述溝槽內沉積導體作為閘極。

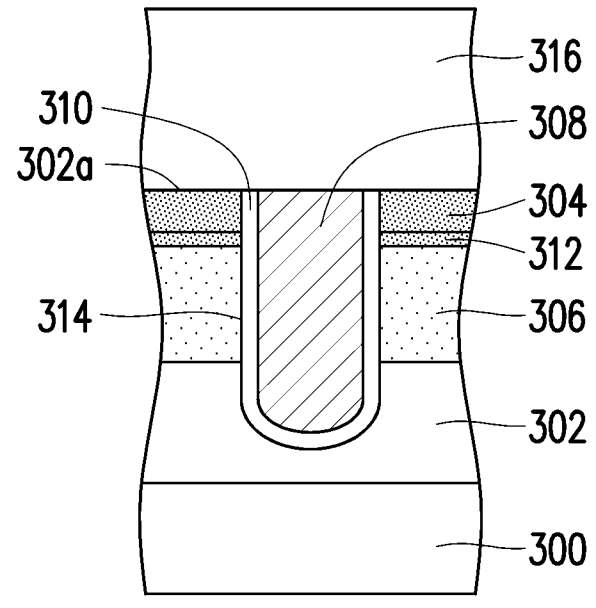
【發明圖式】



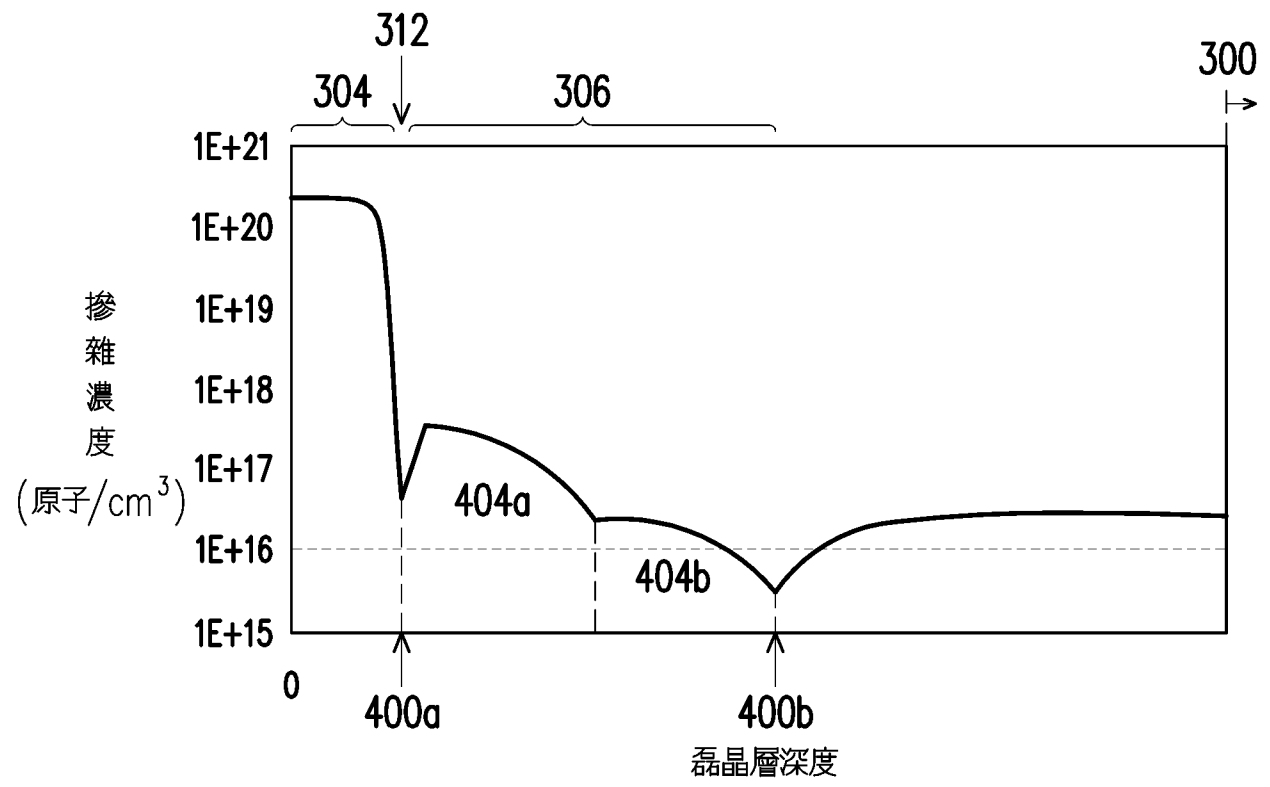
【圖1】



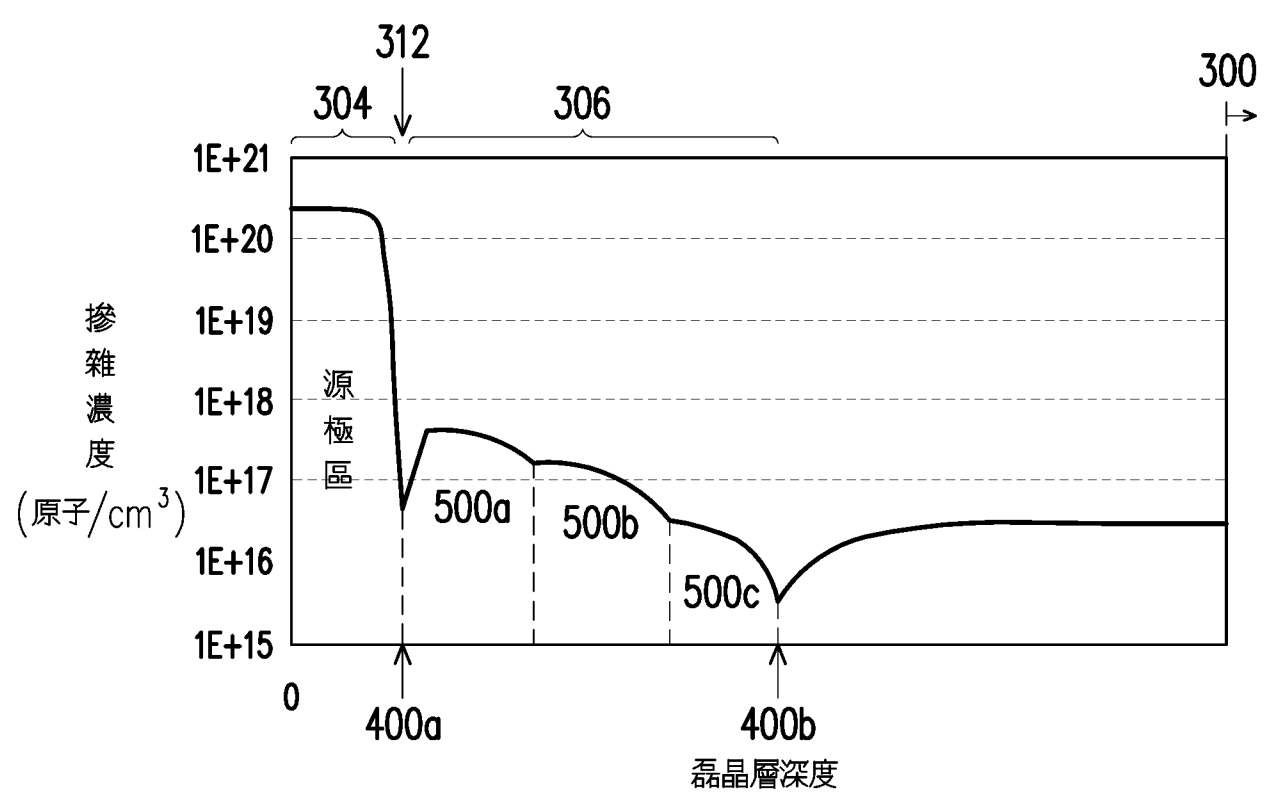
【圖2】



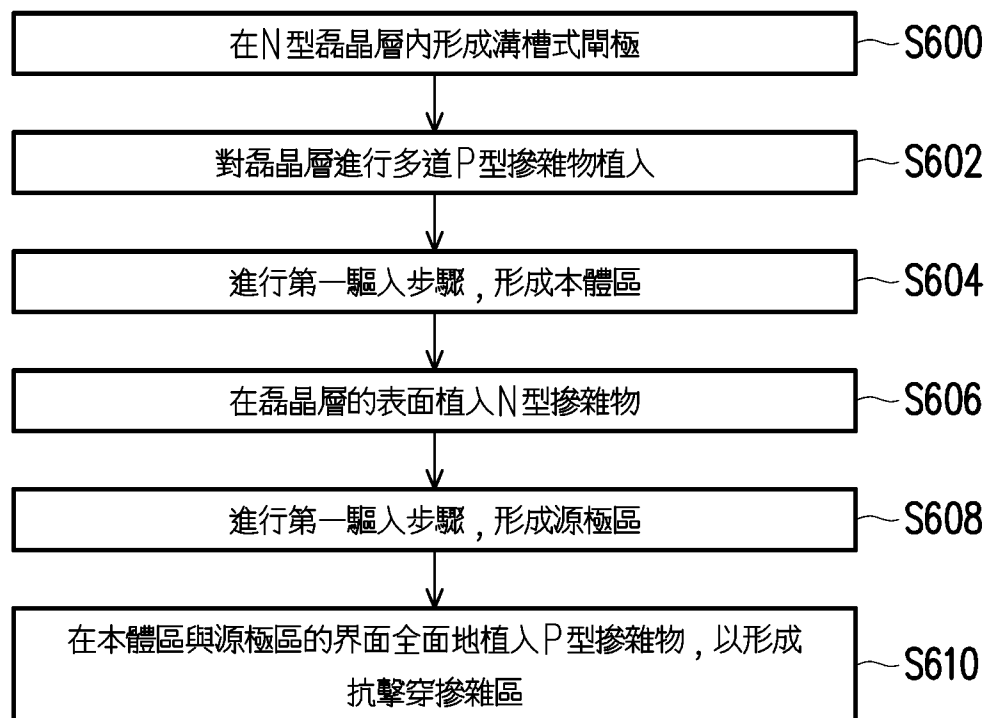
【圖3】



【圖4】



【圖5】



【圖6】