

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6072449号
(P6072449)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.		F I			
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 7 1 C
G 1 1 C	29/42	(2006.01)	G 1 1 C	29/00	6 3 1 D

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2012-153557 (P2012-153557)	(73) 特許権者	302062931
(22) 出願日	平成24年7月9日(2012.7.9)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2014-17034 (P2014-17034A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成26年1月30日(2014.1.30)	(74) 代理人	100102864
審査請求日	平成27年2月4日(2015.2.4)		弁理士 工藤 実
		(72) 発明者	高橋 弘行
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体記憶回路及びその動作方法

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルを含むメモリコアと、

E C C (error checking and correction) エンコーダと、

E C C デコーダと、

データレジスタと、

アドレスレジスタ

とを備え、

前記メモリコアは、各動作サイクルにおけるコマンド入力にตอบสนองして活性化され、

前記E C C エンコーダは、ライトコマンドと共に入力される入力データに対してE C C 符号化を行ってE C C データを生成し、前記入力データと前記E C C データとを含む書き込みデータを生成し、

前記E C C デコーダは、リードコマンドに応じて前記メモリコアから読み出された読み出しデータに対して前記読み出しデータに含まれるE C C データを用いてE C C 復号化を行って出力データを生成し、

前記ライトコマンドにตอบสนองした前記書き込みデータの前記メモリコアへの書き込みは、前記ライトコマンドが入力された第1動作サイクルより後の第2動作サイクルにおいて入力された他のライトコマンドの入力にตอบสนองして前記メモリコアが活性化されたときに行われ、

前記第1動作サイクルにおいて、前記書き込みデータが前記データレジスタに保存され

10

20

ると共に前記ライトコマンドと共に入力された書き込みアドレスが前記アドレスレジスタに保存され、

前記第2動作サイクルにおいて、前記データレジスタに保存された前記書き込みデータが、前記アドレスレジスタに保存された前記書き込みアドレスに対応する前記メモリセルに書き込まれ、

前記リードコマンドにตอบสนองした前記読み出しデータは、前記リードコマンドが入力された第3動作サイクルの次の第4動作サイクルにおいて前記ECC復号化が行われ、

前記第4動作サイクルの末尾までに前記出力データが外部に出力される
半導体記憶回路。

【請求項2】

10

請求項1に記載の半導体記憶回路であって、
更に、

前記半導体記憶回路の外部から供給されるクロック信号に同期して前記入力データを受け取り、受け取った前記入力データを前記ECCエンコーダに転送するデータ入力バッファと、

前記クロック信号に同期して、前記書き込みアドレス及び前記リードコマンドと共に入力される読み出しアドレスを受け取り、受け取った前記書き込みアドレス及び前記読み出しアドレスを出力するアドレス入力バッファと、

前記第2動作サイクルにおいて入力された他のライトコマンドにตอบสนองして前記アドレスレジスタに書き込まれた前記書き込みアドレスを選択し、前記リードコマンドにตอบสนองして前記アドレス入力バッファから出力された前記読み出しアドレスを選択し、選択したアドレスを前記メモリコアに出力するセレクタと、

20

制御回路

とを具備し、

前記制御回路は、前記クロック信号に同期して、前記ライトコマンドの入力から前記メモリコアの活性化までの遅延と、前記リードコマンドの入力から前記メモリコアの活性化までの遅延とが同一であるように前記メモリコアを活性化する

半導体記憶回路。

【請求項3】

30

請求項2に記載の半導体記憶回路であって、

前記第3動作サイクルでは、前記メモリコアの活性化が前記クロック信号のアサートにตอบสนองして行われ、

前記第4動作サイクルでは、前記クロック信号のネゲートにตอบสนองして前記出力データが出力バッファに取り込まれて前記半導体記憶回路の外部に出力される

半導体記憶回路。

【請求項4】

請求項2に記載の半導体記憶回路であって、

更に、

出力バッファ

を具備し、

40

前記制御回路は、前記第3動作サイクルにおいて、前記クロック信号に同期して前記メモリコアを活性化すると共に、

前記制御回路は、前記クロック信号を遅延して出力クロック信号を生成し、

前記出力バッファは、前記出力クロック信号に同期して前記出力データを取り込んで前記半導体記憶回路の外部に出力する

半導体記憶回路。

【請求項5】

請求項1乃至4のいずれかに記載の半導体記憶回路であって、

前記各動作サイクルのうちの第5動作サイクルにおいて前記コマンド入力としてリフレッシュコマンドが入力された場合に、前記メモリコアが活性化されると共にリフレッシュ

50

動作が行われ、

前記リフレッシュコマンドの入力から前記メモリコアの活性化までの遅延が、前記ライトコマンドの入力から前記メモリコアの活性化までの遅延及び前記リードコマンドの入力から前記メモリコアの活性化までの遅延と同一である

半導体記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶回路及びその動作方法に関し、特に、ECC (error checking and

correcting) 機能を有する半導体記憶回路の動作方法に関する。

【背景技術】

【0002】

記憶データのエラーを検出し、訂正するECC機能は、半導体記憶回路のデータ信頼性を高めるための技術として広く用いられている。近年では、独立したメモリチップのみならず、メモリ混載LSIに集積化されたメモリマクロにおいてもECC機能が搭載されることがある。

【0003】

ECC機能を搭載したメモリマクロは、例えば、特開2010-86210号公報に開示されている。図1は、この公報に開示されているコントローラ106の構成を示している。コントローラ106は、メモリ101とメモリコントローラ102とプロセッサ104とを備えている。メモリ101とメモリコントローラ102とは、信号線群103で接続され、メモリコントローラ102とプロセッサ104とは信号線群105で接続されている。プロセッサ104が、信号線群105で伝送される制御信号(クロックCLK、リードライト制御RW、転送開始BS、アドレス及びデータAD)によってメモリコントローラ102にリード動作又はライト動作を指示すると、メモリコントローラ102は、信号線群103で伝送される制御信号(クロックCLK、アドレスA、ローアドレスストロープRAS、カラムアドレスストロープCAS、ライトイネーブルWE、データマスクDM、データストロープDQS、データDQ)によってメモリ101にアクセス(リード動作又はライト動作)を行う。ここで、メモリコントローラ102は、ECC機能を有しており、ECC符号化やECC復号化処理を行う。

【0004】

ECC機能を搭載したメモリマクロについては、他にも、特開2002-74983号公報、特開2006-244632号公報、及び、特開2008-90419号公報にも開示されている。

【0005】

半導体記憶回路に対する一つの要求は、リード動作、ライト動作における動作周波数を高めることである。動作周波数を高めることで、高速なリード動作、ライト動作を実現することが可能になる。

【0006】

もう一つの要求は、リード動作とライト動作との切り替えを含め、各動作サイクルにおいて完全なランダムアクセス性を維持することである。例えば、ライト動作が指示された動作サイクルの次のサイクルにおいてリード動作が禁止されるような事態は、外部から半導体記憶回路を制御するために使用される制御ロジックを複雑化し、ランダムアクセス性を低下させてしまう。

【0007】

しかしながら、ECC機能を付加することで、上記の要求を同時に満たせなくなることがある。例えば、動作周波数を高くすると、ECC符号化処理とメモリセルへの書き込み

10

20

30

40

50

とを一つの動作サイクルで完了することができなくなり、同様に、メモリセルからの読み出しとECC復号化処理とが一つの動作サイクルで完了することができなくなる。ECC処理（即ち、ECC符号化処理又はECC復号化処理）とメモリセルへのアクセスを単一の動作サイクルで完了させるという条件の下では、動作周波数は、ECC処理に要する時間とメモリセルへのアクセスに要する時間の和に対応する周波数に制約されてしまう。

【0008】

このような問題に対処するための一つの手法は、例えば上記の特開2010-086120号公報に開示されているように、メモリアクセスのための処理とECC符号化処理又はECC復号化処理とをパイプライン化することである。即ち、ライト動作では、ライトコマンドとデータとアドレスが入力された動作サイクルにおいてECC符号化処理が行われ、その次の動作サイクルにおいてデータがメモリコアに書き込まれる。リード動作では、リードコマンドとアドレスとが入力された動作サイクルにおいてメモリコアからデータが読みだされ、その次の動作サイクルにおいてECC復号化処理が行われる。このような動作によれば、一の動作サイクルの長さ自体は短くできるので、動作周波数を低減させずにECC処理を行うことができる。

10

【0009】

図2は、図1の半導体記憶回路のライト動作とリード動作の例を示すタイミングチャートである。図2には、上述のようなECC処理とメモリアクセスとがパイプライン化された動作が図示されている。ここで、図1の回路では、メモリコントローラ102は、プロセッサ104から受け取ったアドレスをそのままメモリ101に転送すると同時にECC

20

【0010】

例えば、図2の動作では、時刻t1において、ライトコマンドが入力され、アドレスA1を指定するアドレス信号が入力され、更に、データ入力にデータD1が入力されると、時刻t1から開始される動作サイクルにおいてECC処理が行われ、次の動作サイクル（時刻t2で開始される動作サイクル）においてメモリ101が活性化されてデータ書き込みが行われる。また、時刻t3において、リードコマンドが入力されると共に、アドレスA2を指定するアドレス信号が入力されると、時刻t3から開始される動作サイクルにおいてメモリ101が活性化されてデータ読み出しが行われ、次の動作サイクル（時刻t4で開始される動作サイクル）においてECC復号化処理が行われる。

30

【0011】

しかしながら、図2に図示されている動作では、ライトサイクル数（ライトコマンドの入力の後、データ書き込みを完了するのに必要な動作サイクルの数）が2に悪化し、また、リードサイクル数（リードコマンドの入力の後、データ読み出しを完了するのに必要な動作サイクルの数）も2に劣化してしまう。

【0012】

加えて、図2に図示されている動作では、ライトコマンドの入力の次の動作サイクルでリードコマンドの入力を禁止する必要があり、ランダムアクセス性が失われる。ライト動作は、ライトコマンドが入力された動作サイクルの次の動作サイクルでメモリ101へのアクセスが行われる一方で、リード動作は、リードコマンドが入力された動作サイクルでメモリ101へのアクセスが行われるので、ライトコマンドの入力の次の動作サイクルでリードコマンドが入力されるとメモリ101へのアクセスが衝突してしまう。

40

【0013】

このような不具合を解消するためには、リードコマンドが入力された動作サイクルの次の動作サイクルでメモリ101へのアクセスを行い、アクセスの衝突を回避することも考えられる。しかしながら、そのような動作では、リードサイクル数が3に増大してしまう。

【0014】

50

このような問題は、メモリ混載LSIにおいて特に問題になる。メモリ混載LSIでは、メモリアンターフェースがボトルネックとならないため、メモリコアの動作速度が増大される上、ランダムアクセス性能に対する要求が大きい。このため、ライド動作、リード動作に必要な動作サイクル数の増大の問題や、ライトコマンド、リードコマンドの入カタイミングの制約の問題は、特に深刻になる。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2010-86210号公報

【特許文献2】特開2002-74983号公報

【特許文献3】特開2006-244632号公報

【特許文献4】特開2008-90419号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

したがって、本発明の目的は、ECC機能を有する半導体記憶回路について、動作周波数を高く維持すると共に、ランダムアクセス性を向上させる技術を提供することにある。

【課題を解決するための手段】

【0017】

本発明の一の観点では、半導体記憶回路が、複数のメモリセルを含むメモリコアと、ECC (error checking and correction) エンコーダと、ECCデコーダとを備えている。メモリコアは、各動作サイクルにおけるコマンド入力に応答して活性化される。ECCエンコーダは、ライトコマンドと共に入力される入力データに対してECC符号化を行ってECCデータを生成し、入力データとECCデータとを含む書き込みデータを生成する。ECCデコーダは、リードコマンドに応じてメモリコアから読み出された読み出しデータに対して読み出しデータに含まれるECCデータを用いてECC復号化を行って出力データを生成する。書き込みデータのメモリコアへの書き込みタイミングは、ライトコマンドの入力からメモリコアの活性化までの遅延と、リードコマンドの入力からメモリコアの活性化までの遅延とが同一であるように調節されている。

【0018】

本発明の他の観点では、複数のメモリセルを含むメモリコアを備えた半導体記憶回路の動作方法が提供される。当該動作方法は、

各動作サイクルにおいて、コマンドの入力に応答してメモリコアを活性化するステップと、

各動作サイクルのうちの第1動作サイクルにおいてコマンドとしてライトコマンドが入力された場合に、第1動作サイクルで入力された入力データに対してECC (error checking and correction) 符号化を行ってECCデータを生成し、入力データとECCデータとを含む書き込みデータを生成するステップと、

メモリコアが活性化されている間に、第1動作サイクルで入力された書き込みアドレスに対応するメモリセルに書き込みデータを書き込むステップと、

各動作サイクルのうちの第2動作サイクルにおいてコマンドとしてリードコマンドが入力された場合に、第2動作サイクルで入力された読み出しアドレスに対応するメモリセルから読み出しデータを読み出すステップと、

読み出しデータに対し、読み出しデータに含まれるECCデータを用いてECC復号化を行って出力データを生成するステップ

とを具備する。ここで、ライトコマンドの入力からメモリコアの活性化までの遅延と、リードコマンドの入力からメモリコアの活性化までの遅延とが同一である。

【発明の効果】

【0019】

10

20

30

40

50

本発明によれば、ECC機能を有する半導体記憶回路について、動作周波数を高く維持すると共に、ランダムアクセス性を向上させる技術が提供される。

【図面の簡単な説明】

【0020】

【図1】従来のECC機能を有する半導体記憶回路の構成を示すブロック図である。

【図2】図1の半導体記憶回路の動作を示すタイミングチャートである。

【図3】本発明の第1の実施形態の半導体記憶回路の構成を示すブロック図である。

【図4】第1の実施形態の半導体記憶回路の動作を示すタイミングチャートである。

【図5】本発明の第2の実施形態の半導体記憶回路の構成を示すブロック図である。

【図6】第2の実施形態の半導体記憶回路の動作を示すタイミングチャートである。

【図7】本発明の第3の実施形態の半導体記憶回路の構成を示すブロック図である。

【図8】本発明の第4の実施形態の半導体記憶回路の動作を示すタイミングチャートである。

【図9】本発明の第5の実施形態の半導体記憶回路の構成を示すブロック図である。

【図10】第5の実施形態の半導体記憶回路の動作を示すタイミングチャートである。

【図11】第6の実施形態の半導体記憶回路の動作の一例を示すタイミングチャートである。

【図12】第6の実施形態の半導体記憶回路の動作の他の例を示すタイミングチャートである。

【発明を実施するための形態】

【0021】

第1の実施形態：

図3は、本発明の第1の実施形態の半導体記憶回路の構成を示すブロック図である。第1の実施形態では、本発明の半導体記憶回路がRAMマクロ10として構成されている。RAMマクロ10は、メモリコア1と、アドレス入力バッファ2と、データ入力バッファ3と、ECCエンコーダ4と、ECCデコーダ5と、出力バッファ6と、遅延回路7とを備えている。

【0022】

メモリコア1は、メモリセルが行列に配置されたセルアレイを備えており、該セルアレイにデータが記憶される。メモリコア1には、ランダムアクセスに対応した様々なメモリセルが使用可能であり、例えば、DRAM(dynamic random access memory)セル、SRAM(static random access memory)セル等がメモリコア1のメモリセルとして使用可能である。アドレス入力バッファ2は、当該RAMマクロ10の外部から入力されたアドレスADD及びコマンドCOMをメモリコア1に転送する。データ入力バッファ3は、当該RAMマクロ10の外部から入力された入力データDATA_INをECCエンコーダ4に転送する。データ入力バッファ3には、データマスク信号Maskが供給されており、データ入力バッファ3は、入力データDATA_INの一部のビットをマスクする機能を有している。

【0023】

ECCエンコーダ4は、入力データDATA_INに対してECC符号化処理を行い、ECCデータを生成する。ここで、ECCデータとは、メモリコア1に記憶されたデータの誤り検出及び誤り訂正に使用されるデータである。ECCエンコーダ4は、入力データDATA_INとECCデータとを書き込みデータとしてメモリコア1に転送する。メモリコア1に送られた書き込みデータは、メモリコア1に記憶される。

【0024】

ECCデコーダ5は、メモリコア1から読み出された読み出しデータに対しECC復号化処理を行い、出力データDATA_OUTを生成する。詳細には、メモリコア1から読み出された読み出しデータには、実効データ(即ち、入力データに相当するデータ)とECCデータとが含まれている。ECCデコーダ5は、メモリコア1から読み出された読み出しデータに対し、ECCデータを用いて誤り検出を行う。誤りが検出されなかった場合

10

20

30

40

50

、読み出しデータに含まれている実効データを出力データDATA_OUTとして出力する。また、誤りが検出され、且つ、誤り訂正可能な場合、ECCデコーダ5は、読み出しデータに対して誤り訂正を行い、得られた訂正後データを出力データDATA_OUTとして出力バッファ6に送る。出力バッファ6は、出力データDATA_OUTを外部に出力する。

【0025】

該RAMマクロ10には、外部からクロック信号CLKが供給されており、メモリコア1と、アドレス入力バッファ2と、データ入力バッファ3と、ECCデコーダ5と、出力バッファ6とは、該クロック信号CLKにตอบสนองして動作する。ここで、クロック信号CLKは、動作サイクルの長さと同じの周期を有している。クロック信号CLKの1周期が動作サイクルに対応している。

10

【0026】

ただし、メモリコア1とECCデコーダ5には、クロック信号CLKが遅延回路7によって遅延されて得られる遅延クロック信号CLKDが供給される。これは、メモリコア1の活性化タイミングを遅延させると共に、メモリコア1の活性化タイミングに合わせてECCデコーダ5の動作タイミングを遅延させるためである。以下に詳細に述べられるように、本実施形態のRAMマクロ10では、メモリコア1の活性化タイミングとECCデコーダ5の動作タイミングを遅らせることが高い動作周波数の維持とランダムアクセス性の向上のために重要である。

【0027】

20

図4は、第1の実施形態のRAMマクロ10の動作を示すタイミングチャートである。クロック信号CLKが遅延回路7によって遅延され、遅延クロック信号CLKDが生成される。図4の例では、遅延クロック信号CLKDのクロック信号CLKからの遅延時間は t_D として図示されている。

【0028】

ライト動作では、ライト動作が行われる動作サイクルの開始時に、クロック信号CLKのアサート(本実施形態では、クロック信号CLKの立ち上がりエッジ)に同期して、コマンドCOMとしてライトコマンドが入力される。ライトコマンドの入力と共に、書き込みアドレスを指定するアドレスADDと、入力データDATA_INとが同時に入力される。アドレス入力バッファ2及びデータ入力バッファ3は、クロック信号CLKのアサートに同期してアドレスADD及び入力データDATA_INを取り込む。続いて、ECCエンコーダ4によってECC符号化処理が行われてECCデータが生成される。更に、遅延クロック信号CLKDのアサート(本実施形態では、遅延クロック信号CLKDの立ち上がりエッジ)にตอบสนองしてメモリコア1が活性化され(即ち、書き込みアドレスに対応する選択ワード線が活性化され)、メモリコア1への書き込みデータ(即ち、入力データDATA_INとECCデータ)の書き込みが行われる。

30

【0029】

ここで、遅延クロック信号CLKDの遅延時間 t_D は、メモリコア1が活性化されるタイミングがECC符号化処理の完了の後になり、且つ、次の動作サイクルの開始時には、メモリコア1の書き込みアドレスのメモリセルのデータが確定しているように調節されている。次の動作サイクルの開始時点においては、メモリコア1の書き込みアドレスのメモリセルのデータが確定しているから、ライトサイクル数は1であることを留意されたい。

40

【0030】

例えば、ある動作サイクルが開始される時刻 t_1 において、ライトコマンドとアドレスA1と入力データD1とが入力されると、入力データD1に対してECC符号化処理が行われてECCデータが生成される。続いて、遅延クロック信号CLKDのアサートにตอบสนองしてメモリコア1が活性化される。このとき、メモリコア1では、アドレスA1によって選択されるワード線WL1が活性化され、書き込みデータがアドレスA1に対応するメモリセルに書き込まれる。

【0031】

50

時刻 t_4 においてライトコマンドとアドレス A_4 と入力データ D_4 とが入力された場合、時刻 t_5 においてライトコマンドとアドレス A_5 と入力データ D_5 とが入力された場合についても同様にしてライト動作が行われる。

【0032】

ここで、ライト動作の完全な完了は、ライト動作が開始された動作サイクルの次の動作サイクルに跨っていることに留意されたい。しかしながら、後述のように、次の動作サイクルにおいてもメモリア1の活性化タイミングが遅延されるから、ライト動作の完了の遅延は問題にならない。

【0033】

一方、リード動作では、リード動作が開始される動作サイクルの開始時に、クロック信号 CLK のアサートに同期して、コマンド COM としてリードコマンドが入力され、更に、読み出しアドレスを指定するアドレス ADD が入力される。続いて、遅延クロック信号 $CLKD$ のアサートに反応してメモリア1が活性化され（即ち、読み出しアドレスに対応する選択ワード線が活性化され）、メモリア1のアドレス ADD に対応するメモリセルから読み出しデータが読みだされる。

10

【0034】

続いて、次の動作サイクルの遅延クロック信号 $CLKD$ のアサートに反応してメモリア1から読み出された読み出しデータが CCC デコーダ5に取り込まれ、 CCC デコーダ5によって CCC 復号化処理が行われる。 CCC 復号化処理で得られた出力データ $DATA_OUT$ は、出力バッファ6に送られる。出力バッファ6は、リード動作が開始される動作サイクルの次の動作サイクルの開始時に出力データ $DATA_OUT$ を CCC デコーダ5から取り込み、取り込んだ出力データ $DATA_OUT$ を外部に出力する。このようなリード動作では、リードサイクル数は2であることに留意されたい。

20

【0035】

例えば、ある動作サイクルが開始される時刻 t_2 において、リードコマンドとアドレス A_2 とが入力されたとする。その後、遅延クロック信号 $CLKD$ のアサートに反応してメモリア1が活性化され（即ち、アドレス A_2 に対応するワード線が活性化され）、メモリア1からアドレス A_2 に対応する読み出しデータが読みだされる。更に、次の動作サイクル（時刻 t_3 に開始される動作サイクル）の遅延クロック信号 $CLKD$ のアサートに反応してメモリア1から読み出された読み出しデータが CCC デコーダ5に取り込まれ、 CCC デコーダ5によって CCC 復号化処理が行われる。 CCC 復号化処理によって得られた出力データ Q_2 は、出力バッファ6に送られる。出力バッファ6に送られた出力データ Q_2 は、その次の動作サイクル（時刻 t_4 に開始される動作サイクル）の開始時に出力バッファ6に取り込まれ、外部に出力される。

30

【0036】

時刻 t_3 においてライトコマンドとアドレス A_3 とが入力された場合についても同様にしてリード動作が行われる。

【0037】

ここで、リード動作の完全な完了は、リード動作が開始された動作サイクルの次の動作サイクルに跨っていることに留意されたい。しかしながら、後述のように、各動作サイクルにおいてメモリア1の活性化タイミングが遅延されるから、リード動作の完了の遅延は問題にならない。

40

【0038】

上述された本実施形態の RAM マクロ10の動作では、ライト動作時に、遅延クロック信号 $CLKD$ に同期してメモリア1が活性化されるため、 CCC 符号化処理が行われる動作サイクルと同一の動作サイクルにおいて書き込みアドレスのメモリセルへの書き込みを開始できる。その結果、ライト動作におけるメモリア1の内部動作はライトコマンドが入力された動作サイクルの次の動作サイクルに跨るものの、ライトサイクル数は1に低減できる。

【0039】

50

また、リード動作が開始された次の動作サイクルにおいて遅延クロック信号CLKDに同期してECC復号化処理が開始されるため、このため、動作周波数を低減しなくてもその次の動作サイクルの開始時には読み出しデータの出力が可能になる。即ち、動作周波数を高く維持することができる。更に、このような動作によれば、リード動作におけるメモリコア1の内部動作はリードコマンドが入力された動作サイクルの次の次の動作サイクルに跨るものの、リードサイクル数は2に維持される。

【0040】

加えて、本実施形態のRAMマクロ10の動作では、リード動作時及びライト動作時の両方において、遅延クロック信号CLKDに同期してメモリコア1が活性化される。これにより、各ライトコマンドが入力された後、メモリコア1が活性化されるタイミング（即ち、選択ワード線が活性化されるタイミング）までの遅延時間と、各リードコマンドが入力された後、メモリコア1が活性化されるタイミングまでの遅延時間とが同一となる。

10

【0041】

このような動作によれば、ランダムアクセス性が向上される。図4から理解されるように、ライトコマンドが入力された動作サイクルの次の動作サイクルにリードコマンドを入力しても、ライト動作とリード動作のメモリコア1の活性化が衝突することはない。同様に、リードコマンドが入力された動作サイクルの次の動作サイクルにライトコマンドを入力しても、ライト動作とリード動作のメモリコア1の活性化が衝突することはない。

【0042】

第2の実施形態：

20

図5は、本発明の第2の実施形態の半導体記憶回路の構成を示すブロック図である。第2の実施形態の半導体記憶回路は、レイトライト（late write）方式でライト動作を行うRAMマクロ10Aとして構成されている。ここで、レイトライト方式とは、ライトコマンドの入力と共に入力された書き込みアドレス及びデータをレジスタに保存しておき、次のライトコマンドが入力された動作サイクルにおいて、保存された書き込みアドレスのメモリセルに、保存されたデータを書き込む方式である。以下、第2の実施形態のRAMマクロ10Aの構成と動作を説明する。

【0043】

第2の実施形態のRAMマクロ10Aは、第1の実施形態のRAMマクロ10と類似した構成を有しているが、アドレスレジスタ8、データレジスタ9及びセクタ11を追加的に備え、且つ、遅延回路7の代わりにレイトライト制御回路7Aを備えている点で異なる。アドレスレジスタ8は、アドレスADDを一時的に保存する機能を有しており、データレジスタ9は、ECCエンコーダ4から書き込みデータ（入力データDATA_INとECCデータ）を受け取り、一時的に保存する機能を有している。セクタ11は、リード動作が行われる場合にアドレス入力バッファ2から出力されるアドレスをメモリコア1に送り、ライト動作が行われる場合にアドレスレジスタ8から出力されるアドレスをメモリコア1に送る。後述のように、アドレスレジスタ8、データレジスタ9及びセクタ11は、レイトライト方式のライト動作を実現するために使用される。

30

【0044】

レイトライト制御回路7Aは、外部から供給されるクロック信号CLKに同期して、RAMマクロ10Aの各回路（メモリコア1、アドレス入力バッファ2、データ入力バッファ3、ECCエンコーダ4、ECCデコーダ5、アドレスレジスタ8、データレジスタ9、及びセクタ11）を制御する。レイトライト制御回路7AにはコマンドCOMが入力されており、レイトライト制御回路7Aは、そのコマンドCOMに応じて各種の制御を行う。図5において、記号CTRL_RAMは、メモリコア1を制御するための制御信号である。他の回路にも動作を制御するための制御信号が供給される。また、データ入力バッファ3にデータマスク信号Maskが供給されており、データ入力バッファ3が入力データDATA_INの一部のビットをマスクする機能を有している。

40

【0045】

図6は、第2の実施形態のRAMマクロ10Aの動作を示すタイミングチャートである

50

。ライト動作が開始される動作サイクルの開始時に、クロック信号CLKのアサートに同期して、コマンドCOMとしてライトコマンドが入力される。ライトコマンドの入力と共に、書き込みアドレスを指定するアドレスADDと、入力データDATA_INとが同時に入力される。アドレス入力バッファ2及びデータ入力バッファ3は、それぞれ、クロック信号CLKのアサートに同期してアドレスADDと入力データDATA_INとを取り込む。

【0046】

更に、クロック信号CLKのアサートに応答してメモリア1が活性化され（即ち、選択ワード線が活性化され）、書き込みデータのメモリア1への書き込みが行われる。ここで、ライト動作では、セクタ11によってアドレスレジスタ8の出力が選択されるため、メモリア1が活性化されたときに選択されるアドレスは、アドレスレジスタ8に記憶されていたアドレス、即ち、その前のライトコマンドと共に入力された書き込みアドレスである。また、書き込まれる書き込みデータは、データレジスタ9に記憶されていた書き込みデータ、即ち、当該前のライトコマンドと共に入力された入力データDATA_IN及びその入力データDATA_INからECC符号化処理によって生成されたECCデータである。このような動作により、レイトライト方式のライト動作が実現されている。

10

【0047】

データレジスタ9に記憶されていた書き込みデータとECCデータのメモリア1への書き込みと並行して、アドレスレジスタ8及びデータレジスタ9の更新が行われる。最新のライトコマンドの入力と共に入力されたアドレスADDがアドレスレジスタ8に書き込まれる。更に、最新のライトコマンドの入力と共に入力された入力データDATA_INに対してECCエンコーダ4によってECC符号化処理が行われてECCデータが生成される。入力された入力データDATA_INと生成されたECCデータとは、ECCエンコーダ4からデータレジスタ9に送られて書き込みデータとして保存される。データレジスタ9に保存された書き込みデータが、ライトコマンドが次に入力されたときにメモリア1に送られて書き込まれる。

20

【0048】

例えば、時刻t1以前に、アドレスレジスタ8にアドレスA0が保存され、データレジスタ9に書き込みデータD0Eが保存されていたとする。ある動作サイクルが開始される時刻t1において、ライトコマンドとアドレスA1と入力データD1とが入力されると、ライトコマンドの入力に応答して、メモリア1が活性化される。このとき、アドレスレジスタ8に保存されていたアドレスA0に対応するワード線が選択され、データレジスタ9に保存されていた書き込みデータD0EがアドレスA0に対応するメモリセルに書き込まれる。

30

【0049】

並行して、入力データD1に対してECC符号化処理が行われてECCデータが生成され、入力データD1と生成されたECCデータとが書き込みデータD1Eとしてデータレジスタ9に保存される。加えて、アドレスA1がアドレスレジスタ8に保存される。

【0050】

次に時刻t4においてライトコマンドとアドレスA4と入力データD4とが入力されると、ライトコマンドの入力に応答してメモリア1が活性化される。このとき、アドレスレジスタ8に保存されていたアドレスA1に対応するワード線が選択され、データレジスタ9に保存されていた書き込みデータD1EがアドレスA1に対応するメモリセルに書き込まれる。

40

【0051】

並行して、入力データD4に対してECC符号化処理が行われてECCデータが生成され、入力データD4と生成されたECCデータとが書き込みデータD4Eとしてデータレジスタ9に保存される。時刻t5においてライトコマンドが入力されると、同様にして、データレジスタ9に保存されていた書き込みデータD4Eがアドレスレジスタ8に保存されていたアドレスA4に対応するメモリセルに書き込まれる。時刻t5においてライトコ

50

マンドと共に入力された入力データ D 5 及びアドレス A 5 についても、同様にしてライト動作が行われる。

【 0 0 5 2 】

一方、リード動作では、リード動作が開始される動作サイクルの開始時に、クロック信号 C L K のアサートに同期して、コマンド C O M としてリードコマンドが入力され、更に、読み出しアドレスを指定するアドレス A D D が入力される。更に、クロック信号 C L K のアサートにตอบสนองしてメモリア 1 が活性化され（即ち、読み出しアドレスに対応する選択ワード線が活性化され）、メモリア 1 から読み出しデータが読みだされる。読み出された読み出しデータには、実効データと E C C データとが含まれている。

【 0 0 5 3 】

続いて、次の動作サイクルの開始時のクロック信号 C L K のアサートにตอบสนองしてメモリア 1 から読み出された読み出しデータが E C C デコーダ 5 に取り込まれ、E C C デコーダ 5 によって E C C 復号化処理が行われる。E C C 復号化処理で得られた出力データ D A T A _ O U T は、出力バッファ 6 に送られる。出力バッファ 6 は、E C C デコーダ 5 から受け取った出力データ D A T A _ O U T を外部に出力する。リード動作は、リードコマンドが入力された動作サイクルの次の動作サイクルの開始時には完了している。このようなリード動作では、リードサイクル数は 2 であることに留意されたい。

【 0 0 5 4 】

例えば、ある動作サイクルが開始される時刻 t 2 において、リードコマンドとアドレス A 2 とが入力されたとする。リードコマンドの入力にตอบสนองしてメモリア 1 が活性化され（即ち、アドレス A 2 に対応するワード線が活性化され）、メモリア 1 からアドレス A 2 に対応する読み出しデータが読みだされる。更に、次の動作サイクル（時刻 t 3 に開始される動作サイクル）の開始時のクロック信号 C L K のアサートにตอบสนองしてメモリア 1 から読み出された読み出しデータが E C C デコーダ 5 に取り込まれ、E C C デコーダ 5 によって E C C 復号化処理が行われる。E C C 復号化処理によって得られた出力データ Q 2 は、出力バッファ 6 に送られる。出力データ Q 2 は、出力バッファ 6 から外部に出力される。

【 0 0 5 5 】

時刻 t 3 においてライトコマンドとアドレス A 3 とが入力された場合についても同様にしてリード動作が行われる。

【 0 0 5 6 】

上述された本実施形態の R A M マクロ 1 0 A の動作では、ライト動作としてライトライト方式が採用されているため、あるライトコマンドと同時に入力された入力データ D A T A _ I N がメモリア 1 に実際に書き込まれる動作サイクルは、次のライトコマンドが入力された動作サイクルである。このため、第 1 の実施形態のように、遅延クロック信号 C L K D を用いてメモリア 1 の活性化のタイミングを遅延させなくとも、E C C 符号化処理に必要な時間を確保できる。その一方で、ライトコマンドが入力された動作サイクルにおいてライト動作が完了できるので、実効的なライトサイクル数は 1 に低減できる。

【 0 0 5 7 】

また、リード動作が開始された次の動作サイクルの開始時にクロック信号 C L K に同期して E C C 復号化処理が開始されるため、動作周波数を低減しなくても、その次の動作サイクルの開始時には出力データ D A T A _ O U T の出力が可能になる。即ち、動作周波数を高く維持することができる。更に、このような動作によれば、リードサイクル数は 2 に維持される。

【 0 0 5 8 】

加えて、本実施形態の R A M マクロ 1 0 A の動作では、リード動作時及びライト動作時の両方において、動作サイクルの開始時のクロック信号 C L K のアサートにตอบสนองしてメモリア 1 が活性化される。これにより、各ライトコマンドが入力された後、メモリア 1 が活性化されるタイミング（即ち、選択ワード線が活性化されるタイミング）までの遅延時間と、各リードコマンドが入力された後、メモリア 1 が活性化されるタイミングまで

10

20

30

40

50

の遅延時間とが同一となる。

【 0 0 5 9 】

このような動作によれば、ランダムアクセス性が向上される。図 6 から理解されるように、ライトコマンドが入力された動作サイクルの次の動作サイクルにリードコマンドを入力しても、ライト動作とリード動作のメモリアコア 1 の活性化が衝突することはない。同様に、リードコマンドが入力された動作サイクルの次の動作サイクルにライトコマンドを入力しても、ライト動作とリード動作のメモリアコア 1 の活性化が衝突することはない。

【 0 0 6 0 】

第 3 の実施形態：

図 7 は、本発明の第 3 の実施形態の半導体記憶回路の構成を示すブロック図である。第 3 の実施形態の半導体記憶回路は、メモリアリダンダンシー (memory redundancy) 技術による信頼性の向上に対応した構成を有する RAM マクロ 10 B として構成されている。詳細には、第 3 の実施形態の RAM マクロ 10 B は、第 1 の実施形態の RAM マクロ 10 と類似した構成を有しているが、リダンダンシー判定回路 12 を有している点で異なる。更に、メモリアコア 1 には冗長メモリアセルが設けられる。

10

【 0 0 6 1 】

リダンダンシー判定回路 12 は、アドレス入力バッファ 2 からアドレス ADD (書き込みアドレス又は読み出しアドレス) を受け取り、受け取ったアドレス ADD に対してリダンダンシー判定処理を行ってリダンダンシー判定信号を生成する。詳細には、リダンダンシー判定回路 12 は、受け取ったアドレス ADD が故障のあるメモリアセルを選択するものであった場合、当該故障のあるメモリアセルの代わりに冗長メモリアセルを選択することを指示するリダンダンシー判定信号をメモリアコア 1 に送る。メモリアコア 1 のデコーダ 1 a は、アドレス入力バッファ 2 から受け取ったアドレス ADD とリダンダンシー判定信号に応答して、故障のあるメモリアセルの代わりに冗長メモリアセルを選択する。例えば、故障のあるメモリアセルが接続されたワード線の代わりに、冗長メモリアセルに対応する冗長ワード線を選択してもよく、また、故障のあるメモリアセルが接続されたビット線の代わりに、冗長メモリアセルに対応する冗長ビット線を選択してもよい。ここで、リダンダンシー判定回路 12 の動作が、ECC エンコーダ 4 の動作と並行して行われることに留意されたい。

20

【 0 0 6 2 】

第 1 の実施形態では、メモリアコア 1 の活性化のタイミングが遅延されているため、動作速度を決定するクリティカルパスが、アドレス ADD を伝送するパスではなく、入力データ DATA_IN 又は出力データ DATA_OUT を伝送するパスになる。一方、第 3 の実施形態では、このことを有効に利用し、動作速度の低下や面積増大の一因となっているリダンダンシー判定回路 12 とデコーダ 1 a における信号処理 (リダンダンシー判定処理と、メモリアコア 1 のワード線及びノ又はビット線の置換) が、ECC エンコーダ 4 による ECC 符号化処理と並列に行われる。これにより、面積や消費電力を低減できる回路構成やレイアウトを選択できるようになる。

30

【 0 0 6 3 】

第 4 の実施形態：

図 8 は、本発明の第 4 の実施形態の半導体記憶回路の動作を示すタイミングチャートである。第 4 の実施形態では、第 2 の実施形態の RAM マクロ 10 A と同一の構成の RAM マクロが使用される。但し、第 4 の実施形態では、リード動作において、クロック信号 CLK のネゲート (本実施形態ではクロック信号 CLK の立ち下がリエッジ) に応答して出力データ DATA_OUT が出力されるように RAM マクロの動作が変更される。これにより、リードサイクル数が 1.5 に短縮される。第 4 の実施形態の RAM マクロのライト動作は、第 2 の実施形態と同一である。

40

【 0 0 6 4 】

詳細には、リード動作が開始される動作サイクルの開始時に、クロック信号 CLK のアサートに同期して、コマンド COM としてリードコマンドが入力され、更に、読み出しアドレスを指定するアドレス ADD が入力される。更に、クロック信号 CLK のアサートに

50

応答してメモリコア 1 が活性化され（即ち、読み出しアドレスに対応する選択ワード線が活性化され）、メモリコア 1 から読み出しデータが読みだされる。

【 0 0 6 5 】

続いて、次の動作サイクルの開始時のクロック信号 C L K のアサートにตอบสนองしてメモリコア 1 から読み出された読み出しデータが E C C デコーダ 5 に取り込まれ、E C C デコーダ 5 によって E C C 復号化処理が行われる。E C C 復号化処理で得られた出力データ D A T A _ O U T は、出力バッファ 6 に送られる。

【 0 0 6 6 】

出力バッファ 6 は、クロック信号 C L K のネゲートにตอบสนองして E C C デコーダ 5 から出力データ D A T A _ O U T を受け取り、受け取った出力データ D A T A _ O U T を外部に出力する。リード動作は、リードコマンドが入力された動作サイクルの次の動作サイクルの中間において完了することになる。このようなリード動作によれば、リードサイクル数を 1 . 5 に短縮することができる。

【 0 0 6 7 】

第 5 の実施形態：

図 9 は、本発明の第 5 の実施形態の半導体記憶回路の構成を示すブロック図である。第 5 の実施形態の半導体記憶回路は、第 2 の実施形態の R A M マクロ 1 0 A と同様に、レイトライト（late write）方式でライト動作を行う R A M マクロ 1 0 C として構成されている。ただし、第 5 の実施形態の R A M マクロ 1 0 C では、出力バッファ 6 に、専用の出力クロック信号 C L K _ O U T が供給される。第 2 の実施形態の R A M マクロ 1 0 A の構成では、出力データ D A T A _ O U T の生成タイミングが E C C デコーダ 5 における遅延に影響されるため、読み出しデータの内容によってデータリリースのタイミングがバラつくことが問題になり得る。このような問題に対処するために、第 5 の実施形態では、クロック信号 C L K を遅延して得られる出力クロック信号 C L K _ O U T がレイトライト制御回路 7 A から出力バッファ 6 に供給され、出力バッファ 6 が出力クロック信号 C L K _ O U T に同期して出力データ D A T A _ O U T を出力する。これにより、各動作サイクルにおけるデータリリースのタイミングが一定になる。

【 0 0 6 8 】

図 1 0 は、第 5 の実施形態の R A M マクロ 1 0 C の動作を示すタイミングチャートである。第 5 の実施形態の R A M マクロ 1 0 C のライト動作は、第 2 の実施形態の同一である。

【 0 0 6 9 】

一方、リード動作は下記のようにして行われる。リード動作が開始される動作サイクルの開始時に、クロック信号 C L K のアサートに同期して、コマンド C O M としてリードコマンドが入力され、更に、読み出しアドレスを指定するアドレス A D D が入力される。更に、クロック信号 C L K のアサートにตอบสนองしてメモリコア 1 が活性化され（即ち、読み出しアドレスに対応する選択ワード線が活性化され）、メモリコア 1 から読み出しデータと E C C データとが読みだされる。

【 0 0 7 0 】

続いて、次の動作サイクルの開始時のクロック信号 C L K のアサートにตอบสนองしてメモリコア 1 から読み出された読み出しデータが E C C デコーダ 5 に取り込まれ、E C C デコーダ 5 によって E C C 復号化処理が行われる。E C C 復号化処理で得られた出力データ D A T A _ O U T は、出力バッファ 6 に送られる。

【 0 0 7 1 】

出力バッファ 6 は、出力クロック信号 C L K _ O U T のアサートにตอบสนองして E C C デコーダ 5 から出力データ D A T A _ O U T を受け取り、受け取った出力データ D A T A _ O U T を外部に出力する。このようなリード動作では、リードサイクル数を 2 に維持する一方で、各動作サイクルにおけるデータリリースのタイミングを一定にすることができる。

【 0 0 7 2 】

また、第 5 の実施形態において、出力クロック信号 C L K _ O U T を、クロック信号 C

10

20

30

40

50

L Kを半周期だけ遅延させることによって生成すれば、第4の実施形態と同様に、リードサイクル数を1.5に短縮することもできる。

【0073】

第6の実施形態：

図11及び図12は、本発明の第6の実施形態の半導体記憶回路の動作を示すタイミングチャートである。第6の実施形態では、リフレッシュ動作を必要とするメモリセルが集積化されたメモリコア1が使用される場合のRAMマクロの動作が提示される。DRAMセルは、リフレッシュ動作が必要なメモリセルの典型的な例である。

【0074】

ここで、図11は、第1の実施形態のRAMマクロ10の動作の変形例を示しており、遅延クロック信号CLKDが使用される場合のRAMマクロの動作を示している。一方、図12は、第2の実施形態のRAMマクロ10Aの動作の変形例を示しており、レイトライト方式でのライト動作が行われる場合のRAMマクロの動作を示している。図11、図12の何れの動作においても、リフレッシュ動作の実行を指示するコマンド（リフレッシュコマンド）にตอบสนองしてリフレッシュ動作が行われる。リフレッシュコマンドと共にアドレスADDが入力され、当該アドレスADDに対応する選択ワード線に接続されたメモリセルがリフレッシュされる。

【0075】

本実施形態では、リフレッシュコマンドが入力された後、メモリコア1が活性化されるタイミング（即ち、選択ワード線が活性化されるタイミング）までの遅延時間が、各ライトコマンドが入力された後、メモリコア1が活性化されるタイミング（即ち、選択ワード線が活性化されるタイミング）までの遅延時間、及び、各リードコマンドが入力された後、メモリコア1が活性化されるタイミングまでの遅延時間と同一に調節される。具体的には、図11の動作では、リード動作時、ライト動作時、リフレッシュ動作のいずれにおいても、遅延クロック信号CLKDに同期してメモリコア1が活性化される。一方、図12の動作では、リード動作時、ライト動作時、リフレッシュ動作のいずれにおいても、動作サイクルの開始時のクロック信号CLKのアサートにตอบสนองしてメモリコア1が活性化される。これにより、リフレッシュコマンドが入力された後、メモリコア1が活性化されるタイミングまでの遅延時間が、各ライトコマンドが入力された後、メモリコア1が活性化されるタイミングまでの遅延時間（即ち、各リードコマンドが入力された後、メモリコア1が活性化されるタイミングまでの遅延時間）と同一になる。このような動作によれば、リフレッシュ動作を含めてランダムアクセス性を向上させることができる。

【0076】

なお、上述には、本発明の実施形態が様々に記述されているが、本発明は上記の実施形態に限定されると解釈してはならない。本発明は、上記の実施形態に対して当業者に自明的な変更して実施してもよいことに留意されたい。また、上記には様々な実施形態が記載されているが、技術的に矛盾がない限り、複数の実施形態が組み合わせて実施されることも可能である。

【符号の説明】

【0077】

10、10A、10B、10C：RAMマクロ

1：メモリコア

1a：デコーダ

2：アドレス入力バッファ

3：データ入力バッファ

4：ECCエンコーダ

5：ECCデコーダ

6：出力バッファ

7：遅延回路

7A：レイトライト制御回路

10

20

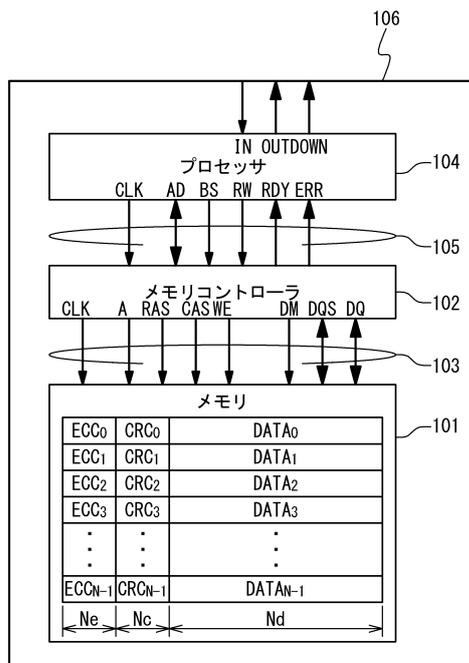
30

40

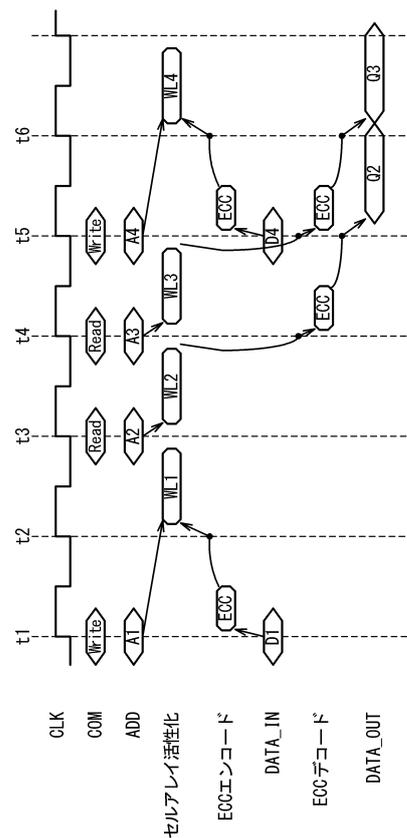
50

- 8 : アドレスレジスタ
- 9 : データレジスタ
- 1 1 : セレクタ
- 1 2 : リダンダンシー判定回路
- 1 0 1 : メモリ
- 1 0 2 : メモリコントローラ
- 1 0 3 : 信号線群
- 1 0 4 : プロセッサ
- 1 0 5 : 信号線群
- 1 0 6 : コントローラ

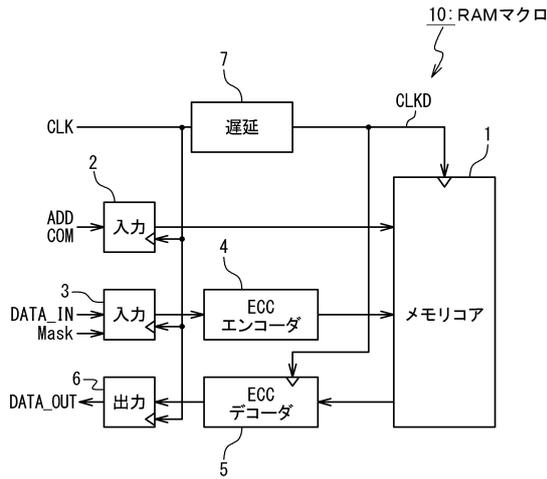
【 図 1 】



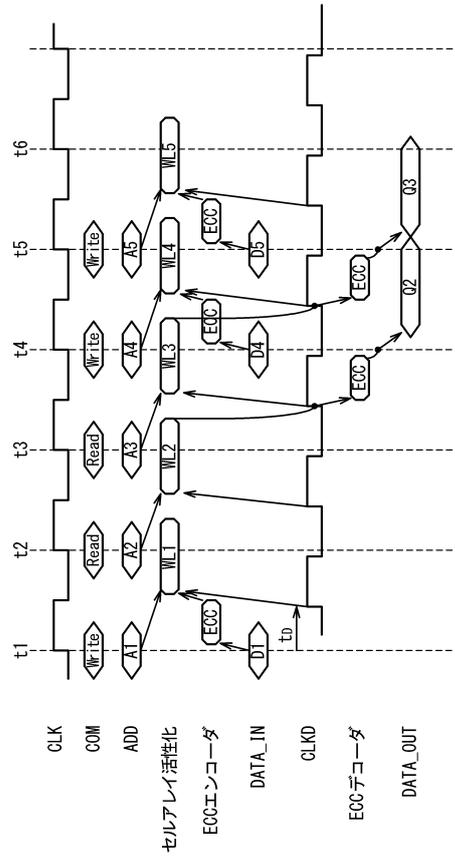
【 図 2 】



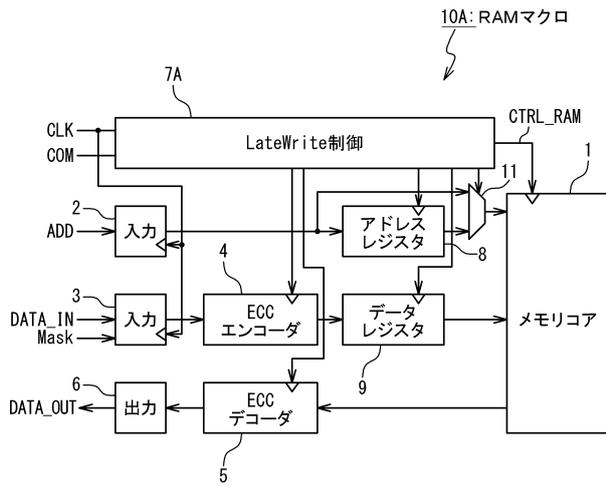
【図3】



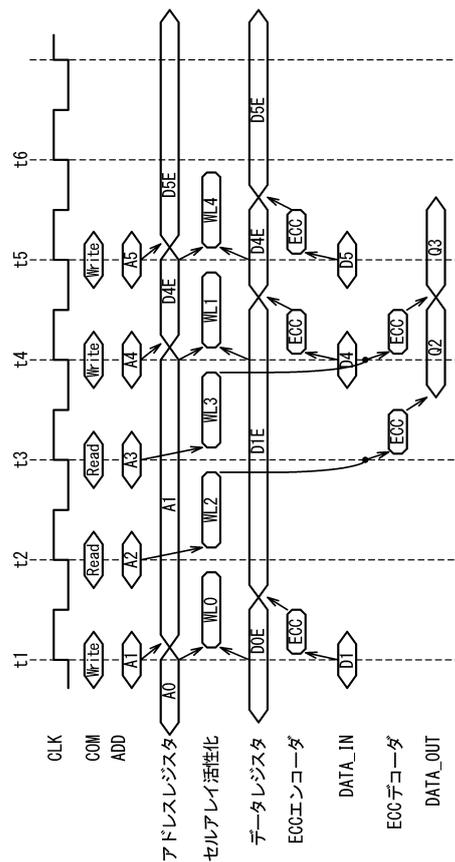
【図4】



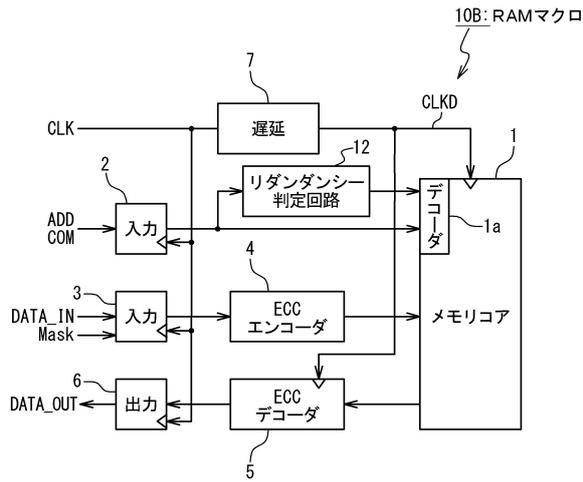
【図5】



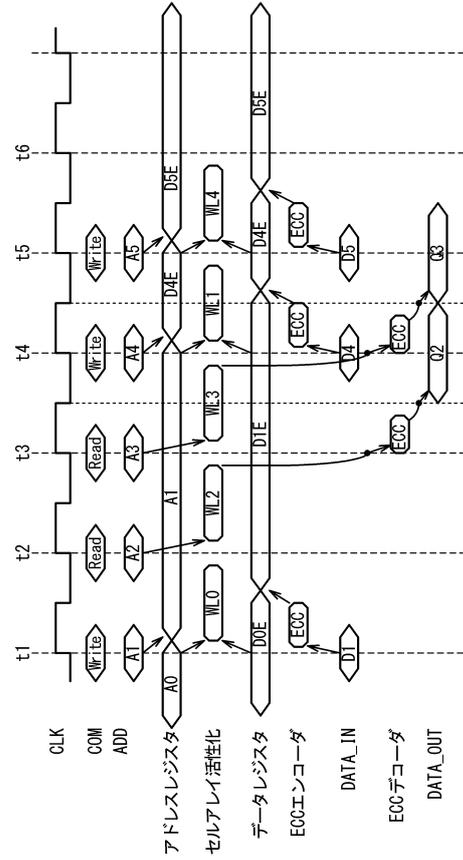
【図6】



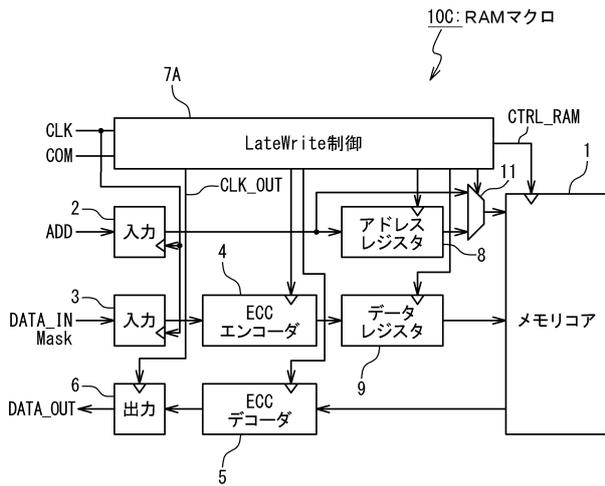
【図7】



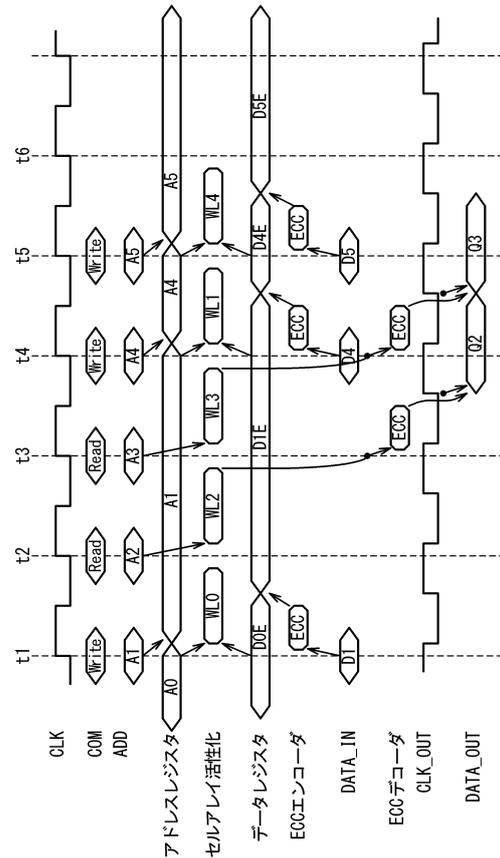
【図8】



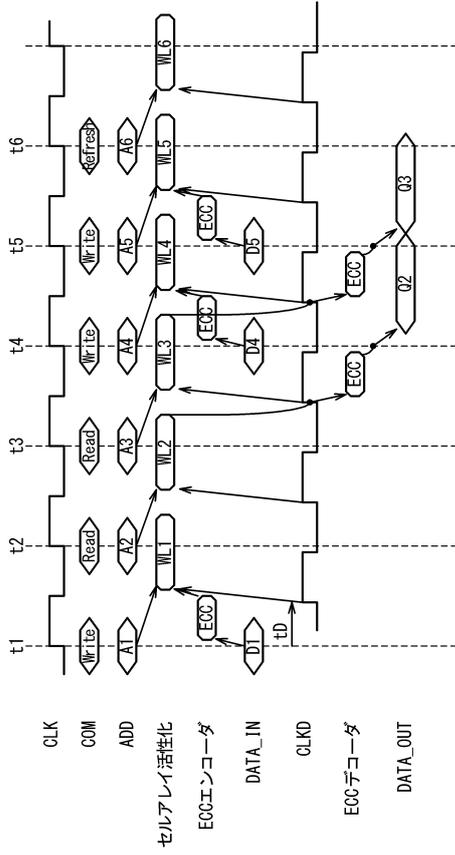
【図9】



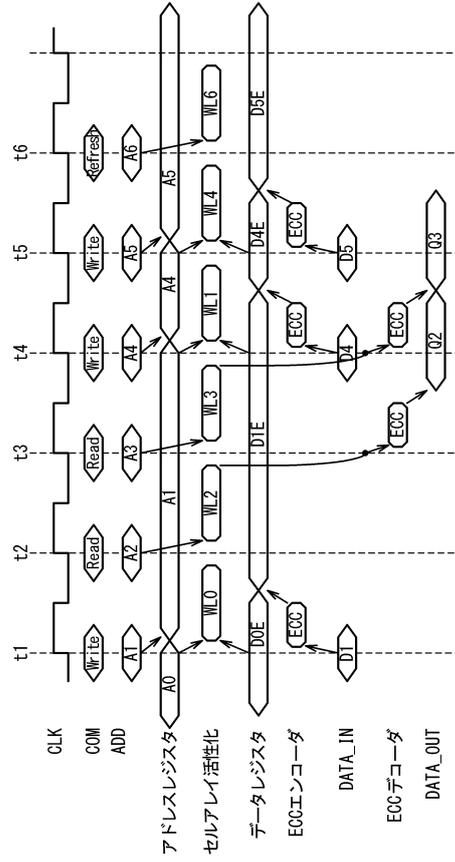
【図10】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

- (56)参考文献 特開2004-213719(JP,A)
米国特許出願公開第2004/0125676(US,A1)
特開2011-227948(JP,A)
米国特許出願公開第2011/0255360(US,A1)
特開2007-328894(JP,A)
国際公開第2012/141161(WO,A1)
特開2014-49148(JP,A)
米国特許出願公開第2014/0063996(US,A1)

(58)調査した分野(Int.Cl., DB名)

G11C 29/42
G11C 11/401