

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-348464
(P2004-348464A)

(43) 公開日 平成16年12月9日(2004.12.9)

| | | |
|----------------------------|-----------------------|-------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
| G 0 6 F 3/06 | G O 6 F 3/06 3 O 1 M | 5 B 0 0 5 |
| G 0 6 F 12/08 | G O 6 F 12/08 5 O 1 E | 5 B 0 6 5 |
| G 1 1 B 20/10 | G O 6 F 12/08 5 5 7 | 5 D 0 4 4 |
| | G 1 1 B 20/10 D | |

審査請求 未請求 請求項の数 11 O L (全 20 頁)

| | | | |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2003-145121 (P2003-145121) | (71) 出願人 | 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 |
| (22) 出願日 | 平成15年5月22日 (2003.5.22) | (74) 代理人 | 110000176 一色国際特許業務法人 |
| | | (72) 発明者 | 松重 博実 神奈川県小田原市中里322番2号 株式会社日立製作所 R A I D システム事業部内 |
| | | (72) 発明者 | 鈴木 弘志 神奈川県小田原市中里322番2号 株式会社日立製作所 R A I D システム事業部内 |
| | | (72) 発明者 | 小川 正人 神奈川県足柄上郡中井町境781番地 日立コンピュータ機器株式会社内 |

最終頁に続く

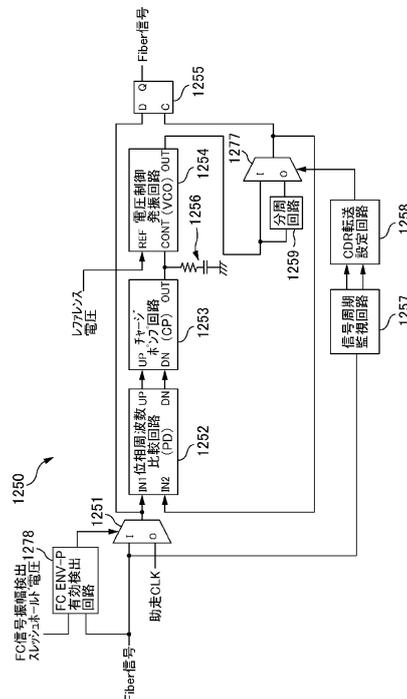
(54) 【発明の名称】 ストレージ装置、及び通信信号の整形回路

(57) 【要約】 (修正有)

【課題】 少なくとも2以上のディスクドライブがそれぞれ異なる通信速度でディスク制御部とデータ入出力を行うストレージ装置を提供すること。

【解決手段】 データ入出力要求を受信するチャンネル制御部と、データを記憶するためのキャッシュメモリと、前記データ入出力要求に応じて、データの出入力処理を行うディスク制御部と、データを記憶するための複数のディスクドライブとを備え、少なくとも2以上の前記ディスクドライブがそれぞれ異なる通信速度で前記ディスク制御部とデータ入出力を行うストレージ装置に関する。またストレージ装置は、少なくとも一つ以上の前記ディスクドライブをファイバチャンネル規格の F C - A L によって定められるループを構成するように接続するための複数の通信路を有し、前記通信速度は、前記通信路毎に異なるようにすることもできる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

データ入出力要求を受信するチャネル制御部と、
データを記憶するためのキャッシュメモリと、
前記データ入出力要求に応じて、データの入出力処理を行うディスク制御部と、
データを記憶するための複数のディスクドライブと
を備え、
少なくとも 2 以上の前記ディスクドライブがそれぞれ異なる通信速度で前記ディスク制御部とデータ入出力を行うストレージ装置。

【請求項 2】

前記ストレージ装置は、
少なくとも一つ以上の前記ディスクドライブをファイバチャネル規格の FC - AL によって定められるループを構成するように接続するための複数の通信路を有し、
前記通信速度は、前記通信路毎に異なることを特徴とする請求項 1 に記載のストレージ装置。

【請求項 3】

データを記憶するためのディスクドライブと、
前記ディスクドライブと通信を行うことにより、前記ディスクドライブに対する前記データの入出力を行うディスク制御部と、
前記通信のために授受されるパルス信号を用いてクロック信号を生成する生成部と、
前記パルス信号の周波数を識別する識別部と、
前記パルス信号の周波数に応じた分周比で前記クロック信号を分周する分周部と、
前記分周された前記クロック信号に前記パルス信号を同期させる同期部と
を備えることを特徴とするストレージ装置。

【請求項 4】

前記識別部は、
蓄える電荷の量に応じた電圧を出力する蓄電部と、
前記蓄電部に蓄えられる前記電荷の量のある変化率で変化させる電荷変化部と、
前記パルス信号の信号レベルが切り替わる毎にある時間だけ前記変化を妨げる電荷変化抑制部と、
前記蓄電部から出力される前記電圧が判定条件を満たしたか否かに応じた信号を出力する信号出力部と、
前記蓄電部に蓄えられる前記電荷の量を変化させ始めてからの経過時間を計測する時間計測部と、
前記電荷の量を変化させ始めてから、前記蓄電部の前記電圧が前記判定条件を満たしたことを示す前記信号が出力されるまでの前記経過時間により、前記周波数を識別する周波数識別部と
を備えることを特徴とする請求項 3 に記載のストレージ装置。

【請求項 5】

前記電荷変化部は、
前記蓄電部を充電する充電部を備え、
前記電荷変化抑制部は、
前記パルス信号に対してある時間だけ位相をずらしたパルス偏差信号を生成するパルス偏差信号生成部と、
前記パルス信号と前記パルス偏差信号との間に電位差が生じる間だけ前記蓄電部から放電する放電部と
を備えることを特徴とする請求項 4 に記載のストレージ装置。

【請求項 6】

データを記憶するためのディスクドライブと、
前記ディスクドライブと通信を行うことにより、前記ディスクドライブに対する前記デー

10

20

30

40

50

タの入出力を行うディスク制御部と、
前記通信のために授受されるパルス信号を用いてクロック信号を生成する生成部と、
前記パルス信号を前記クロック信号の周期で読み取った場合に、前記パルス信号が前記通信の規格を満たすかどうかを判定する通信規格判定部と、
前記判定の結果に応じて前記クロック信号を分周する分周部と、
前記分周された前記クロック信号に前記パルス信号を同期させる同期部と
を備えることを特徴とするストレージ装置。

【請求項 7】

前記通信は、前記ディスク制御部と少なくとも一つ以上の前記ディスクドライブとをファイバチャネル規格の FC - AL によって定められるループを構成するように接続するための通信路を介して行われること
を特徴とする請求項 3 乃至請求項 6 に記載のストレージ装置。 10

【請求項 8】

通信のために授受されるパルス信号を用いてクロック信号を生成する生成部と、
前記パルス信号の周波数を識別する識別部と、
前記パルス信号の周波数に応じた分周比で前記クロック信号を分周する分周部と、
前記分周された前記クロック信号に前記パルス信号を同期させる同期部と
を備えることを特徴とする通信信号の整形回路。

【請求項 9】

前記識別部は、 20
蓄える電荷の量に応じた電圧を出力する蓄電部と、
前記蓄電部に蓄えられる前記電荷の量のある変化率で変化させる電荷変化部と、
前記パルス信号の信号レベルが切り替わる毎にある時間だけ前記変化を妨げる電荷変化抑制部と、
前記蓄電部から出力される前記電圧が判定条件を満たしたか否かに応じた信号を出力する信号出力部と、
前記蓄電部に蓄えられる前記電荷の量を変化させ始めてからの経過時間を計測する時間計測部と、
前記電荷の量を変化させ始めてから、前記蓄電部の前記電圧が前記判定条件を満たしたことを示す前記信号が出力されるまでの前記経過時間により、前記周波数を識別する周波数 30
識別部と
を備えることを特徴とする請求項 8 に記載の通信信号の整形回路。

【請求項 10】

前記電荷変化部は、
前記蓄電部を充電する充電部を備え、
前記電荷変化抑制部は、
前記パルス信号に対してある時間だけ位相をずらしたパルス偏差信号を生成するパルス偏差信号生成部と、
前記パルス信号と前記パルス偏差信号との間に電位差が生じる間だけ前記蓄電部から放電する放電部と 40
を備えることを特徴とする請求項 9 に記載の通信信号の整形回路。

【請求項 11】

通信のために授受されるパルス信号を用いてクロック信号を生成する生成部と、
前記パルス信号を前記クロック信号の周期で読み取った場合に、前記パルス信号が前記通信の規格を満たすかどうかを判定する通信規格判定部と、
前記判定の結果に応じて前記クロック信号を分周する分周部と、
前記分周された前記クロック信号に前記パルス信号を同期させる同期部と
を備えることを特徴とする通信信号の整形回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ストレージ装置、及び通信信号の整形回路に関する。

【0002】**【従来の技術】**

近年の情報技術の進歩に伴い、ストレージ装置が備えるディスクドライブに対するデータ入出力のための通信速度が高速化している。例えばファイバチャネル規格に対応したデータ入出力においては、1 G b p s (G i g a b i t p e r s e c o n d) の通信に加え、2 G b p s の通信が実用化されている。また現在4 G b p s の通信の実用化に向け、開発が進められている。

このように市場には通信速度の異なるディスクドライブが出回っている。

10

【0003】**【特許文献1】**

特開2000-187938号公報

【0004】**【発明が解決しようとする課題】**

ところで、例えば稼働中のストレージ装置に新たにディスクドライブを増設する場合のように、通信速度の異なるディスクドライブを同じストレージ装置内で稼働させたいことがある。

しかしながら従来のストレージ装置は、異なる通信速度でデータの入出力が行われるディスクドライブを混在させる仕組みを備えていないため、同一のストレージ装置内で異なる通信速度で動作するディスクドライブを混在させて使用したいというユーザニーズに対応することができなかった。

20

本発明は上記課題を鑑みてなされたものであり、ストレージ装置、及び通信信号の整形回路を提供することを主たる目的とする。

【0005】**【課題を解決するための手段】**

上記課題を解決するために、本発明に係るストレージ装置は、データ入出力要求を受信するチャンネル制御部と、データを記憶するためのキャッシュメモリと、前記データ入出力要求に応じて、データの入出力処理を行うディスク制御部と、データを記憶するための複数のディスクドライブとを備え、少なくとも2以上の前記ディスクドライブがそれぞれ異なる通信速度で前記ディスク制御部とデータ入出力を行う。

30

【0006】

ここでストレージ装置は、少なくとも一つ以上の前記ディスクドライブをファイバチャネル規格のFC-ALによって定められるループを構成するように接続するための複数の通信路を有し、前記通信速度は、前記通信路毎に異なるようにすることもできる。

【0007】

なお、ストレージ装置はディスクドライブを備えた記憶装置である。またディスクドライブは、データを記録するための記録媒体を備えた装置であり、例えばハードディスク装置や半導体記憶装置である。

【0008】

ファイバチャネル規格はANSI (American National Standards Institute) オープンスタンダードとして標準化されている規格である。FC-AL (Fibre Channel Arbitrated Loop) は、ファイバチャネル規格により定められる通信路をループ状に構成する場合の規格を規定している。

40

【0009】

その他、本願が開示する課題、及びその解決方法は、発明の実施の形態の欄、及び図面により明らかにされる。

【0010】**【発明の実施の形態】**

50

以下、本発明の実施の形態について図面を用いて詳細に説明する。

=== 外観構成 ===

まず、本実施の形態に係るストレージ装置 1000 の全体構成を示す外観図を図 1 に示す。

図 1 に示すストレージ装置 1000 はディスク制御装置 1100 とディスク駆動装置 1200 とを備え、ディスク制御装置 1100 が中央に配置され、その左右にディスク駆動装置 1200 が配置されている。ディスク制御装置 1100 はストレージ装置 1000 全体の制御を司る。ディスク駆動装置 1200 はディスクドライブ 1210 を収納する。ディスクドライブ 1210 としては、例えばハードディスク装置や半導体記憶装置等様々なものを採用することができる。

10

【0011】

ディスク制御装置 1100 は管理端末 1110 や、制御回路部 1120、冷却用ファン 1130、電源部 1140 等を備えている。管理端末 1110 はディスク制御装置 1100 の前面中央に配置されている。図 1 において管理端末 1110 はノート型コンピュータの形態をしており、折りたたみ可能に構成されたディスプレイ装置とキーボード装置とを備えている。この管理端末 1110 を用いることにより、オペレータはストレージ装置 1000 の保守、管理を行うことができる。制御回路部 1120 はストレージ装置 1000 全体の制御を司るための各種装置が装着される部分である。装着される装置としては、例えば後述するチャンネルアダプタ（チャンネル制御部）1121、ディスクアダプタ（ディスク制御部）1124、キャッシュメモリ 1122、共有メモリ 1123 等がある。冷却用ファン 1130 はディスク制御装置 1100 を冷却するために用いられる。電源部 1140 はストレージ装置 1000 を稼働させるために必要な電力を供給する。

20

【0012】

ディスク駆動装置 1200 には多数のディスクドライブ 1210 が配置されている。その様子を図 2 に示す。ディスクドライブ（図 2 においては HDD と記載されている）1210 は、ディスク駆動装置 1200 の筐体 1220 に着脱可能なように格納されている。ディスクドライブ 1210 はストレージ装置 1000 の前面側すなわち上記管理端末 1110 と同じ側に格納されるのみならず、後面側にも格納されている。また LED（light-emitting diode）表示部 1240 が設けられており、各ディスクドライブ 1210 の動作状態を LED の点灯や点滅等により表示することができる。

30

【0013】

なおストレージ装置 1000 の構成や配置は上記の内容に限られるものではない。例えば管理端末 1110 はストレージ装置 1000 に組み込まれている必要は無く、通信ネットワークで結ばれた遠隔地のコンピュータとすることもできる。またノート型コンピュータの形態に限られず、例えばデスクトップ型の形態とすることもできる。またディスク制御装置 1100 とディスク駆動装置 1200 とが一体的に構成されるようにすることもできる。

【0014】

またディスクドライブ 1210 は SES（SCSI Enclosure Services）ドライブとすることもできる。SES ドライブとは、ディスクアダプタ 1124 と、ディスクドライブ 1210 の電源供給を制御する電源コントローラとを通信可能に接続するように動作させる機能を有するディスクドライブ 1210 をいう。SES ドライブは、SCSI3（Small Computer System Interface 3）規格に規定される SES（SCSI Enclosure Services）や ESI（Enclosure Service I/F）の機能を備えており、SES ドライブが備えるインターフェースコネクタの所定の信号ピンを結線することで、SES や ESI として機能させることができる。

40

【0015】

=== 全体構成 ===

次に、本実施の形態に係るストレージ装置 1000 の全体構成を示すブロック図を図 3 に

50

示す。

ディスク制御装置 1100 は情報処理装置 100 からデータ入出力要求を受信し、ディスク駆動装置 1200 が備えるディスクドライブ 1210 に記憶されているデータに対するデータ入出力を行う。

【0016】

ここで情報処理装置 100 は CPU (Central Processing Unit) やメモリを備えたコンピュータである。情報処理装置 100 が備える CPU により各種プログラムが実行されることにより、様々な機能が実現される。情報処理装置 100 は例えば銀行の自動預金預け払いシステムや航空機の座席予約システム等における中枢コンピュータとして利用されるようにすることもできる。

10

【0017】

ディスク制御装置 1100 は、チャンネルアダプタ (チャンネル制御部) 1121、キャッシュメモリ 1122、共有メモリ 1123、ディスクアダプタ (ディスク制御部) 1124、管理端末 (図 3 においては SVP と記載されている) 1110 を備える。

【0018】

チャンネルアダプタ 1121 は情報処理装置 100 との通信インタフェースを備え、情報処理装置 100 との間でデータ入出力要求等を授受する。なおチャンネルアダプタ 1121 は、複数の情報処理装置 100 との間でデータ入出力要求を授受するようにすることもできる。この場合、ディスク制御装置 1100 は複数のチャンネルアダプタ 1121 を設けるようにすることもできる。また、チャンネルアダプタ 1121 と情報処理装置 100 との間は、ネットワークにより接続されるようにすることもできる。

20

【0019】

キャッシュメモリ 1122 及び共有メモリ 1123 は、チャンネルアダプタ 1121 とディスクアダプタ 1124 との間で授受されるデータやコマンドを記憶するメモリである。例えばチャンネルアダプタ 1121 が情報処理装置 100 から受信したデータ入出力要求が書き込み要求であった場合には、チャンネルアダプタ 1121 は当該書き込み要求を共有メモリ 1123 に書き込むと共に、情報処理装置 100 から受信した書き込みデータをキャッシュメモリ 1122 に書き込む。そうすると、ディスクアダプタ 1124 は共有メモリ 1123 に書き込まれた当該書き込み要求に従って、キャッシュメモリ 1122 から書き込みデータを読み出して、そのデータをディスクドライブ 1210 に書き込む。

30

【0020】

ディスクアダプタ 1124 は、ディスクドライブ 1210 と通信を行うことによりディスクドライブ 1210 に対するデータの入出力を行う。データの入出力は、図 3 に示すようにファイバチャンネル規格の FC - AL によって定められるループ (以下、FC - AL ループとも記す) を構成する通信路 1211 を介して行われる。通信速度は例えばファイバチャンネル規格により定められる 1 Gbps、又は 2 Gbps である。その他の通信速度とするようにすることもできる。

【0021】

なお、チャンネルアダプタ 1121、ディスクアダプタ 1124、キャッシュメモリ 1122、共有メモリ 1123 は、本実施の形態のようにそれぞれ別個として設けられる必要はなく、例えば一体的に構成されるようにすることもできる。また、これらのうちの少なくともいずれかの組み合わせが一体的に構成されるようにすることもできる。

40

【0022】

また、チャンネルアダプタ 1121、ディスクアダプタ 1124、キャッシュメモリ 1122、共有メモリ 1123 は、図 3 に示すようにバスで接続されるようにすることもできるし、スイッチで接続されるようにすることもできる。さらにネットワークで接続されるようにすることもできる。この場合、ネットワークとして LAN (Local Area network) を構成するようすることもできる。

【0023】

次にディスクアダプタ 1124 が FC - AL ループを構成する通信路 1211 によりディ

50

スクドライブ 1 2 1 0 と接続される様子を示す図を図 4 に示す。

図 4 に示すように F C - A L ループは、P B C (P o r t B y p a s s C i r c u i t) 回路 1 2 3 0 が備えるマルチプレクサ 1 2 3 1 にディスクアダプタ 1 1 2 4 やディスクドライブ 1 2 1 0、C D R (C l o c k D a t a R e c o v e r y) 回路 1 2 5 0 を接続することにより構成することができる。C D R 回路 1 2 5 0 は、通信路 1 2 1 1 を介して授受されるデータの乱れ、例えばジッタを抑制するための回路である。

【 0 0 2 4 】

図 4 に示す例では 2 つの P B C 回路 1 2 3 0 を跨って一つの F C - A L ループが構成される様子が示される。

【 0 0 2 5 】

各マルチプレクサ 1 2 3 1 のセレクト信号は、各マルチプレクサ 1 2 3 1 の " 1 " で示される側の入力と、" 0 " で示される側の入力とのいずれかを選択するための信号である。マルチプレクサ 1 2 3 1 に、ディスクアダプタ 1 1 2 4 やディスクドライブ 1 2 1 0、C D R 回路 1 2 5 0 等が接続された場合に、マルチプレクサ 1 2 3 1 の " 1 " で示される側の入力を選択されるようにセレクト信号が入力される。マルチプレクサ 1 2 3 1 に何も接続されない場合には、マルチプレクサ 1 2 3 1 の " 0 " で示される側の入力を選択されるようにセレクト信号が入力される。また、例えばあるディスクドライブ 1 2 1 0 に障害が発生したことが検出された場合には、当該ディスクドライブ 1 2 1 0 が接続されているマルチプレクサ 1 2 3 1 の " 0 " で示される側の入力を選択されるようにセレクト信号が入力される。各マルチプレクサ 1 2 3 1 のセレクト信号の入力は、それぞれに接続されるディスクアダプタ 1 1 2 4 やディスクドライブ 1 2 1 0、C D R 回路 1 2 5 0 により行われる様にすることもできるし、例えばディスクアダプタ 1 1 2 4 により集中して行われる様にすることもできる。

【 0 0 2 6 】

なお P B C 回路 1 2 3 0 が備えるマルチプレクサ 1 2 3 1 の数は、図 4 に示した例に限られない。例えば図 2 に示すディスク駆動装置 1 2 0 0 の例において、横 1 列に配列された 1 6 台のディスクドライブ 1 2 1 0 毎に 1 つの P B C 回路 1 2 3 0 を設ける様にする場合には、一つの P B C 回路 1 2 3 0 が備えるマルチプレクサ 1 2 3 1 の数は、1 台のディスクアダプタ 1 1 2 4 と最大 1 6 台のディスクドライブ 1 2 1 0 とを接続して F C - A L ループを構成可能とするために、少なくとも 1 7 台は必要である。その他に、他の P B C 回路 1 2 3 0 に跨って F C - A L ループを構成するためのマルチプレクサ 1 2 3 1 や、C D R 回路 1 2 5 0 を装着するためのマルチプレクサ 1 2 3 1 を備えるようにすることができる。

【 0 0 2 7 】

なお C D R 回路 1 2 5 0 は P B C 回路 1 2 3 0 と一体的に構成されるようにすることもできる。例えば図 4 に示す P B C 回路 1 2 3 0 において、左右両端のマルチプレクサ 1 2 3 1 には C D R 回路 1 2 5 0 が P B C 回路 1 2 3 0 を構成する基板上に構成されるようにすることもできる。

【 0 0 2 8 】

=== C D R 回路 ===

C D R 回路 1 2 5 0 は、F C - A L ループを構成する通信路 1 2 1 1 を介して送受信されるパルス信号を整形するための回路である。C D R 回路 1 2 5 0 を示すブロック図を図 5 に示す。

C D R 回路 1 2 5 0 は、F C E N V - P 有効検出回路 1 2 7 8、マルチプレクサ 1 2 5 1、位相周波数比較回路 1 2 5 2、チャージポンプ回路 1 2 5 3、電圧制御発振回路 1 2 5 4、フリップフロップ 1 2 5 5、フィルタ回路 1 2 5 6 を備える。なお、図 5 において「F i b e r 信号」と記された信号が、上述した F C - A L ループを構成する通信路 1 2 1 1 を介して授受されるパルス信号に相当する。以下同様である。また、位相周波数比較回路 1 2 5 2、チャージポンプ回路 1 2 5 3、電圧制御発振回路 1 2 5 4、フィルタ回路 1 2 5 6 により構成される回路は、通信のために授受されるパルス信号を用いてクロック

10

20

30

40

50

信号を生成する生成部に相当する。

【0029】

FC ENV - P有効検出回路1278は、Fiber信号の電圧(信号レベル)とFC信号振幅検出スレッシュホールド(threshold)電圧とを比較しており、Fiber信号がFC信号振幅検出スレッシュホールド電圧以上になった場合に、マルチプレクサ1251に対して、“1”側の入力信号が選択されるような信号を出力する。FC信号振幅検出スレッシュホールド電圧は、Fiber信号がCDR回路1250に入力されたことを検出するための閾値として設定される電圧である。これにより、CDR回路1250にFiber信号が入力されたことを検出することができる。

【0030】

助走CLKは、例えば水晶発振回路等の発振回路により生成されるクロック信号である。Fiber信号がCDR回路1250に入力されない間は、マルチプレクサ1251の“0”側の入力信号が選択され、助走CLKがCDR回路1250に入力される。

【0031】

位相周波数比較回路1252は、IN1及びIN2から入力される2つのパルス信号の立ち上がりエッジ又は立ち下がりエッジを検出することによりこれらのパルス信号の位相差を比較し、位相差に応じてUP又はDNから信号を出力する。

【0032】

チャージポンプ回路1253は、UP又はDNから入力される信号に応じて、OUTから出力される信号を制御する。例えば、位相周波数比較回路のIN2から入力されるパルス信号の位相が、IN1から入力されるパルス信号の位相よりも進んでいる場合には、チャージポンプ回路1253のOUTから出力される信号の電圧が下げられる。逆に、例えば位相周波数比較回路のIN2から入力されるパルス信号の位相が、IN1から入力されるパルス信号の位相よりも遅れている場合には、チャージポンプ回路1253のOUTから出力される信号の電圧が上げられる。

【0033】

フィルタ回路1256は、チャージポンプ回路1253のOUTから出力される信号に対してローパスフィルタとして機能する。

【0034】

電圧制御発振回路1254は、REFから入力されるレファレンス電圧とCONTから入力される信号の電圧に応じた周波数のクロック信号をOUTから出力する。レファレンス電圧に応じた周波数でOUTから出力されるクロック信号に対して、CONTから入力される信号の電圧が上昇した場合には、クロック信号の周波数を上昇させる。また、レファレンス電圧に応じた周波数でOUTから出力されるクロック信号に対して、CONTから入力される信号の電圧が低下した場合には、クロック信号の周波数を下げる。

【0035】

このようにして生成されたクロック信号は、位相周波数比較回路1252のIN2に入力される。これにより、電圧制御発振回路1254から出力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジと、位相周波数比較回路1252のIN1に入力されるパルス信号の立ち上がりエッジ又は立ち下がりエッジとの位相を合わせることができる。

【0036】

フリップフロップ回路1255は、位相周波数比較回路1252のIN1に入力されるパルス信号を、電圧制御発振回路1254から出力されるクロック信号に同期させて出力するための回路である。

【0037】

以上のように、FC - ALループを構成する通信路1211にCDR回路1250を装着することにより、送受信時のパルス信号の乱れ、例えばジッタを抑制することができる。

【0038】

しかしながら上記CDR回路1250においては、パルス信号の周波数値とクロック信号の周波数値とが整数倍の関係になった場合には、位相周波数比較回路1252において位

10

20

30

40

50

相差が検出されない。これを防止するために、パルス信号の周波数に近い周波数のクロック信号が電圧制御発振回路1254から出力されるように、レファレンス電圧の値を設定する必要がある。この設定作業はストレージ装置1000を管理するオペレータ等により行われていた。

【0039】

次に本実施の形態に係るCDR回路1250の第1の実施例を示すブロック図を図6に示す。

図6に示すように本実施の形態に係るCDR回路1250は、FC ENV - P有効検出回路1278、マルチプレクサ1251、位相周波数比較回路1252、チャージポンプ回路1253、電圧制御発振回路1254、フリップフロップ(分周されたクロック信号にパルス信号を同期させる同期部)1255、フィルタ回路1256に加え、信号周期監視回路(パルス信号の周波数を識別する識別部)1257、CDR転送設定回路(パルス信号の周波数を識別する識別部)1258、分周回路(パルス信号の周波数に応じた分周比でクロック信号を分周する分周部)1259、マルチプレクサ1277を備える。

10

【0040】

FC ENV - P有効検出回路1278、マルチプレクサ1251、位相周波数比較回路1252、チャージポンプ回路1253、電圧制御発振回路1254、フリップフロップ1255、フィルタ回路1256については、図5により説明したのと同様である。

【0041】

信号周期監視回路1257及びCDR転送設定回路1258は、パルス信号の周波数に応じて、クロック信号を分周するための信号を出力する。信号周期監視回路1257を示すブロック図を図7に示す。CDR転送設定回路1258を示すブロック図を図8に示す。また、パルス信号の周波数に応じて、クロック信号を分周するための信号が出力される様子を示すためのタイムチャートを図9及び図10に示す。図9はFiber信号の通信速度が1Gbpsの場合の例を示し、図10はFiber信号の通信速度が2Gbpsの場合の例を示す。また図7及び図8に示すブロック図中に示される括弧付きの数字は、図9乃至図10に示すタイムチャートにおける各信号に示される括弧付きの数字とそれぞれ対応する。

20

【0042】

信号周期監視回路1257は、ENV回路1260、コンパレータ1261、AND回路1262、遅延回路1263、EOR(Exclusive OR)回路1264、電流源1265、1266、コンデンサ1279、チャージポンプ電圧発生回路1267、コンパレータ1268を備える。

30

【0043】

なお、このうちコンデンサ1279は蓄える電荷の量に応じた電圧を出力する蓄電部に相当する。電流源1265及びチャージポンプ電圧発生回路1267は、蓄電部に蓄えられる電荷の量のある変化率で変化させる電荷変化部に相当する。遅延回路1263、EOR回路1264、電流源1266は、パルス信号の信号レベルが切り替わる毎にある時間だけ変化を妨げる電荷変化抑制部に相当する。このうち遅延回路1263は、パルス信号に対してある時間だけ位相をずらしたパルス偏差信号を生成するパルス偏差信号生成部にも相当する。またEOR回路1264、電流源1266は、パルス信号と前記パルス偏差信号との間に電位差が生じる間だけ前記蓄電部から放電する放電部にも相当する。コンパレータ1268は、蓄電部から出力される電圧が判定条件を満たしたか否かに応じた信号を出力する信号出力部に相当する。

40

【0044】

ENV回路1260は、Fiber信号(1)が入力されたことを検知するための回路である。例えばFiber信号(1)がFc信号振幅検出スレッシュホールド電圧(図9、図10参照)以上の電圧になったことを検知し、ENV回路1260の出力信号であるFc信号ENV(3)の出力電圧を上昇させる。

コンパレータ1261は、Fc信号ENV(3)の電圧がFc振幅基準電圧(2)以上に

50

なった場合に F C E N V - P 検出信号 (4) を出力する。

これにより F i b e r 信号 (1) の入力を検知することができる。また F C E N V - P 検出信号 (4) が出力されることにより電流源 1 2 6 5 に定電流が流れる。電流源 1 2 6 5 に定電流を流すための電力は、チャージポンプ電圧発生回路 1 2 6 7 により供給される。電流源 1 2 6 5 に定電流が流れることにより、コンデンサ 1 2 7 9 に蓄積される電荷の量が増加する。またこれにより C h a r g e P o m p 出力 (9) の電圧が上昇する。

【 0 0 4 5 】

A N D 回路 1 2 6 2 は F c 信号 A (5) を出力する。F c 信号 A (5) は、F C E N V - P 検出信号 (4) が出力されている間のみ A N D 回路 1 2 6 2 から出力される F i b e r 信号 (1) である。

10

A N D 回路 1 2 6 2 からの出力信号である F c 信号 A (5) は、遅延回路 1 2 6 3 によりある時間だけ位相をずらして生成される D L F c 信号 A (6) と共に E O R 回路 1 2 6 4 に入力される。これにより E O R 回路 1 2 6 4 からは、F c 信号 A (5) の立ち上がり又は立ち下がり毎に (パルス信号の信号レベルが切り替わる毎に) 一定時間幅のパルス信号 (E O R 出力信号 (7)) が出力される。

【 0 0 4 6 】

E O R 回路 1 2 6 4 から出力される E O R 出力信号 (7) により、電流源 1 2 6 6 に定電流が流れる。電流源 1 2 6 6 に定電流が流れる間、コンデンサ 1 2 7 9 に蓄えられた電荷が放電される。すなわちコンデンサ 1 2 7 9 に蓄積される電荷の増加を妨げる。これにより C h a r g e P o m p 出力 (9) の電圧が低下する。

20

【 0 0 4 7 】

コンパレータ 1 2 6 8 は、C h a r g e P o m p 出力 (9) の電圧がスレッシュ電圧以上か否かに応じて、E N V E T C T - P 信号 (1 0) を出力する。C h a r g e P o m p 出力 (9) の電圧がスレッシュ電圧以上である場合、すなわち判定条件を満たした場合には、E N V E T C T - P 信号 (1 0) を出力する。

【 0 0 4 8 】

以上の信号周期監視回路 1 2 5 7 によれば、コンデンサ 1 2 7 9 への充電は定電流源 1 2 6 5 により一定の速度で行われ、コンデンサ 1 2 7 9 からの放電は F i b e r 信号 (1) の信号レベルが切り替わる毎に行われる。これにより例えば F i b e r 信号 (1) の周波数が上がると、単位時間あたりに放電される電荷の量が増える。そのためコンデンサ 1 2 7 9 に充電を開始してから、C h a r g e P o m p 出力 (9) の電圧がスレッシュ電圧以上になるまでの時間がより長くなる。反対に、例えば F i b e r 信号 (1) の周波数が下がると、単位時間あたりに放電される電荷の量が減少する。そのためコンデンサ 1 2 7 9 に充電を開始してから、C h a r g e P o m p 出力 (9) の電圧がスレッシュ電圧以上になるまでの時間がより短くなる。

30

これにより、コンデンサ 1 2 7 9 に充電を開始してから、C h a r g e P o m p 出力 (9) の電圧がスレッシュ電圧以上になるまでの時間に応じて、F i b e r 信号 (1) の周波数を識別することができる。このための回路が図 8 に示す C D R 転送設定回路 1 2 5 8 である。

【 0 0 4 9 】

C D R 転送設定回路 1 2 5 8 は、A N D 回路 1 2 7 0、カウンタ回路 1 2 7 1、E O R 回路 1 2 7 2、フリップフロップ 1 2 7 3 を備える。

40

なお、このうち A N D 回路 1 2 7 0 及びカウンタ回路 1 2 7 1 は、蓄電部に蓄えられる電荷の量を変化させ始めてからの経過時間を計測する時間計測部に相当する。また E O R 回路 1 2 7 2、フリップフロップ 1 2 7 3 は電荷の量を変化させ始めてから、蓄電部の電圧が判定条件を満たしたことを示す信号が出力されるまでの経過時間により、周波数を識別する周波数識別部に相当する。

【 0 0 5 0 】

A N D 回路 1 2 7 0 は、F C E N V - P 検出信号 (4) が出力されている間のみ G E T C l o c k - N 信号 (1 1) を出力する。F C E N V - P 検出信号 (4) は、図 7 に示し

50

たコンパレータ1261により出力される信号である。GET Clock - N信号(11)は例えば水晶発振回路等により生成されるクロック信号である。

【0051】

カウンタ回路1271は、AND回路1270から出力されるGET Clock - N信号(11)のパルス数を計数する。そしてGET Clock - N信号(11)のパルス数が4パルス以上になったら、“4”と示される出力端子から信号を出力する。同様に、GET Clock - N信号(11)のパルス数が8パルス以上、10パルス以上、14パルス以上になったら、それぞれ“8”と示される出力端子、“A”と示される出力端子、“E”と示される出力端子から信号を出力する。

【0052】

EOR回路1272は、カウンタ回路1271から出力される信号の排他的論理和を演算し、演算結果を出力する。本実施の形態においては、2つのEOR回路1272を用いることにより、GET Clock - N信号(11)のパルス数が4以上8以下の場合、及び10(A)以上14(E)以下の場合にそれぞれのEOR回路1272から信号が出力されるようになっている。ここで4以上8以下の場合に出力される信号は、Fiber信号の周波数が1Gbpsであるかどうかを識別するために用いられる。また10(A)以上14(E)以下の場合に出力される信号は、Fiber信号の周波数が2Gbpsであるかどうかを識別するために用いられる。2つのEOR回路1272からの出力信号はそれぞれフリップフロップ1273に入力される。まずGET Clock - N信号(11)により同期され、続いてENVETCT - P信号(10)に同期される。ENVETCT - P信号(10)は、図7において説明したコンパレータ1268の出力信号である。

10

20

【0053】

以上のCDR転送設定回路1258によれば、例えばGET Clock - N信号(11)のパルス数が4以上8以下の場合に、コンパレータ1268からENVETCT - P信号(10)が出力された場合には、1Gb/sDET信号(15 - A)が出力される。またGET Clock - N信号(11)のパルス数が10(A)以上14(E)以下の場合に、コンパレータ1268からENVETCT - P信号(10)が出力された場合には、2Gb/sDET信号(15 - B)が出力される。つまり、1Gb/sDET信号(15 - A)が出力された場合にはFiber信号(1)の周波数は1Gbpsであり、2Gb/sDET信号(15 - B)が出力された場合にはFiber信号(1)の周波数は2Gbpsであることが識別できる。もちろんその他の周波数を識別可能とするようにCDR転送設定回路1258を構成するようにすることもできる。

30

【0054】

そして例えば、電圧制御発振回路1254に入力されるレファレンス電圧の設定が2Gbpsの周波数に合わせてある場合に、信号周期監視回路1257及びCDR転送設定回路1258によってFiber信号(1)の周波数が1Gbpsであると識別された場合には、1Gb/sDET信号(15 - A)を分周回路1259に入力してクロック信号を2分周するようにする。これにより、Fiber信号(1)の周波数とクロック信号の周波数とを合わせることができ。もちろん図6に示すように、マルチプレクサ1277を用いてクロック信号を分周回路1259を通す場合と通さない場合とを選択することにより、Fiber信号(1)の周波数とクロック信号の周波数とを合わせることができ。なお分周回路1259は2分周回路に限られず、3分周回路、4分周回路、あるいはその他の分周比の分周回路とすることができる。また複数の分周比を備えた分周回路とすることもできる。また通倍回路を備えるようにしてクロック信号を通倍するようにすることもできる。

40

【0055】

なお、図7及び図8にそれぞれ示した、信号周期監視回路1257及びCDR転送設定回路1258においては、電流源1265、1266を用いてコンデンサ1279に蓄積される電荷の量を増減させることにより、Fiber信号(1)の周波数を識別する場合の

50

例を示したが、他の方法によっても Fiber 信号 (1) の周波数を識別することは可能である。例えば、一般的なカウンタ回路を用いて、Fiber 信号 (1) の入力開始と共に一定の時間毎にカウントアップを行う一方で、Fiber 信号 (1) の立ち上がりエッジ、立ち下がりエッジを検出する毎にカウントダウンさせ、カウンタ回路の出力値がある一定の値になるまでの時間に応じて、Fiber 信号 (1) の周波数を識別するようにすることも可能である。あるいは、例えば Fiber 信号 (1) のある立ち上がりエッジを検出してから次の立ち上がりエッジが検出されるまでの間の水晶発振器からのパルス数を計測することにより、Fiber 信号 (1) の周波数を識別するようにすることもできる。

【 0 0 5 6 】

なお、図 7 及び図 8 にそれぞれ示した、信号周期監視回路 1 2 5 7 及び C D R 転送設定回路 1 2 5 8 においては、Fiber 信号 (1) の入力開始と共にコンデンサ 1 2 7 9 に充電が開始される場合の例を示したが、Fiber 信号 (1) の入力開始と共にコンデンサ 1 2 7 9 から放電が開始されるようにすることもできる。この場合は、Fiber 信号 (1) の立ち上がりエッジ、立ち下がりエッジが検出される毎に一定の時間だけコンデンサ 1 2 7 9 への充電が行われることになる。そして Charge Pump 出力 (9) の電圧がスレッシュ電圧以下になるまでの時間に応じて、Fiber 信号 (1) の周波数が識別されることになる。

【 0 0 5 7 】

以上のように本実施の形態に係る C D R 回路 1 2 5 0 によれば、通信路 1 2 1 1 を介して授受されるパルス信号の周波数を識別し、パルス信号の周波数に合わせてクロック信号を分周することができるので、パルス信号の周波数に合わせて電圧制御発振回路 1 2 5 4 に入力されるレファレンス電圧の設定を個別に行う必要をなくすることができる。これにより、ストレージ装置 1 0 0 0 の保守、管理作業負担を軽減することができる。また、周波数の異なるディスクドライブ 1 2 1 0 をストレージ装置 1 0 0 0 に混在させて装着することが可能となる。これにより、例えば周波数の低いディスクドライブ 1 2 1 0 と周波数の高いディスクドライブ 1 2 1 0 とを所有しているユーザにとって、ディスクドライブ 1 2 1 0 の周波数毎にストレージ装置 1 0 0 0 を設ける必要をなくすることができる。

【 0 0 5 8 】

また本実施の形態に係る C D R 回路 1 2 5 0 は、ストレージ装置 1 0 0 0 に適用されるのみならず広くデジタル通信機器に適用することが可能である。例えば通信機器に用いられる通信信号の整形回路に適用することができる。また、複数の信号に対する自動同期機能が具備された P B C (P o r t B y p a s s C u r c u i t)、S e r D e s (S e r i a l i z e r / D e s e r i a l i z e r)、P L L (P h a s e L o c k e d L o o p)、C D R (C l o c k D a t a R e c o v e r y)、半導体等を備え、E Y E パターンやジッタ、インタバルアナライザ計測等を行うためのデジタル信号測定機器等における信号入力用回路に適用することもできる。

【 0 0 5 9 】

次に本実施の形態に係る C D R 回路 1 2 5 0 の第 2 の実施例を示すブロック図を図 1 1 に示す。

図 1 1 に示すように本実施の形態に係る C D R 回路 1 2 5 0 は、F C E N V - P 有効検出回路 1 2 7 8、マルチプレクサ 1 2 5 1、位相周波数比較回路 1 2 5 2、チャージポンプ回路 1 2 5 3、電圧制御発振回路 1 2 5 4、フリップフロップ (分周されたクロック信号にパルス信号を同期させる同期部) 1 2 5 5、フィルタ回路 1 2 5 6 に加え、Code Word Error 検出回路 (パルス信号をクロック信号の周期で読み取った場合に、パルス信号が通信の規格を満たすかどうかを判定する通信規格判定部) 1 2 7 4、C D R 転送レート切り替え回路 (パルス信号をクロック信号の周期で読み取った場合に、パルス信号が通信の規格を満たすかどうかを判定する通信規格判定部) 1 2 7 5、分周回路 (パルス信号の周波数に応じた分周比でクロック信号を分周する分周部) 1 2 5 9、マルチプレクサ 1 2 7 7 を備える。

10

20

30

40

50

【0060】

FC ENV - P有効検出回路1278、マルチプレクサ1251、位相周波数比較回路1252、チャージポンプ回路1253、電圧制御発振回路1254、フリップフロップ1255、フィルタ回路1256、分周回路1259、マルチプレクサ1277については、第1の実施例において説明したのと同様である。

【0061】

Code Word Error検出回路1274及びCDR転送レート切り替え回路1275は、パルス信号をクロック信号の周期で読み取った場合に、パルス信号にエラーが検出されるかどうかを判定するための回路である。

【0062】

Code Word Error検出回路1274において検出されるパルス信号のエラーとしては、例えばファイバチャンネル規格において規定されている、10B/8B変換エラー(Code Word Characterエラー)、Loss of Syncエラー、Run Length Violation Detectionエラーである。ファイバチャンネル規格に対応したディスクドライブ1210のデータ入出力回路において、10B/8B変換エラー、Run Length Violation Detectionエラー、Loss of Syncエラーが検出される様子を図13及び図14に示す。

【0063】

図14に示すように、受信データはSOF(Start Of Frame)、Header、Payload、CRC(Cyclic Redundancy Check)、EOF(End Of Frame)を備えて構成される。

【0064】

受信データが図13に示す受信回路に入力されると、10B/8B変換回路においてCode Wordエラー及びRun Length Violation Detectionエラーのチェックが実施される。エラーが検出されなければ受信データはFC受信FIFO(First In First Out)回路を経由して、ディスクドライブ1210の内部のバッファに転送される。

【0065】

一方10B/8B変換回路においてエラーが検出された場合には、Loss Sync回路にエラー報告が行われる。Loss Sync回路は、受信データのPayload受信中のエラー数が4以上になったことを検知した場合には、FC受信FIFO及びCFW(Current Fill Word)にLoss of Syncエラーが発生した旨の信号を送信する。CFWでは、Loss Sync回路からLoss of Syncエラーが発生した旨の信号を受信している間、PayloadのデータをIDLEまたはARBX信号(ARBitrate信号。"x"はAL-PA(Arbitrated Loop Physical Address)を示す)に置き換え、送信MUX回路に送信する。そしてPayloadの一部がIDLEまたはARBXに置き換えられたデータが8B/10B変換回路を経由して送信回路から送信される。そのデータがFC-ALLループの次のディスクドライブ1210に受信されると、LED表示部1240に備えられるLEDが点灯され、エラーの発生がオペレータ等に通知される。

【0066】

図11に戻って、Code Word Error検出回路1274においてはこのようにしてFiber信号のエラーを検出する。例えば電圧制御発振回路1254から4Gbpsの周波数のクロック信号が出力されるようにレファレンス電圧を設定しておき、その周波数でFiber信号を読み取った場合に10B/8B変換エラー(Code Word Characterエラー)、Loss of Syncエラー、Run Length Violation Detectionエラーが検出されるかどうかをCode Word Error検出回路1274で判定する。なお、エラーの検出は位相周波数比較回路1252からCDR LOCK信号を受信した際に行われる。CDR LOCK

10

20

30

40

50

信号は、位相周波数比較回路1252において、IN1から入力されるパルス信号とIN2から入力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジの位相が一致した場合に出力される。

【0067】

Code Word Error検出回路1274において、10B/8B変換エラー(Code Word Characterエラー)、Loss of Syncエラー、Run Length Violation Detectionエラーの少なくともいずれかが検出された場合には、それらのエラーを検出した旨の信号がCDR転送レート切り替え回路1275に送信される。CDR転送レート切り替え回路1275は、Code Word Error検出回路1274から上記信号を受信すると、分周回路(判定の結果に応じて前記クロック信号を分周する分周部)1259の分周比を切り替えることによりクロック信号の分周を行う。例えばクロック信号を2分周する。この場合、元のクロック信号の周波数が4Gbpsであれば、2分周されることにより2Gbpsの周波数となる。この分周比の切り替えは、図11に示すように電圧制御発振回路1254から出力されるクロック信号を分周回路1259を通す場合と通さない場合とをマルチプレクサ1277により選択するようにして行うことができる。なお分周回路1259は2分周回路に限られず、3分周回路、4分周回路、あるいはその他の分周比の分周回路とすることができる。また複数の分周比を備えた分周回路とすることもできる。また逡倍回路を備えるようにしてクロック信号を逡倍するようにすることもできる。

10

【0068】

このようにして分周されたクロック信号が、再び位相周波数比較回路1252及びCode Word Error検出回路1274に入力される。そしてFiber信号をそのクロック信号の周期で読み取った場合に、通信の規格を満たすかどうかを判定する。再びエラーが検出された場合には、さらに分周比を切り替える。例えば4分周する。これによりクロック信号の周波数を1Gbpsにすることができる。

20

【0069】

本実施の形態に係るCDR回路1250の第2の実施例における処理の流れを示すフローチャートを図12に示す。

まず、FC-ALループを構成する転送路1211に接続されるディスクドライブ1210に電力の供給が開始されると、FC-ALループ上のディスクドライブ1210はIdle信号(パルス信号)の送信を開始する(S1000)。Idle信号は、ファイバチャネル規格で定められた信号である。FC-ALループ上に複数のディスクドライブ1210が接続されている場合には、ファイバチャネル規格で定められる所定のディスクドライブ1210がIdle信号の送信を開始する。CDR回路1250は、Idle信号の入力を検知すると(S1001)、Idle信号とクロック信号との同期を行う(S1002)。位相が同期したら、10B/8B変換エラー(Code Word Characterエラー)、Loss of Syncエラー、Run Length Violation Detectionエラーをチェックする(S1003)。いずれかのエラーを検出した場合には"N"に進む。そして上述したように分周回路1259の分周比を切り替えてクロック信号を分周する(S1004)。S1003においてエラーが検出されない場合には、"Y"に進む。これによりIdle信号とクロック信号とのネゴシエーションが成功し、FC-ALループの通信が確立される(S1005)。そしてディスクアダプタ1124はディスクドライブ1210のFC-ALループへの接続を認識し(S1006)、AL-PAを獲得するためにFC-ALの初期化処理等を行う(S1007)。

30

40

【0070】

以上により本実施の形態に係るCDR回路1250は、FC-ALループを介して行われる通信の速度を識別し、通信速度に合わせてクロック信号を分周することができる。これにより、通信速度に合わせて電圧制御発振回路1254に入力されるレファレンス電圧の設定を個別に行う必要をなくすことができる。これにより、ストレージ装置1000の保

50

守、管理作業負担を軽減することができる。また、周波数の異なるディスクドライブ1210をストレージ装置1000に混在させて装着することが可能となる。これにより、例えば周波数の低いディスクドライブ1210と周波数の高いディスクドライブ1210とを所有しているユーザにとって、ディスクドライブ1210の周波数毎にストレージ装置1000を設ける必要をなくすことができる。

【0071】

また本実施の形態に係るCDR回路1250は、ストレージ装置1000に適用されるのみならず広くデジタル通信機器に適用することが可能である。例えば通信機器に用いられる通信信号の整形回路に適用することができる。また、複数の信号に対する自動同期機能が具備されたPBC、SerDes、PLL、CDR、半導体等を備え、EYEパターンやジッタ、インタパルアナライザ計測等を行うためのデジタル信号測定機器等における信号入力用回路に適用することもできる。

10

【0072】

以上本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0073】

【発明の効果】

ストレージ装置、及び通信信号の整形回路を提供することができる。

【図面の簡単な説明】

20

【図1】本実施の形態に係るストレージ装置の全体構成を示す外観図である。

【図2】本実施の形態に係るディスク駆動装置の構成を示す外観図である。

【図3】本実施の形態に係るストレージ装置の全体構成を示すブロック図である。

【図4】本実施の形態に係るFC-ALループにおいてCDR回路が挿入されている様子を示す図である。

【図5】CDR回路を示すブロック図である。

【図6】本実施の形態に係るCDR回路を示すブロック図である。

【図7】本実施の形態に係る信号周期監視回路を示すブロック図である。

【図8】本実施の形態に係るCDR転送設定回路を示すブロック図である。

【図9】本実施の形態に係る信号周期監視回路により1Gbpsの通信速度のパルス信号の周波数を識別する様子を示すタイムチャートである。

30

【図10】本実施の形態に係る信号周期監視回路により2Gbpsの通信速度のパルス信号の周波数を識別する様子を示すタイムチャートである。

【図11】本実施の形態に係るCDR回路の第2の実施例を示すブロック図である。

【図12】本実施の形態に係るCDR回路の第2の実施例における処理の流れを示すフローチャートである。

【図13】本実施の形態に係るエラー検出の様子を示すための図である。

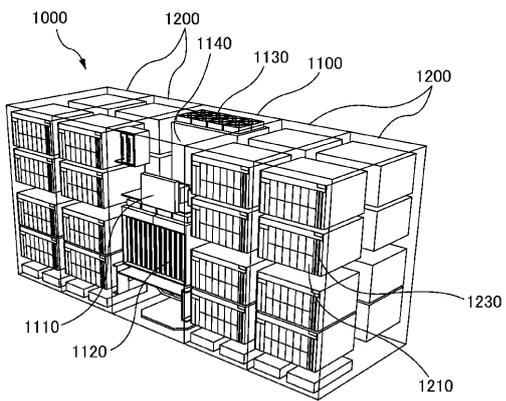
【図14】本実施の形態に係るエラー検出の様子を示すためのフローチャートである。

【符号の説明】

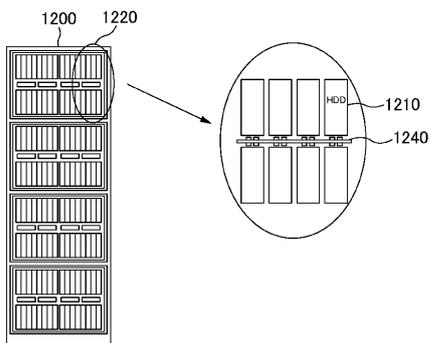
| | | | | |
|------|-----------|------|------------|----|
| 100 | 情報処理装置 | 1000 | ストレージ装置 | 40 |
| 1100 | ディスク制御装置 | 1124 | ディスクアダプタ | |
| 1200 | ディスク駆動装置 | 1210 | ディスクドライブ | |
| 1211 | 通信路 | 1220 | PBC回路 | |
| 1231 | マルチプレクサ | 1250 | CDR回路 | |
| 1252 | 位相周波数比較回路 | 1253 | チャージポンプ回路 | |
| 1254 | 電圧制御発振回路 | 1255 | フリップフロップ回路 | |
| 1256 | フィルタ回路 | 1257 | 信号周期監視回路 | |
| 1258 | CDR転送設定回路 | 1259 | 分周回路 | |
| 1263 | 遅延回路 | 1264 | EOR回路 | |
| 1265 | 電流源 | 1266 | 電流源 | 50 |

- | | | | |
|---------|------------------|---------|----------|
| 1 2 6 7 | チャージポンプ電圧発生回路 | | |
| 1 2 6 8 | コンパレータ | 1 2 7 1 | カウンタ回路 |
| 1 2 7 2 | EOR回路 | 1 2 7 3 | フリップフロップ |
| 1 2 7 4 | Code Wordエラー検出回路 | | |
| 1 2 7 5 | CDR転送レート切り替え回路 | | |
| 1 2 7 7 | マルチプレクサ | 1 2 7 9 | コンデンサ |

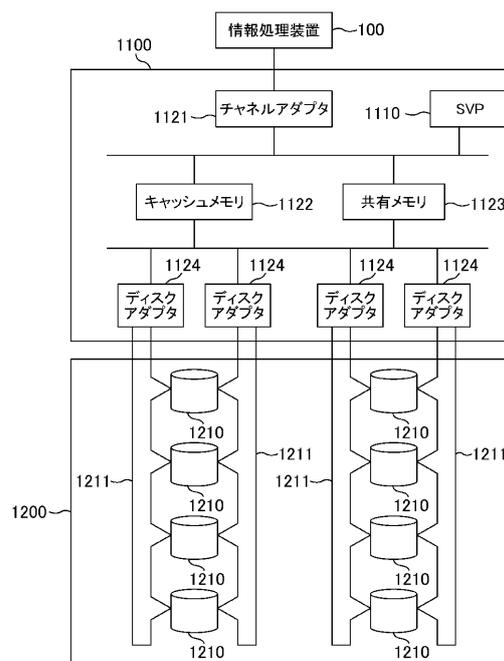
【図1】



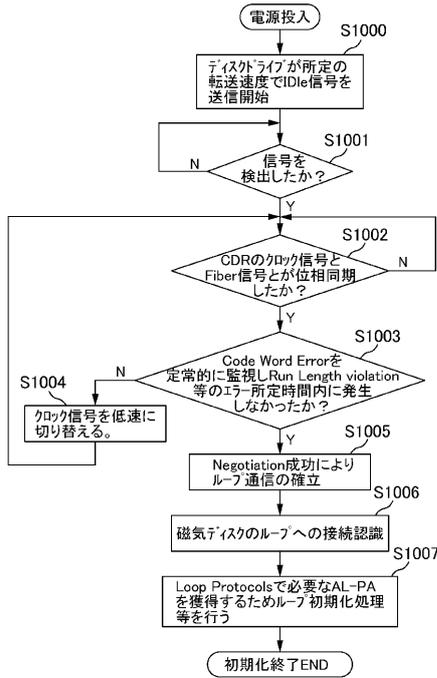
【図2】



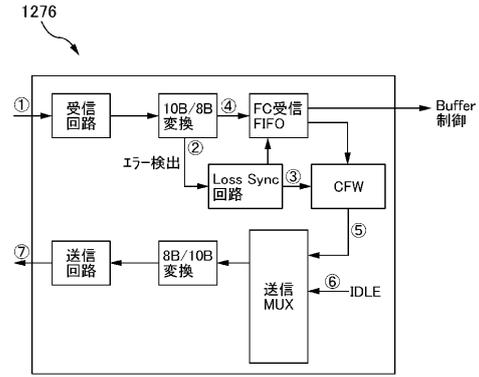
【図3】



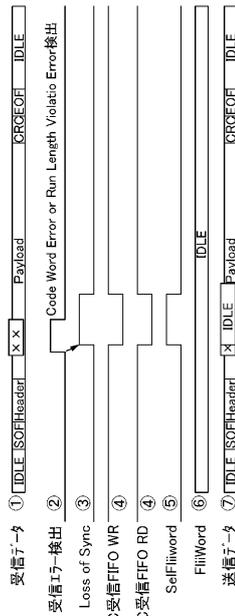
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(72)発明者 横山 智一

神奈川県横浜市戸塚区吉田町2-9-2番地 株式会社日立アドバンスデジタル内

(72)発明者 榊原 康弘

神奈川県小田原市中里3-2-2番2号 株式会社日立製作所RAIDシステム事業部内

Fターム(参考) 5B005 JJ23 MM11 NN12

5B065 BA01 CA30 CC08 CE01

5D044 AB01 BC01 CC05 EF03 FG10 GK10 HL02 HL11