



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I752004 B

(45)公告日：中華民國 111 (2022) 年 01 月 11 日

(21)申請案號：106103585

(22)申請日：中華民國 106 (2017) 年 02 月 02 日

(51)Int. Cl. : **H01L23/544 (2006.01)****G05B19/418 (2006.01)****H01L25/065 (2006.01)**

(30)優先權：2016/02/01 美國

62/289,783

(71)申請人：美商奧克塔佛系統有限責任公司(美國) OCTAVO SYSTEMS LLC (US)
美國(72)發明人：雪里丹 葛雷高里 麥可 SHERIDAN, GREGORY MICHAEL (US)；法蘭茲 吉恩
艾倫 FRANTZ, GENE ALAN (US)；穆爾圖薩 瑪素德 MURTUZA, MASOOD
(US)；潘恰法堤 夏恩卡爾 賈亞拉曼 PANCHAVATI, SHANKAR JAYARAMAN
(US)

(74)代理人：陳長文

(56)參考文獻：

CN	104603942A	EP	1154473A2
EP	1926138A1	EP	2339476B1
US	4667403	US	7582963B2
US	2002/0017708A1	US	2013/0257481A1
US	2013/0280863A1	WO	98/52226A1
WO	2006/116250A1	WO	2010/048102A2
WO	2015/084534A1		

審查人員：林坤隆

申請專利範圍項數：10 項 圖式數：15 共 56 頁

(54)名稱

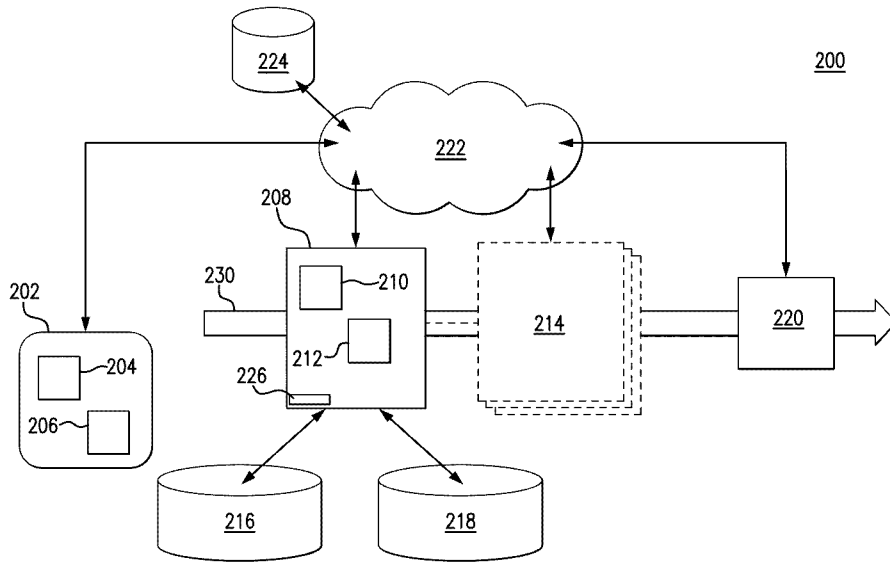
用於製造電子裝置之系統及方法

(57)摘要

本發明提供用於靈活及/或低產量產品製造之系統及程序，包含用來製造低產量系統級裝置之具成本效益方式。在一個態樣中，本發明實現製造複數個系統級封裝(SiP)裝置。在一個態樣中，該等裝置包含對應於基板及/或產品設計之一光學識別符及電識別符之一或多者。該等識別符可用於該等裝置之組裝中。

Systems and processes for flexible and/or low volume product manufacture, including cost effective ways to manufacture low volume system level devices. In one aspect, this disclosure enables the manufacture of a plurality of System in Package (SiP) devices. In one aspect, the devices include one or more of an optical and electrical identifier, corresponding to substrates and/or product designs. The identifiers can be used in the assembly of the devices.

指定代表圖：



【圖2】

符號簡單說明：

- 200 . . . 生產線系統
- 202 . . . 控制器模組
- 204 . . . 記憶體
- 206 . . . 處理器
- 208 . . . 生產機器/
導線接合、模製及球
附接機器
- 210 . . . 記憶體
- 212 . . . 處理器
- 214 . . . 額外機器/
導線接合、模製及球
附接機器
- 216 . . . 基板儲存器
- 218 . . . 組件儲存器
- 220 . . . 階段/自動
測試裝備
- 222 . . . 網路
- 224 . . . 儲存器
- 226 . . . 偵測器
- 230 . . . 流程



公告本

申請日: 106年2月2日

I752004

【發明摘要】

IPC分類: H01L 23/544 (2006.01)
G05B 19/418 (2006.01)
H01L 25/065 (2006.01)

【中文發明名稱】

用於製造電子裝置之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR MANUFACTURING
ELECTRONIC DEVICES

【中文】

本發明提供用於靈活及/或低產量產品製造之系統及程序，包含用來製造低產量系統級裝置之具成本效益方式。在一個態樣中，本發明實現製造複數個系統級封裝(SiP)裝置。在一個態樣中，該等裝置包含對應於基板及/或產品設計之一光學識別符及電識別符之一或多者。該等識別符可用於該等裝置之組裝中。

【英文】

Systems and processes for flexible and/or low volume product manufacture, including cost effective ways to manufacture low volume system level devices. In one aspect, this disclosure enables the manufacture of a plurality of System in Package (SiP) devices. In one aspect, the devices include one or more of an optical and electrical identifier, corresponding to substrates and/or product designs. The identifiers can be used in the assembly of the devices.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

200	生產線系統
202	控制器模組
204	記憶體
206	處理器
208	生產機器/導線接合、模製及球附接機器
210	記憶體
212	處理器
214	額外機器/導線接合、模製及球附接機器
216	基板儲存器
218	組件儲存器
220	階段/自動測試裝備
222	網路
224	儲存器
226	偵測器
230	流程

【發明說明書】

【中文發明名稱】

用於製造電子裝置之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR MANUFACTURING
ELECTRONIC DEVICES

【技術領域】

本發明之態樣係關於用於製造電子裝置(包含封裝裝置，諸如系統級封裝(SiP)裝置)之系統及方法。

【先前技術】

積體電路(IC)及半導體技術改良已促進數個領域(諸如物聯網(IoT)、大數據及雲端運算)中之快速產品成長。另外，IC及半導體技術改良已引起消費產品、醫療產品及工業產品之成本降低。此等產品通常具有需要整合在一起之組件，包含處理器、記憶體、電力管理元件、及至外界及其他產品之介面。

用於電子裝置(包含IC及半導體產品及裝置)之製程通常係一步驟序列。儘管具體步驟可基於具體產品而變化，但程序可包含某種形式之設計、計劃及/或設置，之後在一生產線上組裝產品。當前設計、製作、及製造及組裝程序及其相關聯生產線通常經設置以一次處置一個產品或裝置且高產量處置。然而，需要用於靈活及/或低產量產品製造之系統及程序，包含用來製造低產量系統級裝置之具成本效益方式。

【發明內容】

根據一些實施例，見於習知生產線中之標準IC製造及組裝線機器經

程式化以使用裝置識別符，且用來將一完整系統併入至一標準IC或半導體封裝中以產生系統級封裝(SiP)裝置。

根據一些實施例，提供一種在一生產線系統上製造複數個SiP裝置之方法。該方法包含組裝該複數個SiP裝置之一第一裝置。組裝該第一裝置可包含：根據一第一設計將第一複數個組件配置於一第一基板上，其中該第一基板在其表面上具有一第一光學識別符；及產生與該第一設計相關之一第一電識別符。該方法進一步包含組裝該複數個SiP裝置之一第二裝置。組裝該第二裝置可包含：根據一第二不同設計將第二複數個組件配置於一第二基板上，其中該第二基板在其表面上具有一第二光學識別符；及產生與該第二設計相關之一第二電識別符。在一些實例中，產生該第一電識別符包括將一或多個電阻性元件、電容性元件或導線接合放置於該第一基板上，同時產生該第二電識別符包括將一或多個電阻性元件、電容性元件或導線接合放置於該第二基板上。類似地，該第一光學識別符及該第二光學識別符之至少一者可由一或多個電阻性元件、電容性元件或導線接合形成。該等識別符可用於例如該等裝置之一或多個測試程序中。

在特定態樣中，組裝該第一裝置及該第二裝置可發生在單一生產運行中。

根據一些實施例，提供一種SiP裝置。該SiP裝置可包含：一基板；及複數個組件，其等配置於該基板上以定義對應於該SiP裝置設計之一電識別符。該基板亦可具有定位於該基板之一表面上的用於該基板之一光學識別符。該裝置可進一步包含該基板上之一連接器矩陣以允許附接至該基板之該複數個組件之間的可程式化互連。該等組件之一或多者可係例如SiP裝置自身。

根據一些實施例，提供一種製造複數個SiP裝置之方法。該方法包含：針對該複數個SiP裝置之一第一SiP裝置之一第一設計設置一生產線系統；以及針對該複數個SiP裝置之一第二SiP裝置之一第二設計設置該生產線系統。該設置使得在該生產線系統中設置該第一設計及該第二設計兩者。該方法進一步包含將第一組組件及第二組組件一起裝載於該生產線系統上，其中該第一組組件及該第二組組件選自單一組件群組。該方法進一步包含將一第一基板及一第二基板裝載於該生產線系統上；及基於該第一設計及該第二設計使用該生產線系統組裝該第一SiP裝置及該第二SiP裝置。可在單一生產運行中組裝該第一SiP裝置及該第二SiP裝置。在此實例中，該第一設計可使用來自該第一組組件之至少一個組件及該第一基板，同時該第二設計使用來自該第二組組件之至少一個組件及該第二基板。在特定態樣中，該第一基板及該第二基板各包含一或多個光學識別符且該組裝至少部分基於該等光學識別符之一或多者。類似地，該第一設計可對應於該第一SiP裝置之一電識別符且該第二設計可對應於該第二SiP裝置之一電識別符。

根據一些實施例，提供一種用於製造複數個SiP裝置之生產線系統。該生產線系統可包含一或多個記憶體、生產線儲存裝備及一或多個處理器。該等記憶體可用於儲存至少該複數個SiP裝置之一第一者之一第一設計及該複數個SiP裝置之一第二者之一第二設計，使得在該生產線系統之該等記憶體中含有該第一設計及該第二設計兩者。在此實例中，該生產線儲存裝備經組態以將一組預選組件儲存於該生產線系統上且將第一基板及第二基板儲存於該生產線系統上。在特定態樣中，該第一設計使用來自該組預選組件之至少一個組件及該第一基板，且該第二設計使用來自該組預

選組件之至少一個組件及該第二基板。該一或多個處理器經組態以控制該生產線系統之一或多個機器以在單一生產運行中組裝該第一SiP裝置及該第二SiP裝置。另外，該等處理器可進一步經組態以讀取該第一基板及該第二基板之各者上之一或多個光學識別符，且至少部份基於該等光學識別符控制該生產線以組裝該第一SiP裝置及該第二SiP裝置。

根據一些實施例，提供一種用於製造選自一預選組SiP裝置設計之複數個SiP裝置之方法。該方法包含針對該複數個SiP裝置設計設置一生產線系統，其中該複數個設計之各者含有選自一組預選組件及一組預選基板之組件及基板。該方法進一步包含基於該等選定SiP裝置設計將該組預選組件裝載至該生產線系統之裝備上及基於該等選定SiP裝置設計將該組預選基板裝載至該生產線系統之該裝備上。該方法進一步包含使用該生產線系統將該等選定組件組裝於該等選定基板上以根據該複數個SiP裝置設計之一第一者產生第一數目個SiP裝置且根據該複數個SiP裝置設計之一第二者產生第二數目個SiP裝置。在特定態樣中，裝置之第一數目及第二數目之至少一者係1。另外，該等基板之一或多者可用於一裝置族群。該方法亦可包含程式化該生產線系統中之一或多個裝備件以結合該設計自動地調整其設定，以基於用於該等基板之各者之一識別符執行各基板所需之獨特活動，且在該基板裝載於各裝備件上時如此做。

根據一些實施例，該等所揭示SiP裝置可包含填入有經互連以製作一功能系統且經併入至一封裝中之被動組件及主動組件之一基板。在特定態樣中，設計系統之方式經變更使得多個不同系統設計可沿相同組裝及測試線循序地流動而無需針對各新設計修改整個生產線中之所有機器。特定實施例之程序產生用於該生產線中之各組裝及測試機器之適當軟體指令以允

許組裝及測試在不同產品或裝置上發生而不中斷整體生產流程。

根據一些實施例，該等所揭示程序用來消除或減小用於一習知生產線之設置之量。藉由使用例如一標準基板設計，相同基板可用於一標準SiP族群。用於一獨特SiP設計中之基板可包含用於該設計之一唯一識別號碼(ID)。可由該生產線系統使用此ID以使用相同標準基板消除對各系統之一新設置之需要。類似地，根據一些實施例，構成品粒之一超集可呈現於一晶粒取置機器處，該晶粒取置機器具有使用該ID來判定拾取哪個裝置子集之一機構。此一配置可減小或甚至消除將晶圓或晶粒裝載於該取置機器上之隨時間變更。另外，使用一標準基板大小之實施例可消除對表面安裝技術(SMT)、晶粒附接、導線接合及模製中之獨特基板處置系統之需要，此係因為對於使用該相同標準基板之各裝置族群而言，所有潛在組件位置係相同的。藉由利用一BGA封裝中之一完全補充(即，完全填入)球陣列，亦可避免對用於球放置機器或工具之獨特工具之需要。

根據一些實施例，該等所揭示程序及系統：**(a)**使用一基板ID以唯一地選擇由一積體電路或半導體生產線中之製造及組裝機器使用之程式、指令或指示詞；**(b)**使用皆具有預選固定且相容大小之標準基板以消除用於一積體電路生產線中之各機器之多個設置；**(c)**使用標準基板設計之通用族群以減小庫存中之不同基板之數目；**(d)**呈現主動及被動組件之一超集給該等生產機器以消除對針對各SiP設計裝載新部件之需要；及**(e)**使用相同焊錫膏、晶粒附接、導線接合、模製化合物及球材料以避免對針對各SiP產品設計變更此等項目之需要。

下文參考隨附圖式描述上述及其他態樣及實施例。

【圖式簡單說明】

併入本文中且形成本說明書之部分之隨附圖式繪示各項實施例。

圖1係根據一些實施例之用於使用一生產線設計、製作及製造一裝置之步驟之一圖解。

圖2係根據一些實施例之一生產線系統之一圖解。

圖3係繪示根據一些實施例之一程序之一流程圖。

圖4係繪示根據一些實施例之一程序之一流程圖。

圖5係繪示根據一些實施例之一程序之一流程圖。

圖6係繪示根據一些實施例之一程序之一流程圖。

圖7係繪示根據一些實施例之一程序之一流程圖。

圖8係繪示根據一些實施例之一程序之一流程圖。

圖9係繪示根據一些實施例之一程序之一流程圖。

圖10A、圖10B及圖10C係根據一些實施例之一裝置之圖解。

圖11係繪示根據一些實施例之一程序之一流程圖。

圖12係繪示根據一些實施例之一程序之一流程圖。

圖13係繪示根據一些實施例之一程序之一流程圖。

圖14係繪示根據一些實施例之一程序之一流程圖。

圖15係繪示根據一些實施例之一程序之一流程圖。

【實施方式】

日益需要尤其用於消費電子裝置、汽車應用、石油及天然氣應用、醫療應用、工業應用及航空應用中之半導體產品。另外，除可能需要一或多個微處理器、記憶體、電力管理元件、通信組件及感測器之其他智慧型應用以外，亦存在物聯網(IoT)、雲端運算及大數據應用。據此，諸多應用當前需要一或多個積體電路(IC)滿足設計需要。

用於一半導體產品或裝置(包含積體裝置)之整體製程可按高階分解成下組步驟：設計(101)、計劃(102)、設置(103)、組裝(104)、測試(105)、封裝(106)及出貨(107)。圖1之生產流程100中繪示此等步驟。例如在一生產線系統中，流程100中之各程序步驟可需要若干不同專門裝備件以在一整體設計、製作、製造及組裝程序中執行獨特步驟。目前，對於生產線上製造之各不同終端產品或裝置，需要針對與該產品或裝置相關聯之獨特性質及組件調整或程式化各程序步驟所需之裝備。但，一旦針對該產品或裝置設置生產線，生產線便能夠以一相對固定且最小單位成本生產高產量之該產品或裝置。

然而，若將使用相同於第一產品或裝置之生產線製造一第二產品或裝置，則必須修改用來製作第一產品或裝置之裝備及所使用程序步驟以僅處理第二產品或裝置。此程序步驟變更以初始設計步驟開始且接著可需要各後續步驟之變更。由於一新裝置之生產當前需要顯著程序變更，故聚焦於降低積體電路及系統產品成本已遺漏大部分的市場，諸如系統級產品或裝置及此等系統之整合的市場。此實際上意謂著留下低產量產品機遇而無一經濟的整合路徑。據此，需要用來靈活地製造低產量系統級裝置之具成本效益方式。

舉例而言，一組半導體產品之一市場可藉由公司大小分類成三個部分：(1)大型垂直公司；(2)足夠大以直接從一廠商購買之公司；及(3)「長尾(long tail)」公司，其多數可能過小以致無法獲得一廠商的關注，且因此必須透過配銷通路購買。常常，僅大型垂直公司可利用系統單晶片(SoC)技術，而長尾客戶可降級到使用板上晶片(chips on board)。對於較低產量的公司，整合可發生在一印刷電路板(或板上晶片「COB」，亦稱

為PCB)上，而對於高產量的公司，整合可發生在一系統單晶片(SoC)上。然而，在特定應用中，對於具有多個組件之一系統之一整合而言，PCB或SoC解決方案均非最佳。在一些實例中，用於整合一複雜系統之最佳解決方案係藉由使用一系統級封裝(SiP)來完成，其中不同組件可以比使用一PCB或SoC更具成本效益之一方式整合在一起。在一些情況下，一SoC一旦經設計，便可變為可整合至一SiP中之一較大系統之一子系統單晶片(SSOC)。

系統級封裝(SiP)裝置當前用於半導體工業中以將多個積體電路、其他裝置及被動組件組裝於一個封裝中。SiP係有吸引力的，此係因為其等允許將微電子系統從數十立方公分大小之一印刷電路板微型化至通常近似5立方公分或更小之單一封裝。SiP實現運用不同裝置製作技術整合裝置，諸如數位、類比、記憶體、及其他裝置及組件，諸如離散電路、裝置、感測器、電力管理及整合於單一矽電路(如一ASIC或SoC)中原本係不可能或不切實際之其他SIP。用於一SiP中之此等其他離散電路可包含非矽基電路。

在一些實例中，歸因於其等的低產量機遇，長尾公司必須使用一PCB來整合系統。儘管長尾公司可具有一較低先期成本(NRE)之一優勢，但歸因於其等的低產量，一旦生產，此等公司在成本上不利。而大型垂直公司可，例如在終端產品之壽命內支付一大NRE來產生一SoC，較低成本下的較高產量快速地補償高的初始NRE。據此，一SiP解決方案係長尾公司及大型垂直公司兩者皆感興趣之一中間道路，此係因為NRE對於長尾公司而言足夠低且充分地降低組件成本以幫助大型垂直公司。

現參考圖1，圖1繪示根據一些實施例之一生產程序100。在程序100

之實例中，第一步驟係裝置或產品之實際設計101。一旦裝置經設計，制定將在何處、如何及/或何時製造裝置之一計劃102。計劃步驟亦可識別用於系統之一電路板(有時稱為主機板)之組件及設計且可包含從各個供應商訂購該等組件及/或板以使裝置能被建置。在計劃步驟完成時，用於生產線之設置步驟103係在何處視需要準備及程式化用於生產線中之所有機器。一旦就緒，組裝步驟104便發生。在組裝步驟完成之後，裝置可循序地經歷測試步驟105、封裝步驟106及出貨步驟107。可例如結合一生產線系統200執行此等步驟。

現參考圖2，圖2係根據一些實施例之一生產線系統200之一圖解。該系統可用來根據流程230生產電子裝置，諸如SiP裝置。該系統可包含一生產機器208。該系統亦可包含額外機器214。該等機器可包含例如晶粒放置機器，其包含取置機器、導線接合機器及模製裝置。在圖2之實例中，系統200進一步包含儲存裝備。例如，機器208、214可耦合至基板儲存器216及組件儲存器218。

在例如藉由機器208、214組裝之後，該系統可經組態以在階段220處執行一或多個封裝及測試步驟。測試可包含模組化測試設備，其包含用於產品之處置器及儲倉。根據特定態樣，系統200之一或多個組件可經由網路222彼此通信，該網路222可具有其自身之儲存器224。舉例而言，測試裝備可與一或多個機器208、214或者其他經連接裝備或機器通信以識別用於一給定裝置之適當測試協定。另外，該生產線系統可具有一控制器模組202。控制器202或一機器208之一控制器可識別來自216之一基板並將該基板置於生產線上。類似地，可藉由一或多個機器208、214將來自儲存器218之組件放置於生產線上之基板上。接著基於流程230沿生產線將

經填入基板傳遞至額外機器(諸如214)以進一步組裝裝置。根據一些實施例，該等機器之一或多者及/或控制器202包含記憶體204、210及一或多個處理器206、212。因而，該生產線系統包含記憶體及處理器。在一些實施例中，機器208、214包含用於讀取受處理裝置之光學及/或電識別符之偵測器226。例如，偵測器226可偵測系統200上正使用之一基板之識別符。此資訊可經由網路222在系統200組件間傳達。

圖2針對數個功能模組示意地繪示，包含生產線系統200之組件。該等模組(包含處理器206、212)可包含一資料處理系統(DPS)，該DPS可包含一或多個處理器(例如，一通用微處理器及/或一或多個其他處理器，諸如一特定應用積體電路(ASIC)、場可程式化閘陣列(FPGA)及類似者)。系統200之各種組件亦可包含經由網路222通信之傳輸器及接收器，包含網路介面。此等通信可係有線的或無線的。根據一些實施例，記憶體204、210可包含一或多個非揮發性儲存裝置及/或一或多個揮發性儲存裝置(例如，隨機存取記憶體(RAM))。在一些實施例中，系統200可經程式化以執行本文中描述之步驟(例如，本文中參考圖1、圖3至圖9及圖11至圖15之流程圖描述之步驟)，包含透過一非暫時性電腦可讀媒體，諸如但不限於磁性媒體(例如，一硬碟)、光學媒體(例如，一DVD)、記憶體裝置(例如，隨機存取記憶體)及類似者。在其他實施例中，系統200可經組態以執行本文中描述之步驟而無需程式碼。因此，本文中描述之實施例之特徵可在硬體及/或軟體中實施。

現參考圖3，圖3係繪示根據一些實施例之由一生產線系統執行之用於製造複數個SiP裝置之一程序300之一流程圖。例如，可由系統200執行程序300。

程序300可開始於例如步驟310，其中組裝複數個SiP裝置之一第一裝置。根據一些實施例，組裝步驟310包含兩個子步驟310-1及310-2。在步驟310-1中，根據一第一設計將第一複數個組件配置於一第一基板上。在特定態樣中，第一基板在該第一基板之一表面上具有一第一光學識別符。在步驟310-2中，產生一第一電識別符。此電識別符可例如與第一設計相關。

在步驟320中，組裝複數個SiP裝置之一第二裝置。根據一些實施例，組裝步驟320包含兩個子步驟320-1及320-2。在步驟320-1中，根據一第二設計將第二複數個組件配置於一第二基板上。一生產線系統(諸如系統200)可將第一設計及第二設計導入至其記憶體之一或多者中。在特定態樣中，第二基板在該第二基板之一表面上具有一第二光學識別符。在步驟320-2中，產生一第二電識別符。此識別符可例如與第二設計相關。在一些實施例中，第一經導入設計係指第一光學識別符及第一電識別符，而第二經導入設計係指第二光學識別符及第二電識別符。又，且根據一些實施例，第一裝置及第二裝置可發生在單一生產運行中。因此，具有不同設計及/或基板且可能使用不同組件之不同SiP可一起製造，而無需重新整備(re-tool)或以其他方式調整生產線系統。

可例如使用機器208及214之一或多者來執行組裝步驟310及320。例如，組裝可包含藉由該等機器放置一或多個晶粒或其他組件。可由偵測器226讀取識別符。用於流程300中之設計可例如儲存於記憶體204及210之一或多者中，且受控於處理器206、212之一或多者。例如藉由機器208可將第一基板及第二基板儲存於儲存器216中，同時可從儲存器218擷取組件。

在一些實施例中，步驟310及320之第一基板及第二基板可具有彼此相同之佈局。例如，該等基板可具有相同層、佈線及連接配置。在此實施例中，該等基板可共用相同光學識別符。替代地，在一些實施例中，該等基板可具有不同佈局且使用不同光學識別符。無論佈局相同或不同，基板兩者可係供處理之相同基板面板之部件。即，根據一些實施例，由生產線系統(諸如系統200)使用之一面板可包含所有相同基板或一不同基板配置。在特定態樣中，光學識別符可由生產線系統用來識別該面板之基板之各者。該面板可儲存於例如系統200之儲存器216中。

根據一些實施例，產生第一電識別符之步驟310-2包含將一或多個電阻性元件、電容性元件或導線接合放置於第一基板上。類似地，步驟320-2可包含將一或多個電阻性元件、電容性元件或導線接合放置於第二基板上。在特定態樣中，該等基板之光學識別符可由一或多個電阻性元件、電容性元件或導線接合形成。光學識別符可例如係數值。在特定態樣中，可由生產線系統(諸如系統200)讀取數值及/或組件配置。另外，生產線系統可經組態以至少部分基於第一光學識別符或第二光學識別符來調整生產線系統200中之一或多個機器(諸如機器208、214)之一或多個設定。生產線系統亦可至少部分基於第一電識別符或第二電識別符調整生產線系統中之一或多個機器之一或多個設定。在此方面，可透過該等識別符之使用來控制生產線系統針對一特定運行及/或設計集之具體操作。

在特定態樣中，程序300可包含額外步驟。該等步驟可包含例如將第一組件及第二組件一起裝載於生產線系統上，其中第一組組件及第二組件選自單一組件群組。又，可將第一基板及第二基板裝載於生產線系統上，其中該第一基板及該第二基板之各者係一或多個裝置族群之一共同基板。

裝載步驟可例如發生在步驟310之前。另外，程序300可包含基於第一光學識別符及第一電識別符之一或多者測試第一裝置，以及基於第二光學識別符及第二電識別符之一或多者測試第二裝置。

現參考圖4，圖4係繪示根據一些實施例之用於製造複數個SiP裝置之一程序400之一流程圖。可例如結合生產線系統200執行程序400。

程序400可開始於例如步驟410。在步驟410中，針對複數個SiP裝置之一第一SiP裝置之一第一設計設置一生產線系統，諸如系統200。此設置可包含例如設置一或多個機器208、214 (諸如具有正確SMT (及其他)組件之取置機器、具有正確晶圓或晶粒之晶粒放置機器、具有正確組合測試程式之自動測試裝備220)及設置任何導線接合、模製及球附接機器208、214。在步驟420中，針對複數個SiP裝置之一第二SiP裝置之一第二設計設置相同生產線系統，使得在該生產線系統中設置第一設計及第二設計兩者。因此，根據一些實施例，一生產線系統(諸如系統200)可同時經設置以產生兩個不同裝置，即使該等裝置使用不同基板及組件。

在步驟430中，將第一組組件及第二組組件一起裝載於生產線系統上。根據一些實施例，第一組組件及第二組組件選自單一組件群組。例如，第一組組件可係第二組組件之一替代版本。舉例而言，第一組組件可係具有第一特性之運算放大器(Op-amp)，而第二組係具有第二特性之運算放大器。又舉例而言，運算放大器經預選使得僅特定類型及值可用於該等組組件中。在一些實施例中，第一組組件及第二組組件之至少一者係一組製成SiP。可將此等組件裝載至儲存器218中。

在步驟440中，將一第一基板及一第二基板裝載於生產線系統上。根據一些實施例，第一基板及第二基板可在供處理之一共同面板上。第一基

板及第二基板亦可具有一相同佈局。例如，可將該等基板裝載至儲存器216中。

在步驟450中，基於第一設計及第二設計組裝第一SiP裝置及第二SiP裝置。在特定態樣中，第一設計使用來自第一組組件之至少一個組件及第一基板，而第二設計使用來自第二組組件之至少一個組件及第二基板。第一SiP裝置及第二SiP裝置之組裝可例如發生在單一生產運行期間。根據一些實施例，第一基板及第二基板各包含一或多個光學識別符且該組裝至少部分基於該等識別符。另外，第一設計可對應於第一SiP裝置之一電識別符，且第二設計可對應於第二SiP裝置之一電識別符。

在一些實施例中，第一基板及第二基板之各者含有用於組件之間的可程式化互連之連接器墊之一矩陣。在此實例中，組裝450第一SiP裝置及第二SiP裝置亦可包含：(i)根據第一設計使第一基板上之複數個矩陣墊互連；及(ii)根據第二設計使第二基板上之複數個矩陣墊互連。可例如由一導線接合機器208執行該互連。

現參考圖5，圖5係繪示根據一些實施例之用於製造複數個SiP裝置之一程序500之一流程圖。可例如結合生產線系統200執执行程序500。

程序500可開始於例如步驟510。步驟510包含針對複數個SiP裝置設計設置一生產線系統，諸如系統200。設置510可包含例如結合圖12論述之一或多個程序。根據一些實施例，複數個設計之各者含有選自一組預選組件及一組預選基板之組件及基板。在特定態樣中，複數個SiP裝置設計可僅使用來自預選組組件及基板之組件及基板。

在步驟520中，基於選定SiP裝置設計將該組預選組件裝載至生產線系統之裝備上。例如，可將組件裝載至系統200之儲存器216中。

在步驟530中，基於選定SiP裝置設計將該組預選基板諸如從基板儲存器216裝載至生產線系統之裝備上。根據一些實施例，該組預選基板中之各基板用於一裝置族群。另外，生產線系統可包含經組態以接收一標準大小之基板之一或多個機器，且該組預選基板之各基板可具有標準且固定尺寸。

在步驟540中，使用生產線系統將選定組件組裝於選定基板上以根據複數個SiP裝置設計之一第一者產生第一數目個SiP裝置。根據複數個SiP裝置設計之一第二者產生第二數目個SiP裝置。根據一些實施例，經產生裝置之第一數目及第二數目之至少一者係1。因此，根據所提供方法之特定態樣，可針對一特定SiP裝置設計完成小如1之一批量大小。在進一步實施例中，複數個SiP裝置設計各具有一唯一識別符。此識別符可對應於根據該等設計組裝之SiP裝置之一或多個光學或電識別符。

根據一些實施例，程序500可進一步包括程式化該生產線系統中之一或多個裝備件(諸如機器208、214)以在該基板裝載於各該裝備件上時結合該設計自動地調整其設定，以基於該等基板之各者之該唯一識別符執行各基板所需之獨特活動。此可例如作為設置步驟510之部分執行。

現參考圖6，圖6描繪用於在一生產線系統之一設計步驟與一設置步驟之間互動之詳細步驟600。例如，600可繪示對應於圖1之101至103之步驟且結合生產線系統200繪示。在一些方面中，步驟600描述一產品設計601與一設計工具602之間的關係以及來自此兩個活動之輸出。輸出包含例如用來針對組裝步驟設置生產線裝備之指示詞604、最終材料清單(BoM) 605，使得可購買正確組件且產生成本會計資料606。根據一些實施例，一個其他潛在輸出係一新設計603之資訊，其可係一成本降低版

本、產品線中之一新族群成員及/或下一代產品。可將有關步驟600之資訊儲存於例如記憶體204、210及224之一或多者中。

根據一例示性程序之流程600，可將此資訊傳回至產品設計607。在特定態樣中，設計程序動作601及602可包含：(1)制定裝置之一功能設計；及(2)識別將在組裝程序期間由組裝者使用一生產流程插入之個別組件。可將所得設計細節傳回至裝置擁有者以在計劃及開始生產之前簽核。

負責產品(或裝置)設計601之系統設計團隊可例如進行系統設計且驗證其功能。一特定功能可以一或多種方式驗證，包含藉由一電腦模擬，藉由產生裝置之一試驗板版本，藉由使用一PCB (印刷電路板)或SoM (模組上系統)進行原型設計，或假定產品在一程序之前已在生產中的情況下，藉由改變裝置之一既有版本。接著可將經驗證設計可輸入至一組裝程序設計工具602中。

現參考圖7，圖7描述關於根據一些實施例之一設計程序700之細節。如圖7中展示，多個系統可設計有為其等產生之單一生產流程。例如，設計工具702可接受來自產品設計程序701之一或多個文件或者資料或資訊片段作為一輸入。該設計工具之若干預設計功能可經產生並放置於下列庫中：一組件庫703；一系統建置組塊(SBB)(標準SIP基板)庫704，其已從先前設計產生且可用於一生產線設計中(此等基板可用於基於例如但不限於處理器、類比介面、記憶體、電力管理、感測器及致動器之一裝置族群)；晶粒形式之一可用IC (像是A/D或D/A、處理器、運算放大器、記憶體等)庫705，其可在組裝程序期間使用；及一被動或其他類型組件庫706，其可供在組裝程序期間使用。資訊可例如儲存於記憶體204、210及224之一或多者中且經由網路222傳達。在一些實施例中，各基板可含有

定位於該基板之表面上之導電墊之一矩陣以除允許正常固定基板互連外亦允許附接至該基板之組件之間的可程式化互連。

根據特定實施例，被動及其他組件僅係用於各類型組件之所有可能值之一預選子集。例如，取代使任何值之電容器用於一設計中，電容器庫將具有預選值(例如但不限於1微法拉、0.1微法拉、0.001微法拉等)。類似地，對於電阻器以及其他類型的被動組件及IC，僅有限預選值將可用於該設計中。

來自系統設計者之系統設計輸入可與一標準基板(SBB)庫704匹配，其中各SBB類型能夠用於一子系統族群。在此匹配中，將系統設計剖析成可對應於可用於一SBB上之電路族群之一或多者之部分。例如，若產品需要多個類比介面裝置，則比較預定SBB庫與所要系統設計之要求。若發現一適當類比SBB，則可將對應於可使用該特定SBB製作之系統設計部分的一子系統之示意圖、接線對照表及BoM之部分指派給具體的特定匹配SBB。接著可指派一產品建置組塊(PBB)，其係填入有根據接線對照表連接之BoM組件之標準基板。一PBB可係填入有用於一子系統族群之一者或用於一系統之一部分區段的組件之一SBB。在特定態樣中，各基板SBB可含有定位於該基板之表面上之導電墊之一矩陣以除允許正常固定基板互連外亦允許附接至該基板之組件之間的可程式化互連。

根據一些實施例，並非所有系統產品設計(SPD)需要整合至單一SiP中。在諸多情況下，在一系統設計中存在可製作可整合至一建置組塊SiP(BBSiP)中之共同建置組塊之組件之邏輯分組。例如，在一類比介面系統中，存在對運算放大器之BBSiP之一共同需要。此BBSiP可在其上具有 n 個運算放大器，其具有針對專用於運算放大器電路族群之一基板類型之 n

個運算放大器之各者之 m 個被動位置。諸多不同運算放大器信號調節電路 **BBSiP**可組態於相同**SBB**上。各**SBB**基板可含有定位於該基板之表面上之導電墊之一矩陣，以除允許正常固定基板互連外亦允許附接至該基板之組件之間的可程式化互連。一客製化A/D及D/A **BBSiP**、一處理器系統 **BBSiP**或一感測器及致動器**BBSiP**亦可如此。儘管此實例提及運算放大器，但其可適用於其他被動及主動組件，包含其他**SiP**。

參考圖7，在特定實施例中，若在**SBB**庫中不存在針對產品設計之部分之匹配，則提議且佈置**708**一新**SBB 707**以納入該設計部分，或該等組件未被接受作為生產流程之部分且系統設計者負責將其等包含於主機板設計**710**中，該設計**710**隨後將附接已完成**PBB 709**以完成最終系統設計。

此外，可將一唯一基板識別號碼(**ID**)指派給各**SBB**。此**ID**可貫穿製造及組裝程序使用。此**ID**可藉由不同方法(諸如舉例而言但不限於雷射刻劃，或使用一可偵測陣列賦予二進位碼或類比碼)永久性地包含於基板上。二進位碼或類比碼可與經封裝基板之特定接腳相關聯，使得可在該基板已囊封之後讀取二進位碼或類比碼。亦可由定位於該基板上之一微處理器、微電腦或非揮發性記憶體儲存該**ID**，前提是該**ID**在基板上可得。此**ID**可係一視覺上可讀識別符，諸如一數值。

為了管理正組裝於相同基板上之多個裝置之程序，一裝置**ID**或**PBB ID**可加至該基板且用來識別針對生產線中之各裝置建置之裝置。在一些實施例中，一設計**ID**將加至基板**ID**以形成一裝置(其可在其中具有多個**PBB**)或**PBB ID**以判定例如待放置於該基板上之組件、哪個測試常式將用於最終測試、哪個部件編號將置於經封裝裝置上及其將被出貨至何處等。接著可由一生產線系統中之裝備(包含機器**208**、**214**)使用唯一裝置(或產品)識

別號碼以選擇及使用該裝備針對該板及其相關聯組件所需之程式。一PBB可係一獨立裝置。

例如，PBB ID可以兩個步驟定義，使得其ID將既可光學偵測又可電偵測。SBB ID可作為初始基板佈局之部分產生。例如，取決於多少不同基板在一面板上，SBB ID可在其ID中具有 n 個位元。舉例而言而非限制，可依據選擇性地附接至一電壓軌或保持斷開(或連結至一第二電壓軌或接地)之一組封裝接腳或球來判定該ID。在由一裝備件電讀取該等接腳時，各接腳將保持於電壓軌處或保持斷開(或於一第二電壓軌處或接地)。在該接腳保持斷開之情況下，使用裝備上之一下拉(或上拉)電阻器來讀取該ID，輸出將處於軌電壓或接地，前提是假定下拉電阻器連結至接地。

例如，可在一第一組裝步驟處產生ID之第二部分，其中SMD裝置附接至基板。在一些實施例中，電阻器例如附接至第二組 m 個接腳及一電壓軌。此等電阻器可係整體設計ID之SBB ID部分之基礎，其中完整裝置ID係 n 位元SBB與針對一唯一設計ID之 m 個唯一位元的一組合。在此實施例中，且使用相同於用於SBB ID之方法，讀取ID之裝備將基於下拉電阻器看見軌或接地之電壓，或可光學地掃描且看見任何電阻器及其等放置。對於一些實施例，需要完成SBB ID及設計ID標記方法，使得既可光學地偵測又可電偵測該等ID。藉由提供僅大於軌電壓或接地之電壓位準，使用 m 個ID位元之各種電阻值對設計ID賦予更多選項。對於一些實施例，最終裝置可係單一PBB且在此實施例中，設計ID及PBB ID係相同的且裝置ID係SBB ID與設計ID之一組合。對於其中最終裝置含有複數個PBB之其他實施例，裝置ID將係唯一的。

現參考圖8，提供根據一些實施例之用來從一系統設計之輸入產生一

組產品建置組塊(PBB)之詳細程序800。更特定言之，圖8進一步描繪系統產品設計工具802 (例如，如關於圖7描述)可如何用諸多PBB 803、804、805及一主機板806產生一完整系統設計810。系統產品設計(SPD)工具802使用來自系統設計項目801、SBB庫808及組件庫809之輸入以產生PBB 803、804、805及主機板807。在特定態樣中，圖8之SBB庫808可對應於組件庫703之SBB部分704，且組件庫809可對應於圖7中之組件庫703之IC部分705及被動部分706。類似地，PBB 803、804、805可對應於圖7之PBB n 個部分709，且主機板設計806可對應於圖7之主機板710。儘管系統設計810被繪示為具有各種輸出，但BoM可係用於設計中之所有PBB以及待安裝於主機板上之任何組件的總BoM。類似地，底片(gerber)檔案可係主機板806之檔案。

現參考圖9，圖9描繪根據一些實施例之使用一個PBB以針對多個不同系統設計產生一系統之部分之程序900。更特定言之，圖9描繪系統產品設計(SPD) 902可如何被利用來使用相同組PBB 903、904、906設計諸多系統905、915、925。在此實例中，SPD工具902將來自三個不同系統設計901、911、921之系統設計資訊、SBB庫908及組件庫907視為其輸入，以使用SiP系統905、915及925之各者中之PBB之至少一者產生一獨特組SIP。在特定態樣中，SBB庫908對應於圖7中之組件庫703之SBB部分704，且組件庫907對應於組件庫703之IC部分705及被動部分706。以一類似方式，PBB 903、904、906對應於圖7之PBB n 個部分709，且主機板設計909對應於圖7之主機板710。在此實例中，系統設計905、915及925被繪示為具有各種PBB及主機板。用於所有此等系統之BoM可係用於設計中之所有PBB以及待安裝於主機板上之任何組件的總BoM。類似地，儘管

未描繪，但各系統設計可包含用於該系統之主機板之底片檔案。

在圖8及圖9之實例中，分別描繪具有諸多PBB之一個系統設計，及用於多個系統中之一個PBB。根據一些實施例，系統設計接著將由例如如圖10B中展示之具有一或多個BBSiP或PBB之一主機板組成。在該系統之複雜部分含於BBSiP中之情況下，基板(主機板)可簡化為具有更少導電層、一更小覆蓋區及更低總成本。如圖8中描繪，設計工具801可接受一或多個輸入，包含一裝置示意圖、一裝置接線對照表、一或多個PCB底片檔案、材料清單(BOM)、裝置規格、及描述裝置所需之任何其他文件、資料或資訊。

現參考圖10A，描繪根據一些實施例之一產品建置組塊(PBB) 1000之一實例之一俯視圖。在此實例中，該PBB具有整合於SBB 1010上之多個組件。該等組件係被動件1001、處理器1002、視訊放大器1003、電力管理積體電路1004、十億位元乙太網路實體層1005、類比介面晶片1006、EEPROM 1007及兩個記憶體裝置1008、1009。一PBB之其他實例可更複雜或更簡單。儘管未單獨描繪，但與圖10B之項目1017類似，PBB 1000具有既可光學偵測又可電偵測之一SBB識別符及PBB識別符。

現參考圖10B，描繪根據一些實施例之使用具有四個PBB 1013、1014、1015、1016及相關聯離散組件1012之一主機板1011製作之一完整系統1090之一俯視圖。類似地，圖10C描繪主機板1011之一側視圖，其包含主機板側視圖1021，PBB 1023、1024、1025及相關聯離散組件1022。系統1090亦包含用於基板1011之一光學識別符1017。

圖10B亦描繪可如何使用電阻器1033、1040、1043或可附接至類似於墊1036、1037之墊(其等可繼而附接至用於外部接腳或球之球1031、

1034、1035、1038)之其他組件來製造光學識別符1017之一項實施例之一展開視圖。以此方式，亦可使用裝置1090之外部接腳或球電量測該光學識別符。又，舉例而言而非限制，可依據選擇性地附接至一電壓軌或保持斷開(或連結至一第二電壓軌或接地)之一組封裝接腳或球來判定該ID。在由一裝備件電讀取該等接腳時，各接腳將保持於電壓軌處或保持斷開(或於一第二電壓軌或接地處)。在該接腳保持斷開之情況下，使用裝備上之一下拉(或上拉)電阻器來讀取該ID，輸出將處於軌電壓或接地，前提是假定下拉電阻器連結至接地。

根據一些實施例，一旦已完成一「組裝就緒」設計，可將該設計傳回至一系統設計者以待批准。一旦經批准，該設計可視需要經剖析以例如設置生產線、購買組件且進行成本會計。現參考圖11，提供根據一些實施例之一計劃步驟1100。在此實例中，圖1中展示之設計程序101之輸出係待用作一獨立系統或作為一給定待製造最終產品之部件的各SiP所需之至少一BoM。一旦針對正彙總至組裝流程104中之所有其他設計識別所有必要組件，便選擇1111一組最小廠商且購買1112用於所有待組裝SiP之組件。接著接收該等組件及基板，檢測1113是否有損壞或其他性質並儲存1114。

在一些實施例中，可使用同一相同基板來設計若干不同系統設計，例如，PBB。在特定態樣中，多個此等基板提供諸多不同類型系統之選項。因此，可簡化成本會計1115，此係因為其關注總生產流程而非構成總生產流程之獨特SiP之各者。在特定態樣中，總流程關注由總流程中之所有SiP使用的一個固定值電容器之總數目，而非處理針對各個別SiP設計之電容器之唯一數目。計劃程序102之輸出係組裝104、測試105、封裝

106及出貨107程序之設置103需遵循之資訊。

在一些實施例中，圖11中描繪之計劃程序使用具有預選值之共同BoM項目且跨不同產品使用一組共同基板，而非在選擇廠商1111且訂購組件1112的同時，針對每一新產品變更新BOM項目及所需基板。被動及其他組件可係組件之所有可能值之一預選子集。例如，電容器庫將具有預選值(像是舉例而言但不限於1微法拉、0.1微法拉、0.001微法拉等)，而非將任何值之電容器用於設計中。類似地，對於電阻器及其他類型被動組件，僅有限預選值將可用於一設計中。類似地，對於主動組件(像是運算放大器、A/D、處理器及記憶體)，用於此等裝置之有限預選晶粒將被選擇且可用於一設計中。因此，原始系統設計者可受約束而使用來自具有預選電值之一選定組組件之組件，同時提供其等具體產品或裝置所需之相同功能。此約束可藉由將該組組件限於待在一製造批量中生產之裝置設計之彙總實際上所需之組件而減小。若 n 個系統裝置包含於製造批量中(由 n 個系統裝置組成)，則限制可係 n 個系統裝置需要，而非一組更廣泛的系統裝置。

在特定態樣中，透過廠商資格檢定1113之一系統使用表現為單一且不變供應商之一新供應鏈，而不管實際構成的供應商基礎。例如，可識別充當BoM (包含於製造批量中之所有系統裝置之彙總)之所有所需組件之一實際供應商之一個主要供應商。實際供應商之責任係藉由按一預協商價格來與二級廠商/供應商協商以確保及時(JIT)提供1114品質組件用於所需裝置設計之所有建置。當與其中於計劃程序中歸因於時間耗費於資格檢定系統產品BoM之各者中之各組件涉及之各個供應商、與各個供應商會面、交談、協商中而浪費多數時間之方法相比時，實施例提供效率優勢。又，

總流程可更多關注由總流程中之所有SiP使用的一個固定值之電容器之總數目，而非處理用於各個別SiP設計之電容器之唯一數目及一次一個地協商各個別SiP設計之BoM。例如，各個別SiP可具有組成其BoM之自身補充組件；該等組件之各者將具有一規格及品質要求。各組件將需要以其設計所需之量進行購買。若存在作為總流程之部分之十個此等SiP設計，則可能存在十次單獨會面以購買針對十個設計之此等組件。若所有設計使用相同固定值電容器，則可將購買此電容器之步驟彙總至一次會面及一次訂購單以購買所有十個設計所需之一數量之此相同電容器。類似地，對於任何品質要求，僅需要一次廠商資格檢定而非十次個別資格檢定。

現參考圖12，描繪根據一些實施例之一設置步驟1200。從圖1，用於SiP組裝之設置步驟1200涉及基於來自設計程序101之個別BoM從計劃程序102收集用於各種生產機器之所需資訊。對於各基板(SBB)或裝置ID，此資訊用來例如：設置具有正確SMT組件之取置機器1211；設置具有正確晶圓或晶粒之晶粒放置機器1212；設置具有正確組合測試程式之ATE 1213；及設置導線接合、模製及球附接機器1214。一旦設置程序已完成，便可進行接下來之步驟：組裝104、測試105、封裝106及出貨107。

藉由使用一標準基板設計，相同基板可用於多個SIP。此消除針對使用一標準基板之各新系統設計或PBB之一新設置之需要。此與其中各設計或SIP利用一不同基板、一不同組主動及被動裝置、不同晶粒附接、導線接合及模製材料，且其中各SIP需要製造線中之所有裝備之設置步驟之一變更之一設置形成對比。類似地，藉由始終在晶粒取置機器處提供構成品粒之一超集且具有一機構來判定拾取哪個裝置子集減小或消除將晶圓或晶粒裝載於取置機器上之隨時間變更。使用標準基板面板大小消除對表面安

裝技術(SMT)、晶粒附接、導線接合、模製中之獨特基板處置系統之需要，此係因為所有組件位置係相同的。藉由利用一BGA封裝中之一完全補充(完全填入)球陣列，避免對一獨特球放置工具之需要。若僅利用球之一部分，則一特殊球放置工具需能夠僅附接焊球之該部分。且若該部分變更，則附接其等之工具亦可能需變更。

現參考圖13，描繪根據一些實施例之一組裝步驟1300。如圖1中展示，用於一SiP組裝之組裝步驟104 (正如其用於積體電路組裝)遵循設置程序103，其中各相關聯生產線機器經程式化以基於與面板中之基板相關聯之裝置ID 1311，用適當主動及被動組件1314填入基板之面板1312。在此實例中，於1313處完成在組裝程序期間所需之一積體電路晶粒之任何測試或程式化，其雖然當前未執行，但可在未來執行。可例如但不限於藉由接合導線放置、雷射蝕刻、運用一雷射變更EEPROM位元等執行程式化。可由計劃程序102基於來自設計程序101之個別BoM判定組裝。一旦組裝程序已完成，可繼續進行接下來之步驟：測試105、封裝106及出貨107。

根據一些實施例，所揭示方法及系統使用貫穿組裝程序可讀取之一唯一基板或裝置ID 1311，以從可用於作為組裝步驟之部分附接至一基板之組件(主動組件及被動組件兩者)之超集來判定所有所需取置動作。唯一基板ID結合一唯一設計ID可指示生產線機器僅將所需組件放置於面板中之各基板上。利用相同晶粒附接、相同接合導線、模製化合物及焊料球材料，避免取置機器中之材料之變更。基板ID可藉由諸如一雷射標記基板ID之方法，藉由指派系統產品上之接腳來攜載基板ID，或藉由一微控制器(uC)或微處理器(uP)(若係系統產品之部件)讀取之一暫存器永久性地加

至基板。因此，可藉由讀取基板上之裝置ID來選擇一裝置，而不管提供給標記機器之SIP之混合。可藉由基板上之ID選擇基板或最終封裝之雷射標記，而不管提供給標記機器之SIP之混合。

在特定實施例中，晶粒之獨特放置1314之容納可從裝置之超集(從包含於生產批量中之諸多系統裝置)進行且可透過若干構件(諸如但不限於一載體中之多個晶粒(亦稱為窩伏爾組件(waffle pack))或堆疊於晶粒附接機器中之一處置系統中之若干全部或部分晶圓)完成。在共同組裝程序參數作為一目標的情況下，可在設計階段101或計劃階段102期間選擇導線接合佈局，使得可在組裝階段104期間使用多個導線長度及數目之導線。類似地，被動組件之超集可依一取置機器處之多個捲盤獲得且該機器拾取各特定系統SiP裝置之必要被動裝置1312。例如，電容器將具有預選值(像是舉例而言但不限於1微法拉、0.1微法拉、0.001微法拉等)，而非將任何值的電容器用於設計中。類似地，對於電阻器及其他類型之被動組件，僅有限預選值將用於該設計中且可用於取置。類似地，對於主動組件(像是運算放大器、A/D、處理器及記憶體)，用於此等裝置之有限預選晶粒將被選擇且可依捲盤(或其他方式)獲得以用於一設計中。

現參考圖14，提供根據一些實施例之一測試步驟1400。此步驟可對應於例如圖1之步驟105。在此實例中，一旦設計101、計劃102、設置103及組裝步驟104完成，便開始對經封裝部件的測試步驟105。根據一些實施例，測試步驟1400對所有受測試單元(UUT)使用相同測試器平台，且該等UUT在先前步驟中組裝。例如，使用一模組化測試程式1411，其基於一UUT之設計ID來改變如何測試UUT 1412。在一些實例中，對具有相同實體尺寸之所有UUT使用一共同裝載板1413。該裝載板可具有電力供應

器之一超集且其信號接腳可由測試程式予以選擇。若UUT能夠自我測試，則測試步驟1400可使用自我測試能力1414。測試步驟亦可使用具有至少 $n+1$ 個儲倉之相同處置器1415，其中存在用於優良系統產品之 n 個儲倉及用於劣質單元之一個儲倉。若任何一個系統產品之多種故障模式或多個出貨位置需要進一步分揀，則可使用額外儲倉。最後，測試器可使用來自設計步驟101之產品或裝置之各者之經封裝裝置上之非連接(NC)接腳，以產生如計劃102、設置103及組裝104步驟中判定之額外測試能力。用於測試目的之NC接腳之任何使用意謂著該等接腳並非被視為正常產品操作所需之接腳之部件，並且連接至產品內之測試特徵且僅可用於測試目的。測試步驟1400之此等態樣可消除對待測試批中之獨特裝置之各者之獨特測試平台、裝載板、測試程式及處置器之需要。一旦該等裝置已經測試且經傳遞，用於獨特產品設計之各者之優良電裝置便準備進行封裝106及出貨107。

現參考圖15，圖15描繪根據一些實施例之封裝及出貨步驟1500。此可對應於例如圖1之步驟106及107。在此實例中，一旦來自組裝步驟104之多個不同裝置被測試105，便將所得優良電裝置封裝106並出貨107給OEM或客戶。以各OEM 1512或客戶所需之封裝數量將用來在測試步驟中儲藏優良裝置之托盤傳送至針對各種封裝大小及數量設計之出貨托盤1511。對於大或小批量大小，可藉由將PDC 1513之功能併入至兩個步驟中而使封裝步驟106及出貨步驟107最佳化。

根據一些實施例，第一步驟係整合最終裝置之任何品質控制檢查。個別裝置可需要在其等被封裝及出貨之前檢測是否有缺陷。此等測試可藉由加入在該等裝置封裝於測試板中及從測試板移除時分析該等裝置之高速

多光譜相機而整合至測試序列中。透過視覺上檢測該等裝置之演算法作出品質決策。接著，若QC通過，則將該決策中繼回至繼續正常儲藏之處置器，或若QC回饋係有故障，則將裝置放置於一QC故障儲倉中。

一旦該裝置從一電觀點及QC觀點被視為可接受，該裝置便可封裝以供出貨給客戶，例如以履行一訂單1512。此可需要訂單履行系統與測試器及處置器通信。在特定態樣中，測試器/處置器需要使用訂單履行系統中之資料且基於一唯一產品或裝置ID識別其正處理之當前裝置。訂單履行系統需要告知測試器/處置器該裝置，若優良，則需前往一具體訂單/托盤。處置器知道該訂單之托盤位於何處且將經測試及經QC裝置存放於正確托盤中。若托盤已滿或訂單已完成，則訂單履行系統發信號給處置器以將托盤移動至密封及貼標站。若訂單未完成或托盤未滿，則保留托盤直至下一所需裝置被測試為止。由於處置器一次僅可處置固定數目個托盤，故其現需要一系統來在測試器處理其他托盤的同時保持「進行中」托盤，直至再次服務於先前托盤之時為止。此處置器機器具有用來儲存托盤之托架及用來將托盤移進及移出處置器及貨架之小傳送帶。該處置器機器具有向上及向下及向左及向右移動以將托盤與適當貨架對準之一傳送帶臂。此系統受控於測試器、訂單履行系統及程序管理系統。標準化托盤之使用亦可導致本文中描述之客製化系統實施例之問題。標準托盤需要托盤中之每一裝置係相同大小且每一托盤中具有相同數目個組件。此需要用於每一裝置之不同托盤，增大出貨大小及浪費空間，因為一些托盤僅在部分填充的情況下出貨。替代地，標準托盤與客製化托盤之一混合可用來以最有效方式封裝訂單。一演算法用來斷定訂單之最佳封裝情況。接著係將在何處使用可能的標準托盤。在使用其他事物更佳時，可透過3D列印程序產生客製

化托盤以匹配最佳封裝。客製化托盤賦予將裝置套組化之能力，使不同大小之不同類型的裝置皆在單一待出貨托盤中。鑑於客戶希望接收其等的訂單的方式之靈活性。在托盤/訂單已完成且發送至密封及貼標站之後，該等托盤/訂單按訂單規格封裝並透過市售服務出貨給客戶。

雖然本文中描述本發明之各項實施例，但應理解，其等僅藉由實例且非限制而提出。因此，本發明之廣度及範疇不應受限於上文描述之例示性實施例之任一者。此外，除非本文中另外指明或內文明顯矛盾，否則本發明涵蓋上文描述之元件在其所有可能變化形式中之任何組合。

另外，雖然上文描述及圖式中繪示之程序被展示為一步驟序列，但此僅為了繪示起見。據此，預期可新增一些步驟，可省略一些步驟，可重新配置步驟次序，且可並行地執行一些步驟。

【符號說明】

100	生產流程/生產程序
101	設計/設計步驟/設計程序/設計階段
102	計劃/計劃步驟/計劃程序/計劃階段
103	設置/設置步驟/設置程序
104	組裝/組裝步驟/組裝流程/組裝階段
105	測試/測試步驟
106	封裝/封裝步驟
107	出貨/出貨步驟
200	生產線系統
202	控制器模組
204	記憶體

206	處理器
208	生產機器/導線接合、模製及球附接機器
210	記憶體
212	處理器
214	額外機器/導線接合、模製及球附接機器
216	基板儲存器
218	組件儲存器
220	階段/自動測試裝備
222	網路
224	儲存器
226	偵測器
230	流程
300	程序
310	組裝步驟
310-1	子步驟
310-2	子步驟
320	組裝步驟
320-1	子步驟
320-2	子步驟
400	程序
410	步驟
420	步驟
430	步驟

440	步驟
450	步驟/組裝
500	程序
510	步驟/設置/設置步驟
520	步驟
530	步驟
540	步驟
600	詳細步驟/流程
601	產品設計/設計程序動作
602	設計工具/設計程序動作/組裝程序設計工具
603	新設計
604	指示詞
605	最終材料清單(BoM)
606	成本會計資料
607	傳回
700	設計程序
701	產品設計程序
702	設計工具
703	組件庫
704	系統建置組塊(SBB)庫/標準基板(SBB)庫/SBB部分
705	可用IC庫/IC部分
706	被動或其他類型組件庫/被動部分
707	新系統建置組塊(SBB)

708	佈置
709	已完成產品建置組塊(PBB)/PBB n個部分
710	主機板設計
800	詳細程序
801	系統設計項目
802	系統產品設計(SPD)工具
803	產品建置組塊(PBB)
804	產品建置組塊(PBB)
805	產品建置組塊(PBB)
806	主機板/主機板設計
807	主機板
808	系統建置組塊(SBB)庫
809	組件庫
810	完整系統設計
900	程序
901	系統設計
902	系統產品設計(SPD)
903	產品建置組塊(PBB)
904	產品建置組塊(PBB)
905	系統級封裝(SiP)系統/系統設計
906	產品建置組塊(PBB)
907	組件庫
908	系統建置組塊(SBB)庫

909	主機板設計
911	系統設計
915	系統級封裝(SiP)系統/系統設計
921	系統設計
925	系統級封裝(SiP)系統/系統設計
1000	產品建置組塊(PBB)
1001	被動件
1002	處理器
1003	視訊放大器
1004	電力管理積體電路
1005	十億位元乙太網路實體層
1006	類比介面晶片
1007	EEPROM
1008	記憶體裝置
1009	記憶體裝置
1010	系統建置組塊(SBB)
1011	主機板
1012	離散組件
1013	產品建置組塊(PBB)
1014	產品建置組塊(PBB)
1015	產品建置組塊(PBB)
1016	產品建置組塊(PBB)
1017	項目/光學識別符

1021	主機板側視圖
1022	離散組件
1023	產品建置組塊(PBB)
1024	產品建置組塊(PBB)
1025	產品建置組塊(PBB)
1031	球
1033	電阻器
1034	球
1035	球
1036	墊
1037	墊
1038	球
1040	電阻器
1043	電阻器
1090	完整系統/裝置
1100	計劃步驟
1111	選擇
1112	引進/訂購
1113	檢查/廠商資格檢定
1114	儲存/及時(JIT)提供
1115	成本會計
1200	設置步驟
1211	設置具有正確SMT組件之取置機器

- 1212 設置具有正確晶圓或晶粒之晶粒放置機器
- 1213 設置具有正確組合測試程式之ATE
- 1214 設置導線接合、模製及球附接機器
- 1300 組裝步驟
- 1311 基板或裝置ID
- 1312 填入基板之面板/機器拾取各特定系統SiP裝置之必要被動裝置
- 1313 所需之一積體電路晶粒之任何測試或程式化
- 1314 晶粒之獨特放置
- 1400 測試步驟
- 1411 使用一模組化測試程式
- 1412 基於一UUT之設計ID來改變如何測試UUT
- 1413 使用一共同裝載板
- 1414 使用自我測試能力
- 1415 使用具有至少 $n+1$ 個儲倉之相同處置器
- 1500 封裝及出貨步驟
- 1511 出貨托盤
- 1512 OEM/訂單
- 1513 PDC

【發明申請專利範圍】

【第1項】

一種用於在一生產線系統上製造複數個系統級封裝(SiP)裝置之方法，其包括：

依據一第一SiP設計組裝該複數個SiP裝置之一第一SiP裝置，其中組裝該第一SiP裝置包括：

根據該第一SiP設計將第一複數個組件配置於及互連於一第一基板上，其中該第一基板在該第一基板之一表面上具有一第一光學基板識別符，及

形成識別該第一SiP設計之一第一電識別符；及

依據不同於該第一SiP設計之一第二SiP設計組裝該複數個SiP裝置之一第二SiP裝置，其中組裝該第二SiP裝置包括：

根據不同之該第二SiP設計將第二複數個組件配置於及互連於一第二基板上，其中該第二基板在該第二基板之一表面上具有一第二光學基板識別符，及

形成識別該第二SiP設計之一第二電識別符。

【第2項】

如請求項1之方法，其中該第一基板及該第二基板具有彼此不同之一佈局，且該第一光學基板識別符及該第二光學基板識別符彼此不同。

【第3項】

如請求項1之方法，其中該第一基板及該第二基板具有一相同佈局，且該第一光學基板識別符與該第二光學基板識別符相同。

【第4項】

如請求項1之方法，其中形成該第一電識別符包括將一或多個電阻性元件、電容性元件或導線接合配置於一第一識別電路中之該第一基板上，且形成該第二電識別符包括將一或多個電阻性元件、電容性元件或導線接合配置於一第二識別電路中之該第二基板上。

【第5項】

如請求項1之方法，其中組裝該第一裝置及該第二裝置發生在一單一生產運行中。

【第6項】

如請求項1之方法，其進一步包括：

至少部分基於該第一電識別符或該第二電識別符調整該生產線系統中之一或多個機器之一或多個設定。

【第7項】

如請求項1之方法，其中該第一光學基板識別符或該第二光學基板識別符之至少一者包括一電阻性元件、一電容性元件或一導線接合。

【第8項】

如請求項1之方法，其進一步包括：

將關於該第一及第二SiP設計之資訊導入及儲存於該生產線系統之一或多個機器之一或多個記憶體中，其中

經導入之該第一設計與第一光學基板識別符及該第一SiP設計相關聯，

經導入之該第二設計與第二光學基板識別符及該第二SiP設計相關聯。

【第9項】

一種系統級封裝(SiP)裝置，其包括：

一SiP基板，其中該基板在該基板之一表面上包括用於該基板之一光學識別符；及

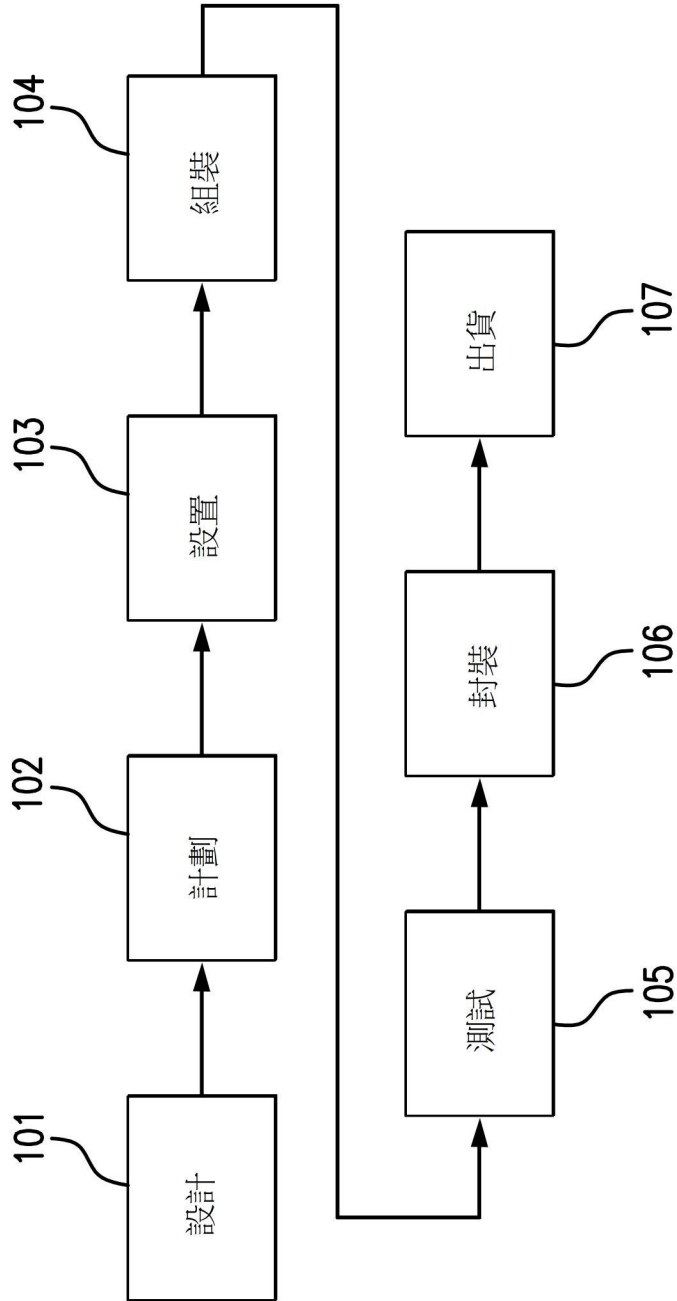
複數個組件，其等配置於該基板上以定義對應於該SiP裝置之設計之一電識別符。

【第10項】

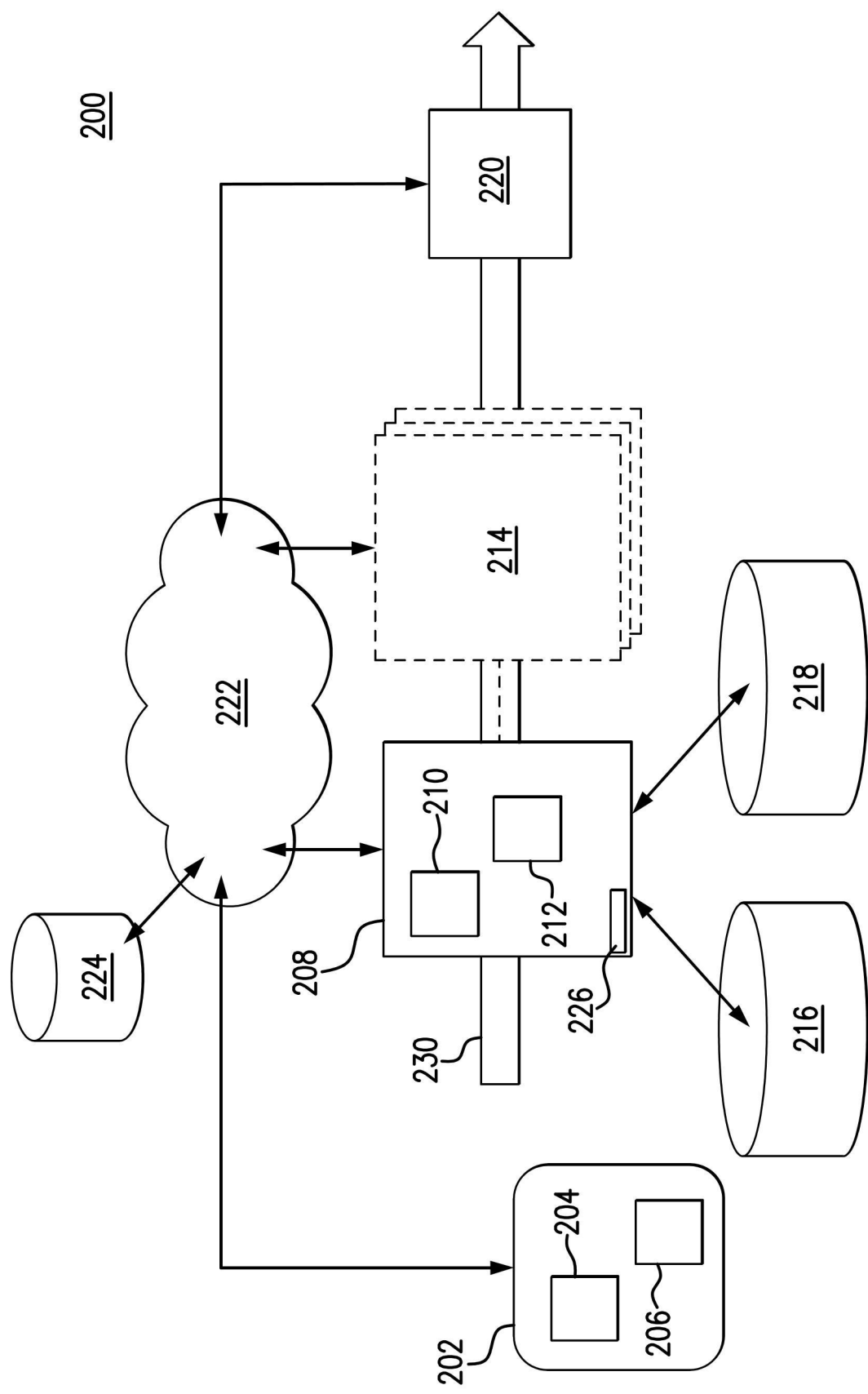
如請求項9之裝置，其中該基板之該光學識別符包括一電阻性元件、一電容性元件或一導線接合。

【發明圖式】

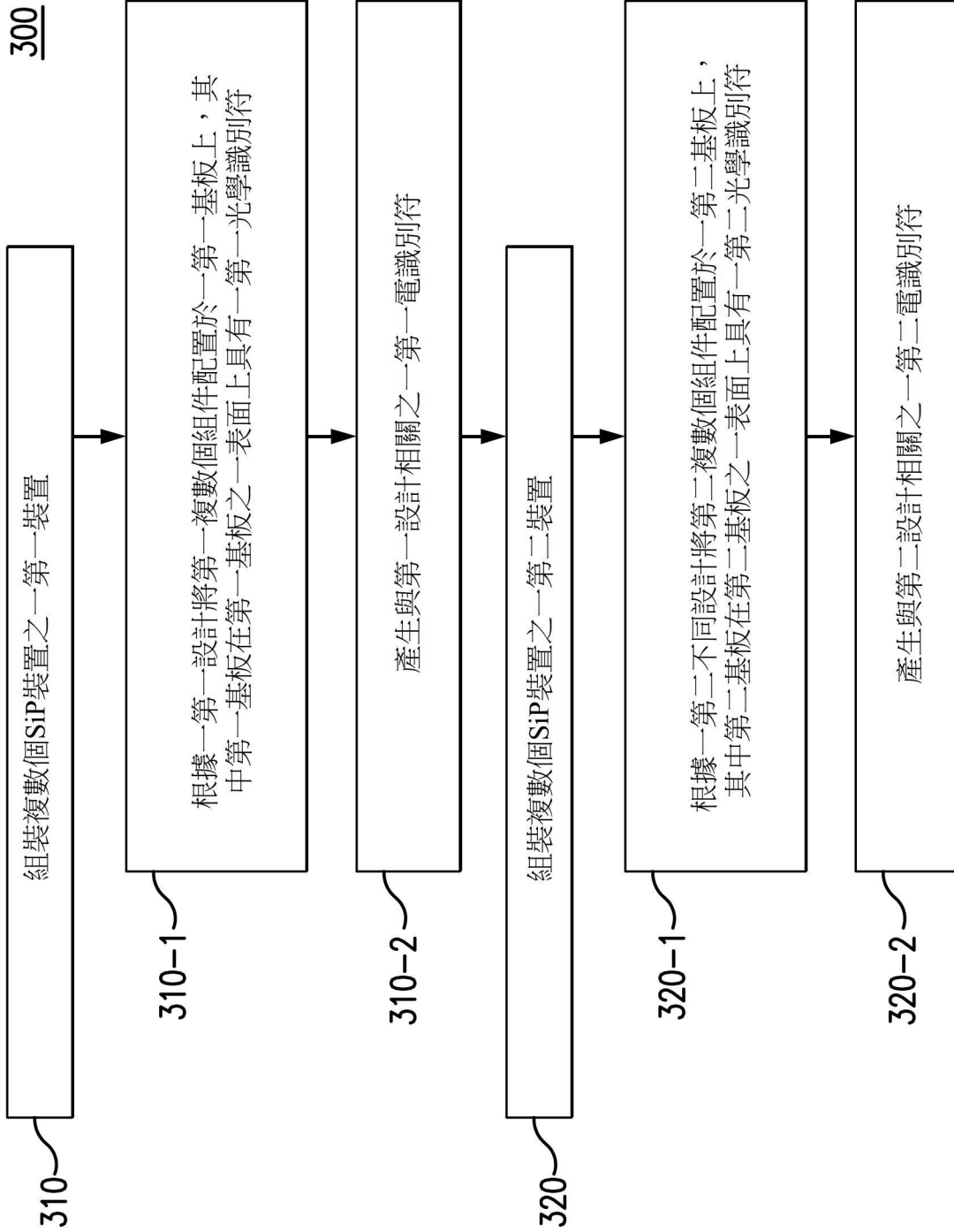
100



【圖1】

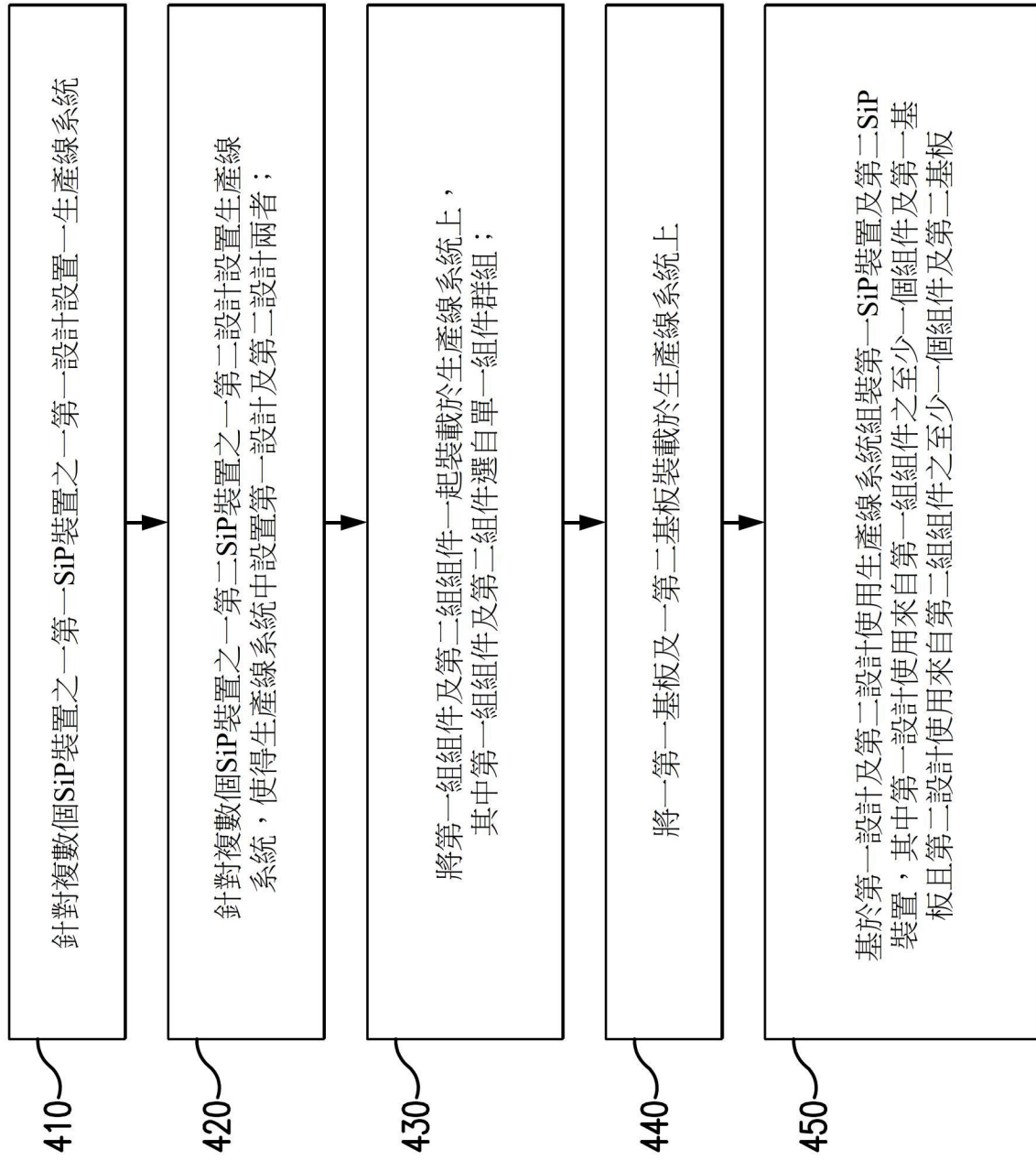


【圖2】

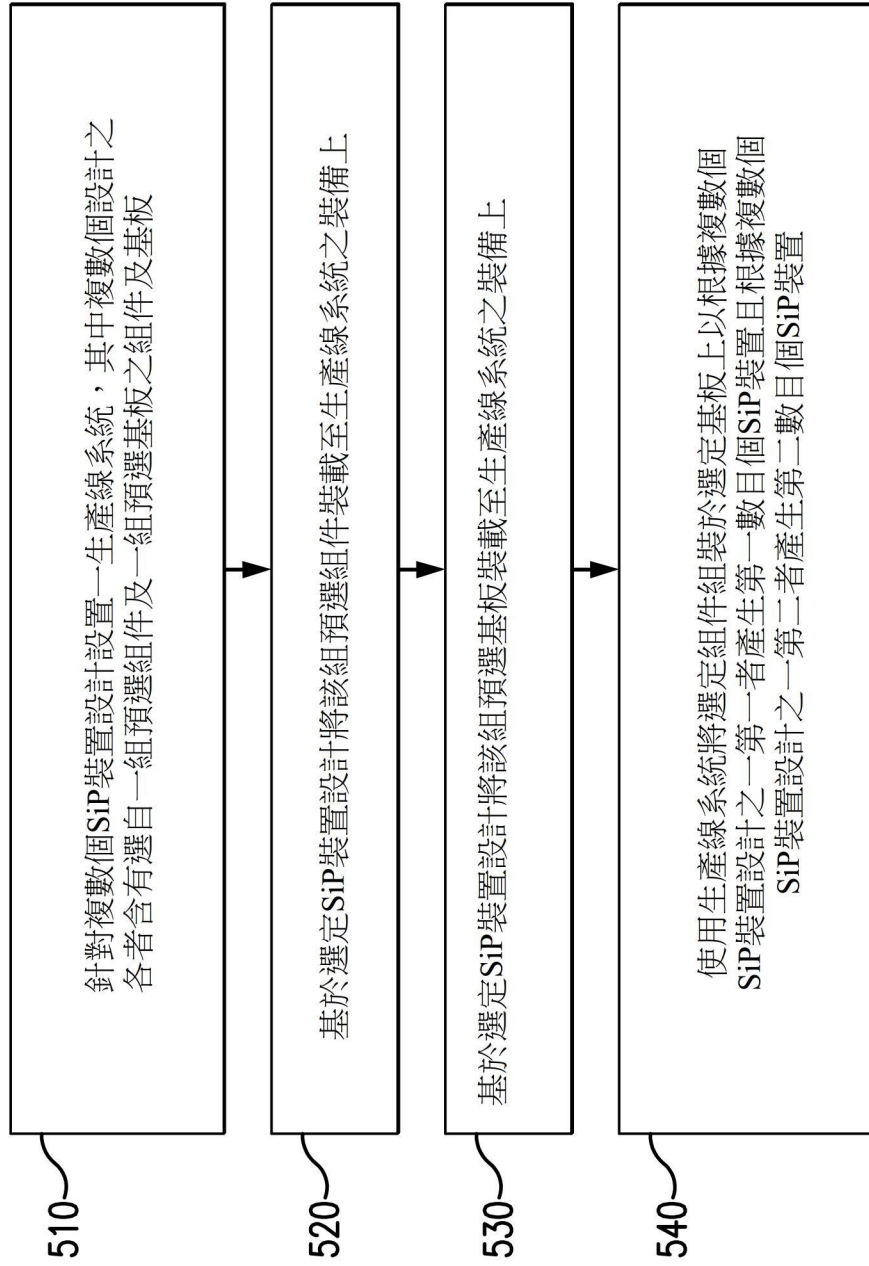


【圖3】

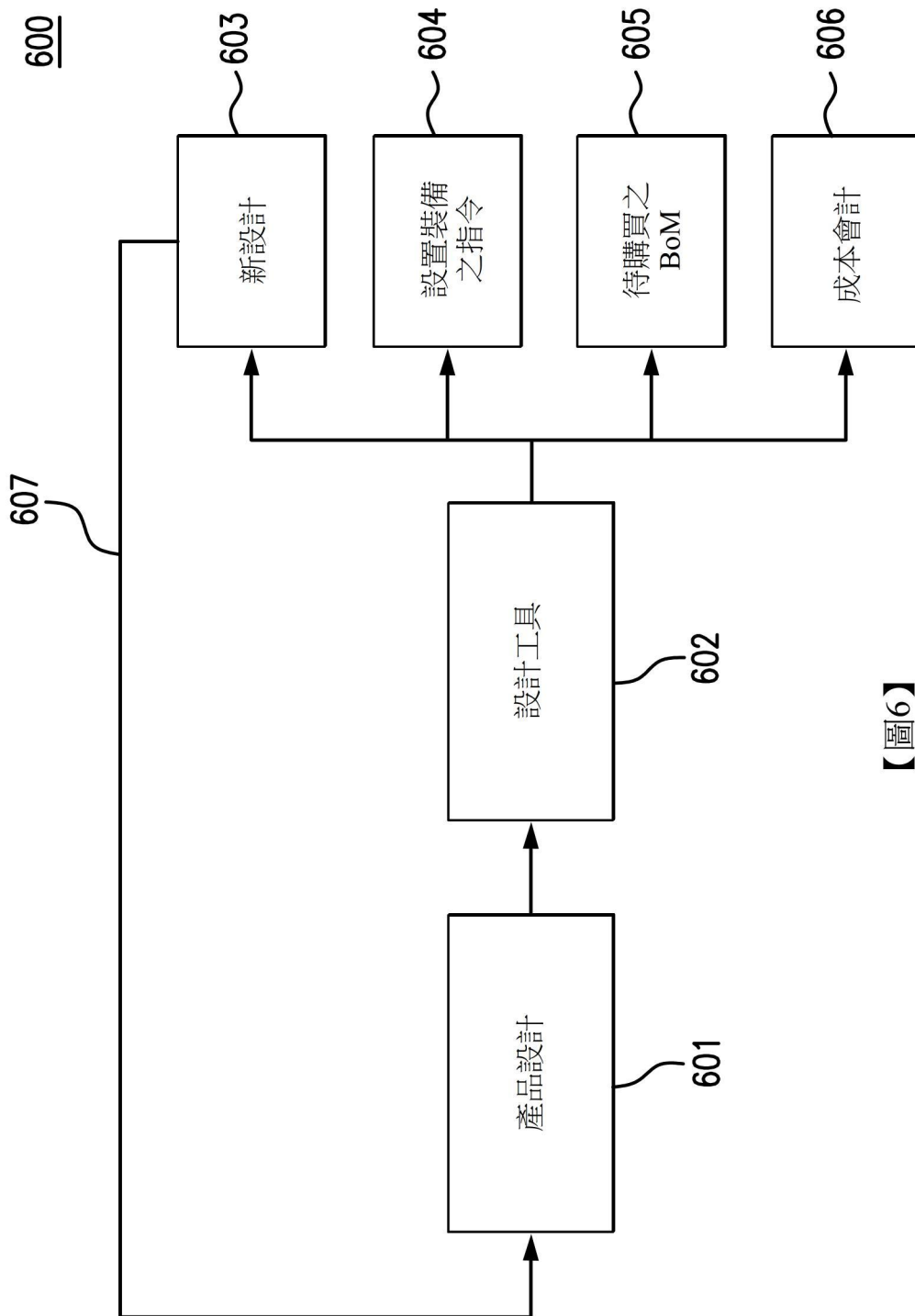
400



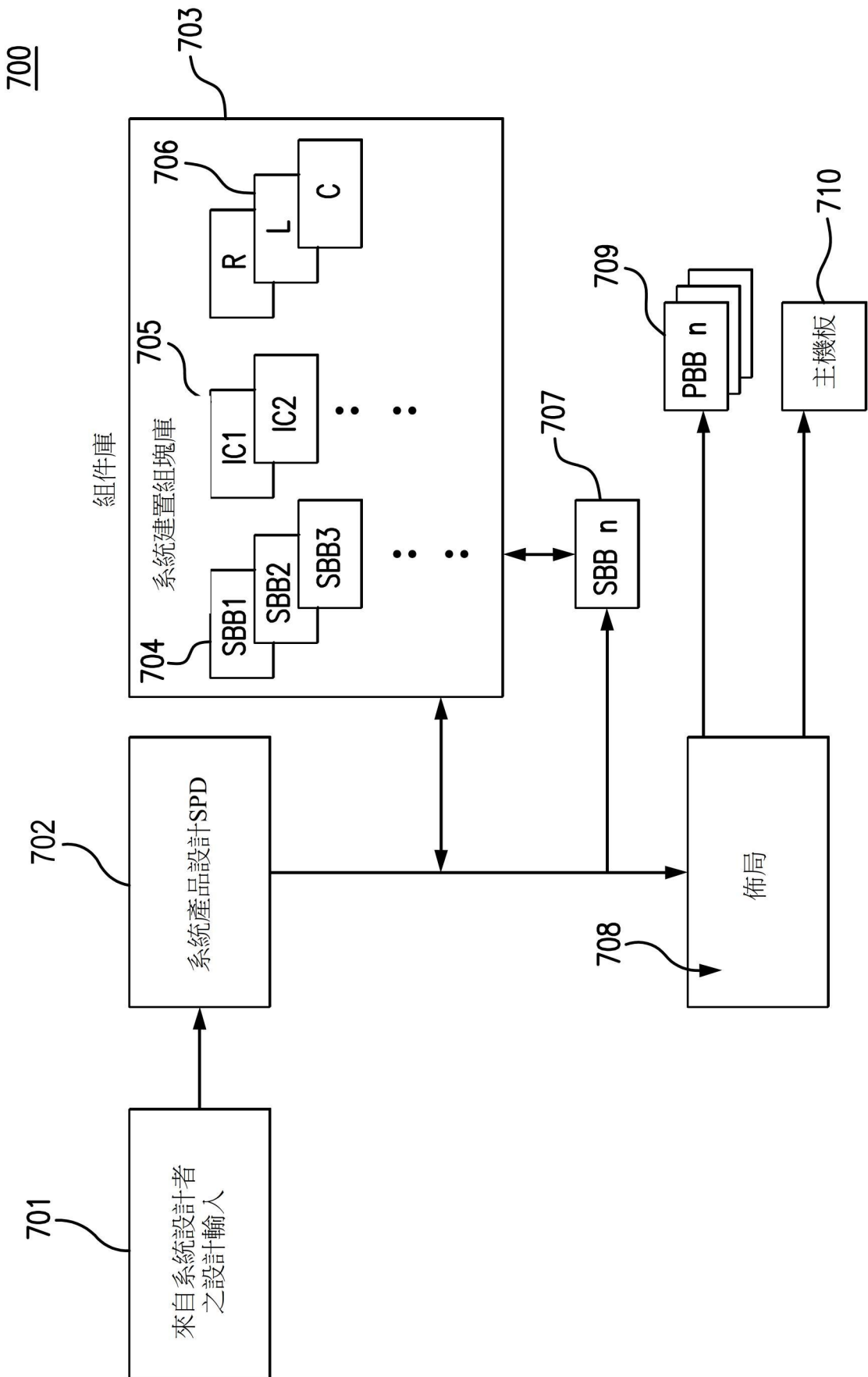
【圖4】



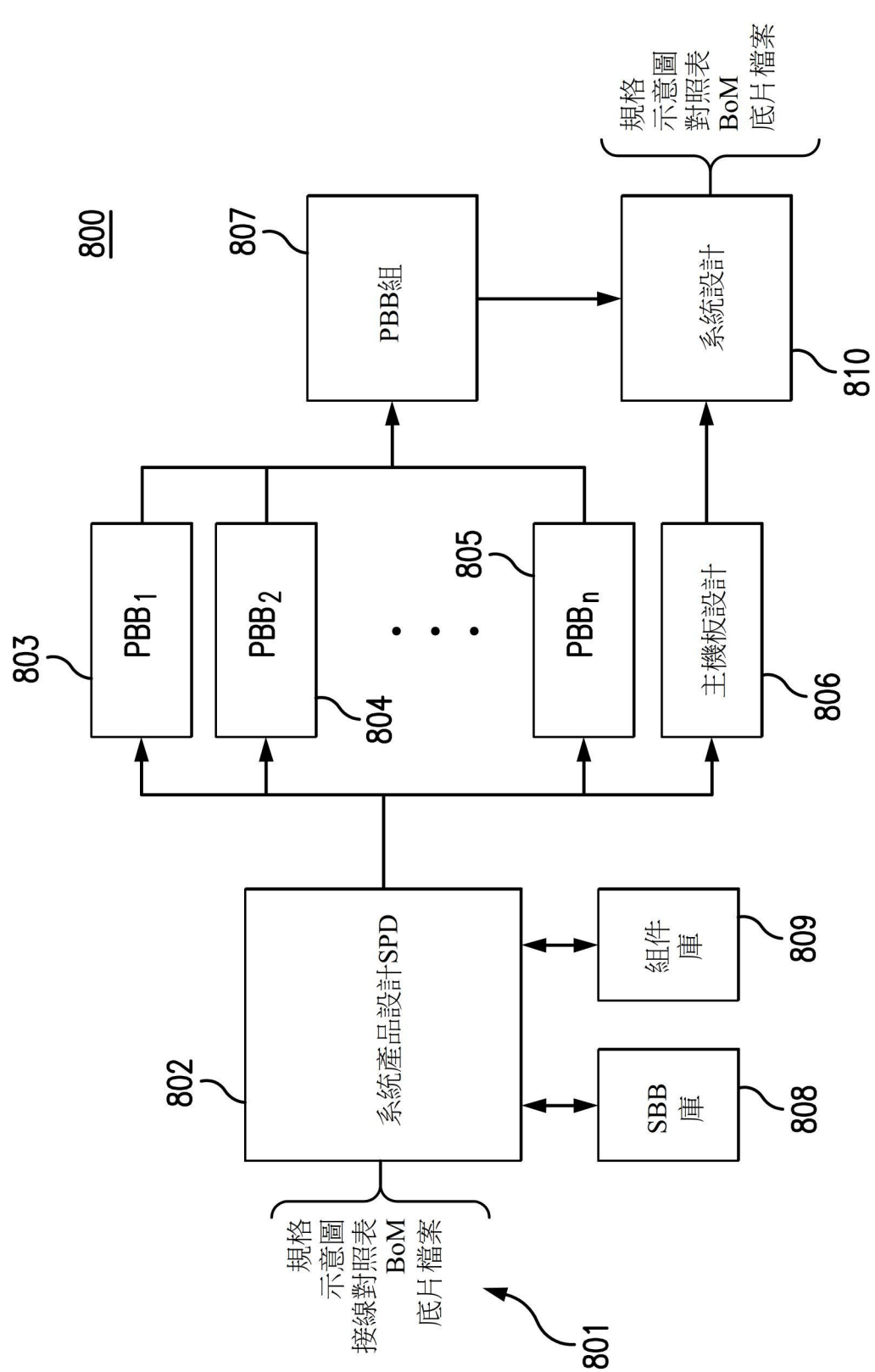
【圖5】



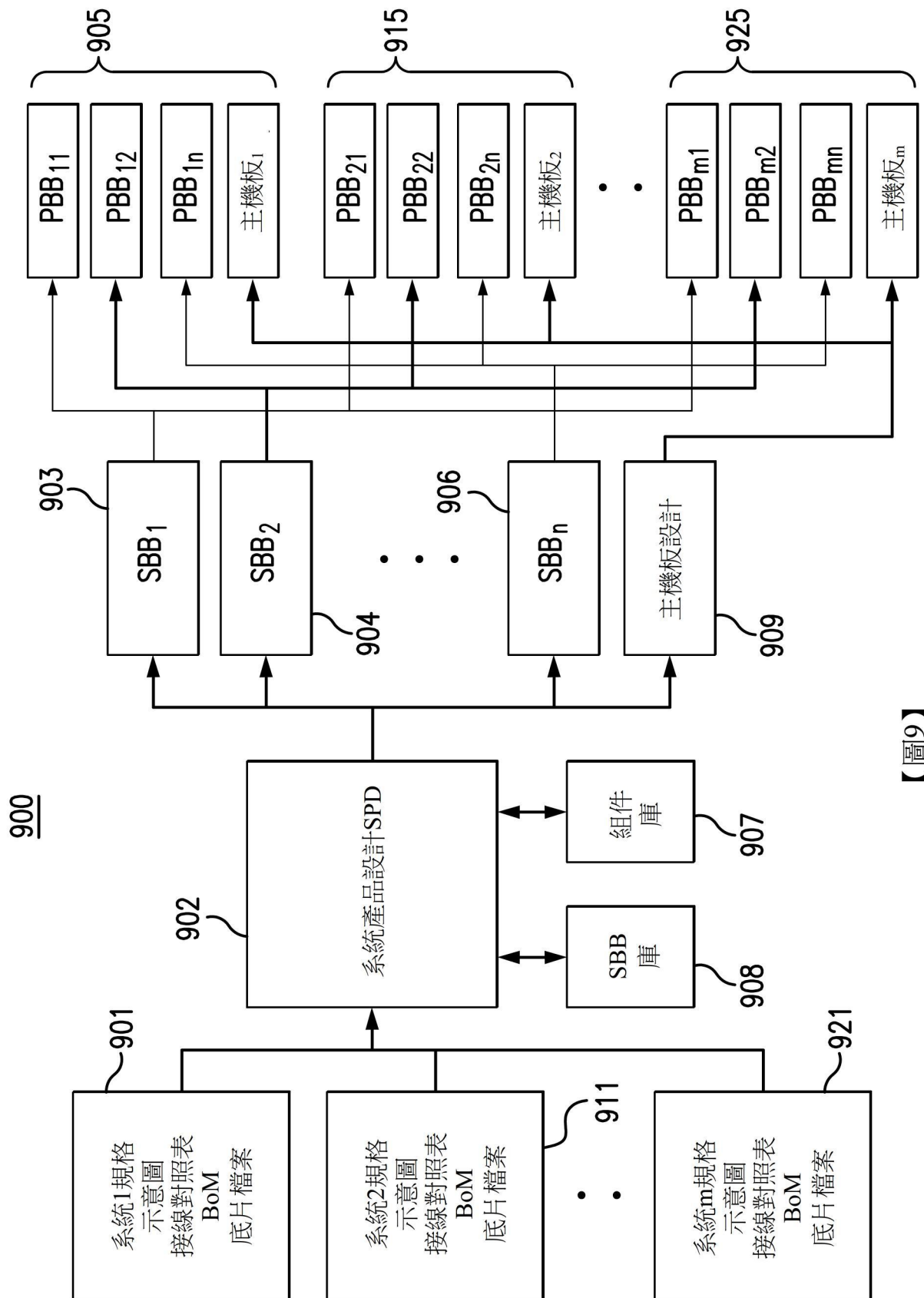
【圖6】



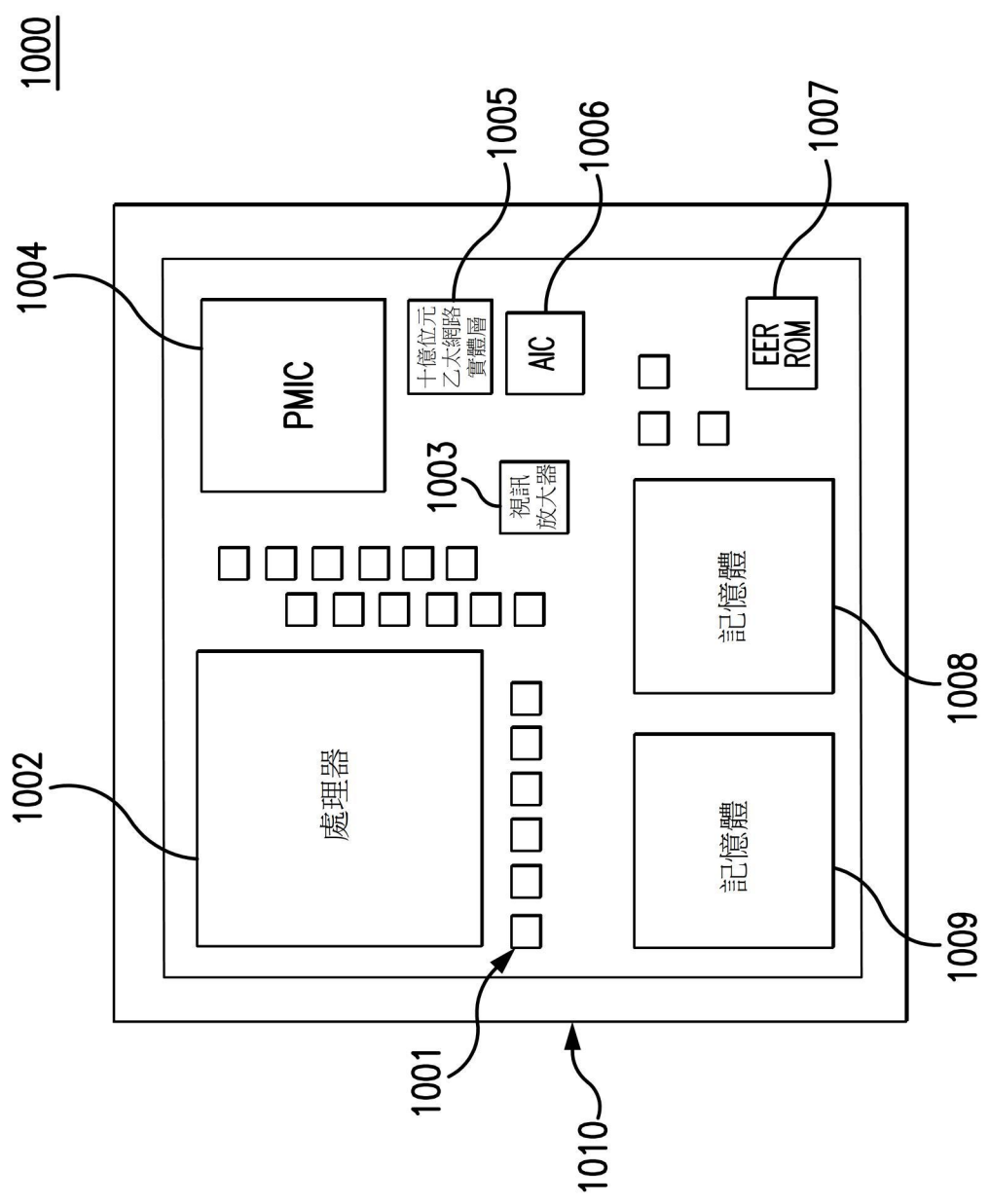
【圖7】



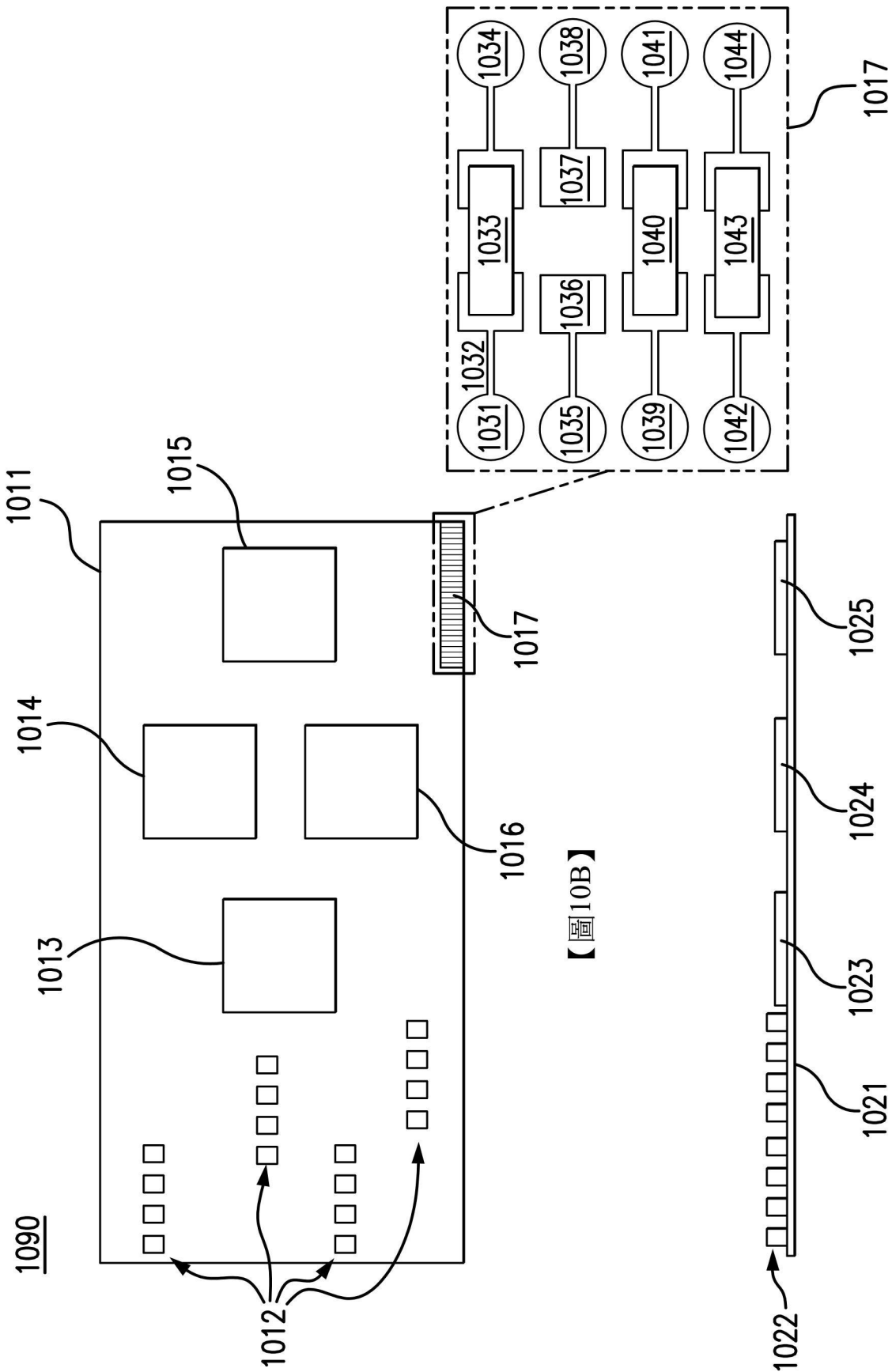
【圖8】



【圖9】

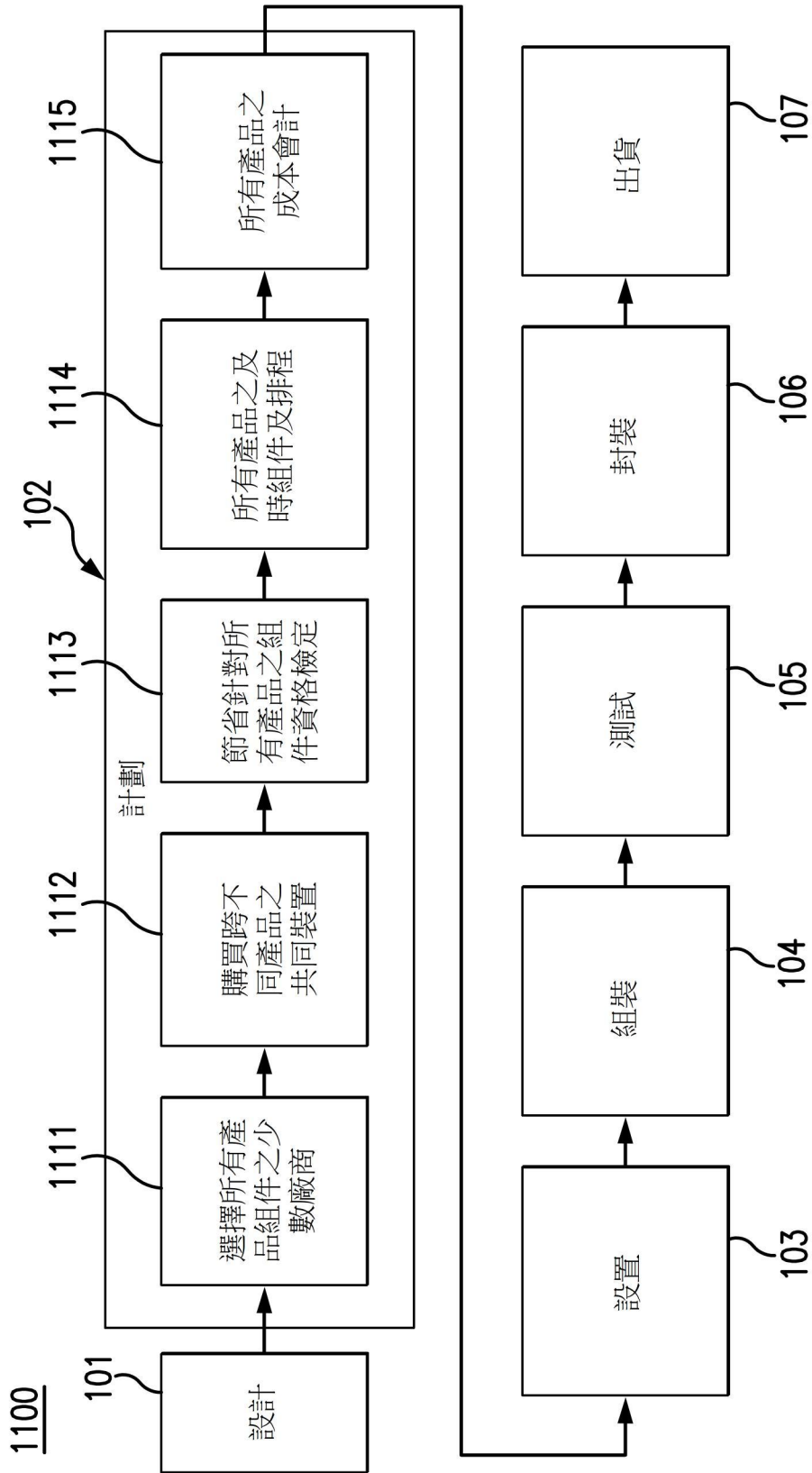


【圖10A】

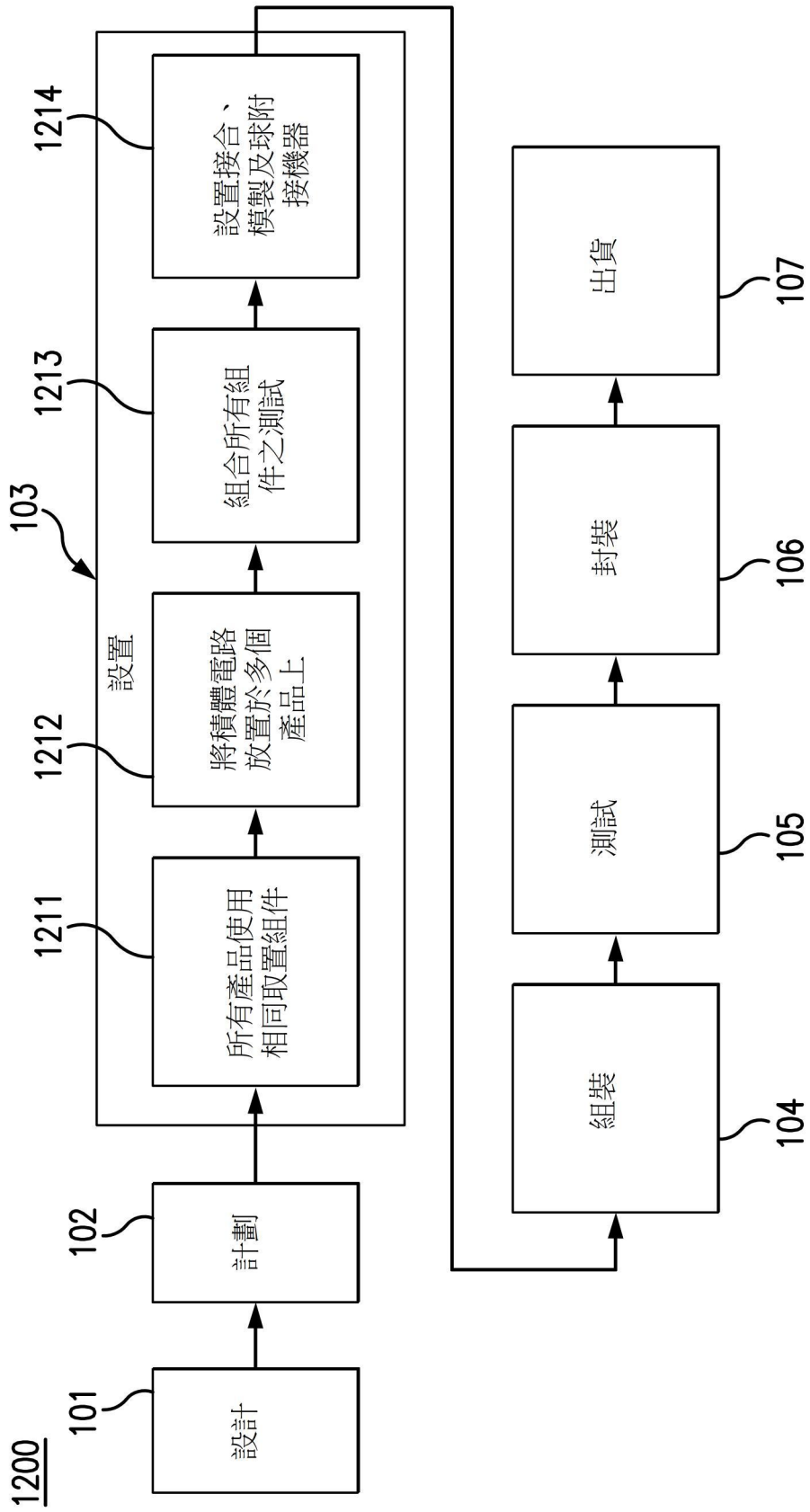


【圖10B】

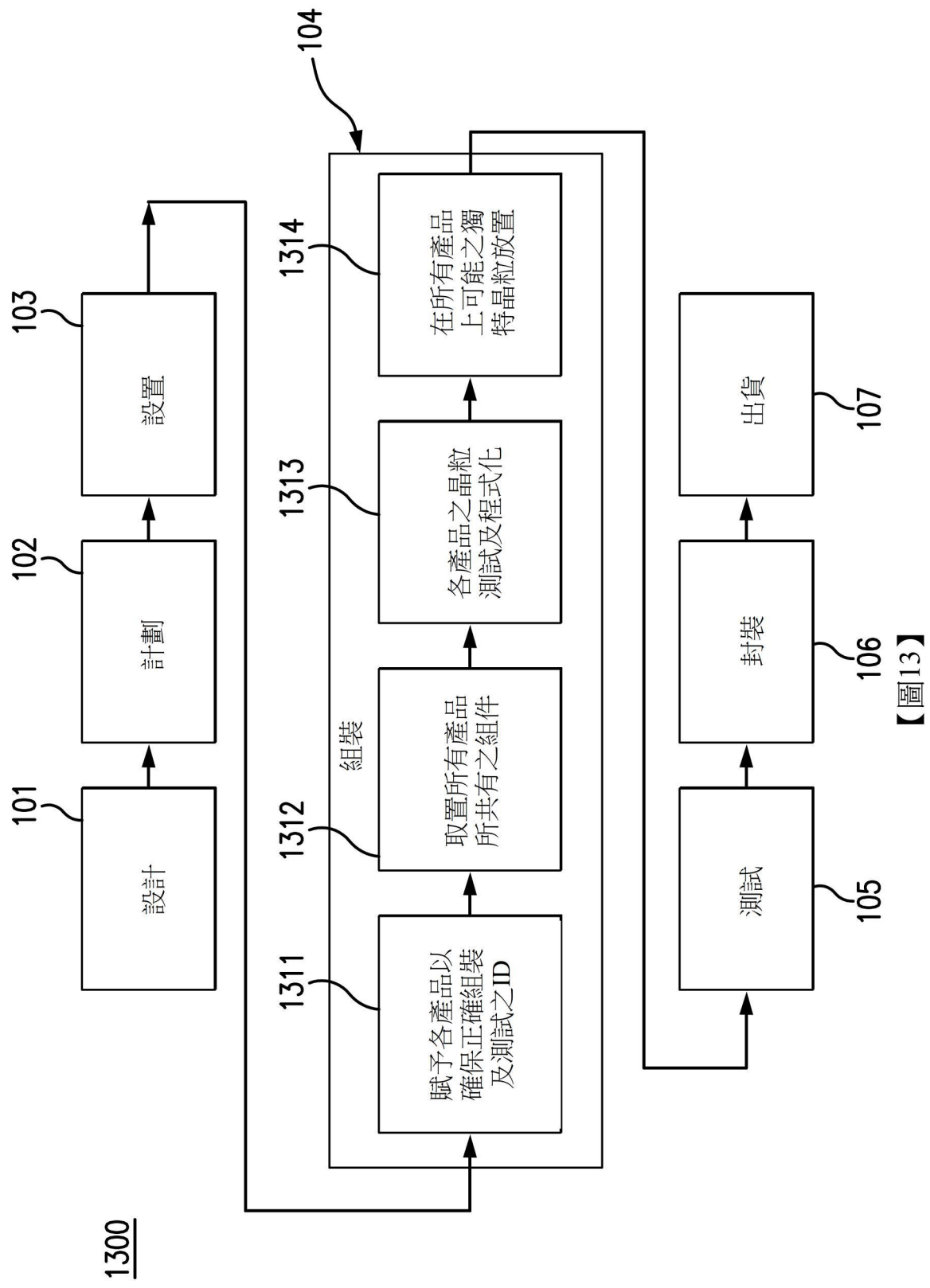
【圖10C】

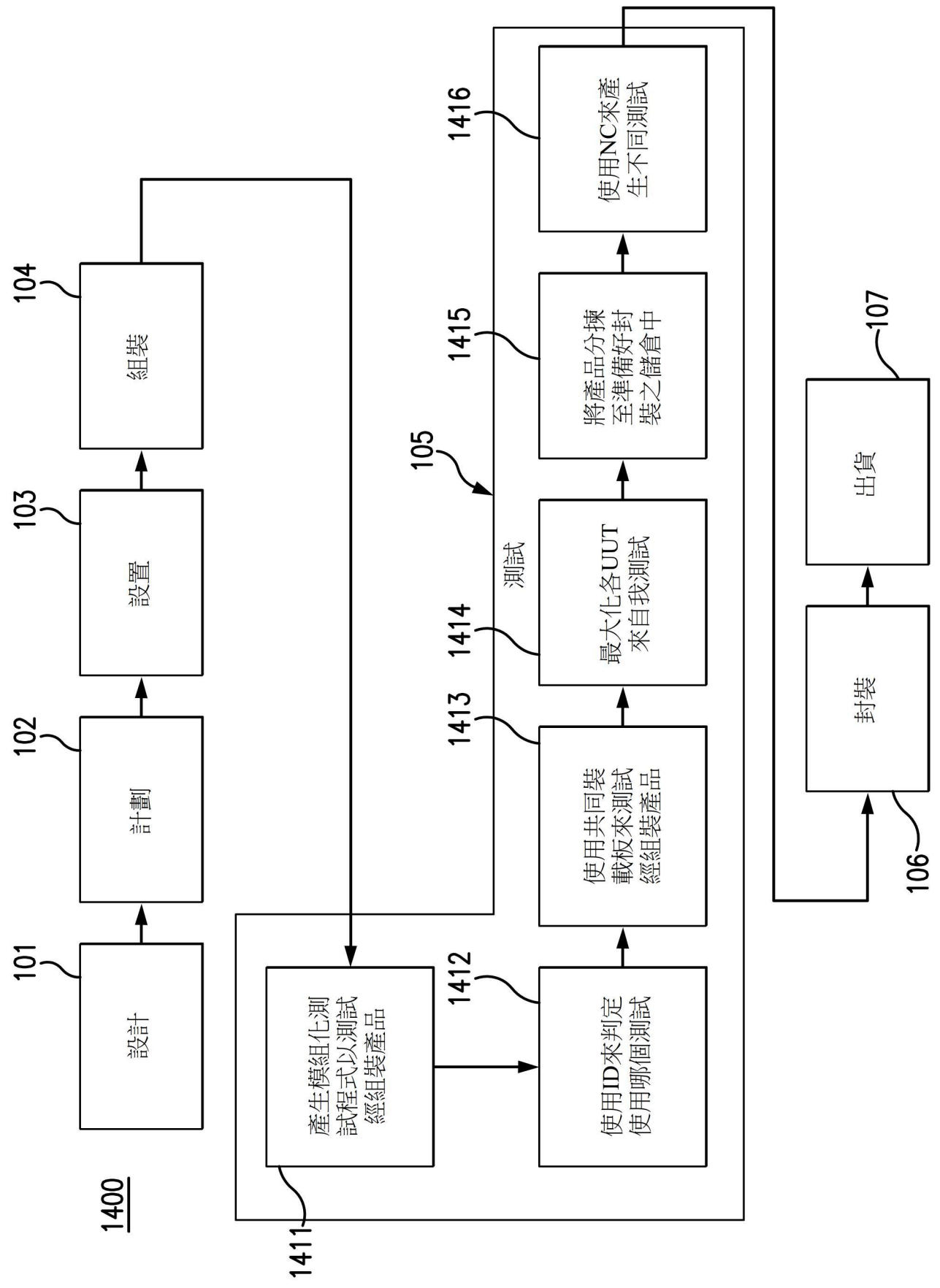


【圖11】

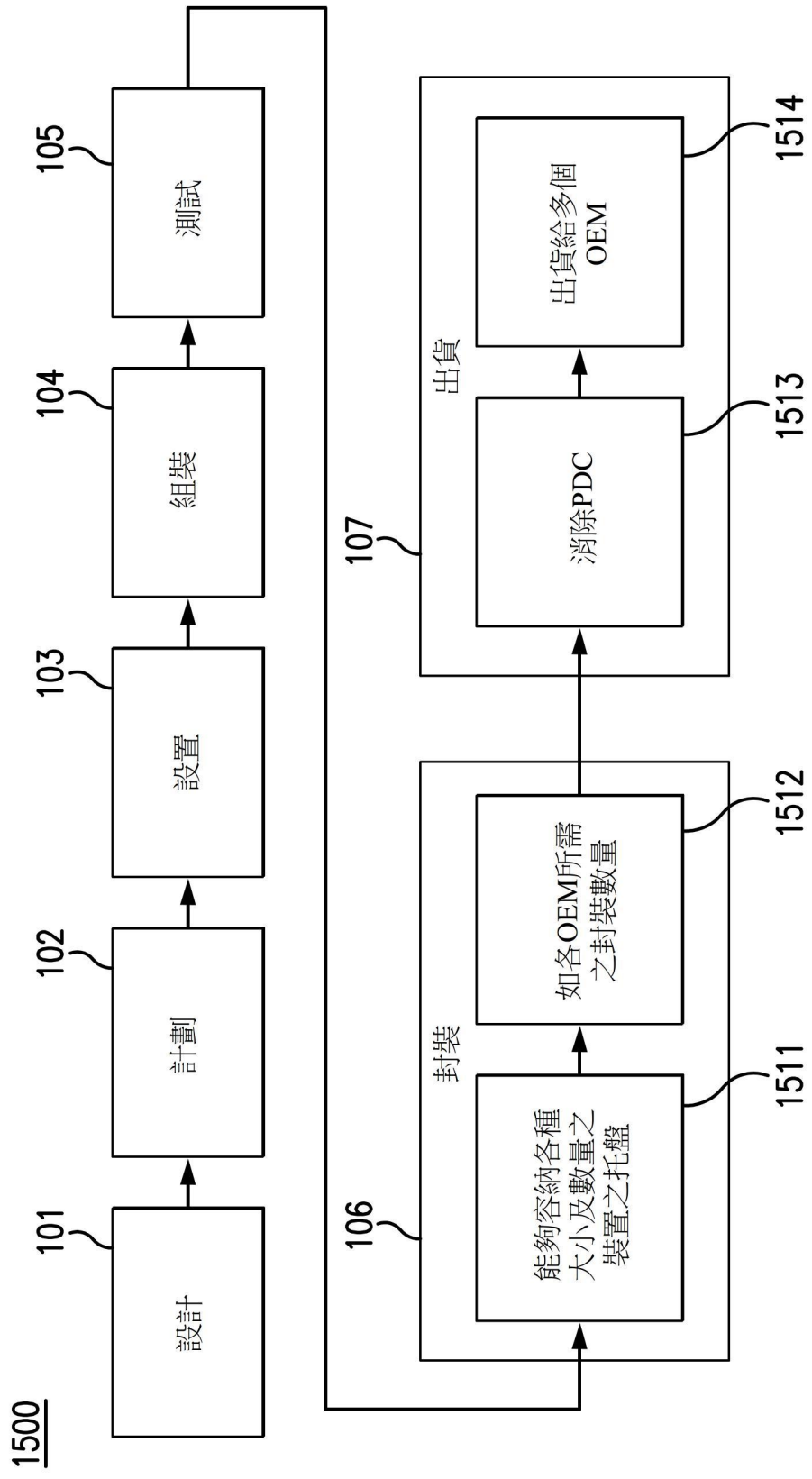


【圖12】





【圖14】



【圖15】