

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7287998号
(P7287998)

(45)発行日 令和5年6月6日(2023.6.6)

(24)登録日 令和5年5月29日(2023.5.29)

(51)国際特許分類	F I
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78 6 5 6 A
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/78 6 5 3 C
H 0 1 L 29/24 (2006.01)	H 0 1 L 29/78 6 5 2 T
	H 0 1 L 29/78 6 5 2 J
	H 0 1 L 29/24

請求項の数 4 (全16頁)

(21)出願番号	特願2021-62251(P2021-62251)	(73)特許権者	000005326 本田技研工業株式会社 東京都港区南青山二丁目1番1号
(22)出願日	令和3年3月31日(2021.3.31)	(74)代理人	100106002 弁理士 正林 真之
(65)公開番号	特開2022-157809(P2022-157809 A)	(74)代理人	100120891 弁理士 林 一好
(43)公開日	令和4年10月14日(2022.10.14)	(74)代理人	100160794 弁理士 星野 寛明
審査請求日	令和3年11月29日(2021.11.29)	(72)発明者	中村 研貴 埼玉県和光市中央1丁目4番1号 株式 会社本田技術研究所内
		(72)発明者	塚田 能成 埼玉県和光市中央1丁目4番1号 株式 会社本田技術研究所内

最終頁に続く

(54)【発明の名称】 B i M O S 半導体装置

(57)【特許請求の範囲】

【請求項1】

トレンチゲート構造を有するnチャネル型のB i M O S 半導体装置であって、コレクタ/ドレイン電極と、n⁺ドレイン層と、n⁻ドリフト層およびpピラー層が交互に接合されている並列pn層と、pベース層およびn⁺ソース層からなる複合層とが、この順で形成されており、

前記複合層の表面から前記並列pn層の上部にかけて、トレンチが形成されており、

前記トレンチの内部に、ゲート絶縁膜を介して、ゲート電極が形成されており、

前記n⁺ソース層は、前記複合層の上部かつ前記トレンチの側部に形成されているとともに、前記n⁻ドリフト層の上に形成されており、

前記n⁺ソース層と接合するように、エミッタ/ソース電極が形成されており、

前記pベース層と接合するように、前記エミッタ/ソース電極と所定の間隔を隔てて、ベース電極が形成されている、B i M O S 半導体装置。

【請求項2】

前記pピラー層の上に形成されている前記pベース層と、前記n⁺ソース層との間の一部が高抵抗化されている、請求項1に記載のB i M O S 半導体装置。

【請求項3】

前記pピラー層と、前記pベース層との間が高抵抗化されている、請求項1または2に記載のB i M O S 半導体装置。

【請求項4】

トレンチゲート構造を有する p チャンネル型の B i M O S 半導体装置であって、コレクタ/ドレイン電極と、 p^+ ドレイン層と、 n^- ドリフト層および n ピラー層が交互に接合されている並列 $p n$ 層と、 n ベース層および p^+ ソース層からなる複合層とが、この順で形成されており、

前記複合層の表面から前記並列 $p n$ 層の上部にかけて、トレンチが形成されており、

前記トレンチの内部に、ゲート絶縁膜を介して、ゲート電極が形成されており、

前記 p^+ ソース層は、前記複合層の上部かつ前記トレンチの側部に形成されているとともに、前記 n^- ドリフト層の上に形成されており、

前記 p^+ ソース層と接合するように、エミッタ/ソース電極が形成されており、

前記 n ベース層と接合するように、前記エミッタ/ソース電極と所定の間隔を隔てて、ベース電極が形成されている、B i M O S 半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、B i M O S 半導体装置に関する。

【背景技術】

【0002】

同一チップ上で、バイポーラトランジスタおよび金属酸化膜電界効果型トランジスタ (M O S F E T) が並列接続されている半導体装置として、B i M O S 半導体装置が知られている (例えば、特許文献 1、2 参照)。

20

【0003】

また、同一チップ上で、バイポーラトランジスタおよび M O S F E T が複合化されている半導体装置として、絶縁ゲート型バイポーラトランジスタ (I G B T) が知られている (例えば、特許文献 3 参照)。

【0004】

ここで、M O S F E T としては、高耐圧化および大電流容量化の観点から、縦型素子が用いられている。また、縦型素子としては、セルの微細化および低オン抵抗化の観点から、トレンチゲート構造が適用されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開昭 61 - 180472 号公報

特開昭 61 - 225854 号公報

特開昭 60 - 196974 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図 1 に、従来のトレンチゲート構造を有する n チャンネル型の B i M O S 半導体装置を示す。

【0007】

B i M O S 半導体装置 10 は、コレクタ/ドレイン電極 11 の上に、 n^+ ドレイン層 12 と、 n^- ドリフト層 13 と、 p ベース層 14 a および n^+ ソース層 14 b からなる複合層 14 とが、この順で形成されている。また、B i M O S 半導体装置 10 は、複合層 14 の表面から n^- ドリフト層 13 の上部にかけて、トレンチ 15 が形成されており、トレンチ 15 の内部に、ゲート絶縁膜 16 を介して、ゲート電極 17 が形成されている。ここで、 n^+ ソース層 14 b は、複合層 14 の上部のトレンチ 15 の両側に形成されている。さらに、B i M O S 半導体装置 10 は、 n^+ ソース層 14 b の上に、エミッタ/ソース電極 18 が形成されており、複合層 14 の n^+ ソース層 14 b が形成されていない領域の上に、エミッタ/ソース電極 18 と所定の間隔を隔てて、ベース電極 19 が形成されている。

40

【0008】

50

なお、図 1 において、破線で示されるハーフセルを用いて、以降の BiMOS 半導体装置を説明する。

【0009】

次に、図 2 を用いて、BiMOS 半導体装置 10 の動作を説明する。なお、図 2 において、電子電流およびホール電流を示す線が太いことは、電流が大きいことを意味し、電子電流およびホール電流を示す線が細いことは、電流が小さいことを意味する。

【0010】

図 2 に示すように、エミッタ/ソース電極 18 に対して正の電圧をコレクタ/ドレイン電極 11 に印加した状態で、エミッタ/ソース電極 18 に対して正のゲート電圧をゲート電極 17 に印加すると、p ベース層 14 a のゲート電極 17 の近傍に反転層 14 c が形成される。このため、 n^+ ドレイン層 12、 n^- ドリフト層 13、反転層 14 c および n^+ ソース層 14 b を経由して、コレクタ/ドレイン電極 11 からエミッタ/ソース電極 18 に、電子電流 21 a が流れる。また、エミッタ/ソース電極 18 に対して正の電圧をコレクタ/ドレイン電極 11 に印加した状態で、ベース電極 19 にベース電流を流すと、電子電流 21 b および 21 c が流れ、 n^+ ドレイン層 12、 n^- ドリフト層 13、p ベース層 14 a および n^+ ソース層 14 b を経由して、コレクタ/ドレイン電極 11 からエミッタ/ソース電極 18 に、電子電流 21 d が流れる。さらに、p ベース層 14 a から n^- ドリフト層 13 に、ホール電流 22 が流れる。ここで、電子電流 21 b および 21 c は、それぞれ、側方および下方から n^+ ソース層 14 b に流入する。

【0011】

しかしながら、BiMOS 半導体装置 10 は、 n^- ドリフト層 13 に広がる空乏層の電界強度が p ベース層 14 a との界面で最も高くなるため、高耐圧化の観点から、 n^- ドリフト層 13 の不純物濃度を高くすることができず、電流密度が低くなるという課題があった。

【0012】

図 3 に、従来のトレンチゲート構造を有する n チャネル型の IGBT を示す。

【0013】

IGBT 10 A は、コレクタ電極 11 の上に、 p^+ コレクタ層 12 A と、 n^+ コレクタ層 12 と、 n^- ドリフト層 13 と、p エミッタ層 14 a および n^+ エミッタ層 14 b からなる複合層 14 とが、この順で形成されている。また、IGBT 10 A は、複合層 14 の表面から n^- ドリフト層 13 の上部にかけて、トレンチ 15 が形成されており、トレンチ 15 の内部に、ゲート絶縁膜 16 を介して、ゲート電極 17 が形成されている。ここで、 n^+ エミッタ層 14 b は、複合層 14 の上部のトレンチ 15 の両側に形成されている。さらに、IGBT 10 A は、複合層 14 の上に、エミッタ電極 18 A が形成されている。

【0014】

しかしながら、IGBT 10 A は、約 0.6 V 程度のビルトイン電圧により、オン電圧を増大させるという課題がある。

【0015】

本発明は、電流密度を向上させることが可能な BiMOS 半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の一態様は、トレンチゲート構造を有する n チャネル型の BiMOS 半導体装置であって、 n^+ ドレイン層と、 n^- ドリフト層および p ピラー層が交互に接合されている並列 pn 層と、p ベース層および n^+ ソース層からなる複合層とが、この順で形成されている。

【0017】

上記の BiMOS 半導体装置は、前記 p ピラー層と、前記 p ベース層との間が高抵抗化されていてよい。

【0018】

10

20

30

40

50

上記の BiMOS 半導体装置は、前記 p ピラー層の上に形成されている前記 p ベース層と、前記 n⁺ ソース層との間の一部が高抵抗化されていてもよい。

【0019】

本発明の他の一態様は、トレンチゲート構造を有する p チャネル型の BiMOS 半導体装置であって、p⁺ ドレイン層と、p⁻ ドリフト層および n ピラー層が交互に接合されている並列 pn 層と、n ベース層および p⁺ ソース層からなる複合層とが、この順で形成されている。

【発明の効果】

【0020】

本発明によれば、電流密度を向上させることが可能な BiMOS 半導体装置を提供することができる。

10

【図面の簡単な説明】

【0021】

【図1】従来のトレンチゲート構造を有する n チャネル型の BiMOS 半導体装置を示す断面図である。

【図2】図1の BiMOS 半導体装置の動作を説明する図である。

【図3】従来のトレンチゲート構造を有する n チャネル型の IGBT を示す断面図である。

【図4】本実施形態の BiMOS 半導体装置の一例を示す断面図である。

【図5】図4の BiMOS 半導体装置の動作を説明する図である。

【図6】図1、図4の BiMOS 半導体装置および図3の IGBT の I - V 曲線のシミュレーション結果を示す図である。

20

【図7】図4の BiMOS 半導体装置の変形例を示す図である。

【図8】図4および図7の BiMOS 半導体装置の電子電流ベクトルのシミュレーション結果を示す図である。

【図9】図4の BiMOS 半導体装置の変形例を示す図である。

【図10】図7および図9の BiMOS 半導体装置の電子電流ベクトルのシミュレーション結果を示す図である。

【図11】図7および図9の BiMOS 半導体装置の I - V 曲線のシミュレーション結果を示す図である。

【図12】図9の BiMOS 半導体装置の電子電流ベクトルおよびホール電流ベクトルのシミュレーション結果を示す図である。

30

【図13】図12(a)の A - A' 断面におけるキャリア密度のシミュレーション結果を示す図である。

【図14】図12(a)の A - A' 断面における電位障壁のシミュレーション結果を示す図である。

【図15】図9の BiMOS 半導体装置を用いて、MOSFET のみを動作させる補法を説明する図である。

【図16】図9の BiMOS 半導体装置を用いて、バイポーラトランジスタのみを動作させる補法を説明する図である。

【図17】図9の BiMOS 半導体装置を用いて、MOSFET およびバイポーラトランジスタを独立に動作させる方法の一例を示すタイミングチャートである。

40

【図18】図9の BiMOS 半導体装置を用いて、MOSFET およびバイポーラトランジスタを独立に動作させる方法の他の例を示す図である。

【図19】本実施形態の BiMOS 半導体装置の他の例を示す断面図である。

【発明を実施するための形態】

【0022】

以下、図面を参照しながら、本発明の実施形態について説明する。

【0023】

図4に、本実施形態の BiMOS 半導体装置の一例を示す。

【0024】

50

BiMOS半導体装置30は、トレンチゲート構造を有するnチャネル型のBiMOS半導体装置である。

【0025】

BiMOS半導体装置30は、コレクタ/ドレイン電極31の上に、n⁺ドレイン層32と、n⁻ドリフト層33aおよびpピラー層33bが交互に接合されている並列pn層33と、pベース層34aおよびn⁺ソース層34bからなる複合層34とが、この順で形成されている。また、BiMOS半導体装置30は、複合層34の表面から並列pn層33の上部にかけて、トレンチ35が形成されており、トレンチ35の内部に、ゲート絶縁膜36を介して、ゲート電極37が形成されている。ここで、複合層34の上部かつトレンチ35の両側に形成されているn⁺ソース層34bは、n⁻ドリフト層33aの上に形成されている。さらに、BiMOS半導体装置30は、n⁺ソース層34bの上に、エミッタ/ソース電極38が形成されており、複合層34のn⁺ソース層34bが形成されていない領域の上に、エミッタ/ソース電極38と所定の間隔を隔てて、ベース電極39が形成されている。

10

【0026】

BiMOS半導体装置30は、並列pn層33が形成されており、n⁻ドリフト層33aに広がる空乏層の電界強度が厚さ方向でほぼ均一となるため、n⁻ドリフト層33aの不純物濃度を高くすることができ、その結果、BiMOS半導体装置30の電流密度を向上させることができる。

【0027】

ここで、n⁻ドリフト層33aおよびpピラー層33bの不純物濃度を、それぞれN_DおよびN_Aとすると、式

$N_D = N_A$
を満たす。

20

【0028】

また、n⁻ドリフト層33aおよびpピラー層33bの幅を、それぞれW_DおよびW_Aとすると、式

$W_D = W_A$
を満たす。

【0029】

BiMOS半導体装置30の基板材料としては、特に限定されないが、例えば、Si、SiC、GaN、Ga₂O₃等の半導体材料を用いることができる。また、不純物としては、公知のアクセプターおよびドナーを用いることができる。

30

【0030】

次に、図5を用いて、BiMOS半導体装置30の動作を説明する。なお、図5において、電子電流およびホール電流を示す線が太いことは、電流が大きいことを意味し、電子電流およびホール電流を示す線が細いことは、電流が小さいことを意味する。

【0031】

図5に示すように、エミッタ/ソース電極38に対して正の電圧をコレクタ/ドレイン電極31に印加した状態で、エミッタ/ソース電極38に対して正のゲート電圧をゲート電極37に印加すると、pベース層34aのゲート電極37の近傍に反転層34cが形成される。このため、n⁺ドレイン層32、n⁻ドリフト層33a、反転層34cおよびn⁺ソース層34bを経由して、コレクタ/ドレイン電極31からエミッタ/ソース電極38に、電子電流41aが流れる。また、エミッタ/ソース電極38に対して正の電圧をコレクタ/ドレイン電極31に印加した状態で、ベース電極39にベース電流を流すと、pベース層34aからn⁺ソース層34bに、電子電流41bおよび41cが流れる。また、n⁺ドレイン層32、n⁻ドリフト層33a、pベース層34aおよびn⁺ソース層34bを経由して、コレクタ/ドレイン電極31からエミッタ/ソース電極38に、電子電流41dが流れる。さらに、pベース層34aからn⁻ドリフト層33aに、ホール電流42が流れる。このとき、電子電流41bおよび41cは、それぞれ、側方および下方からn

40

50

+ソース層 3 4 b に流入する。

【 0 0 3 2 】

ここで、p ベース層 3 4 a から n⁻ドリフト層 3 3 a に、ベース電流（ホール電流 4 2）が流れることで、p ピラー層 3 3 b を経由して、p ベース層 3 4 a から n⁻ドリフト層 3 3 a に、電子電流 4 1 e が流れる。また、p ピラー層 3 3 b を経由して、n⁻ドリフト層 3 3 a から n⁻ドリフト層 3 3 a に、電子電流 4 1 f が流れる。

【 0 0 3 3 】

図 6 に、BiMOS 半導体装置 1 0、3 0（図 1、図 4 参照）および IGBT 1 0 A（図 3 参照）の I - V 曲線のシミュレーション結果を示す。

【 0 0 3 4 】

図 6 から、BiMOS 半導体装置 3 0 は、BiMOS 半導体装置 1 0 および IGBT 1 0 A よりも、電流密度が高いことがわかる。

【 0 0 3 5 】

ここで、図 6 の I - V 曲線は、シミュレーションにより得られた結果であり、電圧は、コレクタ/ドレイン電極 3 1 に印加する電圧であり、電流密度は、コレクタ/ドレイン電極 3 1 に流れる電流の電流密度である。

【 0 0 3 6 】

BiMOS 半導体装置 3 0 は、図 7 に示すように、p ピラー層 3 3 b の上に形成されている p ベース層 3 4 a と、n⁺ソース層 3 4 b との間の一部に、高抵抗層 5 1 が形成されている。これにより、図 4 に示す高抵抗層 5 1 が形成されていない場合（図 8（a）参照）と対比して、ベース電極 3 9 にベース電流を流しても、側方から n⁺ソース層 3 4 b に流入する電子電流 4 1 b（図 5 参照）を抑制することができ（図 8（b）参照）、その結果、BiMOS 半導体装置 3 0 の電流密度を向上させることができる。

【 0 0 3 7 】

BiMOS 半導体装置 3 0 は、図 9 に示すように、p ピラー層 3 3 b と、p ベース層 3 4 a との間に、高抵抗層 5 2 が形成されている。これにより、図 7 に示す高抵抗層 5 2 が形成されていない場合（図 10（a）参照）と対比して、p ピラー層 3 3 b を経由して、p ベース層 3 4 a から n⁻ドリフト層 3 3 a に流れる電子電流 4 1 e（図 5 参照）を抑制することができ（図 10（b）参照）、その結果、BiMOS 半導体装置 3 0 の電流密度を向上させることができる。

【 0 0 3 8 】

なお、図 9 においては、p ピラー層 3 3 b の上に形成されている p ベース層 3 4 a と、n⁺ソース層 3 4 b との間に、高抵抗層 5 1 が形成されているが、高抵抗層 5 1 が形成されていない場合もよい。

【 0 0 3 9 】

高抵抗層 5 1 および 5 2 を構成する材料としては、特に限定されないが、例えば、SiO₂ 等が挙げられる。ここで、高抵抗層 5 1 および 5 2 は、層間を高抵抗化する一つの形態であり、SiO₂ 膜等の絶縁膜以外の高抵抗膜であってもよい。また、層間を高抵抗化する他の手法としては、特に限定されないが、例えば、層同士を空間的に隔離する手法等が挙げられる。

【 0 0 4 0 】

図 1 1 に、図 7 および図 9 の BiMOS 半導体装置の I - V 曲線のシミュレーション結果を示す。なお、図 1 1 には、図 6 の結果も併せて示す。

【 0 0 4 1 】

図 1 1 から、図 7 および図 9 の BiMOS 半導体装置は、BiMOS 半導体装置 3 0（図 4 参照）よりも、電流密度が高いことがわかる。

【 0 0 4 2 】

図 1 2 に、図 9 の BiMOS 半導体装置の電子電流ベクトル（図 1 2（a）参照）およびホール電流ベクトル（図 1 2（b）参照）のシミュレーション結果を示す。

【 0 0 4 3 】

10

20

30

40

50

図12(b)に示すように、pベース層34aからn⁻ドリフト層33aに、ホール電流42(図9参照)が流れるが、ホール電流42の一部がpピラー層33bに流入する。その結果、pピラー層33bが正に帯電し、電位障壁が下がるため、電子電流41f(図9参照)が、n⁻ドリフト層33aからpピラー層33bに流れる。さらに、pピラー層33bに流入した電子電流41fは、図12(a)に示すように、n⁻ドリフト層33aに流入する。

【0044】

図13に、図12(a)のA-A'断面におけるキャリア密度のシミュレーション結果を示す。なお、図13(a)および(b)は、それぞれホール密度および電子密度である。

【0045】

図13(a)から、pピラー層33bのn⁻ドリフト層33aとの界面におけるホール密度が、ベース電流を流す前の初期値に対して、約15倍に増加していることが判明した。

【0046】

図13(b)から、pピラー層33bのn⁻ドリフト層33aとの界面における電子密度が、ベース電流を流す前の初期値に対して、チャージがバランスするように、約45倍に増加していることが判明した。

【0047】

図14に、図11(a)のA-A'断面における電位障壁のシミュレーション結果を示す。

【0048】

図14から、n⁻ドリフト層33aとpピラー層33bとの界面における電位障壁が、ベース電流を流す前の初期値に対して、約1/400に減少していることが判明した。

【0049】

したがって、図9のBiMOS半導体装置は、n⁻ドリフト層33aとpピラー層33bとの界面における電位障壁が低くなり、n⁻ドリフト層33aからpピラー層33bに、電子電流41fが流入しやすくなるため、pピラー層33bが電子電流41fの経路として有効に利用される。

【0050】

なお、図9のBiMOS半導体装置は、電圧のみで駆動することにより、MOSFETのみを動作させることができるし(図15参照)、電流のみで駆動することにより、バイポーラトランジスタのみを動作させることもできる(図16参照)。

【0051】

図17に、図9のBiMOS半導体装置を用いて、MOSFETおよびバイポーラトランジスタを独立に動作させる方法の一例を示す。

【0052】

まず、タイミングAにおいて、ゲート電圧をLow(L)からHigh(H)に変更してMOSFETをON状態にすると、ドレイン電流が上昇し、ドレイン電圧が降下する。次に、タイミングBにおいて、ベース電流をLからHに変更してバイポーラトランジスタをON状態にすると、タイミングCにおいて、ドレイン電流が上昇し、ドレイン電圧が降下する。次に、タイミングDにおいて、ベース電流をHからLに変更してバイポーラトランジスタをOFF状態にすると、所定時間が経過した後に、ドレイン電流が降下し、ドレイン電圧が上昇する。次に、タイミングEにおいて、ゲート電圧をHからLに変更してMOSFETをOFF状態にすると、ドレイン電流が降下し、ドレイン電圧が上昇して、初期状態に戻る。

【0053】

ここで、バイポーラトランジスタは、安全動作領域に二次降伏の制限があるため、バイポーラトランジスタの動作遅延を想定して、図17に示すように、バイポーラトランジスタをOFF状態にした後、MOSFETをOFF状態にすることが好ましい。

【0054】

図18に、図9のBiMOS半導体装置を用いて、MOSFETおよびバイポーラトラン

10

20

30

40

50

ンジスタを独立に動作させる方法の他の例を示す。なお、Iは、図17に示す方法である。

【0055】

以上、nチャンネル型のBiMOS半導体装置を用いて、本実施形態のBiMOS半導体装置を説明したが、本実施形態のBiMOS半導体装置は、nチャンネル型に限定されず、pチャンネル型であってもよい。

【0056】

図19に、本実施形態のBiMOS半導体装置の他の例を示す。

【0057】

BiMOS半導体装置60は、トレンチゲート構造を有するpチャンネル型のBiMOS半導体装置である。

10

【0058】

BiMOS半導体装置60は、コレクタ/ドレイン電極61の上に、p⁺ドレイン層62と、p⁻ドリフト層63aおよびnピラー層63bが交互に接合されている並列pn層63と、nベース層64aおよびp⁺ソース層64bからなる複合層64とが、この順で形成されている。また、BiMOS半導体装置60は、複合層64の表面から並列pn層63の上部にかけて、トレンチ65が形成されており、トレンチ65の内部に、ゲート絶縁膜66を介して、ゲート電極67が形成されている。ここで、複合層64の上部かつトレンチ65の両側に形成されているp⁺ソース層64bは、p⁻ドリフト層63aの上に形成されている。さらに、BiMOS半導体装置60は、p⁺ソース層64bの上に、エミッタ/ソース電極68が形成されており、複合層64のp⁺ソース層64bが形成されていない領域の上に、エミッタ/ソース電極68と所定の間隔を隔てて、ベース電極69が形成されている。

20

【0059】

BiMOS半導体装置60は、並列pn層63が形成されており、p⁻ドリフト層63aに広がる空乏層の厚さ方向の電界強度がほぼ均一となるため、p⁻ドリフト層63aの不純物濃度を高くすることができ、その結果、BiMOS半導体装置60の電流密度を向上させることができる。

【0060】

BiMOS半導体装置60は、nピラー層63bの上に形成されているnベース層64aと、p⁺ソース層64bとの間の一部に、高抵抗層81が形成されており、nピラー層63bと、nベース層64aとの間に、高抵抗層82が形成されている。

30

【0061】

高抵抗層81および82を構成する材料としては、特に限定されないが、例えば、SiO₂等が挙げられる。ここで、高抵抗層81および82は、層間を高抵抗化する一つの形態であり、SiO₂膜等の絶縁膜以外の高抵抗膜であってもよい。また、層間を高抵抗化する他の手法としては、特に限定されないが、例えば、層同士を空間的に隔離する手法等が挙げられる。

【0062】

なお、高抵抗層81および82の少なくとも一方を省略してもよい。

【0063】

ここで、p⁻ドリフト層63aおよびnピラー層63bの不純物濃度を、それぞれN_AおよびN_Dとすると、式

$$N_D = N_A$$

を満たす。また、p⁻ドリフト層63aおよびnピラー層63bの幅を、それぞれW_AおよびW_Dとすると、式

$$W_D = W_A$$

を満たす。

【0064】

BiMOS半導体装置60の基板材料としては、特に限定されないが、例えば、Si、SiC、GaN、Ga₂O₃等の半導体材料を用いることができる。また、不純物として

50

は、公知のアクセプターおよびドナーを用いることができる。

【 0 0 6 5 】

次に、BiMOS半導体装置60の動作を説明する。なお、図19において、電子電流およびホール電流を示す線が太いことは、電流が大きいことを意味し、電子電流およびホール電流を示す線が細いことは、電流が小さいことを意味する。

【 0 0 6 6 】

図19に示すように、エミッタ/ソース電極68に対して負の電圧をコレクタ/ドレイン電極61に印加した状態で、エミッタ/ソース電極68に対して負のゲート電圧をゲート電極67に印加すると、nベース層64aのゲート電極67の近傍に反転層64cが形成される。このため、p⁺ドレイン層62、p⁻ドリフト層63a、反転層64cおよびp⁺ソース層64bを経由して、エミッタ/ソース電極68からコレクタ/ドレイン電極61に、ホール電流71aが流れる。また、エミッタ/ソース電極68に対して負の電圧をコレクタ/ドレイン電極61に印加した状態で、ベース電極39からベース電流を流すと、p⁺ソース層64bからnベース層64aに、ホール電流71cが流れる。また、p⁺ドレイン層62、p⁻ドリフト層63a、nベース層64aおよびp⁺ソース層64bを経由して、エミッタ/ソース電極68からコレクタ/ドレイン電極61に、ホール電流71dが流れる。さらに、p⁻ドリフト層63aからnベース層64aに、電子電流72が流れる。このとき、ホール電流71cは、下方からnベース層64aに流れる。

【 0 0 6 7 】

ここで、nピラー層63bを経由して、p⁻ドリフト層63aからp⁻ドリフト層63aに、ホール電流71fが流れる。

【符号の説明】

【 0 0 6 8 】

- 10 BiMOS半導体装置
- 10A IGBT
- 11 コレクタ/ドレイン電極(コレクタ電極)
- 12 n⁺ドレイン層(n⁺コレクタ層)
- 12A p⁺コレクタ層
- 13 n⁻ドリフト層
- 14 複合層
- 14a pベース層(pエミッタ層)
- 14b n⁺ソース層(n⁺エミッタ層)
- 14c 反転層
- 15 トレンチ
- 16 ゲート絶縁膜
- 17 ゲート電極
- 18 エミッタ/ソース電極
- 18A エミッタ電極
- 19 ベース電極
- 21a、21b、21c、21d 電子電流
- 22 ホール電流
- 30 BiMOS半導体装置
- 31 コレクタ/ドレイン電極
- 32 n⁺ドレイン層
- 33 並列pn層
- 33a n⁻ドリフト層
- 33b pピラー層
- 34 複合層
- 34a pベース層
- 34b n⁺ソース層

10

20

30

40

50

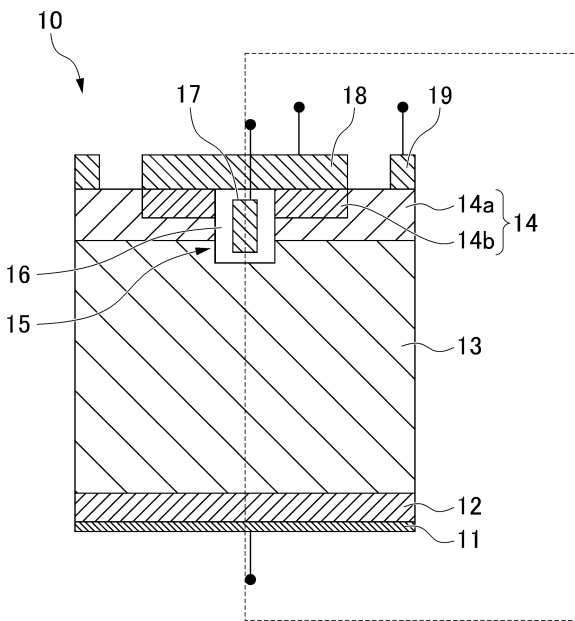
- 3 4 c 反転層
- 3 5 トレンチ
- 3 6 ゲート絶縁膜
- 3 7 ゲート電極
- 3 8 エミッタ/ソース電極
- 3 9 ベース電極
- 4 1 a、4 1 b、4 1 c、4 1 d、4 1 e、4 1 f 電子電流
- 4 2 ホール電流
- 5 1、5 2 高抵抗層
- 6 0 BiMOS半導体装置
- 6 1 コレクタ/ドレイン電極
- 6 2 p⁺ドレイン層
- 6 3 並列pn層
- 6 3 a p⁻ドリフト層
- 6 3 b nピラー層
- 6 4 複合層
- 6 4 a nベース層
- 6 4 b p⁺ソース層
- 6 4 c 反転層
- 6 5 トレンチ
- 6 6 ゲート絶縁膜
- 6 7 ゲート電極
- 6 8 エミッタ/ソース電極
- 6 9 ベース電極
- 7 1 a、7 1 c、7 1 d、7 1 f ホール電流
- 7 2 電子電流
- 8 1、8 2 高抵抗層

10

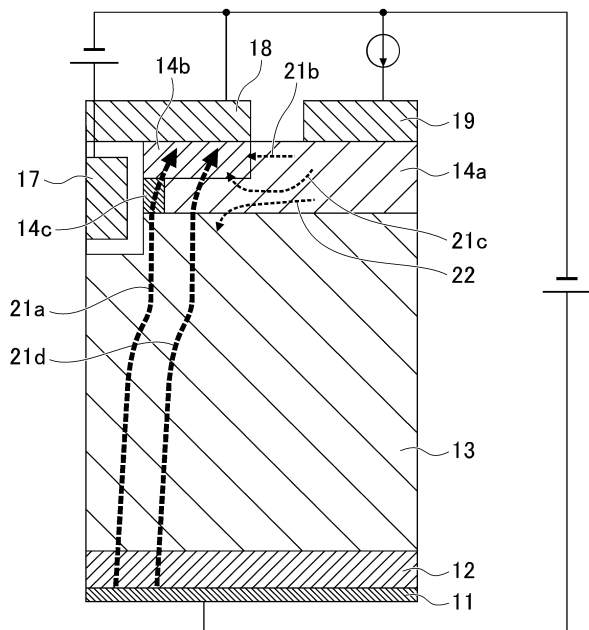
20

【図面】

【図 1】



【図 2】

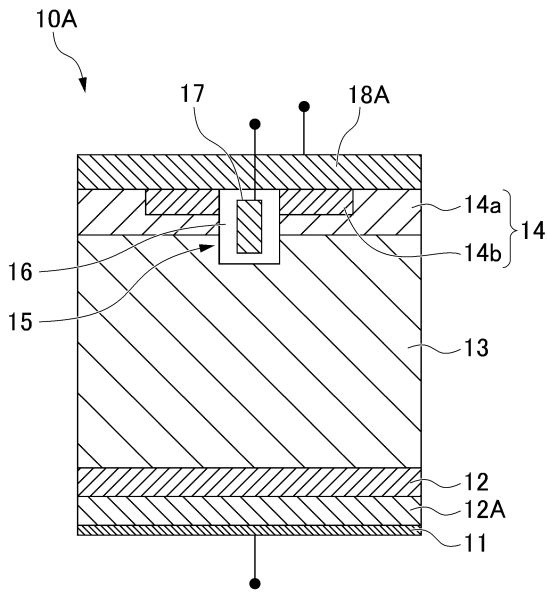


30

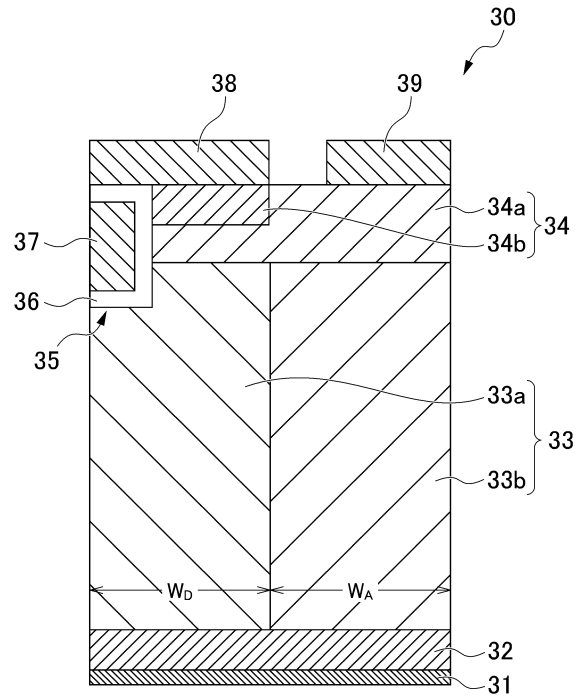
40

50

【図3】



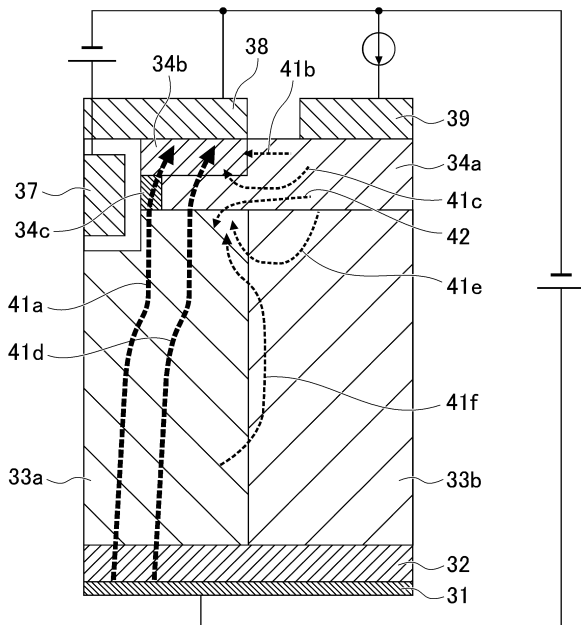
【図4】



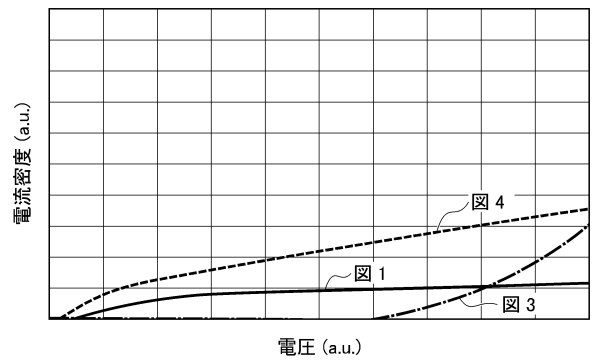
10

20

【図5】



【図6】

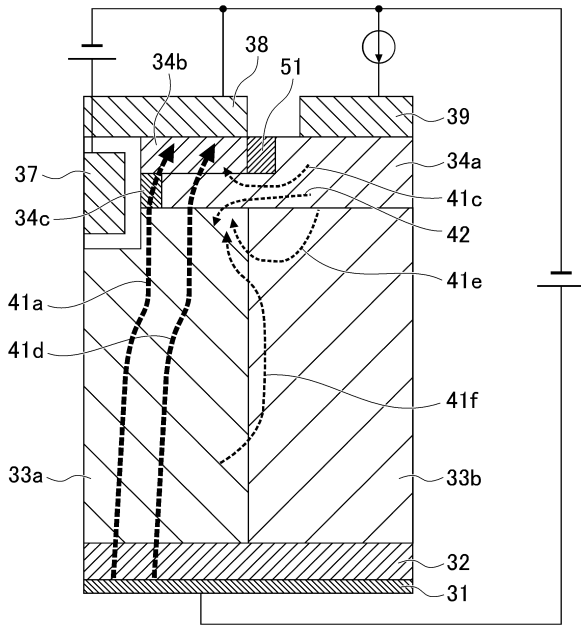


30

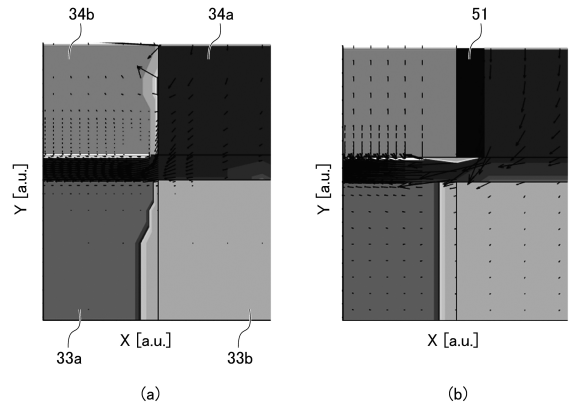
40

50

【 図 7 】



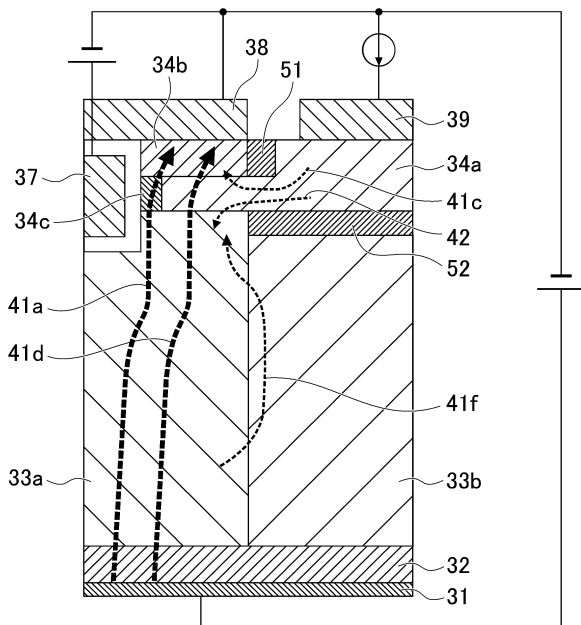
【 図 8 】



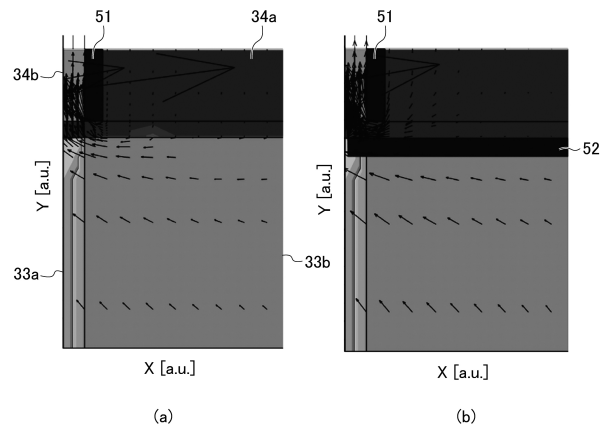
10

20

【 図 9 】



【 図 10 】

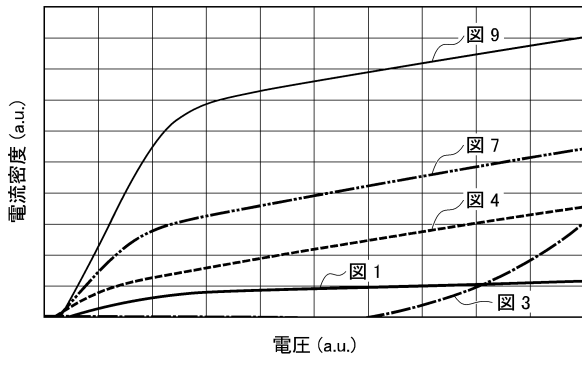


30

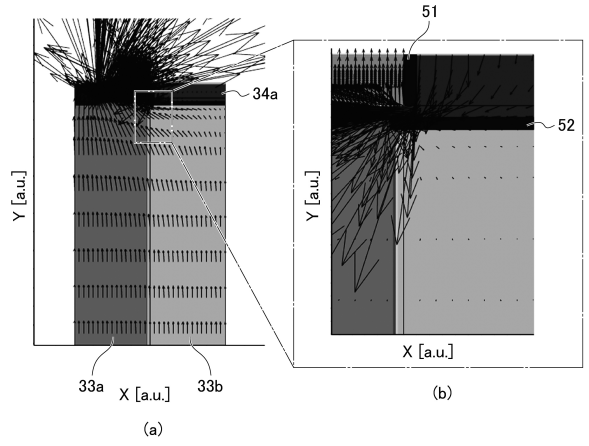
40

50

【図 1 1】

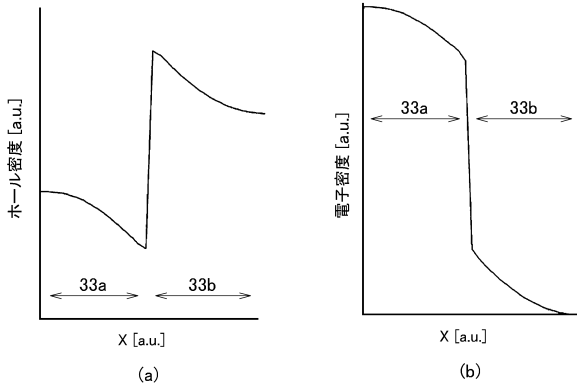


【図 1 2】

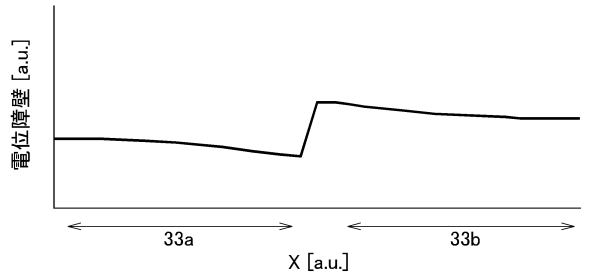


10

【図 1 3】



【図 1 4】



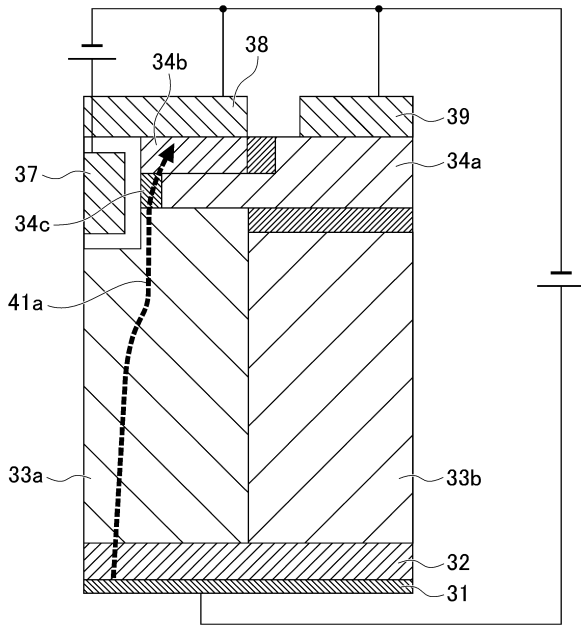
20

30

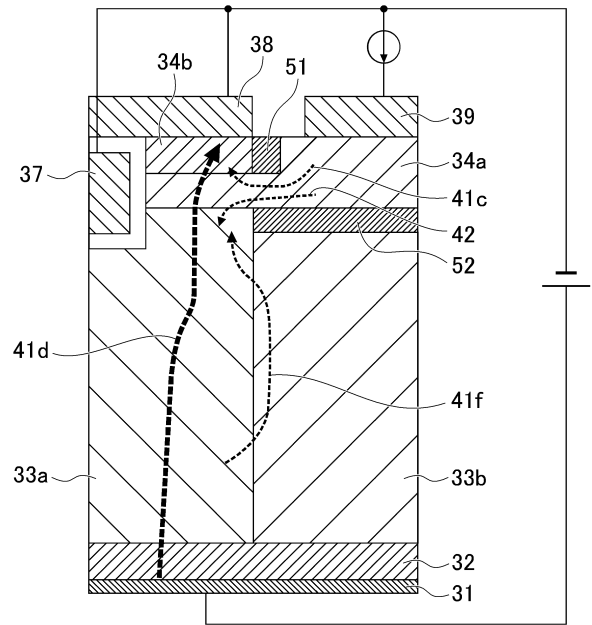
40

50

【図 15】



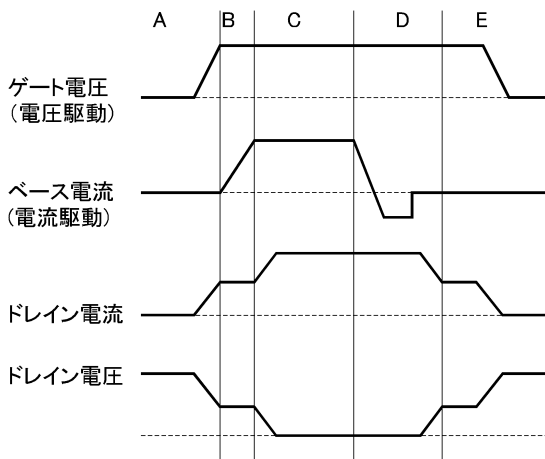
【図 16】



10

20

【図 17】



【図 18】

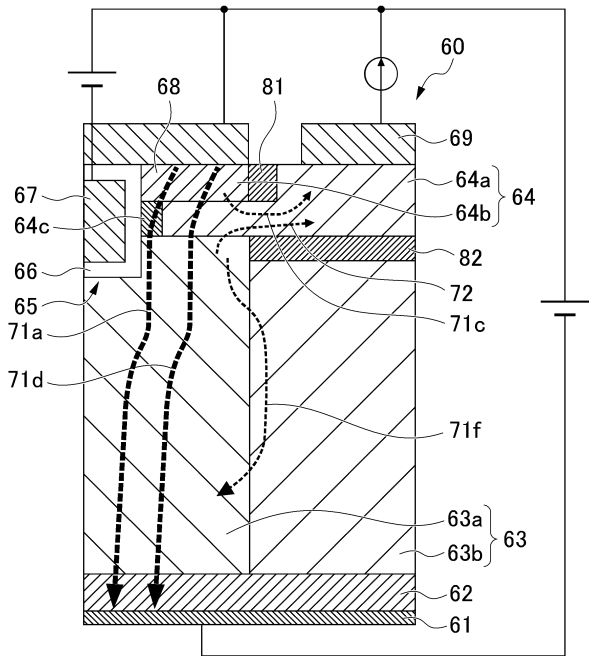
	入力	A	B	C	D	E
I	ゲート電圧	L→H	H	H	H	H→L
	ベース電流	L	L→H	H	H→L	L
II	ゲート電圧	L→H	H	H	H	H→L
	ベース電流	L→H	H	H	H→L	L
III	ゲート電圧	L→H	H	H	H	H→L
	ベース電流	L	L→H	H	H	H→L
IV	ゲート電圧	L→H	H	H	H	H→L
	ベース電流	L→H	H	H	H	H→L
V	ゲート電圧	L→H	L→H	H	H→L	L
	ベース電流	L→H	H	H	H→L	L
VI	ゲート電圧	L	L→H	H	H→L	L
	ベース電流	L	L→H	H	H	H→L
VII	ゲート電圧	L	L→H	H	H→L	L
	ベース電流	L→H	H	H	H	H→L
VIII	ゲート電圧	L	L→H	H	H	H→L
	ベース電流	L→H	H	H	H→L	L
IX	ゲート電圧	L	L→H	H	H→L	L
	ベース電流	-	-	-	-	-
X	ゲート電圧	-	-	-	-	-
	ベース電流	L	L→H	H	H→L	L

30

40

50

【 図 19 】



10

20

30

40

50

フロントページの続き

- (72)発明者 米田 真也
埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内
- (72)発明者 前田 康宏
埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内
- (72)発明者 根来 佑樹
埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内
- 審査官 鈴木 聡一郎
- (56)参考文献 特開2015-039010(JP,A)
特開2020-077800(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 29/12
H01L 29/24
H01L 29/78