

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-94144

(P2009-94144A)

(43) 公開日 平成21年4月30日(2009.4.30)

(51) Int. Cl. F I テーマコード (参考)
 H O 1 L 33/00 (2006.01) H O 1 L 33/00 A 5 F O 4 1

審査請求 未請求 請求項の数 13 O L (全 15 頁)

(21) 出願番号	特願2007-261018 (P2007-261018)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成19年10月4日 (2007.10.4)	(74) 代理人	100090538 弁理士 西山 恵三
		(74) 代理人	100096965 弁理士 内尾 裕一
		(72) 発明者	米原 隆夫 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
		Fターム(参考)	5F041 AA31 CA04 CA36 CA74 CA77 CB15 CB33 CB36

(54) 【発明の名称】 発光素子の製造方法

(57) 【要約】

【課題】 発光層の新規な転写プロセスの提供

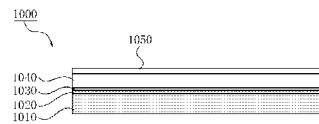
【解決手段】 化合物半導体層を有する基板上に、エッチングストップ層と犠牲層とを介して、発光層を有する第1の部材を用意し、

シリコン層を含み構成されている第2の部材と、前記第1の部材とを、前記発光層が内側に位置するようにはり合わせて、はり合わせ構造体を形成し、

前記第1の部材を、前記発光層側とは反対側からエッチングして、前記エッチングストップ層が露出するように前記基板に貫通溝を設け、且つ

前記犠牲層をエッチングすることにより、前記貫通溝が設けられた前記基板を前記はり合わせ構造体から除去することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

発光素子の製造方法であって、

化合物半導体層を有する基板上に、エッチングストップ層と犠牲層とを介して、発光層を有する第 1 の部材を用意する工程、

シリコン層を含み構成されている第 2 の部材と、前記第 1 の部材とを、前記発光層が内側に位置するようにはり合わせて、はり合わせ構造体を形成する工程、

前記第 1 の部材を、前記発光層側とは反対側からエッチングして、前記エッチングストップ層が露出するように前記基板に貫通溝を設ける工程、及び

前記犠牲層をエッチングすることにより、前記貫通溝が設けられた前記基板を前記はり合わせ構造体から除去する除去工程、

を有することを特徴とする発光素子の製造方法。

10

【請求項 2】

前記第 1 の部材は、前記化合物半導体層を有する基板上に、該基板側から前記エッチングストップ層と前記犠牲層をこの順に有することを特徴とする請求項 1 記載の発光素子の製造方法。

【請求項 3】

前記第 1 の部材は、前記化合物半導体層を有する基板上に、該基板側から前記犠牲層と前記エッチングストップ層をこの順に有することを特徴とする請求項 1 記載の発光素子の製造方法。

20

【請求項 4】

前記化合物半導体層を有する基板は、GaAs 基板、あるいは表面に GaAs 層を有するサファイア基板、表面に GaAs 層を有する SiC 基板、表面に GaAs 層を有する ZnO 基板、表面に GaAs 層を有する Ge 基板、Siウエハ上にバッファ層を介して GaAs 層を有する Si 基板であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の発光素子の製造方法。

【請求項 5】

前記 Siウエハ上にバッファ層を介して GaAs 層を有する基板とは、Siウエハ上に SiGe 層を介して Ge 層を有し、且つ Ge 層上に GaAs 層を有する基板である請求項 4 に記載の発光素子の製造方法。

30

【請求項 6】

前記発光層上に半導体多層膜ミラーを有することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の発光素子の製造方法。

【請求項 7】

前記第 2 の部材には、前記発光素子を駆動するための駆動回路が設けられていることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の発光素子の製造方法。

【請求項 8】

前記第 2 の部材を構成する前記シリコン層上には有機絶縁層が設けられていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の発光素子の製造方法。

【請求項 9】

前記除去工程後に、前記発光層がメサ形状になるようにエッチングする工程を有することを特徴とする請求項 1 から 8 のいずれか 1 項に記載の発光素子の製造方法。

40

【請求項 10】

前記発光層がメサ形状になるようにエッチングした後、前記はり合わせ構造体を形成することを特徴とする請求項 1 から 9 のいずれか 1 項に記載の発光素子の製造方法。

【請求項 11】

前記第 1 の部材は、前記化合物半導体層を有する前記基板上に、該化合物半導体層側から第 1 の前記エッチングストップ層、第 1 の前記発光層、前記犠牲層、第 2 のエッチングストップ層、及び第 2 の前記発光層を有することを特徴とする請求項 1 から 10 のいずれか 1 項に記載の発光素子の製造方法。

50

【請求項 1 2】

前記第 1 の部材は、

前記化合物半導体層を有する前記基板の上に、該基板をエッチングする際にエッチングストップ層として作用する第 1 の前記エッチングストップ層を介して第 1 の前記発光層を有し、且つ

前記犠牲層と第 2 のエッチングストップ層を介して、第 2 の前記発光層を有し構成されており、

前記犠牲層を除去することにより、前記第 2 の発光層を第 2 の部材に移設し、

前記第 1 のエッチングストップ層を除去することにより、前記第 1 の発光層を他の部材に移設することを特徴とする請求項 1 から 1 1 記載の発光素子の製造方法。

10

【請求項 1 3】

前記犠牲層が AlAs 層であり、前記第 1 及び第 2 のエッチングストップ層が GaInP であることを特徴とする請求項 1 2 記載の発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子の製造方法に関する。

【背景技術】

【0002】

特許文献 1 に記載されているように、GaAs 基板の上に AlAs 層を介して発光素子を構成する化合物半導体層を形成した後、当該化合物半導体層を別の基板にはり合わせて、前記 AlAs 層で分離し、該化合物半導体層を移設する方法が知られている。

20

【特許文献 1】特開 2005 - 12034 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、移設方法としては、様々な手法の提案が求められていた。

そこで、本発明は、従来にない新規な移設方法を含む、発光素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

30

【0004】

本発明に係る発光素子の製造方法は、

化合物半導体層を有する基板の上に、エッチングストップ層と犠牲層とを介して、発光層を有する第 1 の部材を用意する工程、

シリコン層を含み構成されている第 2 の部材と、前記第 1 の部材とを、前記発光層が内側に位置するようにはり合わせて、はり合わせ構造体を形成する工程、

前記第 1 の部材を、前記発光層側とは反対側からドライエッチングして、前記エッチングストップ層が露出するように前記基板に貫通溝を設ける工程、及び

前記犠牲層をエッチングすることにより、前記貫通溝が設けられた前記基板を前記はり合わせ構造体から除去する除去工程、

40

を有することを特徴とする。

【発明の効果】

【0005】

本発明によれば、従来にない新規な移設方法を含む発光素子の製造方法が提供され得る。

【発明を実施するための最良の形態】

【0006】

本発明に係る発光素子の製造方法について、図面を参照しながら説明する。

【0007】

まず、図 1 に示すように、化合物半導体層を有する基板 1010 上に、エッチングスト

50

ップ層 1020 と犠牲層 1030 とを介して、発光層 1040 を有する第 1 の部材 1000 を用意する。なお、1050 は発光層上に必要に応じて設けることができる半導体多層膜 (DBR ミラー) である。なお、化合物半導体層を有する基板 1010 としては、例えば GaAs 基板が挙げられるが、本発明はこれに限定されるものではなく、後述するように様々な基板の適用が可能である。

【0008】

次に、図 2 (a) に示される第 2 の部材 2000 を用意する。第 2 の部材は、例えばシリコンウエハや SOI ウエハから構成される。図 2 (a) では、シリコン層 2010 上に有機絶縁膜 2020 が設けられている。また、図 2 (b) は、第 2 の部材の別の例を示している。図 2 (b) において、2000 は第 2 の部材、2010 はシリコン層、2020 は有機絶縁層、2030 は絶縁性の酸化膜、2050 は駆動回路が設けられている領域である。ここでいうシリコン層には、シリコンウエハは勿論、シリコン層を有するウエハであれば SOI ウエハも含まれる。

10

【0009】

そして、シリコン層 2010 を含み構成されている第 2 の部材 2000 と、前記第 1 の部材 1000 とを、前記発光層 1040 が内側に位置するようにはり合わせて、はり合わせ構造体 3000 を形成する。この状態を図 3 に示す。また、2 つの部材同士を貼り合せている様子を図 4 に示している。なお、図 3 では、第 2 の部材として、図 2 (b) に示した第 2 の部材を用いた場合を示しているが、勿論、図 2 (a) の第 2 の部材を用いることもできる。

20

【0010】

次に、図 5 に示すように、前記発光層 1040 が位置する側とは反対側から前記化合物半導体を有する基板 1010 をドライエッチングして、前記エッチングストップ層 1020 が露出するように前記化合物半導体層を有する基板に貫通溝 5010 を設ける。

【0011】

基板 1010 のドライエッチングに代えて、ウェットエッチングを用いることもできるし、ドライエッチングで或る程度の深さまでエッチングした後、ウェットエッチングに切り換えて貫通溝を形成することもできる。いずれにせよ、前述のエッチングストップ層を基板 1010 の裏面側からのエッチングストップ層として機能するエッチング処理であれば特に限定されるものではない。

30

【0012】

なお、この貫通溝 5010 を設けるに際して、予め、GaAs などの基板 1010 の薄膜化 (好ましくは $100 \mu\text{m}$ 以下の厚さにするのがよい。) を行い、その後、レジストマスクパターンを用いて、前記貫通溝 5010 を形成することができる。

【0013】

本発明に係る前記エッチングストップ層 1020 は、前記発光層 1040 側から前記基板 1010 に向かってエッチングする際にエッチングを所定の位置で止めるための層として用いているのではないことが特徴である。すなわち、前記基板 1010 側から前記発光層 1040 に向かって、ドライエッチングを行う際にエッチングを所定の位置でストップさせるための層として用いていることが特徴である。

40

【0014】

更に、前記貫通溝の底部に前記犠牲層 1030 を露出させて (図 6)、前記犠牲層をウェットエッチングすることにより、前記貫通溝 5010 が設けられた前記化合物半導体層を有する基板 1010 を前記はり合わせ構造体から除去する (図 7)。

【0015】

こうして、シリコン層を含み構成される第 2 の部材上に発光層 1040 が移設される。

【0016】

(第 1 の部材)

図 1 では、前記第 1 の部材 1000 が、前記化合物半導体層を有する基板 1010 上に、該化合物半導体層側から前記エッチングストップ層 1020 と前記犠牲層 1030 をこ

50

の順に有する場合を説明した。実際には、図 8 に示すように、該化合物半導体層側 1010 から前記犠牲層 1030 と前記エッチングストップ層 1020 をこの順に有するように構成することもできる。斯かる場合、はり合わせ構造体は、図 9 に示すようになる。そして、前記化合物半導体層を有する基板に貫通溝や貫通孔をドライエッチングによって設ける場合、図 10 に示すように、前記犠牲層 1030 も除去されて、前記エッチングストップ層 1020 が露出することになる。その後、前記犠牲層 1030 を除去することにより、はり合わせ構造体から前記化合物半導体層を有する基板が除去される。

【0017】

なお、発光層 1040 上に前記エッチングストップ層が残存する場合には、適宜それを除去することにより、図 7 のように、第 2 の部材上に前記発光層が移設されることになる。

10

【0018】

また、第 1 の部材に関しては、前記化合物半導体層を有する基板 1010 上に前記発光層 1040 がエピタキシャル成長できれば、前記犠牲層と前記エッチングストップ層との間に別な層が介在していてもよい。

前記化合物半導体層を有する基板としては、GaAs 基板自体が挙げられる。

【0019】

また、前記化合物半導体層を有する基板としては、表面に GaAs 層を有するサファイア基板、表面に GaAs 層を有する SiC 基板、表面に GaAs 層を有する ZnO 基板である。また、表面に GaAs 層を有する Ge 基板、Siウエハ上にバッファ層を介して GaAs 層を有する Si 基板の適用も可能である。ここで、前記 Siウエハ上にバッファ層を介して GaAs 層を有する基板とは、Siウエハ上に SiGe 層を介して Ge 層を有し、且つ Ge 層上に GaAs 層を有する基板である。

20

【0020】

ここで、図 21 には、前記化合物半導体層を有する基板として、Siウエハ上に、SiGe 層、Ge 層、及び GaAs 層をこの順に積層して構成した例を示している。同図において、2910 はシリコンウエハ、2915 は SiGe 層、2916 は Ge 層である。2917 は必ずしも必要ではないが、GaAs 層である。1020 はエッチングストップ層、1020 は犠牲層、1040 は発光層、1050 は半導体多層膜 (DBR ミラー) である。なお、Siウエハ上に発光層を構成する GaAs は格子不整合性のため良質の膜として形成し難いといわれている。この格子不整合性を緩和する為に、Siウエハ上に、まず SiGe 層を設け、その上に Ge 層を設けることで、発光層を構成する膜とその下地との格子定数を近づけることができる。また、SiGe 層は、 Si_xGe_{1-x} として、Siウエハ側は x を 1 に近くしておき、当該ウエハから離れるに従い x を小さくしていく、即ち、Ge の量に勾配を設けることもできる。

30

【0021】

更にまた、前記化合物半導体層を有する基板として、サファイア基板、SiC 基板、ZnO 基板の適用も可能である。

【0022】

また、前記化合物半導体層を有する基板が GaAs 基板である場合のエッチングストップ層としては、GaInP (例えば、 $Ga_{0.5}In_{0.5}P$) である。勿論、当該基板とエッチングストップ層とのエッチングの選択比が十分にとれるのであれば、特にエッチングストップ層の材料は限定されるものではない。

40

【0023】

(発光層)

前記発光層は、ダブルヘテロ構造を用いることができるが、詳細は、実施例にて述べる。

【0024】

既述のように、前記発光層上に半導体多層膜ミラーを設けておくこともできる。

【0025】

50

(第2の部材)

前記第2の部材には、既述のように前記発光素子を駆動するための駆動回路を設けておくことができる。

【0026】

また、前記第2の部材を構成する前記シリコン層上には、表面を平坦化すると共に、前記第1の部材の接合層として機能する有機絶縁層を設けておくことが好適であるが、省略することもできる。

【0027】

(メサエッチ)

前記除去工程後に、前記発光層がメサ形状になるようにエッチングする工程を有する。

10

【0028】

具体的には、第2の部材上に移設された発光層1040をいわゆるメサエッチング処理を行うとともに、該メサ形状の発光層1040上に絶縁膜2150を形成し、パターンニングする(図11)。図11において、2210はシリコンウエハ、2230はパッシベーション膜、2220は有機絶縁層である。1050は発光層上に設けられている半導体多層膜である。図11では、電氣的接続の為のコンタクトホール(2251から2254)が空けられている。次に、図12のように、前記コンタクトホールにメタル薄膜形成(2305、2306)を行い、駆動回路2299と発光層とが電氣的に接続される。

【0029】

なお、前記発光層がメサ形状あるいは島状になるようにエッチングした後、前記はり合わせ構造体を形成することもできる。斯かる場合、図13に示すように、空洞3500の存在するはり合わせ構造体が得られる。

20

【0030】

(マルチ)

なお、前記第1の部材は、図14に示すように、前記化合物半導体層を有する基板4010上に、該化合物半導体層側から第1の前記エッチングストップ層4020を形成する。更に、第1の前記発光層4040、前記犠牲層4030、第2の前記エッチングストップ層4021、及び第2の前記発光層4041を有するように構成することもできる。なお、4050と4051はそれぞれ必要に応じて設けることのできる半導体多層膜(DBR)である。このように発光層を複数層設ける場合には、はり合わせ構造体は図15に示したようになる。所望のマスクを用いて、図16に示すようにGaAs等の基板4010を裏面側からドライエッチングする。第1のエッチングストップ層4020のところで、エッチングが止まることになるので、当該層が露出したら、塩酸などを用いたウェットエッチングにより除去する。そして、更に発光層側にドライエッチングを進めて、第2のエッチングストップ層4021を露出させる。

30

【0031】

貫通溝を形成する場合には、図16に示すように前記第2のエッチングストップ層4021を露出させる。

【0032】

具体的には、化合物半導体層を有する基板4010にドライエッチングで孔や溝を設け、前記第1のエッチングストップ層4020を露出させ、当該層をウェットエッチングにより除去する。その後、更に、ドライエッチングで貫通溝を深堀し、前記第2のエッチングストップ層4021を露出させる。そして、貫通溝が形成されている前記化合物半導体層を有する基板4010に、接着層4097とUV剥離層4098とを介して前記貫通溝に接続する細孔を有するガラス支持体4099とはり合わせる(図17)。そして、図18に示すように前記犠牲層4030を除去することで、当該構造体からガラス支持体4099側が分離される。なお、GaAs基板4010が厚い場合には、CMPなどによる研磨や研削により当該基板の薄膜化(例えば100μm以下にする。)を行うのがよい。

40

【0033】

その後、ガラス支持体4099側は、更に、別の基板5010(例えば駆動回路を有す

50

るシリコン層)上へ移設する為に、図19に示すようにはり合わせる。そして、図20に示すように、前記第1のエッチングストップ層4020を除去することにより、ガラス支持体4099側と、基板5010側とに分離する。発光層4040が基板5010上へ移設された後は、既述のプロセスにより、発光層に電流注入の為に電極を設けると共に、駆動回路と発光層とを電氣的に接続する。

【0034】

また、前記第1の部材は、以下の2つの発光層を有するように構成する。即ち、1つ目は、前記化合物半導体層を有する前記基板上に、該基板をエッチングする際にエッチングストップ層として作用する第1の前記エッチングストップ層を介して設けられる第1の前記発光層である。2つ目は、前記犠牲層と第2のエッチングストップ層を介して設けられる第2の前記発光層である。

10

【0035】

そして、前記犠牲層を除去することにより、前記第2の発光層を第2の部材に移設することになる。

【0036】

また、前記第1のエッチングストップ層を除去することにより、前記第1の発光層を他の部材に移設することができる。

【0037】

ここで、前記犠牲層は例えば、AlAs層であり、前記第1及び第2のエッチングストップ層は例えばGaInPである。

20

【0038】

なお、上述した発明において、第2の部材に移設するに先立って、ガラス基板等に一時的にはり合わせて、最後に第2の部材にはり合わせることもできる。

【0039】

(エッチング)

前記第1の部材を構成する基板に貫通溝を形成するエッチングをドライエッチング(RIBE)で行う場合のガス種としては、塩素系ガスとして、 Cl_2 、 $SiCl_4$ などがある。塩素系ガスにArなどの希ガスを混ぜて使用することも出来る。また、添加ガスとして、 N_2 ガスや O_2 ガス、COガスなども適用できる。ドライエッチングの際のエッチングストップ層としては、GaInP以外にも、例えばAlInPを用いることもできる。

30

【0040】

なお、前記貫通溝を作製する場合にウェットエッチングを利用する場合には、以下のように行う。例えばGaInPをエッチングストップ層として用い、GaAs基板をエッチングする場合は、硫酸系やリン酸系(これらには過酸化水素水が含まれている。)をエッチング液として用いる。また、InP系の基板をGaAs等をエッチングストップ層として利用する場合には、塩素系のエッチング液を用いる。

【実施例】

【0041】

まず、第1の部材を作製するために、図1に示すように、p型GaAs基板1010を用意する。このGaAs基板が既述の化合物半導体層を有する基板に該当する。

40

【0042】

その上に、エッチングストップ層1020として、InGaP層をMOCVD法により100nm形成する。更に、犠牲層としてp-AlAs層1030を100nm形成する。なお、エッチングストップ層は、数nmから数十nmの厚さにすることもできる。

【0043】

発光層1040は、基板側1010からp型コンタクト層(GaAs)、p型クラッド層、p型アクティブ層、n型クラッド層、n型コンタクト層(GaAs)、n-ストップ層($Ga_{0.5}In_{0.5}P$)により構成される。このn-ストップ層とは、転写後にメサエッチを止めるための層である。

50

なお、p型クラッド層は、 $p - Al_{0.4}Ga_{0.6}As : 350 \text{ nm}$ である。

【0044】

活性層となるp型アクティブ層は、 $p - Al_{0.13}Ga_{0.87}As : 300 \text{ nm}$ である。n型クラッド層は、 $n - Al_{0.23}Ga_{0.77}As : 1300 \text{ nm}$ である。

p型、n型ともに、コンタクト層の厚さは、 200 nm である。

【0045】

また、n型DBR層(図1の1050)として、 $Al_{0.2}Ga_{0.8}As : 633 / Al_{0.8}Ga_{0.2}As : 565$ の組を20ペア積層して構成している。

【0046】

第2の部材2000(図2)としては、シリコン層上にスピコートで平坦に塗布が可能で、犠牲層を選択エッチングする際に、エッチングされないポリマー膜である有機絶縁膜を設けておく。有機絶縁膜としては、溶剤に融解したポリイミドをスピコートし、溶剤を蒸発させることで $2 \mu\text{m}$ の厚みのポリイミド膜を用いることができる。

【0047】

はり合わせ工程(図3)を行う際には、窒素、酸素、アルゴンなどのプラズマに晒して表面活性化処理をするとともに、はり合わせ後に400以下の低温熱処理(例えば、280、2時間)を行う。低温ではり合わせを行うことは下部にシリコントランジスタなどの駆動素子がある場合に必須であり、高温で処理するとシリコン素子の不純物が再拡散して、素子が正常に動作しない可能性が高まる。

【0048】

はり合わせ工程後に、図5に示すように、GaAs基板の裏面にレジストマスクを塗布、感光して、所望の位置に、所望の開口を形成し、ICP-RIE:容量結合プラズマ装置によって、ドライエッチングにより、貫通溝(図5の5010)を形成する。ドライエッチング用のレジスト膜塗布に先だって、CMPなどによるGaAs基板の薄膜化を行うことが好ましい。RIEの条件としては、基板温度は100程度で反応性ガスとしては塩素を用いて行う。本実施例においては、前記ドライエッチング処理時に、前記エッチングストップ層InGaP1020で止まることを利用する。

【0049】

その後、InGaPエッチングストップ層をHClを用いて除去するとAlAs犠牲層を露出させる。この犠牲層であるAlAs層は、稀HFで選択的にエッチング除去し、はり合わせ構造体からGaAs基板を分離する。AlAs層の除去は、5%フッ酸溶液を用いて行うことができる。

【0050】

その後、シリコン層上に移設された発光層1040は、図11、12に示すように、メサ形状にエッチング処理するとともに、プラズマCVDによりSiN膜2150を形成する。その後、SiN膜をパターニングして、コンタクトホール2251等を形成し、Ni/Auなどのメタル蒸着を行い、発光層(発光ダイオード)と駆動回路2299とを電気的に接続する。電気的な接続に際しては、図11の半導体多層膜をn型DBRとして構成することにより、駆動回路とこのn型DBR層とを電気的に接続することができる。斯かる構成にしておけば、DBRの層厚方向の全体にn側電極からキャリアを注入せずに済むので、高抵抗化を回避できる。

【産業上の利用可能性】

【0051】

本発明に係る発光素子の製造方法を用いて、シリコン層上に発光素子をアレイ状に形成できる。当該アレイ状の発光素子は、LEDプリンタのプリンタヘッドを構成することができる。

【図面の簡単な説明】

【0052】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

10

20

30

40

50

- 【図3】本発明を説明するための断面図である。
【図4】本発明を説明するための断面図である。
【図5】本発明を説明するための断面図である。
【図6】本発明を説明するための断面図である。
【図7】本発明を説明するための断面図である。
【図8】本発明を説明するための断面図である。
【図9】本発明を説明するための断面図である。
【図10】本発明を説明するための断面図である。
【図11】本発明を説明するための断面図である。
【図12】本発明を説明するための断面図である。
【図13】本発明を説明するための断面図である。
【図14】本発明を説明するための断面図である。
【図15】本発明を説明するための断面図である。
【図16】本発明を説明するための断面図である。
【図17】本発明を説明するための断面図である。
【図18】本発明を説明するための断面図である。
【図19】本発明を説明するための断面図である。
【図20】本発明を説明するための断面図である。
【図21】本発明を説明するための断面図である。
【符号の説明】

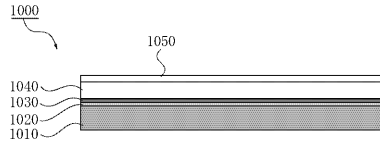
10

20

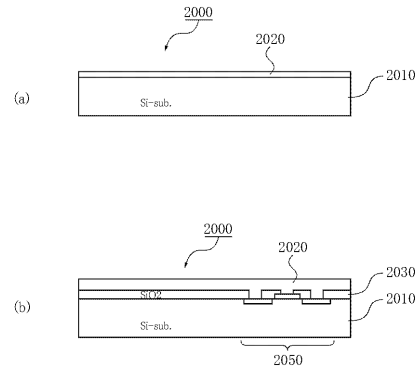
【0053】

- 1010 化合物半導体層を有する基板
- 1020 エッチングストップ層
- 1030 犠牲層
- 1040 発光層
- 1050 半導体多層膜

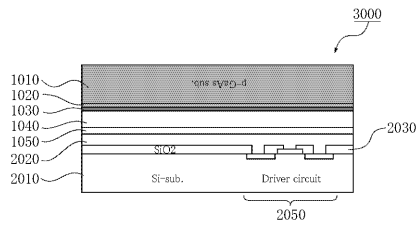
【 図 1 】



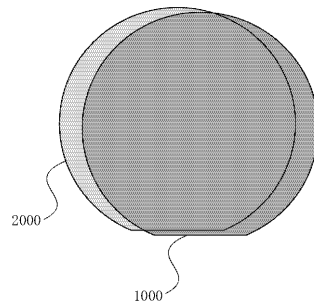
【 図 2 】



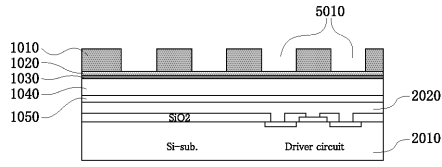
【 図 3 】



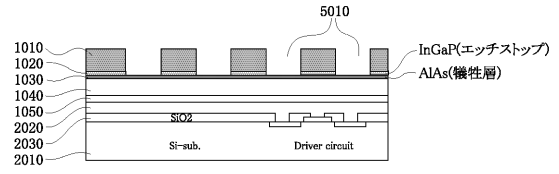
【 図 4 】



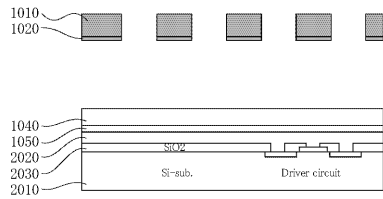
【 図 5 】



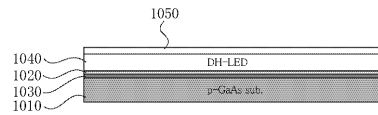
【 図 6 】



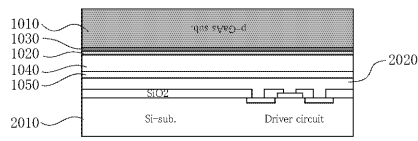
【 図 7 】



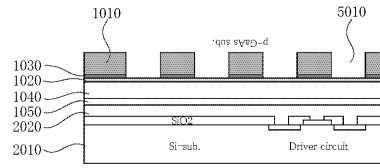
【 図 8 】



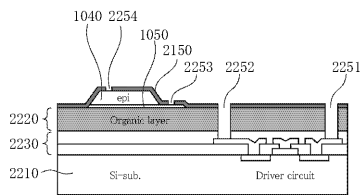
【 図 9 】



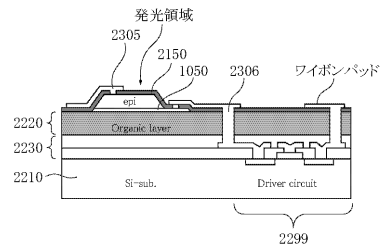
【 図 1 0 】



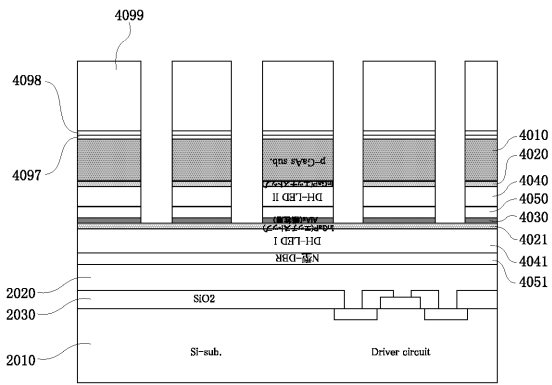
【 図 1 1 】



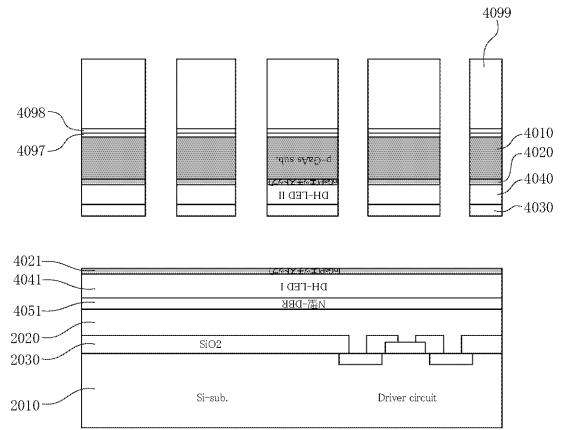
【 図 1 2 】



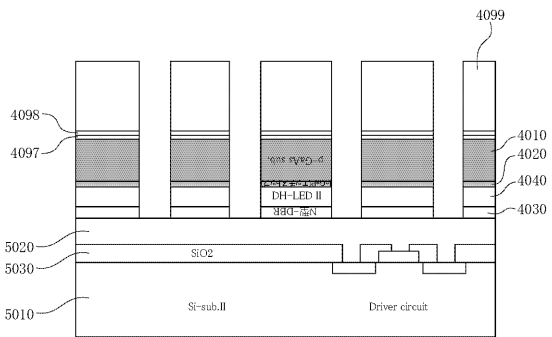
【 図 1 7 】



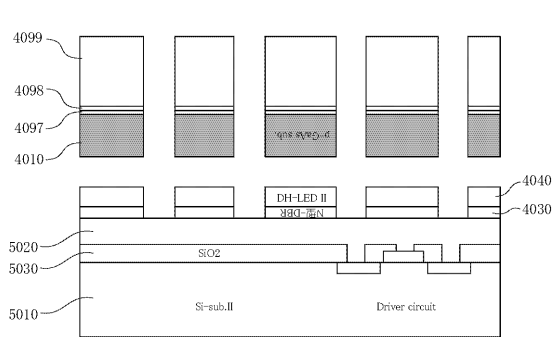
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



【 図 2 1 】

