



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I744774 B

(45)公告日：中華民國 110 (2021) 年 11 月 01 日

(21)申請案號：109101710

(22)申請日：中華民國 109 (2020) 年 01 月 17 日

(51)Int. Cl. : H01L29/423 (2006.01)

H01L29/66 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2019/02/01 美國

62/799,939

2019/09/24 美國

16/580,296

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72)發明人：吳偉成 WU, WEI-CHENG (TW)；卡爾尼斯基 亞歷山大 KALNITSKY,
ALEXANDER (US)；羅仕豪 LO, SHIH-HAO (TW)；柯弘彬 KO, HUNG-PIN (TW)

(74)代理人：卓俊傑

(56)參考文獻：

TW 201123448A1

TW 201517135A

US 2014/0319620A1

US 2016/0225871A1

審查人員：吳松屏

申請專利範圍項數：10 項 圖式數：19 共 49 頁

(54)名稱

半導體器件及其製造方法

(57)摘要

本公開的各種實施例涉及一種半導體器件，所述半導體器件包括閘極結構。所述半導體器件還包括一對間隔件段，所述一對間隔件段位於半導體基底上。高介電常數閘極介電結構上覆在所述半導體基底上。所述高介電常數閘極介電結構在橫向上位於所述間隔件段之間且與所述間隔件段相鄰。所述閘極結構上覆在所述高介電常數閘極介電結構上且具有與所述間隔件段的頂表面大約齊平的頂表面。所述閘極結構包括金屬結構及閘極本體層。所述閘極本體層具有相對於所述金屬結構的頂表面在垂直方向上偏置的頂表面且還具有被所述金屬結構以杯狀包圍的下部部分。

Various embodiments of the present disclosure are directed towards a semiconductor device including a gate structure. The semiconductor device further includes a pair of spacer segments on a semiconductor substrate. A high- κ gate dielectric structure overlies the semiconductor substrate. The high- κ gate dielectric structure is laterally between and borders the spacer segments. The gate structure overlies the high- κ gate dielectric structure and has a top surface about even with a top surface of the spacer segments. The gate structure includes a metal structure and a gate body layer. The gate body layer has a top surface that is vertically offset from a top surface of the metal structure and further has a lower portion cupped by the metal structure.

指定代表圖：

符號簡單說明：

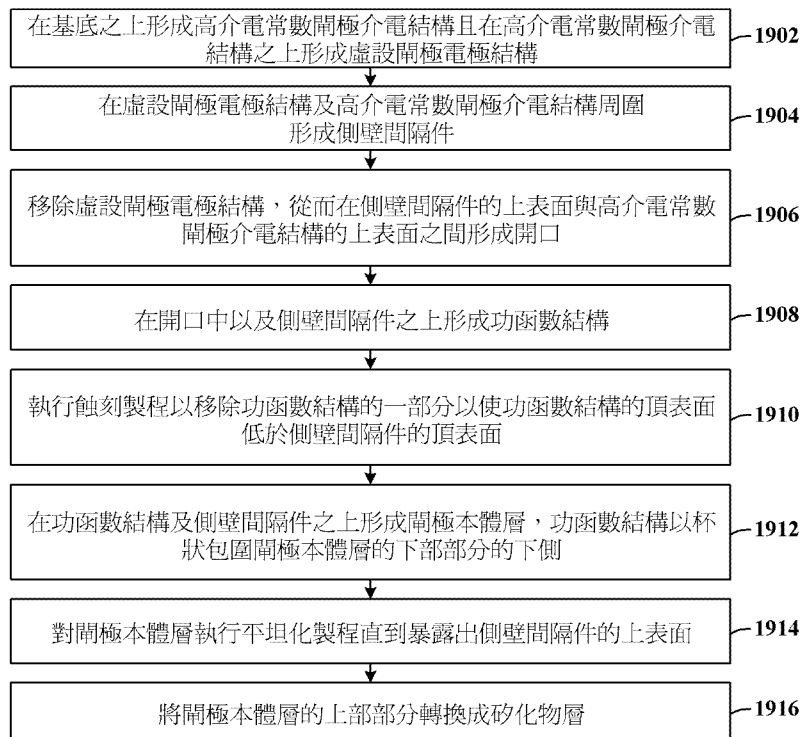
1900:方法

1902、1904、1906、

1908、1910、1912、

1914、1916:動作

1900 →



【圖 19】



I744774

【發明摘要】

【中文發明名稱】半導體器件及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND

MANUFACTURING METHOD THEREOF

【中文】本公開的各種實施例涉及一種半導體器件，所述半導體器件包括閘極結構。所述半導體器件還包括一對間隔件段，所述一對間隔件段位於半導體基底上。高介電常數閘極介電結構上覆在所述半導體基底上。所述高介電常數閘極介電結構在橫向上位於所述間隔件段之間且與所述間隔件段相鄰。所述閘極結構上覆在所述高介電常數閘極介電結構上且具有與所述間隔件段的頂表面大約齊平的頂表面。所述閘極結構包括金屬結構及閘極本體層。所述閘極本體層具有相對於所述金屬結構的頂表面在垂直方向上偏置的頂表面且還具有被所述金屬結構以杯狀包圍的下部部分。

【英文】 Various embodiments of the present disclosure are directed towards a semiconductor device including a gate structure. The semiconductor device further includes a pair of spacer segments on a semiconductor substrate. A high- κ gate dielectric structure overlies the semiconductor substrate. The high- κ gate dielectric structure is laterally between and borders the spacer segments. The

gate structure overlies the high-k gate dielectric structure and has a top surface about even with a top surface of the spacer segments. The gate structure includes a metal structure and a gate body layer. The gate body layer has a top surface that is vertically offset from a top surface of the metal structure and further has a lower portion cupped by the metal structure.

【指定代表圖】圖19。

【代表圖之符號簡單說明】

1900：方法

1902、1904、1906、1908、1910、1912、1914、1916：動作

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體器件及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】本發明的實施例是有關於半導體器件及其製造方法。

【先前技術】

【0002】許多現代電子器件含有金屬氧化物半導體場效應晶體管（metal-oxide-semiconductor field-effect transistor，MOSFET）。MOSFET 具有佈置在源極區與汲極區之間的基底之上的閘極結構。施加到閘極結構的閘極電極的電壓決定 MOSFET 的導電性。高介電常數金屬閘極（high- κ metal gate，HKMG）技術由於具有按比例縮放（scaling）的優勢而有望成為下一代 MOSFET 器件的候選項。

【發明內容】

【0003】在一些實施例中，本申請提供一種半導體器件，所述半導體器件包括：一對間隔件段，位於半導體基底上；高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述間隔件段之間且與所述間隔件段

相鄰；以及閘極結構，位於所述高介電常數閘極介電結構之上且具有與所述間隔件的頂表面大約齊平的頂表面，其中所述閘極結構包括金屬結構及閘極本體層，其中所述閘極本體層具有相對於所述金屬結構的頂表面在垂直方向上偏置的頂表面且還具有被所述金屬結構以杯狀包圍的下部部分。

【0004】 在一些實施例中，本申請提供一種半導體器件，所述半導體器件包括：一對源極/汲極區，位於半導體基底中；高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述源極/汲極區之間且與所述源極/汲極區相鄰；以及閘極結構，上覆在所述高介電常數閘極介電結構上，其中所述閘極結構包括堆疊在一起的閘極本體層與矽化物層，其中所述閘極結構還包括功函數結構，所述功函數結構包繞在所述閘極本體層的底部周圍且沿著所述閘極本體層的側壁及所述矽化物層的側壁延伸到所述功函數結構的頂表面，且其中所述功函數結構的所述頂表面與所述矽化物層的頂表面大約齊平。

【0005】 在一些實施例中，本申請提供一種製造半導體器件的方法，所述方法包括：在半導體基底之上形成虛設閘極結構，其中所述虛設閘極結構包括上覆在所述半導體基底上的高介電常數閘極介電結構且還包括上覆在所述高介電常數閘極介電結構上的虛設閘極電極，且其中側壁間隔件環繞所述虛設閘極結構；使用閘極電極層堆疊置換所述虛設閘極電極，其中所述閘極電極層堆疊包括金屬層及上覆在所述金屬層上的多晶矽層；將所述多晶矽層

的上部部分轉換成矽化物層；以及對所述閘極電極層堆疊及所述矽化物層執行平坦化製程直到暴露出所述側壁間隔件的上表面，從而界定閘極電極結構，其中所述平坦化製程局部地移除所述矽化物層。

【圖式簡單說明】

【0006】 結合附圖閱讀以下詳細說明，會最好地理解本公開的各個方面。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

【0007】 圖 1 示出半導體器件的一些實施例的剖視圖，所述半導體器件包括環繞矽化物層且上覆在高介電常數閘極介電結構上的功函數結構。

【0008】 圖 2 示出圖 1 所示半導體器件的一些更詳細實施例的剖視圖，其中功函數結構包括金屬層堆疊，且高介電常數閘極介電結構包括介電層堆疊。

【0009】 圖 3A 到圖 3C 示出圖 2 所示半導體器件的一些替代實施例的各個剖視圖。

【0010】 圖 4 到圖 9 示出形成半導體器件的第一方法的各種實施例的剖視圖，所述半導體器件包括環繞矽化物層且上覆在高介電常數閘極介電結構上的功函數結構。

【0011】 圖 10 以流程圖格式示出一種方法，所述流程圖格式示出

形成半導體器件的第一方法的一些實施例，所述半導體器件包括環繞矽化物層且上覆在高介電常數閘極介電結構上的功函數結構。

【0012】 圖 11 到圖 18 示出形成半導體器件的第二方法的各種實施例的剖視圖，所述半導體器件包括上覆在高介電常數閘極介電結構上的閘極結構。

【0013】 圖 19 以流程圖格式示出一種方法，所述流程圖格式示出形成半導體器件的第二方法的一些實施例，所述半導體器件包括上覆在高介電常數閘極介電結構上的閘極結構。

【實施方式】

【0014】 本公開提供用於實施本公開的不同特徵的許多不同實施例或實例。以下闡述組件及佈置的具體實例以簡化本公開。當然，這些僅為實例且不在進行限制。舉例來說，以下說明中將第一特徵形成在第二特徵“之上”或第二特徵“上”可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且也可包括其中第一特徵與第二特徵之間可形成有附加特徵以使得所述第一特徵與所述第二特徵可不直接接觸的實施例。另外，本公開可在各種實例中重複使用參考編號和/或字母。這種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例和/或配置之間的關係。

【0015】 此外，為易於說明，本文中可能使用例如“在 ... 之下 (beneath)”、“在 ... 下方 (below)”、“下部的 (lower)”、“在 ...

上方 (above) ”、“上部的 (upper) ”等空間相對性用語來闡述圖中所示的一個元件或特徵與另一 (其他) 元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的取向外還囊括器件在使用或操作中的不同取向。裝置可具有其他取向 (旋轉 90 度或處於其他取向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

【0016】 在過去二十年裡，MOSFET 通常使用包含多晶矽的閘極結構。近年來，高介電常數金屬閘極 (HKMG) 金屬氧化物半導體場效應晶體管 (MOSFET) 由於性能改善及按比例縮放而開始得到廣泛使用。在一些實施例中，在 HKMG 晶體管的閘極電極製作期間，在基底上形成虛設閘極結構，且分別沿著虛設閘極結構的相對的側壁形成源極及汲極區。虛設閘極結構包括虛設閘極電極，且還包括位於虛設閘極電極之下的高介電常數閘極介電層。形成覆蓋虛設閘極結構的層間介電 (inter-level dielectric, ILD) 結構，且對 ILD 結構執行第一平坦化製程 (例如，化學機械平坦化 (chemical mechanical planarization, CMP) 製程) 直到暴露出虛設閘極結構。移除虛設閘極電極，從而暴露出高介電常數閘極介電層，且形成覆蓋 ILD 結構且對通過移除所得的開口進行襯墊的金屬層堆疊。執行第二平坦化製程以移除金屬層堆疊的位於開口外部的一部分。執行蝕刻製程以對金屬層堆疊的頂表面進行回蝕並局部地清除開口。形成在金屬層堆疊之上填充開口的多晶矽層。執行第三平坦化製程以移除多晶矽層的位於開口外部的一部

分，且使多晶矽層的剩餘部分矽化，從而在金屬層堆疊之上形成矽化物層。這部分地界定了 HKMG 晶體管的閘極電極。在矽化物層之上且也在源極及汲極區之上設置導電接觸件。隨後在導電接觸件之上的內連介電結構內形成上覆的金屬線。

【0017】 上述方法的挑戰在於所述方法的複雜性，所述方法包括至少三個平坦化製程以及用於形成閘極電極的蝕刻製程。此外，應理解，上述結構可存在許多實際困難。舉例來說，矽化物層的厚度及形狀可使 HKMG 晶體管的閘極電阻增大，從而降低 HKMG 晶體管的性能。另外，在又一實例中，金屬層堆疊可限制閘極電極的按比例縮放，以使 HKMG 晶體管的按比例縮放可被阻止（例如，不能將閘極電極的長度按比例縮放到小於約 26 奈米）。

【0018】 在一些實施例中，本公開涉及一種通過減少製作期間使用的平坦化製程及蝕刻製程的數目來簡化 HKMG 晶體管的閘極電極的製作的方法。舉例來說，在移除虛設閘極電極並界定開口之後，可通過在開口中沉積金屬層堆疊及多晶矽層來製作 HKMG 晶體管的閘極電極。虛設閘極電極的移除包括執行第一平坦化製程（例如，CMP 製程）。開口界定在高介電常數閘極介電層之上以及側壁間隔件的內側壁之間。多晶矽層覆蓋金屬層堆疊，且具有延伸到開口中並被金屬層堆疊以杯狀包圍的向下突起部。執行矽化物製程以局部地消耗多晶矽層並形成矽化物層，所述矽化物層具有被金屬層堆疊環繞的向下突起部。對矽化物層及金屬層堆疊執行第二平坦化製程（例如，CMP 製程）以移除矽化物層的位於開

口外部的一部分及金屬層堆疊的位於開口外部的一部分，從而界定閘極電極。因此，所公開的方法使用兩個平坦化製程來形成閘極電極，從而降低 HKMG 晶體管的製作成本。

【0019】 在另一些實施例中，本公開涉及一種降低閘極電阻的 HKMG 晶體管的閘極電極的改善結構。舉例來說，T 形電極結構上覆在 U 形金屬層堆疊上，以使 T 形電極結構的下部部分被 U 形金屬層堆疊環繞。另外，T 形電極結構的上部部分的厚度大以降低閘極電阻並提高 HKMG 晶體管的性能。此外，T 形電極結構的上部部分的厚度大有利於使閘極電極縮減（例如，使閘極電極的長度縮減到小於約 26 奈米）。這部分地提高了使 HKMG 晶體管按比例縮放的能力和/或增加了設置在單個矽晶片上的 HKMG 晶體管的數目。

【0020】 參照圖 1，包括具有閘極結構 109 的晶體管 108 的半導體器件 100 的一些實施例的剖視圖。

【0021】 晶體管 108 上覆在基底 102 上且包括閘極結構 109、高介電常數閘極介電結構 120、側壁間隔件 118 以及源極/汲極區 104。閘極結構 109 上覆在高介電常數閘極介電結構 120 上。側壁間隔件 118 環繞閘極結構 109 及高介電常數閘極介電結構 120。源極/汲極區 104 設置在晶體管 108 的相對側上的基底 102 內。選擇性導電溝道 106 位於基底 102 中、在橫向上位於源極/汲極區 104 之間。在一些實施例中，源極/汲極區 104 及選擇性導電溝道 106 是具有相反的摻雜類型的基底 102 的摻雜區。舉例來說，選擇性導

電溝道 106 可為 p 型且源極/汲極區 104 可為 n 型，或者選擇性導電溝道 106 可為 n 型且源極/汲極區 104 可為 p 型。在一些實施例中，晶體管 108 可被配置成高介電常數金屬閘極（HKMG）金屬氧化物半導體場效應晶體管（MOSFET）。

【0022】 層間介電（ILD）結構 122 上覆在晶體管 108 上。多個導通孔 124 延伸穿過 ILD 結構 122。導通孔 124 上覆在閘極結構 109 及源極/汲極區 104 上。高介電常數閘極介電結構 120 包括具有一種或多種高介電常數介電材料的一個或多個介電層。本文所述的高介電常數介電材料是介電常數大於 3.9 的介電材料。閘極結構 109 包括矽化物層 112、位於矽化物層 112 之下的閘極本體層 114 以及包繞在矽化物層 112 及閘極本體層 114 周圍的功函數結構 116（在一些實施例中，被稱為金屬層堆疊）。在一些實施例中，閘極本體層 114 是多晶矽層。功函數結構 116 可例如包括一個或多個金屬層。

【0023】 在一些實施例中，矽化物層 112 的外側壁與閘極本體層 114 的外側壁對齊。另外，矽化物層 112 的外側壁及閘極本體層 114 的外側壁直接接觸功函數結構 116 的內側壁。矽化物層 112 的頂表面與功函數結構 116 的頂表面實質上對齊。

【0024】 通過在矽化物層 112 的外側壁周圍包繞功函數結構 116 且使矽化物層 112 的頂表面與功函數結構 116 的頂表面對齊，可簡化晶體管 108 的製作。舉例來說，矽化物層 112 的形成及功函數結構 116 的形成可包括單個平坦化製程（例如，單個化學機械

平坦化 (CMP) 製程)。通過簡化晶體管 108 的製作，可減少與半導體器件 100 的形成相關聯的成本及時間。

【0025】 參照圖 2，提供根據圖 1 所示半導體器件 100 的一些替代實施例的半導體器件 200 的剖視圖。高介電常數閘極介電結構 120 包括介電層堆疊 208a 到 208b，且功函數結構 116 包括金屬層堆疊 210a 到 210c。

【0026】 在一些實施例中，基底 102 可例如具有第一摻雜類型 (例如，p 型)。在一些實施例中，基底 102 可例如為塊狀基底 (例如，塊狀矽基底)、絕緣體上矽 (silicon-on-insulator, SOI) 基底或一些其他合適的基底。舉例來說，基底 102 可包括器件層 202c、位於器件層 202c 之下的絕緣體層 202b 以及位於絕緣體層 202b 之下的處置基底 202a。在前述實例中，基底 102 被配置成 SOI 基底。器件層 202c 可例如為或可包含矽 (例如 (舉例來說) 單晶矽、非晶矽、塊狀矽等)。此外，器件層 202c 可例如具有第一摻雜類型。絕緣體層 202b 可例如為氧化物 (例如氧化矽)。處置基底 202a 可例如為或可包含矽 (例如單晶矽、非晶矽、塊狀矽等)。

【0027】 源極/汲極區 104 是上覆在基底 102 上的外延層。源極/汲極區 104 具有與第一摻雜類型相反的第二摻雜類型 (例如，n 型)。源極/汲極區 104 具有設置在基底 102 的頂表面上方的頂表面，且具有設置在基底 102 的頂表面下方的底表面。在一些實施例中，源極/汲極區 104 可為包括第二摻雜類型的器件層 202c 的離子注入區。在另一些實施例中，矽化物層 (未示出) 可設置在源

極/汲極區 104 與上覆的導通孔 124 之間。在又一些實施例中，輕摻雜區（例如，摻雜濃度小於源極/汲極區）（未示出）在橫向上設置在高介電常數閘極介電結構 120 與相應源極/汲極區 104 之間。輕摻雜區可例如為外延層和/或包括第二摻雜類型的器件層 202c 的分立摻雜區。在一些實施例中，隔離結構可在源極/汲極區 104 的最外區處設置在基底 102 中以將晶體管 108 與基底 102 上的相鄰器件（未示出）電隔離。

【0028】 高介電常數閘極介電結構 120 包括介電層堆疊 208a 到 208b。介電層堆疊 208a 到 208b 可分別例如為或可包含高介電常數介電材料（例如氮氧化矽、氧化鉛、氮氧化鉛、氧化鉛鋁、氧化鋯等）。本文所述的高介電常數介電材料是介電常數大於 3.9 的介電材料。在一些實施例中，介電層堆疊 208a 到 208b 可分別為或可包含彼此不同的介電材料。在一些實施例中，第一閘極介電層 208a 上覆在基底 102 上，且第二閘極介電層 208b 上覆在第一閘極介電層 208a 上。

【0029】 功函數結構 116 包括金屬層堆疊 210a 到 210c。金屬層堆疊 210a 到 210c 可分別例如為或可包含金屬材料（例如鈦、氮化鈦、鈦鋁等）。在一些實施例中，金屬層堆疊 210a 到 210c 可分別為或可包含彼此不同的金屬材料。舉例來說，第一金屬層 210a 可為或可包含鈦，第二金屬層 210b 可為或可包含氮化鈦，和/或第三金屬層 210c 可為或可包含鈦鋁。功函數結構 116 具有在高介電常數閘極介電結構 120 的頂表面與閘極本體層 114 的底表面之間界

定的垂直厚度 T_v 。在一些實施例中，垂直厚度 T_v 可處於近似 4 奈米到 40 奈米範圍內。在一些實施例中，如果垂直厚度 T_v 大於 4 奈米，則可降低閘極結構 109 的電阻，同時維持閘極結構 109 的結構完整性。在另一些實施例中，如果垂直厚度 T_v 小於 40 奈米，則可降低閘極結構 109 的電阻，同時降低與功函數結構 116 的形成相關聯的成本。在另一些實施例中，在功函數結構 116 與高介電常數閘極介電結構 120 之間設置有中間金屬層 207。在一些實施例中，中間金屬層 207 是功函數結構 116 的一部分。在這種實施例中，中間金屬層 207 可例如為或可包含金屬材料（例如鈦、氮化鈦、鈦鋁等），和/或具有處於 1 奈米到 10 奈米範圍內的厚度。在一些實施例中，閘極結構 109 的電阻降低可例如降低基底和/或射頻（radio frequency，RF）損耗。

【0030】 在其中源極/汲極區 104 是 n 型的一些實施例中，閘極本體層 114 是 n 型多晶矽，功函數結構 116 包含具有 n 型功函數的金屬或者具有 n 型功函數的一些其他合適的導電材料。本文所述具有 n 型功函數的金屬可為或可包含例如鉛、鋳、鈦、鉍、鋁、一些其他合適的 n 型功函數金屬或前述金屬的任意組合。在其中源極/汲極區 104 是 p 型的一些實施例中，閘極本體層 114 是 p 型多晶矽，功函數結構 116 包含具有 p 型功函數的金屬或者具有 p 型功函數的一些其他合適的導電材料。本文所述具有 p 型功函數的金屬可為例如鈉、鈹、鉑、鈷、鎳、氮化鈦鋁、氮化鎢碳、一些其他合適的 p 型功函數金屬或前述金屬的任意組合。

【0031】 在一些實施例中，金屬層堆疊 210a 到 210c 分別可具有彼此不同的厚度。舉例來說，第一金屬層 210a 可具有比第二金屬層 210b 的厚度小的厚度。第三金屬層 210c 可具有比第二金屬層 210b 的厚度小且比第一金屬層 210a 的厚度大的厚度。金屬層堆疊 210a 到 210c 中的每一金屬層可分別具有處於約 1 奈米到 10 奈米範圍內的厚度。功函數結構 116 具有 U 形，以使每一金屬層 210a 到 210c 分別具有 U 形。在又一些實施例中，中間金屬層 207 可具有比第三金屬層 210c 小的厚度。

【0032】 閘極本體層 114 設置在 U 形功函數結構 116 的中心內。因此，功函數結構 116 包繞在閘極本體層 114 的側壁周圍且以杯狀包圍閘極本體層 114 的下側。閘極本體層 114 可例如為或可包含多晶矽。在前述實例中，可對多晶矽進行摻雜以使閘極本體層 114 與功函數結構 116 及矽化物層 112 形成歐姆接觸 (ohmic contact)。舉例來說，閘極本體層 114 可包括摻雜濃度大於 1×10^{19} 原子/cm³ 的第二摻雜類型 (例如，n 型)。摻雜多晶矽可例如降低閘極結構 109 的閘極電阻，從而降低晶體管 108 的功耗。在另一些實施例中，閘極本體層 114 可例如為或可包含本征 (即，未摻雜) 多晶矽。矽化物層 112 可例如為或可包含矽化鎳、矽化鈷、矽化鈦、矽化銅等。在一些實施例中，閘極本體層 114 的厚度可為矽化物層 112 的厚度的四倍或更多倍。矽化物層 112 被配置成將上覆的導通孔 124 電耦合到功函數結構 116。在一些實施例中，矽化物層 112 的外側壁與閘極本體層 114 的外側壁對齊。在一些

實施例中，矽化物層 112 的厚度比垂直厚度 T_v 小。

【0033】 側壁間隔件 118 包括多個間隔件介電層 224b 到 224e。接觸蝕刻停止層 (contact etch stop layer, CESL) 224a 環繞第一間隔件介電層 224b。在一些實施例中，CESL 224a、第二間隔件介電層 224c 與第四間隔件介電層 224e 可分別為或可包含相同的介電材料。所述相同的介電材料可例如為或可包含氮化矽、碳化矽等。CESL 224a 具有處於約 10 奈米到 20 奈米範圍內的第一介電厚度 T_{1d} 。第二間隔件介電層 224c 具有處於約 10 奈米到 30 奈米範圍內的第三介電厚度 T_{3d} 。第四間隔件介電層 224e 具有處於約 3 奈米到 5 奈米範圍內的第五介電厚度 T_{5d} 。在一些實施例中，第一間隔件介電層 224b 與第三間隔件介電層 224d 可分別為或可包含另一種相同的介電材料。所述另一種相同的介電材料可例如為或可包含氧化物 (例如氧化矽等)。在另一些實施例中，第一間隔件介電層 224b 及第三間隔件介電層 224d 是具有 U 形的單個連續介電層。所述單個連續介電層可包繞在第二間隔件介電層 224c 的側壁周圍且以杯狀包圍第二間隔件介電層 224c 的下側。

【0034】 第一 ILD 層 220 上覆在 CESL 224a 上。第二 ILD 層 222 上覆在晶體管 108 及第一 ILD 層 220 上。導通孔 124 從導電線 223 延伸穿過第二 ILD 層 222 以將矽化物層 112 及源極/汲極區 104 電耦合到上覆的金屬層 (例如，上覆的內連結構中的導電層) 和/或其他半導體器件 (例如，存儲單元) (未示出)。在一些實施例中，第一 ILD 層 220 及第二 ILD 層 222 可例如分別為或可包含低介電

常數介電材料、氧化矽等。本文所述低介電常數介電材料是介電常數小於 3.9 的介電材料。導通孔 124 可例如分別為或可包含鋁、銅等。導電線 223 可例如分別為或可包含鋁銅等。

【0035】 參照圖 3A，提供根據圖 2 所示半導體器件 200 的一些替代實施例的半導體器件 300a 的剖視圖，其中閘極本體層 114 具有 T 形。

【0036】 閘極本體層 114 具有 T 形以使閘極本體層 114 的頂表面在垂直方向上位於功函數結構 116 的頂表面上方距離 d_1 。在一些實施例中，距離 d_1 可處於約 1 奈米到 10 奈米範圍內。因此，功函數結構 116 包繞在閘極本體層 114 的外側壁周圍且以杯狀包圍閘極本體層 114 的下側。閘極本體層 114 的上部部分懸垂於功函數結構 116 上。矽化物層 112 的外側壁與功函數結構 116 的外側壁對齊。矽化物層 112 的厚度 T_s 大於功函數結構 116 的厚度 T_v 。

【0037】 在一些實施例中，矽化物層 112 的厚度 T_s 處於約 5 奈米到 30 奈米範圍內。在一些實施例中，如果厚度 T_s 大於 5 奈米，則閘極結構 109 的閘極電阻減小。在另一些實施例中，如果厚度 T_s 小於 30 奈米，則閘極結構 109 的閘極電阻減小，同時減輕在用於形成矽化物層 112 的矽化物製程期間對半導體器件 300a 的結構的損壞。使矽化物層 112 的外側壁與功函數結構 116 的外側壁對齊有利於減小閘極結構 109 的長度 L_g 。由於矽化物層 112 的輪廓，長度 L_g 可減小到小於 26 奈米，從而提高使晶體管 108 按比例縮放的能力和/或增加設置在單個矽晶片上的晶體管 108 的數目。

【0038】 參照圖 3B，提供根據圖 2 所示半導體器件 200 的一些替代實施例的半導體器件 300b 的剖視圖。矽化物層 112 的底表面比功函數結構 116 的頂表面低距離 d_2 。在一些實施例中，距離 d_2 可處於約 1 奈米到 10 奈米範圍內。矽化物層 112 具有 T 形。因此，功函數結構 116 包繞在矽化物層 112 的突起部的外側壁周圍。

【0039】 參照圖 3C，提供根據圖 2 所示半導體器件 200 的一些替代實施例的半導體器件 300c 的剖視圖。閘極本體層 114 從側壁間隔件 118 的上表面延伸到功函數結構 116 的上表面。閘極本體層 114 具有相對於功函數結構 116 的頂表面在垂直方向上偏置的頂表面，且還具有被功函數結構 116 以杯狀包圍的向下突起部。在一些實施例中，閘極本體層 114 是單種材料。所述單種材料可例如為或可包含鋁或一些其他合適的材料。

【0040】 圖 4 到圖 9 示出根據本公開各個方面的形成包括具有矽化物層的高介電常數金屬閘極（HKMG）結構的半導體器件的第一方法的一些實施例的剖視圖 400 到 900。儘管參照一種方法闡述圖 4 到圖 9 中所示剖視圖 400 到 900，然而應理解，圖 4 到圖 9 中所示的結構不限於所述方法，而是可獨立於所述方法。此外，儘管圖 4 到圖 9 被闡述為一系列動作，然而應理解，這些動作不是限制性的，所述動作的次序可在其他實施例中進行更改，且所公開的方法也適用於其他結構。在其他實施例中，可整體地或部分地省略所示和/或所闡述的一些動作。在一些實施例中，可例如採用圖 4 到圖 9 以形成圖 2 所示半導體器件 200。

【0041】如圖 4 所示剖視圖 400 所示，提供上覆在基底 102 上的虛設閘極電極結構 402。在一些實施例中，用於形成圖 4 所示結構的方法可包括在基底 102 之上形成高介電常數閘極介電結構 120。虛設閘極電極結構 402 形成在高介電常數閘極介電結構 120 之上。在形成虛設閘極電極結構 402 之後，可在基底 102 之上外延形成源極/汲極區 104。在替代實施例中，源極/汲極區 104 可通過摻雜製程形成在基底 102 中。可在虛設閘極電極結構 402 及高介電常數閘極介電結構 120 周圍形成側壁間隔件 118。可在側壁間隔件 118 周圍形成接觸蝕刻停止層 (CESL) 224a。在側壁間隔件 118、虛設閘極電極結構 402 及 CESL 224a 之上形成第一層間介電 (ILD) 層 220。

【0042】如圖 5 所示剖視圖 500 所示，移除虛設閘極電極結構 (圖 4 所示 402)，從而在高介電常數閘極介電結構 120 上方界定開口 502。在一些實施例中，在移除虛設閘極電極結構 (圖 4 所示 402) 之前，對第一 ILD 層 220 執行平坦化製程 (例如，化學機械平坦化 (CMP) 製程)。執行平坦化製程直到暴露出側壁間隔件 118 的上表面及虛設閘極電極結構 (圖 4 所示 402) 的上表面。虛設閘極電極結構 (圖 4 所示 402) 可通過以下步驟移除：在圖 4 所示結構之上形成掩蔽層 (未示出)；根據掩蔽層執行蝕刻製程，從而界定開口 502；以及隨後移除掩蔽層。

【0043】如圖 6 所示剖視圖 600 所示，在圖 5 所示結構之上形成功函數結構 116、中間金屬層 207 及閘極本體層 114。功函數結構

116 對開口（圖 5 所示 502）進行襯墊。閘極本體層 114 包括突出到開口（圖 5 所示 502）中且被功函數結構 116 以杯狀包圍的突起部。功函數結構 116 及中間金屬層 207 具有界定在高介電常數閘極介電結構 120 的頂表面與閘極本體層 114 的底表面之間的垂直厚度 T_v 。在一些實施例中，垂直厚度 T_v 可處於近似 4 奈米到 40 奈米範圍內。在一些實施例中，閘極本體層 114 可例如為或可包含單種材料（例如多晶矽）。在前述實施例中，多晶矽可摻雜有第二摻雜類型（例如，n 型）。在一些實施例中，可對閘極本體層 114 執行離子注入製程以將第二摻雜類型注入到多晶矽中。

【0044】如圖 7 所示剖視圖 700 所示，執行矽化物製程以將閘極本體層 114 的一部分轉換成矽化物層 112。在一些實施例中，矽化物製程包括在圖 6 所示結構之上形成導電層（未示出）以及隨後執行退火製程（annealing process）以將導電層及閘極本體層 114 的所述部分轉換成矽化物層 112。矽化物層 112 的底表面在側壁間隔件 118 的頂表面下方延伸。

【0045】如圖 8 所示剖視圖 800 所示，對圖 7 所示結構執行平坦化製程（例如，CMP 製程）直到達到側壁間隔件 118 的上表面。這在高介電常數閘極介電結構 120 之上部分地界定閘極結構 109，且進一步部分地界定了包括閘極結構 109 的晶體管 108。因此，在一些實施例中，晶體管 108 可通過使用兩個平坦化製程來形成。這部分地減少了與形成晶體管 108 相關聯的製作成本及時間。

【0046】 如圖 9 所示剖視圖 900 所示，在第一 ILD 層 220 之上形成第二 ILD 層 222。在源極/汲極區 104 及矽化物層 112 之上形成導通孔 124 及導電線 223。

【0047】 圖 10 示出根據本公開的形成包括具有矽化物層的高介電常數金屬閘極（HKMG）結構的半導體器件的方法 1000。儘管方法 1000 被示出和/或闡述為一系列動作或事件，然而應理解，所述方法不限於所示次序或動作。因此，在一些實施例中，可以與所示次序不同的次序施行所述動作和/或可同時施行所述動作。此外，在一些實施例中，可將所示動作或事件細分成多個動作或事件，所述多個動作或事件可分次單獨施行或與其他動作或子動作同時施行。在一些實施例中，可省略一些所示動作或事件，且可包括其他未示出的動作或事件。在一些實施例中，方法 1000 涉及圖 4 到圖 9 所示第一方法。

【0048】 在動作 1002 處，在基底之上形成高介電常數閘極介電結構且在高介電常數閘極介電結構之上形成虛設閘極電極結構。圖 4 示出與動作 1002 的一些實施例對應的剖視圖 400。

【0049】 在動作 1004 處，在虛設閘極電極結構及高介電常數閘極介電結構周圍形成側壁間隔件。圖 4 示出與動作 1004 的一些實施例對應的剖視圖 400。

【0050】 在動作 1006 處，移除虛設閘極電極結構，從而在側壁間隔件的上表面與高介電常數閘極介電結構的上表面之間形成開口。圖 5 示出與動作 1006 的一些實施例對應的剖視圖 500。

【0051】 在動作 1008 處，在開口中以及側壁間隔件之上形成功函數結構及閘極本體層。圖 6 示出與動作 1008 的一些實施例對應的剖視圖 600。

【0052】 在動作 1010 處，將閘極本體層的上部部分轉換成矽化物層。圖 7 示出與動作 1010 的一些實施例對應的剖視圖 700。

【0053】 在動作 1012 處，對功函數結構及矽化物層執行平坦化製程直到暴露出側壁間隔件的上表面，從而界定閘極電極結構。圖 8 示出與動作 1012 的一些實施例對應的剖視圖 800。

【0054】 圖 11 到圖 18 示出根據本公開各個方面的形成包括高介電常數金屬閘極（HKMG）結構的半導體器件的第二方法的一些實施例的剖視圖 1100 到 1800。儘管參照一種方法闡述了圖 11 到圖 18 中所示剖視圖 1100 到 1800，然而應理解，圖 11 到圖 18 中所示的結構不限於所述方法，而是可獨立於所述方法。此外，儘管圖 11 到圖 18 被闡述為一系列動作，然而應理解，這些動作不是限制性的，所述動作的次序可在其他實施例中進行更改，且所公開的方法也適用於其他結構。在其他實施例中，可整體地或部分地省略所示和/或所闡述的一些動作。在一些實施例中，可例如採用圖 11 到圖 18 以形成圖 3A 所示半導體器件 300a。

【0055】 如圖 11 所示剖視圖 1100 所示，提供上覆在基底 102 上的虛設閘極電極結構 1102。在一些實施例中，用於形成圖 11 所示結構的方法可包括在基底 102 之上形成高介電常數閘極介電結構 120。虛設閘極電極結構 1102 形成在高介電常數閘極介電結構 120

之上。在形成虛設閘極電極結構 1102 之後，可在基底 102 之上外延形成源極/汲極區 104。在替代實施例中，源極/汲極區 104 可通過摻雜製程形成在基底 102 中。可在虛設閘極電極結構 1102 及高介電常數閘極介電結構 120 周圍形成側壁間隔件 118。可在側壁間隔件 118 周圍形成接觸蝕刻停止層 (CESL) 224a。在側壁間隔件 118、虛設閘極電極結構 1102 及 CESL 224a 之上形成第一層間介電 (ILD) 層 220。

【0056】 如圖 12 所示剖視圖 1200 所示，移除虛設閘極電極結構 (圖 11 所示 1102)，從而在高介電常數閘極介電結構 120 上方界定第一開口 1202。在一些實施例中，在移除虛設閘極電極結構 (圖 11 所示 1102) 之前，對第一 ILD 層 220 執行平坦化製程 (例如，CMP 製程)。執行平坦化製程直到暴露出側壁間隔件 118 的上表面及虛設閘極電極結構 (圖 11 所示 1102) 的上表面。虛設閘極電極結構 (圖 11 所示 1102) 可通過以下步驟移除：在圖 11 所示結構之上形成掩蔽層 (未示出)；根據掩蔽層執行蝕刻製程，從而界定第一開口 1202；以及隨後移除掩蔽層。

【0057】 如圖 13 所示剖視圖 1300 所示，在圖 12 所示結構之上形成功函數結構 116 及中間金屬層 207。功函數結構 116 對第一開口 1202 的一部分進行襯墊並直接接觸側壁間隔件 118 的內側壁。功函數結構 116 及中間金屬層 207 具有界定在高介電常數閘極介電結構 120 的頂表面與功函數結構 116 的上表面之間的垂直厚度 T_v 。在一些實施例中，垂直厚度 T_v 可處於近似 4 奈米到 40 奈米範

圍內。

【0058】 如圖 14 所示剖視圖 1400 所示，對功函數結構 116 執行蝕刻製程，從而暴露出側壁間隔件 118 的內側壁的一部分。功函數結構 116 的頂表面被設置成低於側壁間隔件 118 的上表面。

【0059】 如圖 15 所示剖視圖 1500 所示，在側壁間隔件 118 及功函數結構 116 之上形成閘極本體層 114，從而填充第一開口（圖 12 所示 1202）。在一些實施例中，閘極本體層 114 可例如為或可包含單種材料（例如多晶矽）。在前述實施例中，多晶矽可摻雜有第二摻雜類型（例如，n 型）。在一些實施例中，可對閘極本體層 114 執行離子注入製程以將第二摻雜類型注入到多晶矽中。

【0060】 如圖 16 所示剖視圖 1600 所示，對圖 15 所示結構執行平坦化製程（例如，CMP 製程）。在一些實施例中，對閘極本體層 114 執行平坦化製程直到暴露出側壁間隔件 118 的上表面。

【0061】 如圖 17 所示剖視圖 1700 所示，對圖 16 所示結構執行矽化物製程以將閘極本體層 114 的一部分轉換成矽化物層 112，從而界定閘極結構 109。在一些實施例中，矽化物製程包括在圖 16 所示結構之上形成導電層（未示出）以及隨後執行退火製程以將導電層及閘極本體層 114 的所述部分轉換成矽化物層 112。閘極本體層 114 具有 T 形以使閘極本體層 114 的頂表面在垂直方向上位於功函數結構 116 的頂表面上方距離 d_1 。在一些實施例中，距離 d_1 可處於約 1 奈米到 10 奈米範圍內。在替代實施例中，閘極本體層 114 的頂表面在垂直方向上位於功函數結構 116（參見例如圖 3B）

的頂表面下方。矽化物層 112 的厚度 T_s 比功函數結構 116 的厚度 T_v 大。在一些實施例中，執行矽化物製程以使矽化物層 112 的厚度 T_s 處於約 5 奈米到 30 奈米範圍內。

【0062】 如圖 18 所示剖視圖 1800 所示，在第一 ILD 層 220 之上形成第二 ILD 層 222。在源極/汲極區 104 及矽化物層 112 之上形成導通孔 124 及導電線 223。

【0063】 在一些實施例中，可更改圖 11 到圖 18 所示第二方法以形成圖 3C 所示半導體器件 300c。舉例來說，在圖 15 處，可形成閘極本體層 114 以使閘極本體層 114 是單種材料且為或包含鋁或一些其他合適的金屬。在前述實例中，可省略在圖 17 處執行的矽化物製程，以使在執行圖 16 所示平坦化製程之後界定閘極結構 109。通過簡化閘極結構 109 的製作，可減少與圖 3C 所示半導體器件 300c 的形成相關聯的成本及時間。在一些實施例中，以使閘極本體層 114 的外側壁與功函數結構 116 的外側壁對齊的方式形成閘極本體層 114。這部分地有利於在功函數結構 116 的內側壁周圍以及功函數結構 116 的頂表面之上形成閘極本體層 114。由於閘極本體層的輪廓，閘極結構 109 的長度 L_g 可減小到例如小於 26 奈米。

【0064】 圖 19 示出根據本公開的形成包括高介電常數金屬閘極 (HKMG) 結構的半導體器件的方法 1900。儘管方法 1900 被示出和/或闡述為一系列動作或事件，然而應理解，所述方法不限於所示次序或動作。因此，在一些實施例中，可以與所示次序不同的

次序施行所述動作和/或可同時施行所述動作。此外，在一些實施例中，可將所示動作或事件細分成多個動作或事件，所述多個動作或事件可分次單獨施行或與其他動作或子動作同時施行。在一些實施例中，可省略一些所示動作或事件，且可包括其他未示出的動作或事件。在一些實施例中，方法 1900 涉及圖 11 到圖 18 所示第二方法。

【0065】 在動作 1902 處，在基底之上形成高介電常數閘極介電結構，且在高介電常數閘極介電結構之上形成虛設閘極電極結構。圖 11 示出與動作 1902 的一些實施例對應的剖視圖 1100。

【0066】 在動作 1904 處，在虛設閘極電極結構及高介電常數閘極介電結構周圍形成側壁間隔件。圖 11 示出與動作 1904 的一些實施例對應的剖視圖 1100。

【0067】 在動作 1906 處，移除虛設閘極電極結構，從而在側壁間隔件的上表面與高介電常數閘極介電結構的上表面之間形成開口。圖 12 示出與動作 1906 的一些實施例對應的剖視圖 1200。

【0068】 在動作 1908 處，在開口中以及側壁間隔件之上形成功函數結構。圖 13 示出與動作 1908 的一些實施例對應的剖視圖 1300。

【0069】 在動作 1910 處，執行蝕刻製程以移除功函數結構的一部分以使功函數結構的頂表面低於側壁間隔件的頂表面。圖 14 示出與動作 1910 的一些實施例對應的剖視圖 1400。

【0070】 在動作 1912 處，在功函數結構及側壁間隔件之上形成閘極本體層以使功函數結構以杯狀包圍閘極本體層的下部部分的下

側。圖 15 示出與動作 1912 的一些實施例對應的剖視圖 1500。

【0071】 在動作 1914 處，對閘極本體層執行平坦化製程直到暴露出側壁間隔件的上表面。圖 16 示出與動作 1914 的一些實施例對應的剖視圖 1600。

【0072】 在動作 1916 處，將閘極本體層的上部部分轉換成矽化物層。圖 17 示出與動作 1916 的一些實施例對應的剖視圖 1700。

【0073】 因此，在一些實施例中，本申請提供一種用於使用兩個平坦化製程形成晶體管的方法，所述晶體管包括閘極結構，所述閘極結構包括矽化物層及被功函數結構環繞的閘極本體層。在另一些實施例中，本申請提供一種晶體管，所述晶體管包括閘極結構，所述閘極結構包括閘極本體層及功函數結構。閘極本體層具有相對於功函數結構的頂表面在垂直方向上偏置的頂表面且還具有被功函數結構以杯狀包圍的下部部分。

【0074】 在一些實施例中，本申請提供一種半導體器件，所述半導體器件包括：一對間隔件段，位於半導體基底上；高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述間隔件段之間且與所述間隔件段相鄰；以及閘極結構，位於所述高介電常數閘極介電結構之上且具有與所述間隔件段的頂表面大約齊平的頂表面，其中所述閘極結構包括金屬結構及閘極本體層，其中所述閘極本體層具有相對於所述金屬結構的頂表面在垂直方向上偏置的頂表面且還具有被所述金屬結構以杯狀包圍的下部部分。

【0075】 在一些實施例中，所述閘極本體層是 T 形的且所述金屬結構是 U 形的。在一些實施例中，所述閘極結構還包括上覆在所述閘極本體層上的矽化物層，其中所述矽化物層界定所述閘極結構的所述頂表面；其中所述閘極本體層包含多晶矽。在一些實施例中，所述矽化物層具有 T 形輪廓且從所述閘極結構的所述頂表面連續地延伸到位於所述金屬結構的所述頂表面下方的點。在一些實施例中，所述矽化物層的底表面位於所述金屬結構的所述頂表面上方且通過所述閘極本體層而與所述金屬結構隔開。在一些實施例中，所述多晶矽是本征多晶矽。在一些實施例中，所述閘極本體層包含單種材料，且其中所述單種材料是鋁。在一些實施例中，所述閘極本體層的最外側壁與所述金屬結構的最外側壁對齊，且所述閘極本體層的所述下部部分的側壁直接接觸所述金屬結構的內側壁。

【0076】 在一些實施例中，本申請提供一種半導體器件，所述半導體器件包括：一對源極/汲極區，位於半導體基底中；高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述源極/汲極區之間且與所述源極/汲極區相鄰；以及閘極結構，上覆在所述高介電常數閘極介電結構上，其中所述閘極結構包括堆疊在一起的閘極本體層與矽化物層，其中所述閘極結構還包括功函數結構，所述功函數結構包繞在所述閘極本體層的底部周圍且沿著所述閘極本體層的側壁及所述矽化物層的側壁延伸到所述功函數結構的頂表面，且其中所述

功函數結構的所述頂表面與所述矽化物層的頂表面大約齊平。

【0077】 在一些實施例中，所述閘極本體層的最外側壁與所述矽化物層的最外側壁對齊。在一些實施例中，所述閘極本體層的所述最外側壁及所述矽化物層的所述最外側壁直接接觸所述功函數結構的內側壁。在一些實施例中，所述閘極本體層的厚度比所述矽化物層的厚度大三倍或更多倍。在一些實施例中，所述功函數結構是 U 形的。在一些實施例中，所述的半導體器件還包括環繞所述高介電常數閘極介電結構的側壁及所述閘極結構的側壁的側壁間隔件，其中所述側壁間隔件的頂表面與所述矽化物層的頂表面實質上對齊。在一些實施例中，所述閘極本體層包含本征多晶矽。在一些實施例中，所述功函數結構包括三個 U 形金屬層。在一些實施例中，所述三個 U 形金屬層各自包含彼此不同的金屬材料。

【0078】 在一些實施例中，本申請提供一種製造半導體器件的方法，所述方法包括：在半導體基底之上形成虛設閘極結構，其中所述虛設閘極結構包括上覆在所述半導體基底上的高介電常數閘極介電結構且還包括上覆在所述高介電常數閘極介電結構上的虛設閘極電極，且其中側壁間隔件環繞所述虛設閘極結構；使用閘極電極層堆疊置換所述虛設閘極電極，其中所述閘極電極層堆疊包括金屬層及上覆在所述金屬層上的多晶矽層；將所述多晶矽層的上部部分轉換成矽化物層；以及對所述閘極電極層堆疊及所述矽化物層執行平坦化製程直到暴露出所述側壁間隔件的上表面，

從而界定閘極電極結構，其中所述平坦化製程局部地移除所述矽化物層。

【0079】 在一些實施例中，所述平坦化製程包括對所述矽化物層及所述金屬層執行化學機械平坦化製程直到暴露出所述側壁間隔件的所述上表面，且其中所述化學機械平坦化製程不到達所述多晶矽層。在一些實施例中，將所述多晶矽層的所述上部部分轉換成矽化物層包括：在形成所述閘極電極層堆疊之後，在所述多晶矽層之上形成導電層；以及對所述導電層及所述多晶矽層執行退火製程，從而界定所述矽化物層，其中所述矽化物層具有在所述金屬層的頂表面下方延伸的向下突起部。

【0080】 在一些實施例中，本申請提供一種製造半導體器件的方法，所述方法包括：在半導體基底之上形成虛設閘極結構，其中所述虛設閘極結構包括上覆在所述半導體基底上的高介電常數閘極介電結構且還包括位於所述高介電常數閘極介電結構之上的虛設閘極電極，且其中側壁間隔件環繞所述虛設閘極結構；使用金屬層堆疊置換所述虛設閘極電極，以使所述金屬層堆疊上覆在所述高介電常數閘極介電結構及所述側壁間隔件上；執行蝕刻製程以移除上覆在所述側壁間隔件上的所述金屬層堆疊的一部分且使所述金屬層堆疊的頂表面凹陷到低於所述側壁間隔件的頂表面；以及在所述金屬層堆疊之上形成閘極本體，其中所述閘極本體的下部部分被所述金屬層堆疊環繞且所述閘極本體的上部部分懸垂於所述金屬層堆疊上。在一些實施例中，其中所述形成所述閘極

本體包括：在所述金屬層堆疊及所述側壁間隔件之上形成多晶矽層，其中所述多晶矽層具有被所述金屬層堆疊環繞的下部部分；對所述多晶矽層執行平坦化製程直到暴露出所述側壁間隔件的所述頂表面；在所述多晶矽層之上形成導電層；以及對所述多晶矽層及所述導電層執行退火製程，從而將所述多晶矽層的上部部分轉換成矽化物層，其中所述矽化物層的外側壁與所述金屬層堆疊的外側壁對齊。在一些實施例中，所述矽化物層從所述側壁間隔件的所述頂表面連續地延伸到位於所述金屬層堆疊的所述頂表面下方的點。在一些實施例中，所述矽化物層的底表面位於所述金屬層堆疊的頂表面上方且所述矽化物層通過所述多晶矽層而與所述金屬層堆疊隔開。在一些實施例中，所述形成所述閘極本體包括：在所述金屬層堆疊及所述側壁間隔件之上形成導電層，其中所述導電層包含單種材料；以及對所述導電層執行平坦化製程直到暴露出所述側壁間隔件的頂表面。在一些實施例中，所述單種材料是鋁。

【0081】 以上概述了若干實施例的特徵，以使所屬領域中的技術人員可更好地理解本公開的各個方面。所屬領域中的技術人員應理解，他們可容易地使用本公開作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的和/或實現與本文中所介紹的實施例相同的優點。所屬領域中的技術人員還應認識到，這些等效構造並不背離本公開的精神及範圍，而且他們可在不背離本公開的精神及範圍的條件下對本文作出各種改變、代

替及變更。

【符號說明】

【0082】

100、200、300a、300b、300c：半導體器件

102：基底

104：源極/汲極區

106：選擇性導電溝道

108：晶體管

109：閘極結構

112：矽化物層

114：閘極本體層

116：功函數結構

118：側壁間隔件

120：高介電常數閘極介電結構

122：層間介電（ILD）結構

124：導通孔

202a：處置基底

202b：絕緣體層

202c：器件層

207：中間金屬層

208a：介電層堆疊/第一閘極介電層

- 208b：介電層堆疊/第二閘極介電層
- 210a：金屬層堆疊/第一金屬層/金屬層
- 210b：金屬層堆疊/第二金屬層/金屬層
- 210c：金屬層堆疊/第三金屬層/金屬層
- 220：第一層間介電（ILD）層
- 222：第二層間介電（ILD）層
- 223：導電線
- 224a：接觸蝕刻停止層（CESL）
- 224b：間隔件介電層/第一間隔件介電間隔件層/第一間隔件介電層
- 224c：間隔件介電層/第二間隔件介電層
- 224d：間隔件介電層/第三間隔件介電層
- 224e：間隔件介電層/第四間隔件介電層
- 400、500、600、700、800、900、1100、1200、1300、1400、1500、1600、1700、1800：剖視圖
- 402、1102：虛設閘極電極結構
- 502：開口
- 1000、1900：方法
- 1002、1004、1006、1008、1010、1012、1902、1904、1906、1908、1910、1912、1914、1916：動作
- 1202：第一開口
- d_1 、 d_2 ：距離

L_g : 長度

T_{1d} : 第一介電厚度

T_{3d} : 第三介電厚度

T_{5d} : 第五介電厚度

T_s : 厚度

T_v : 垂直厚度/厚度

【發明申請專利範圍】

【第1項】 一種半導體器件，包括：

一對間隔件段，位於半導體基底上；

高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述間隔件段之間且與所述間隔件段相鄰；以及

閘極結構，位於所述高介電常數閘極介電結構之上且具有與所述間隔件段的頂表面大約齊平的頂表面，其中所述閘極結構包括金屬結構及閘極本體層，其中所述閘極本體層具有相對於所述金屬結構的頂表面在垂直方向上偏置的頂表面且還具有被所述金屬結構以杯狀包圍的下部部分，其中所述高介電常數閘極介電結構的側壁與所述金屬結構的最外側壁對齊，且所述高介電常數閘極介電結構的所述側壁與所述金屬結構的所述最外側壁接觸所述間隔件段。

【第2項】 如申請專利範圍第1項所述的半導體器件，其中所述閘極本體層是T形的且所述金屬結構是U形的。

【第3項】 如申請專利範圍第1項所述的半導體器件，所述閘極結構還包括：

矽化物層，上覆在所述閘極本體層上，其中所述矽化物層界定所述閘極結構的所述頂表面；

其中所述閘極本體層包含多晶矽。

【第4項】 如申請專利範圍第1項所述的半導體器件，其中所述閘極本體層的最外側壁與所述金屬結構的所述最外側壁對齊，且所述閘極本體層的所述下部部分的側壁直接接觸所述金屬結構的內側壁。

【第5項】 一種半導體器件，包括：

一對源極/漏極區，位於半導體基底中；

高介電常數閘極介電結構，上覆在所述半導體基底上，其中所述高介電常數閘極介電結構在橫向上位於所述源極/漏極區之間且與所述源極/漏極區相鄰；

閘極結構，上覆在所述高介電常數閘極介電結構上，其中所述閘極結構包括堆疊在一起的閘極本體層與矽化物層，其中所述閘極結構還包括功函數結構，所述功函數結構包繞在所述閘極本體層的底部周圍且沿著所述閘極本體層的側壁及所述矽化物層的側壁延伸到所述矽化物層的頂表面，且其中所述功函數結構的所述頂表面與所述矽化物層的頂表面大約齊平，其中所述功函數結構包括：

第一層，包括鈦；

第二層，包括氮化鈦；以及

第三層，包括鈦鋁，其中所述第二層位於所述第一層與所述第三層之間；以及

側壁間隔件，環繞所述高介電常數閘極介電結構與所述閘極

結構，其中所述高介電常數閘極介電結構的側壁與所述第一層的側壁接觸所述側壁間隔件。

【第6項】如申請專利範圍第5項所述的半導體器件，其中所述閘極本體層的最外側壁與所述矽化物層的最外側壁對齊。

【第7項】如申請專利範圍第5項所述的半導體器件，其中所述第一層、所述第二層以及所述第三層為U形。

【第8項】一種製造半導體器件的方法，包括：

在半導體基底之上形成虛設閘極結構，其中所述虛設閘極結構包括上覆在所述半導體基底上的高介電常數閘極介電結構且還包括上覆在所述高介電常數閘極介電結構上的虛設閘極電極，且其中側壁間隔件環繞所述虛設閘極結構；

使用閘極電極層堆疊置換所述虛設閘極電極，其中所述閘極電極層堆疊包括多個金屬層及上覆在所述金屬層上的多晶矽層，其中所述金屬層的第一金屬層包括鈦，且所述第一金屬層接觸所述高介電常數閘極介電結構以及所述側壁間隔件；

將所述多晶矽層的上部部分轉換成矽化物層；以及

對所述閘極電極層堆疊及所述矽化物層執行平坦化製程直到暴露出所述側壁間隔件的上表面，從而界定閘極電極結構，其中所述平坦化製程局部地移除所述矽化物層。

【第9項】如申請專利範圍第8項所述的製造半導體器件的方法，其中所述平坦化製程包括對所述矽化物層及所述金屬層執行化學

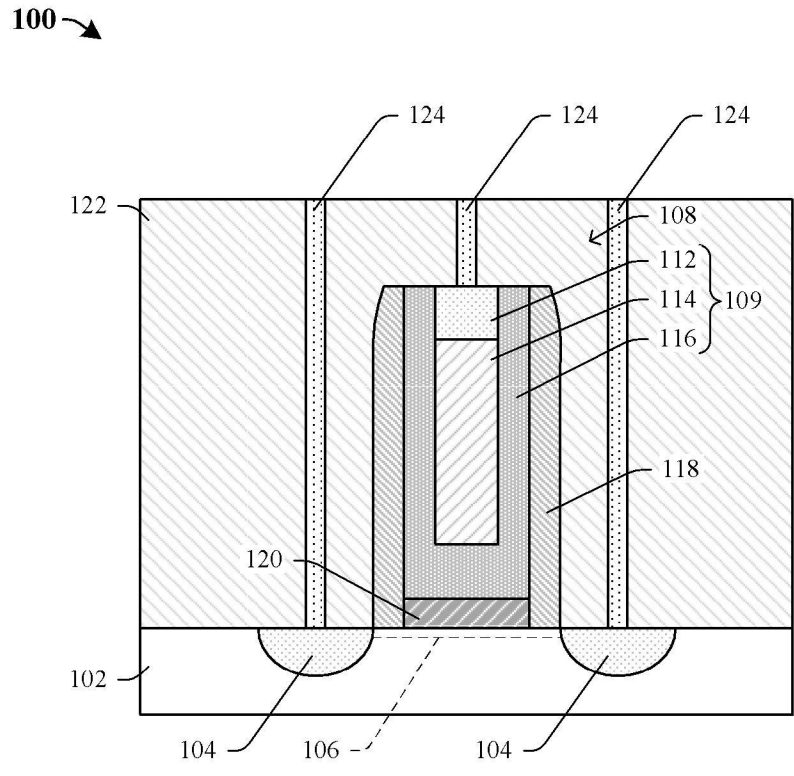
機械平坦化製程直到暴露出所述側壁間隔件的所述上表面，且其中所述化學機械平坦化製程不到達所述多晶矽層。

【第10項】如申請專利範圍第8項所述的製造半導體器件的方法，其中將所述多晶矽層的所述上部部分轉換成矽化物層包括：

在形成所述閘極電極層堆疊之後，在所述多晶矽層之上形成導電層；以及

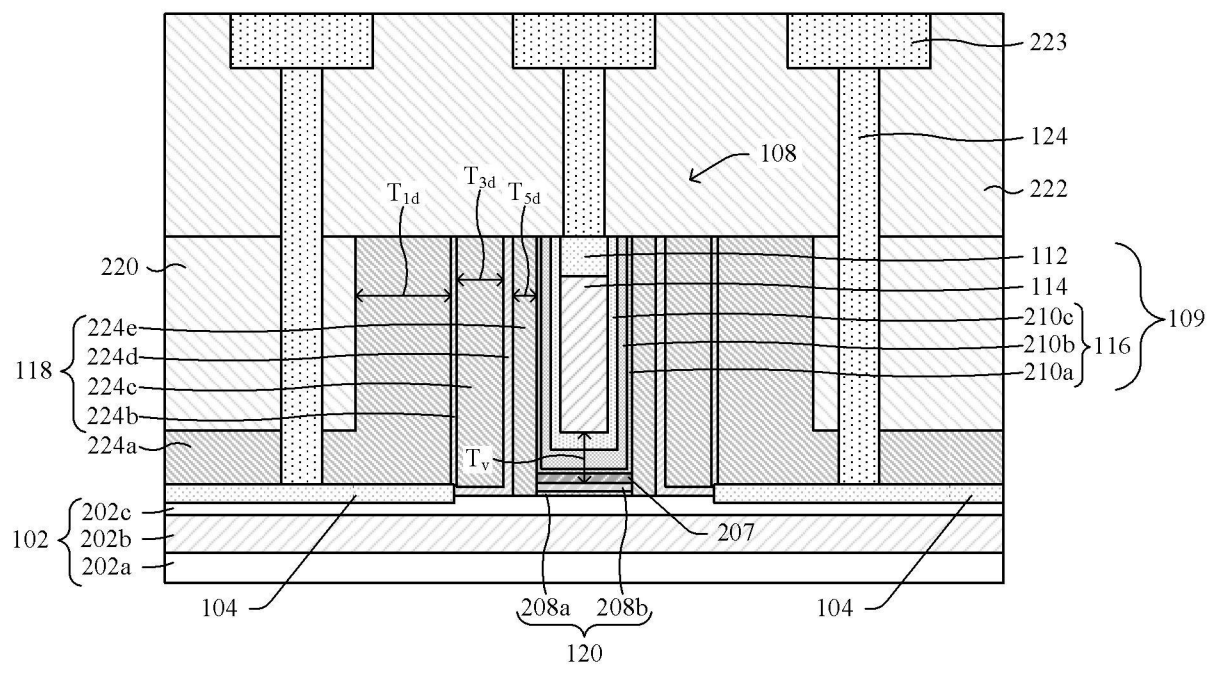
對所述導電層及所述多晶矽層執行退火製程，從而界定所述矽化物層，其中所述矽化物層具有在所述金屬層的頂表面下方延伸的向下突起部。

【發明圖式】



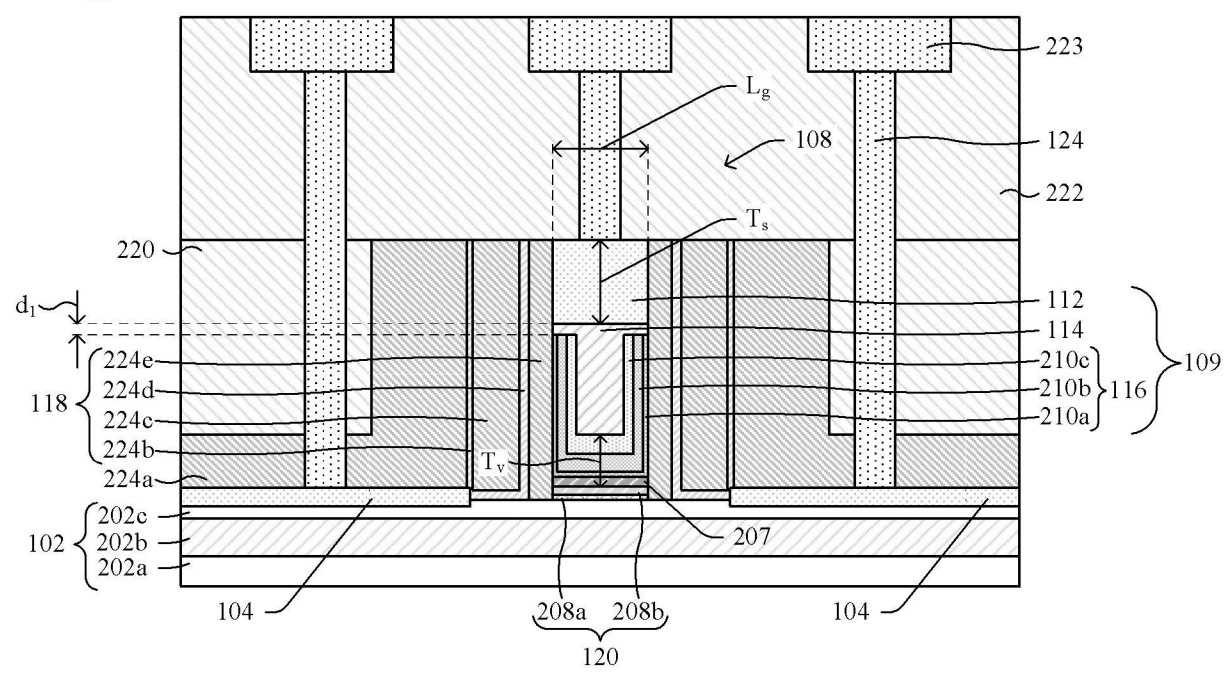
【圖 1】

200 →



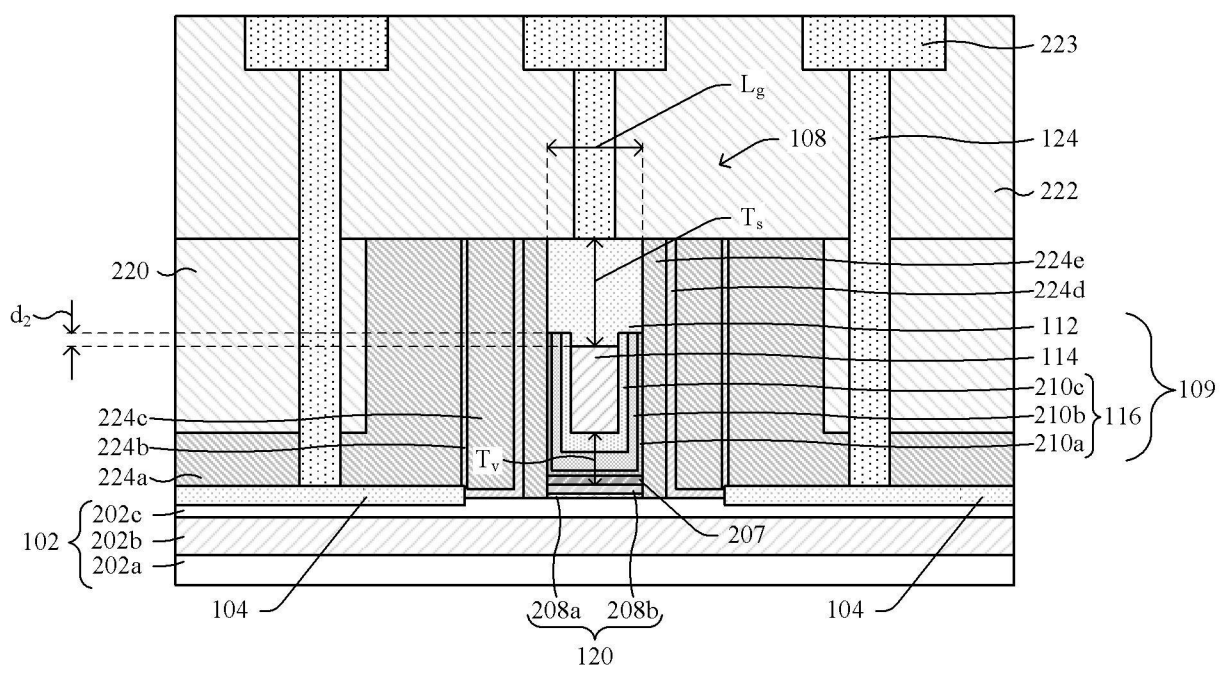
【圖 2】

300a →



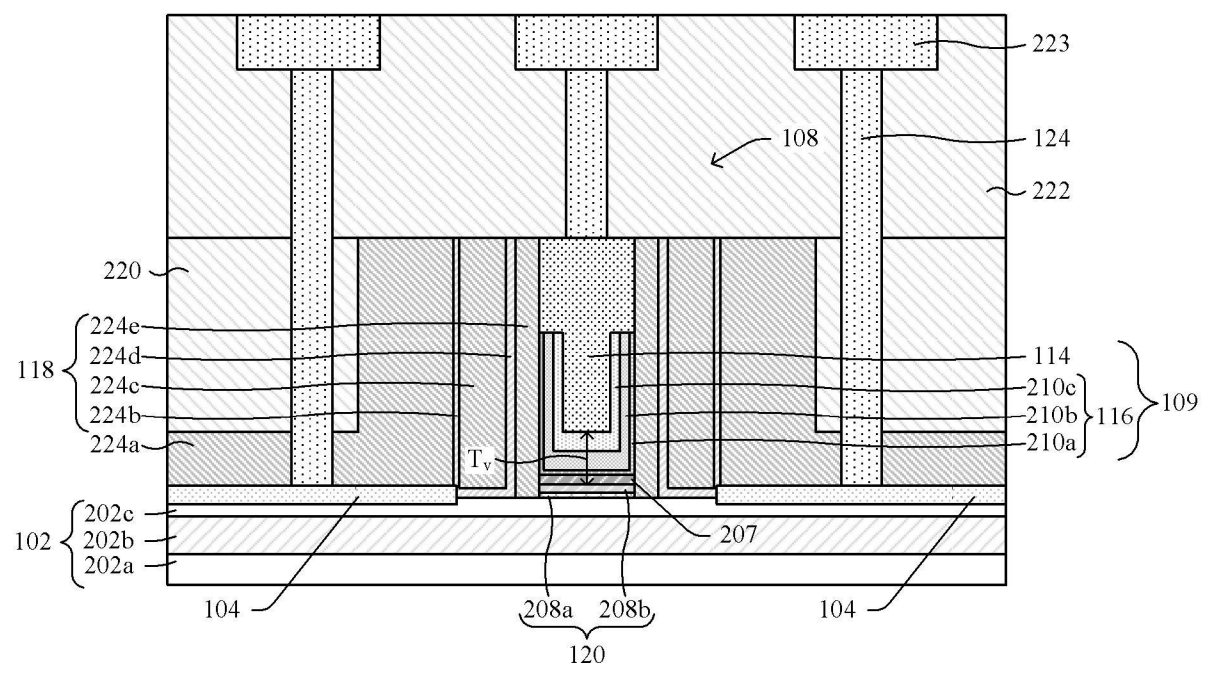
【圖 3A】

300b →

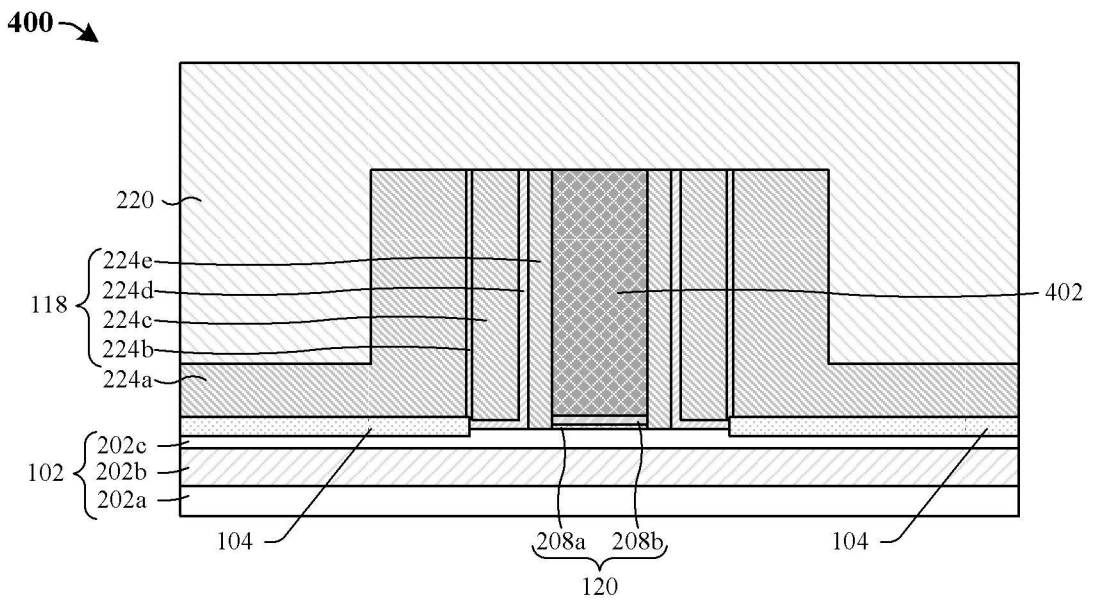


【圖 3B】

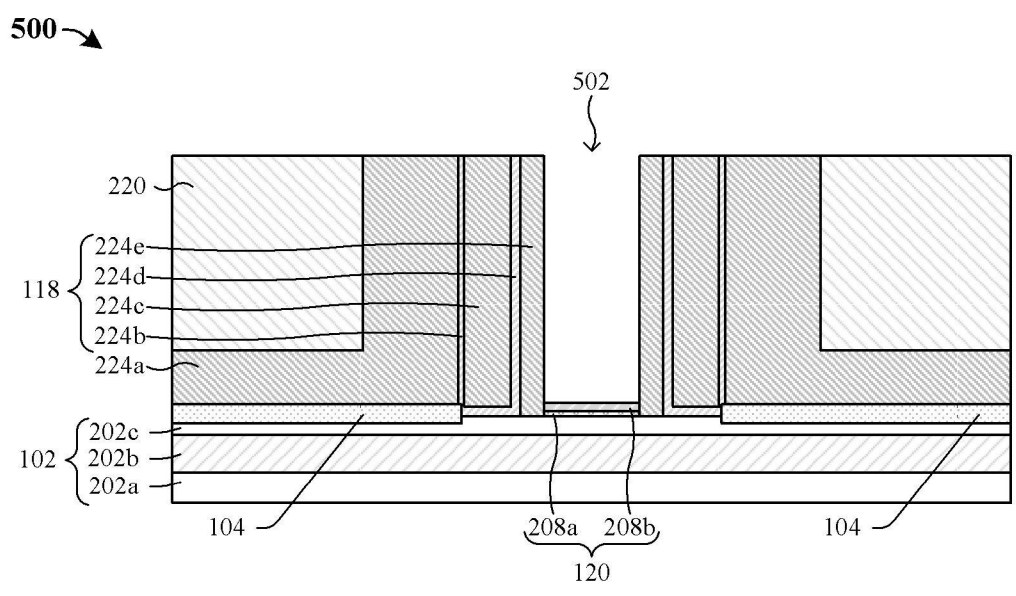
300c →



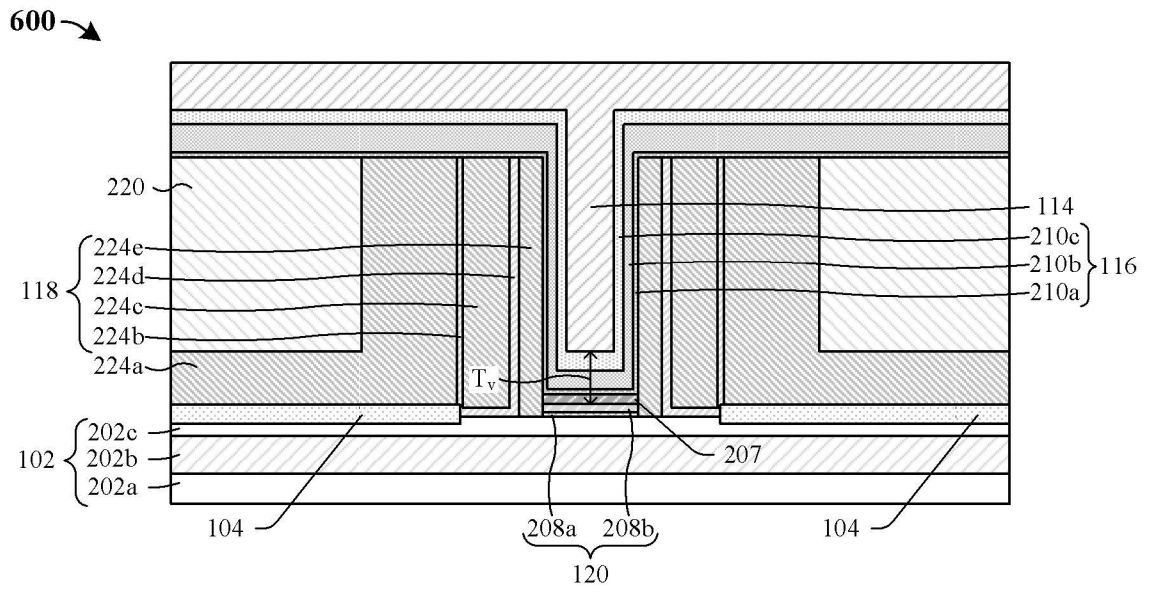
【圖 3C】



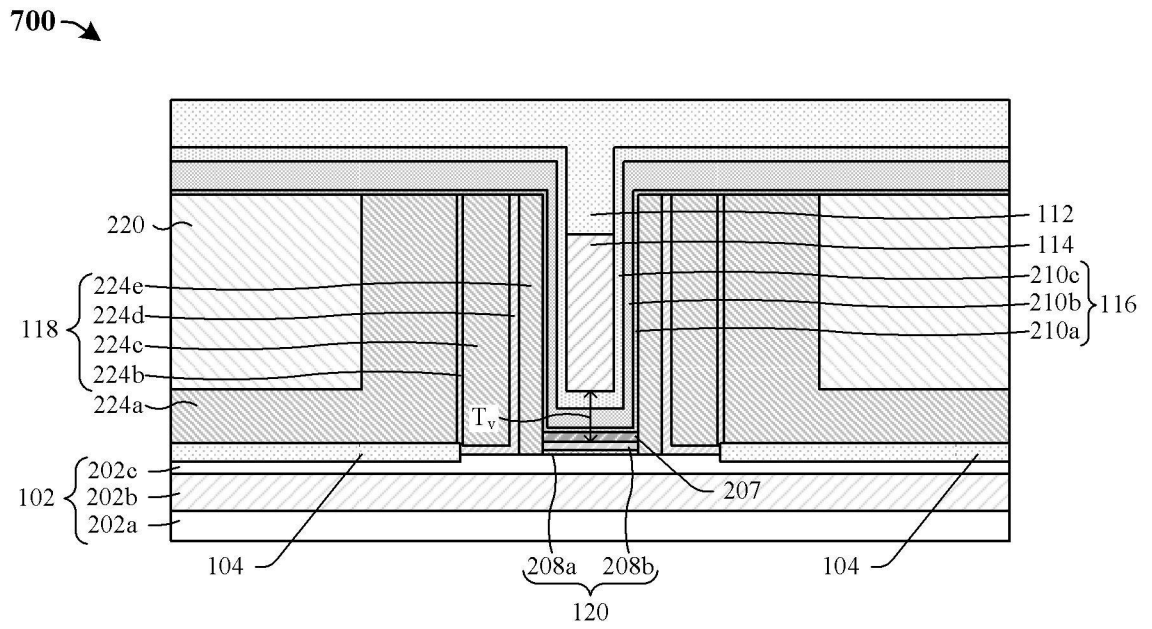
【圖 4】



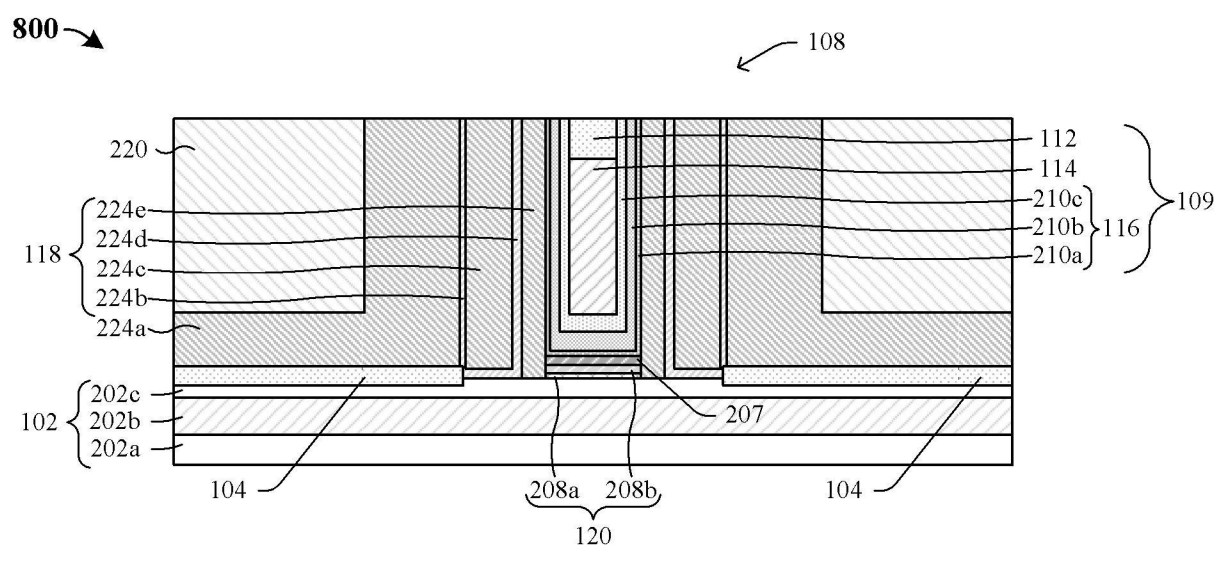
【圖 5】



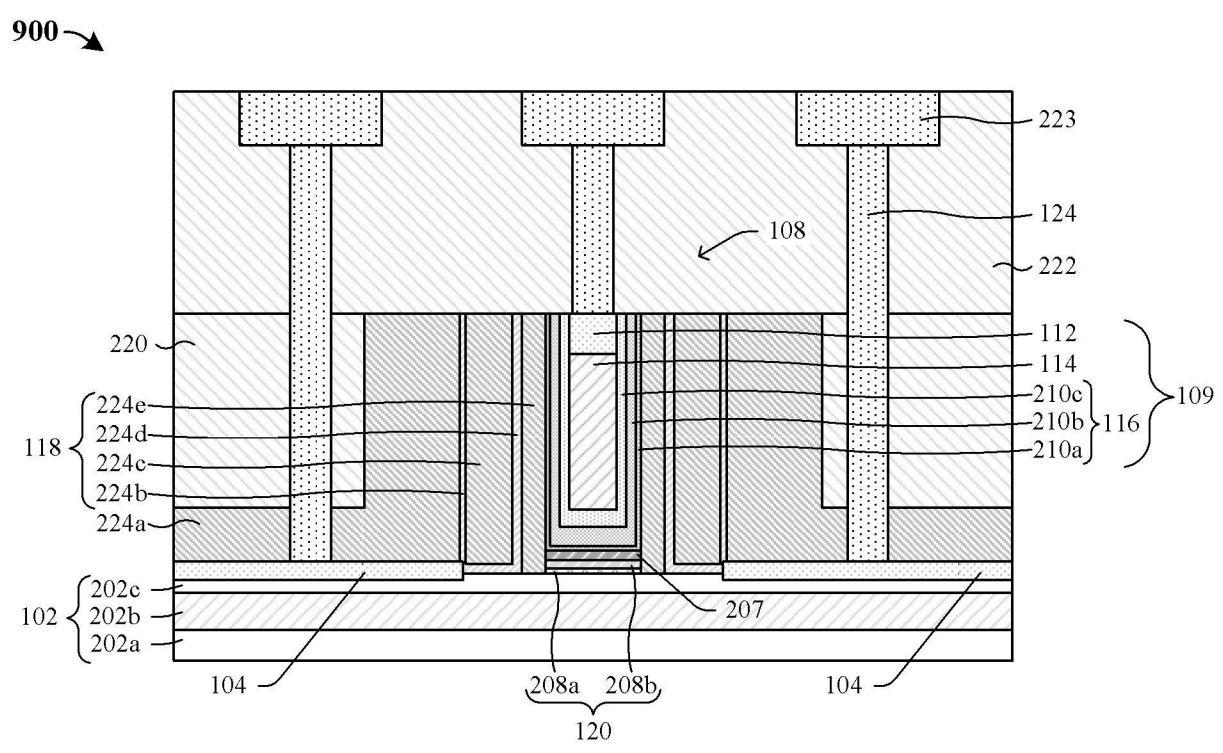
【圖 6】



【圖 7】

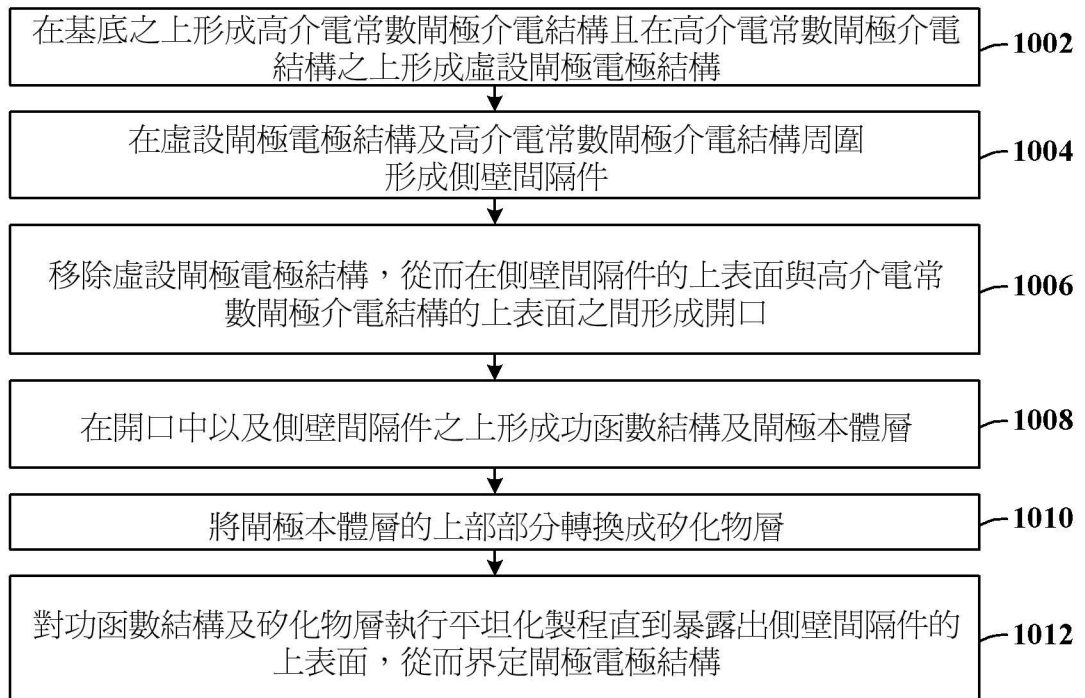


【圖 8】

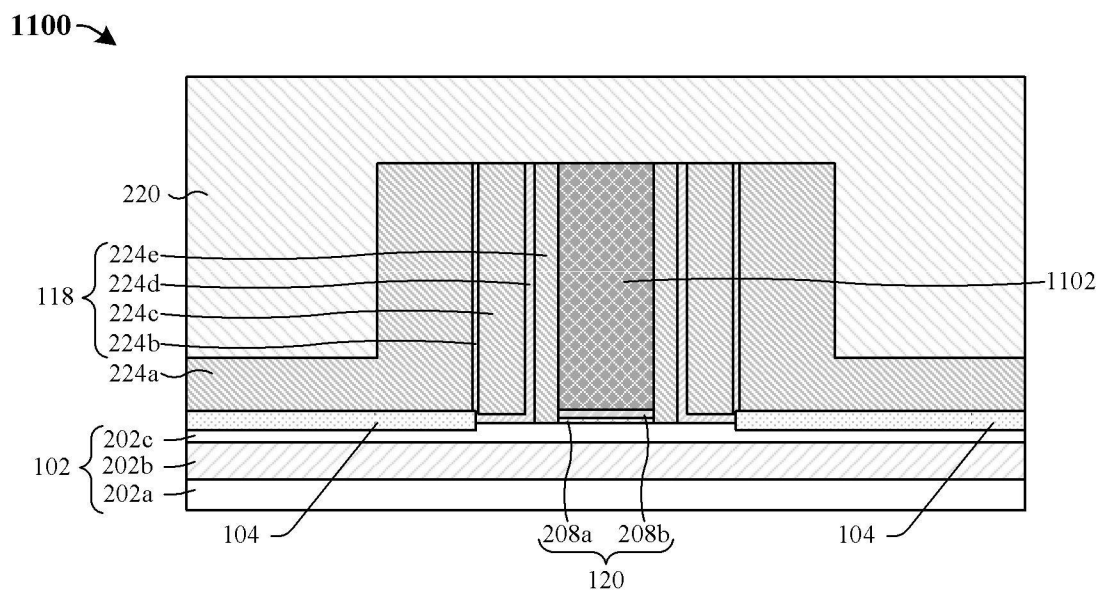


【圖 9】

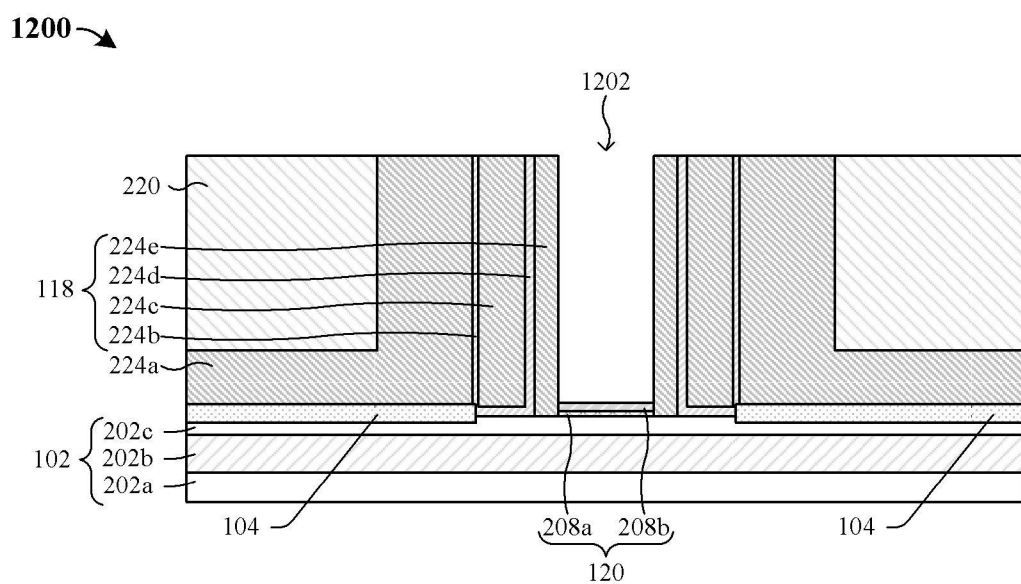
1000 →



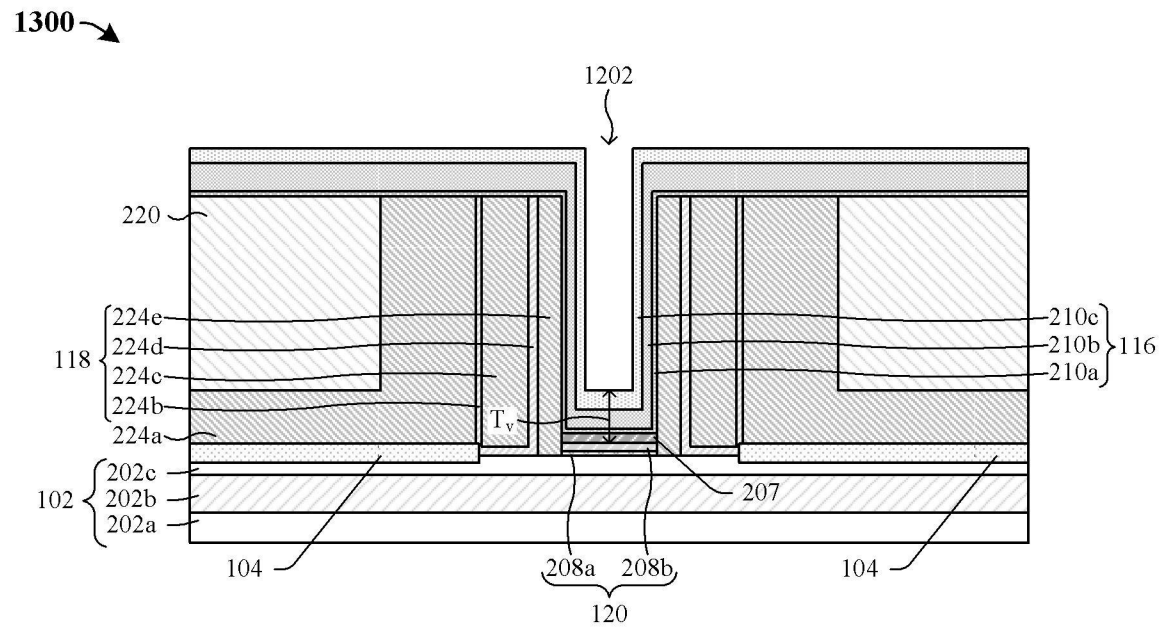
【圖 10】



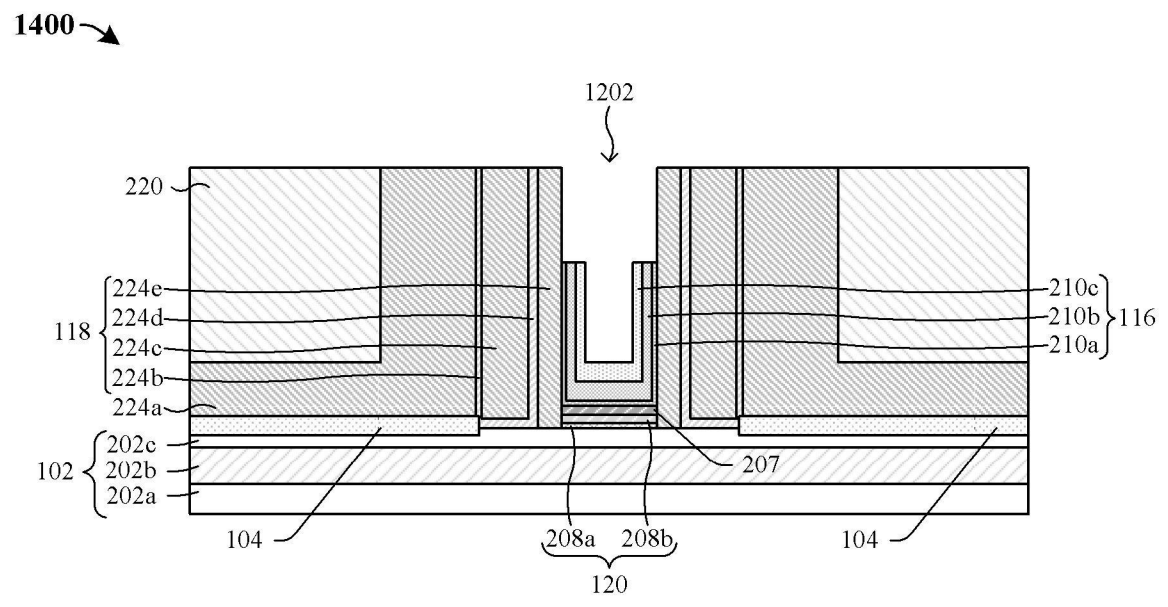
【圖 11】



【圖 12】

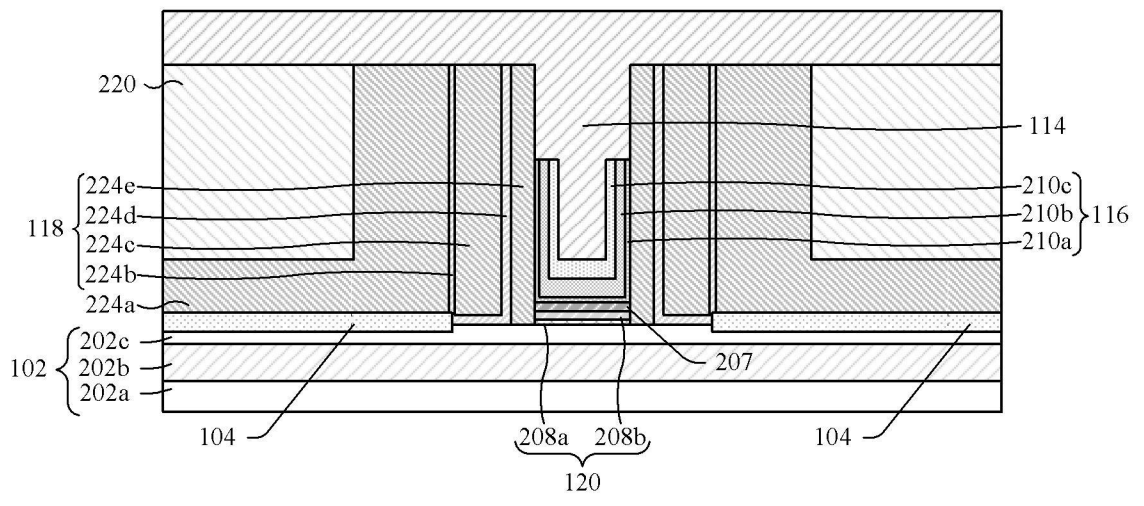


【圖 13】



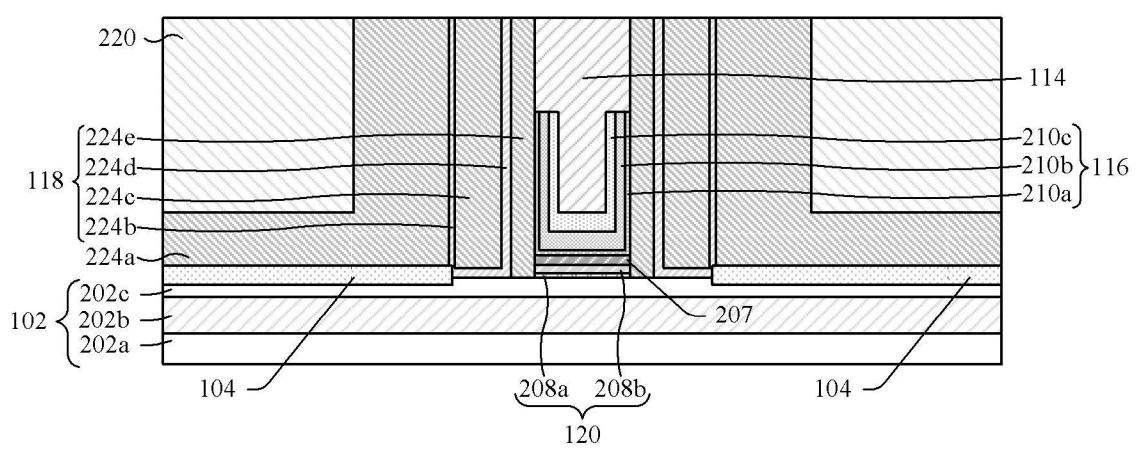
【圖 14】

1500 →



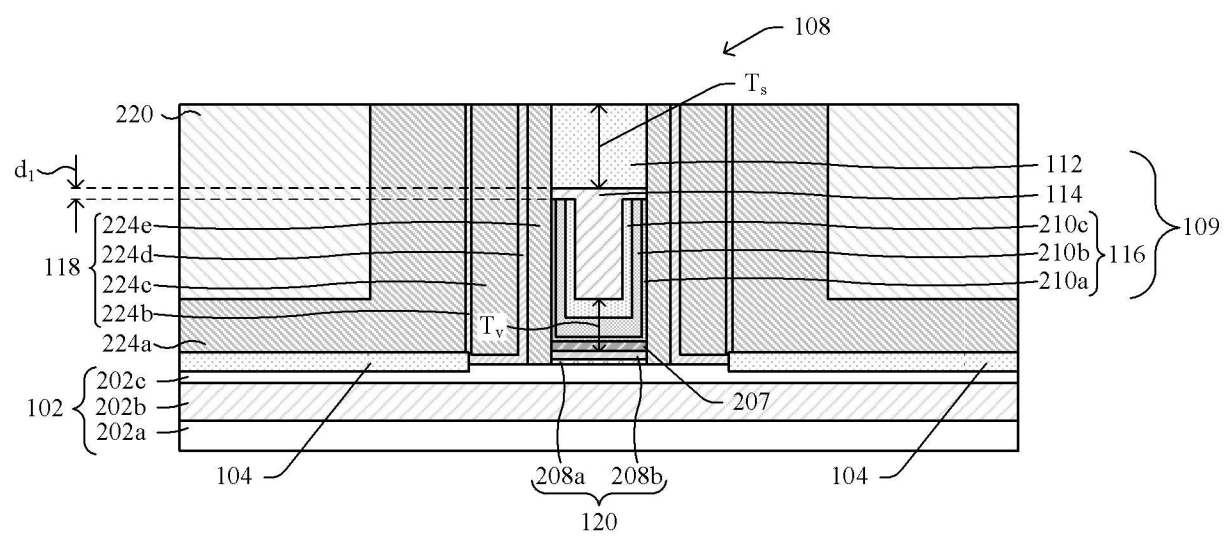
【圖 15】

1600 →



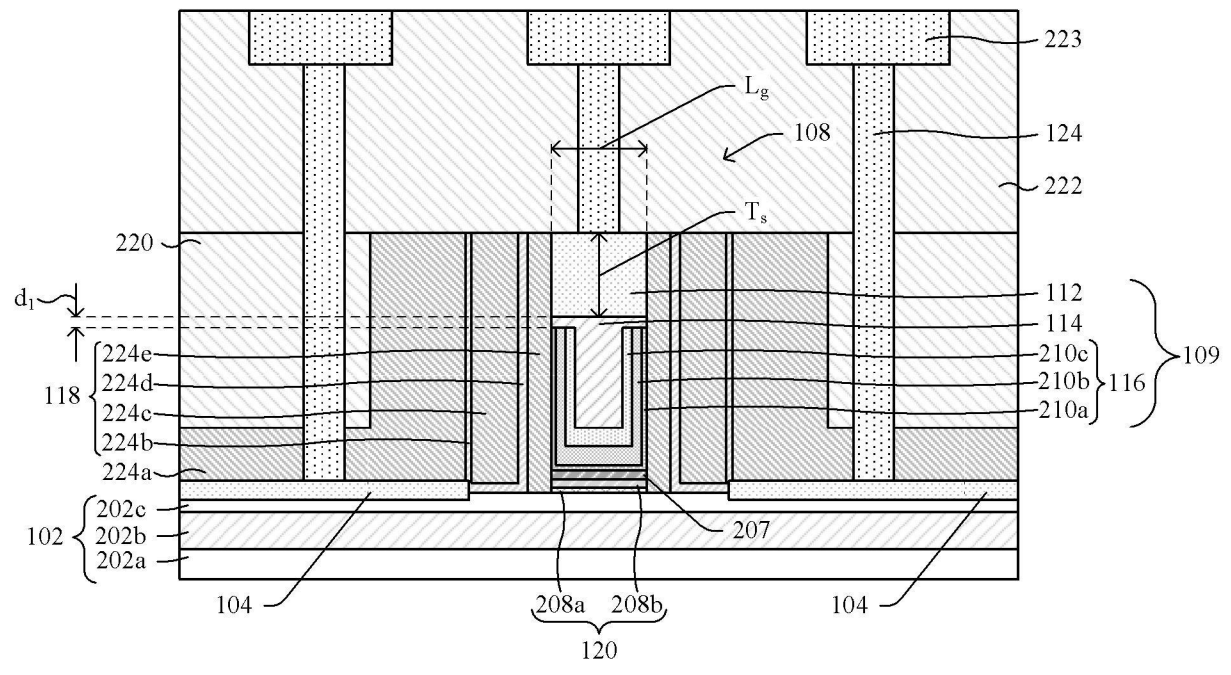
【圖 16】

1700



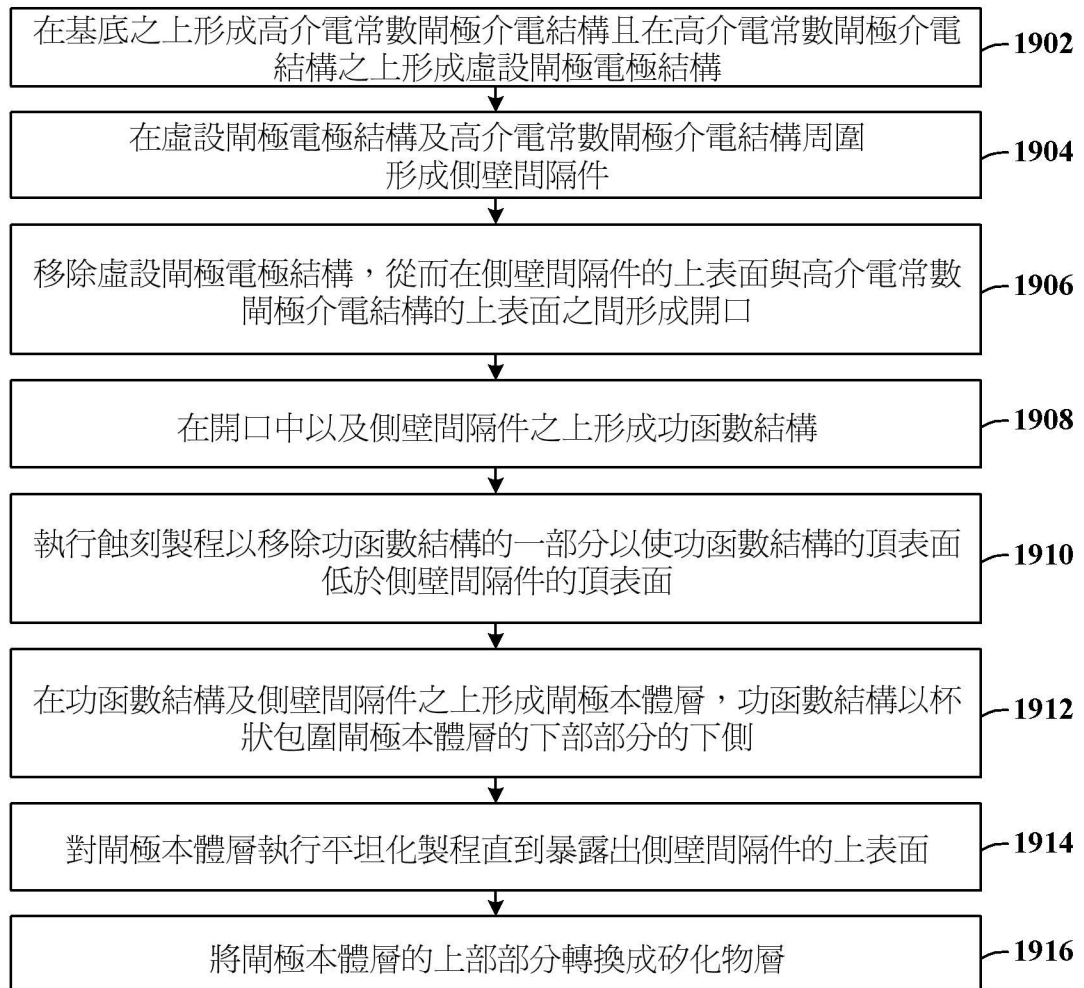
【圖 17】

1800



【圖 18】

1900 →



【圖 19】