



[12] 发明专利说明书

专利号 ZL 200610071008.2

[45] 授权公告日 2010年2月17日

[11] 授权公告号 CN 100590877C

[22] 申请日 2003.9.10

[21] 申请号 200610071008.2

分案原申请号 03158436.5

[30] 优先权

[32] 2002.9.10 [33] JP [31] 263606/2002

[32] 2003.8.4 [33] JP [31] 285780/2003

[73] 专利权人 日本电气株式会社

地址 日本东京

[72] 发明人 土弘世良贤二

[56] 参考文献

US6034563A 2000.3.7

US6191435B1 2001.2.20

US5889291A 1999.3.30

JP8-264798A 1996.10.11

JP10-125878A 1998.5.15

US2001/0035774A1 2001.11.1

US2002/0098635A1 2002.7.25

审查员 蒋显辉

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 陆锦华 李亚

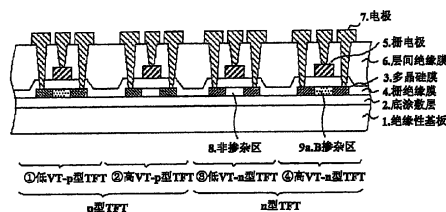
权利要求书 3 页 说明书 33 页 附图 16 页

[54] 发明名称

薄膜半导体装置及其制造方法

[57] 摘要

提供一种能够不以复杂工序在多晶硅膜上形成适合电路特性的 n 沟道型 TFT 和 p 沟道型 TFT 的薄膜半导体装置及其制造方法。本发明包含在形成于玻璃基板 1 上的多晶硅膜 3 上形成 n 沟道型 TFT 和 p 沟道型 TFT 时，在 n 沟道型 TFT 的一部分沟道区中和 p 沟道型 TFT 的一部分沟道区中同时引入 P 型或 N 型掺杂剂的工序，可以通过 1 次沟道掺杂形成低 VT 和高 VT 的 p 沟道型 TFT 组，以及低 VT 和高 VT 的 n 沟道型 TFT 组，借助于用此方法形成能够减小逻辑、开关电路的关态电流的高 VT-TFT，以及能够扩大模拟电路的动态范围的低 VT-TFT，求得了薄膜半导体装置性能的提高。



1. 一种薄膜半导体装置，在绝缘性基板上至少设置了以结晶硅膜为有源层的第 1 导电型薄膜晶体管和第 2 导电型薄膜晶体管，其特征在于，

包括：在沟道区中含有第 1 掺杂剂的上述第 1 导电型的第 1 薄膜晶体管；

在沟道区中不含上述第 1 掺杂剂的上述第 1 导电型的第 2 薄膜晶体管；和

在沟道区中以基本相等的浓度含有上述第 1 掺杂剂的上述第 2 导电型的第 3 薄膜晶体管，

上述第 1 掺杂剂为 B 和 P 中的一种，

上述第 1 导电型的上述第 1 及第 2 薄膜晶体管中，一个具有绝对值高的阈值电压，另一个具有绝对值低的阈值电压。

2. 如权利要求 1 所述的薄膜半导体装置，其特征在于：

上述第 1 导电型的上述第 1 及第 2 薄膜晶体管，分别在沟道区中含有第 2 掺杂剂，

上述第 2 掺杂剂为 B 和 P 中上述第 1 掺杂剂以外的另一种。

3. 如权利要求 1 所述的薄膜半导体装置，其特征在于，

还包括在沟道区中不含上述第 1 掺杂剂的上述第 2 导电型的第 4 薄膜晶体管，

上述第 2 导电型的上述第 3 及第 4 薄膜晶体管中，一个具有绝对值高的阈值电压，另一个具有绝对值低的阈值电压。

4. 如权利要求 1 所述的薄膜半导体装置，其特征在于：

至少具有在电路工作时需要空载电流的模拟电路部和开关，上述模拟电路部借助于在上述空载电流的电流通路上含有上述第 1 或第 2 薄膜晶体管中的上述阈值电压的绝对值低的薄膜晶体管而构成，上述

开关由上述第 1 或第 2 薄膜晶体管中的上述阈值电压高的薄膜晶体管构成。

5. 如权利要求 3 所述的薄膜半导体装置，其特征在于，

至少具有在电路工作时需要空载电流的模拟电路部和开关，上述模拟电路部借助于在上述空载电流的电流通路上含有上述第 1~第 4 薄膜晶体管中的上述阈值电压的绝对值低的薄膜晶体管而构成，上述开关由上述第 1~第 4 薄膜晶体管中的上述阈值电压高的薄膜晶体管构成。

6. 如权利要求 4 或 5 所述的薄膜半导体装置，其特征在于：

上述模拟电路部在上述空载电流的电流通路上含有上述开关，利用该开关来切断上述空载电流。

7. 如权利要求 6 所述的薄膜半导体装置，其特征在于：

上述模拟电路部利用由上述开关引起的上述空载电流的导通和切断，控制该电路的工作和停止工作。

8. 如权利要求 4 或 5 所述的薄膜半导体装置，其特征在于：

当在上述模拟电路部的输入端子、输出端子和电源端子的各端子之间的上述空载电流的电流通路路径上含有上述阈值电压的绝对值低的薄膜晶体管时，在该电流通路路径上含有上述开关。

9. 如权利要求 4 或 5 所述的薄膜半导体装置，其特征在于：

上述阈值电压的绝对值高的薄膜晶体管和上述阈值电压的绝对值低的薄膜晶体管皆是增强型的。

10. 如权利要求 4 或 5 所述的薄膜半导体装置，其特征在于：

上述模拟电路部包含放大电路、电源电路或比较器中的任一个。

11. 如权利要求 4 或 5 所述的薄膜半导体装置，其特征在于：

上述模拟电路部是至少在差动对中含有上述阈值电压的绝对值低的薄膜晶体管、并且在该差动对的电流通路路径上含有上述开关的差动放大电路。

12. 如权利要求 1 所述的薄膜半导体装置，其特征在于：

包括具有与上述第 1 导电型的上述第 1 及第 2 薄膜晶体管的任何一个都不同的阈值电压的上述第 1 导电型的其他薄膜晶体管。

13. 如权利要求 1 所述的薄膜半导体装置，其特征在于：

在电源端子之间、或者电源端子与输入/输出端子之间的电流路径内，具有上述第 1 或第 2 薄膜晶体管中上述阈值电压的绝对值高的薄膜晶体管、和包含上述第 1 或第 2 薄膜晶体管中上述阈值电压的绝对值低的薄膜晶体管的电路，

上述阈值电压的绝对值高的薄膜晶体管由对其控制端子施加的控制信号控制为导通或截止，上述阈值电压的绝对值高的薄膜晶体管导通时上述电路被激活，上述阈值电压的绝对值高的薄膜晶体管截止时上述电路为非激活。

14. 如权利要求 3 所述的薄膜半导体装置，其特征在于，

在电源端子之间、或者电源端子与输入/输出端子之间的电流路径内，具有上述第 1~第 4 薄膜晶体管中上述阈值电压的绝对值高的薄膜晶体管、和包含上述第 1~第 4 薄膜晶体管中上述阈值电压的绝对值低的薄膜晶体管的电路，

上述阈值电压的绝对值高的薄膜晶体管由对其控制端子施加的控制信号控制为导通或截止，上述阈值电压的绝对值高的薄膜晶体管导通时上述电路被激活，上述阈值电压的绝对值高的薄膜晶体管截止时上述电路为非激活。

薄膜半导体装置及其制造方法

本申请为 2003 年 9 月 10 日提交的、申请号为 03158436.5 的、发明名称为“薄膜半导体装置及其制造方法”的申请的分案申请。

技术领域

本发明涉及薄膜半导体装置及其制造方法，特别涉及采用阈值电压（VT）不同的薄膜晶体管（TFT）、以至少包含模拟电路部和开关构成的薄膜半导体装置及其制造方法。

背景技术

作为移动电话、移动装置等便携式终端装置或笔记本个人计算机等的监视器，使用了与 CRT 相比以薄而轻为特征的液晶显示装置或有机 EL 显示装置等图像显示装置。这些液晶显示装置或有机 EL 显示装置应用薄膜形成技术在玻璃基板等绝缘性基板上形成具有排列成矩阵状的像素的显示部，利用外附的栅驱动器、数据驱动器等驱动电路对各像素施加与显示对应的信号来控制液晶的取向方向或有机 EL 元件的发光，以进行图像显示。近年来，随着薄膜形成技术的进步，已能够在与显示部为同一个的基板上用多晶硅形成 TFT，已能够以使用多晶硅的 TFT 电路形成一部分驱动电路。

在便携式终端装置中，求得小型化、低功耗化和高性能化是重要的，与此相随，现正对图像显示装置谋求小型化和低功耗化。作为实现图像显示装置小型化的方法，可以通过在玻璃基板等上一体化地形成显示部和驱动电路，以减少外附部件的数量，从而实现小型化。另外，通过一体化地形成显示部和驱动电路，还可以减小由外附时的连接电阻、向外附连接端子的布线迂回等引起的负载量，从而实现低功耗化。另外，近年来，图像显示装置要求高精度度、鲜明的显示，因

而对独立地形成各像素的有源矩阵型显示装置的需求在增长。有源矩阵型显示装置为每个像素设置了开关元件，利用由驱动电路提供的与图像对应的信号和对开关元件进行控制的信号，在开关元件为开态（导通状态）时对各像素施加与图像对应的信号，以进行显示。另外，在将有源矩阵型显示部和驱动电路一体化地形成在玻璃基板等上时，可以同时制作各像素的开关元件（TFT）和在同一基板上形成的驱动电路的 TFT。

上述 TFT 虽然采用 n 沟道型、p 沟道型 2 种 TFT 构成，但一般说来，由于倾向于将构成有源层的多晶硅膜 n 型化，而 n 沟道型 TFT 略微有些耗尽，故驱动电力相对增大，关态（关断状态）电流增加。图像显示装置，特别是用于便携式终端装置的图像显示装置，为了降低功耗，至少对开关 TFT 要求关态电流低，因此，在制造 TFT 时对 n 沟道型 TFT 的沟道区进行掺杂，以对 VT 进行控制。

该沟道掺杂通常对多个 TFT 的沟道区一起进行，因而注入多个 TFT 的掺杂剂的剂量大致相等，但是也能够在一次掺杂中变化各个 TFT 的剂量。例如，在特开平 8-264798 号公报中公开了通过对各个区改变用于控制掺杂剂注入量的控制膜（氧化硅膜）的厚度，从其上进行掺杂，使在控制膜薄的部分剂量增大，在控制膜厚的部分剂量减小的方法。

这里，用 TFT 形成的电路形形色色，既有逻辑电路等利用低电平和高电平的 2 值电平进行数字处理的电路，也有放大电路等进行可以处理连续量的模拟处理的电路。还有，开关是在 2 个端子之间切换导通和非导通的元件，它可以切断 2 个端子之间的电流，或与电容器组合在一起约束（保存）电荷，或起其他作用，可以根据使用的目的接入逻辑电路或模拟电路中使用。

但是，这些不同种类的电路要求的 TFT 的性能不同。例如，用于

逻辑电路或开关的 TFT，必须在开态有充分的电流驱动能力，而在关态电流不流通。特别是在强烈要求功耗低的场合，关态泄漏电流十分小是很重要的。这时，阈值电压要设定得高些。另一方面，在 TFT 用于模拟电路的场合，流过空载电流的电路部的 TFT 常为开态，模拟电路的工作能够借助于 TFT 的控制电压从小值到大值对漏电流非常精确地进行控制很重要。

当关态泄漏电流大时，即使在电路停止工作的状态，也因泄漏电流而消耗电力，特别是对电池的寿命是重要性能之一的移动装置的驱动电路来说，这是很重要的问题，另外，由于近来节约能源的要求，移动装置之外的装置也很需要降低工作时的功耗和降低停止工作时的待机电力。由于这种要求，现有的电路中使用的 TFT 全都将阈值电压 V_T 控制得较高，以使关态泄漏电流十分小（例如在 1pA 以下）。

但是，在现有的沟道掺杂中，由于对所有的 n 沟道型（或 p 沟道型）TFT 的沟道区一起进行掺杂，所以例如在对 n 沟道型 TFT 进行沟道掺杂时，所有的 n 沟道型 TFT 的 V_T 被控制得相同。因此，在为了将关态泄漏电流抑制得小些而将 TFT 的阈值电压设定高时，电源电压范围的 TFT 导通区域变窄，TFT 电流驱动能力的上限下降，从而产生了电路的工作速度下降，或者模拟电路的动态范围（相对电源电压范围的输出电压范围）变窄等另外的问题。

另外，用对 n 沟道型或 p 沟道型的一方进行掺杂的方法时，只有一方沟道型的 TFT 的漏电流随栅-源电压的变化量发生变化，因此，n 沟道型 TFT 的 V_T 与 p 沟道型 TFT 的 V_T 的对称性被破坏，例如，在形成 CMOS 电路的场合，其工作速度由特性坏的 TFT 决定，因而产生了不能得到良好的电路特性的问题。

为了抑制上述 V_T 的对称性破坏，存在对 n 沟道型或 p 沟道型的双方分别进行掺杂的方法，但用此方法时，由于同一沟道型 TFT 具有

相同的 V_T ，所以不能解决当提高 V_T 时模拟电路的工作速度、动态范围变差，而当降低 V_T 时逻辑或开关电路的关态电流增大的问题，还有，因掺杂精度等制造上的误差，不能严格地维持 V_T 的对称性，从而不能制造 V_T 均衡性良好的薄膜半导体装置。另外，还存在因分多次进行沟道掺杂而工序复杂的问题。还有，即使用特开平 8-264798 号公报所述的方法进行该沟道掺杂，也必须对 n 沟道型 TFT 和 p 沟道型 TFT 两者至少各进行 1 次沟道掺杂，仍不能解决工序复杂的问题。

这些问题不限于在液晶显示装置、有机 EL 显示装置等图像显示装置中使用的电路，也是具有以多晶硅膜为有源层的 n 沟道型 TFT 和 p 沟道型 TFT 的全体电路的问题。

专利文献 1

日本特开平 8-264798 号公报（第 4—7 页，第 5 图）

非专利文献 1

原央 编著：《MOS 集成电路基础》，超 LSI 入门系列 5，第 64 页，近代科学出版社，1992 年 5 月 30 发行

发明内容

鉴于上述问题，本发明的主要目的在于，提供能够不以复杂的工序形成具有适合各种电路的 V_T 的 n 沟道型 TFT 和 p 沟道型 TFT，不增加功耗而提高模拟电路性能的薄膜半导体装置及其制造方法。另外，提供既抑制了消耗电流增大、又提高了动态范围等特性的电路也是本发明的目的之一。

为达到上述目的，本发明的一个方面的薄膜半导体装置是，在绝缘性基板上至少设置以多晶硅膜为有源层的 n 沟道型薄膜晶体管（TFT）和 p 沟道型 TFT 的薄膜半导体装置，该器件在同一沟道型中包含阈值电压不同的多种 TFT，在不同的沟道型中包含以大致相等的

浓度将同一掺杂剂引入沟道区的 TFT。

本发明的上述阈值电压不同的多种 TFT 可以由在沟道区中含 P 型或 N 型的一种掺杂剂的 TFT 和在沟道区中不含掺杂剂的 TFT 构成，或者由在沟道区中含 P 型或 N 型一方的掺杂剂的 TFT 和在沟道区中含 P 型和 N 型两种掺杂剂的 TFT 构成。

另外，本发明的构成薄膜半导体装置的电路最好，至少具有在电路工作时需要空载电流的模拟电路和开关，上述模拟电路借助于在上述空载电流的电流通路上含有上述阈值电压不同的多种 TFT 中的阈值电压低的 TFT 而构成，上述开关由上述阈值电压不同的多种 TFT 中的阈值电压高的 TFT 构成。

另外，本发明的上述模拟电路可以是在上述空载电流的电流通路上含有上述开关，上述空载电流可以被该开关切断的结构，关于上述模拟电路，该电路的工作和停止工作最好借助于由上述开关引起的上述空载电流的导通和切断进行控制。

另外，本发明的上述模拟电路部的结构最好是：当在输入端子、输出端子和电源端子的各端子之间的上述空载电流的电流通路路径上含有上述阈值电压低的 TFT 时，在该电流通路路径上含有上述开关。

另外，本发明的上述模拟电路也可以是至少在差动对中含有上述阈值电压低的 TFT，在该差动对的电流通路路径上含有上述开关的差动放大电路。

另外，本发明的显示装置的显示部和驱动该显示部的电路部一体化地形成在绝缘性基板上，在上述电路部中含有上述模拟电路部和开关。

另外，本发明的图像显示装置具有由使用在绝缘基板上的多晶硅膜上形成的 TFT 构成的模拟电路部、逻辑电路部、开关构成的电路部以及显示部，上述模拟电路部包含其阈值电压比在上述逻辑电路部中使用的 TFT 的阈值电压低的 TFT。

本发明的上述模拟电路部的电源经上述开关提供，上述开关的结构可以由其阈值电压与在上述逻辑电路部中使用的 TFT 的相同的 TFT 构成，还有，上述显示部的像素开关的结构可以由其阈值电压与在上述逻辑电路部中使用的 TFT 的相同的 TFT 构成。

本发明的方法是在绝缘性基板上至少用多晶硅膜形成 n 沟道型 TFT 和 p 沟道型 TFT 的薄膜半导体装置的制造方法，它包含在上述 n 沟道型 TFT 的至少一部分沟道区中和在上述 p 沟道型 TFT 的至少一部分沟道区中同时引入 P 型或 N 型掺杂剂的工序。

另外，本发明的方法是在绝缘性基板上至少用多晶硅膜形成 n 沟道型 TFT 和 p 沟道型 TFT 的薄膜半导体装置的制造方法，它包含：在全表面引入 P 型或 N 型掺杂剂的工序；以及在上述 n 沟道型 TFT 的至少一部分沟道区中和在上述 p 沟道型 TFT 的至少一部分沟道区中同时引入上述 N 型或上述 P 型掺杂剂的工序。

这样，按照本发明的上述结构，能够不用复杂的制造工序，在形成于玻璃等绝缘基板上的多晶硅膜上形成将 VT 控制得较高，以使逻辑电路或开关的关态电流减小的 TFT，以及将 VT 控制得较低，以使模拟电路的工作速度加快、动态范围增大的 TFT，另外，关于进行沟道掺杂的 TFT，由于对 n 沟道型和 p 沟道型两者以大致相等的浓度引入同一掺杂剂，所以能够维持 VT 的对称性，能够制作具有适合于各种电路的特性的 TFT。

按照本发明，在绝缘性基板上至少设置了以结晶硅膜为有源层的

n 沟道型薄膜晶体管 (TFT) 和 p 沟道型 TFT 的薄膜半导体装置, 其结构也可以是: n 沟道型和 p 沟道型中的至少一方的沟道型的 TFT 包含阈值电压不同的多种 TFT, 在不同的沟道型中包含以大致相等的浓度将同一掺杂剂引入了沟道区的 TFT。

本发明的薄膜半导体装置的结构也可以是包含在上述 TFT 的沟道区中含有掺杂剂和不含掺杂剂的 2 种 TFT。

本发明的在绝缘性基板上具有以结晶硅膜为有源层的 n 沟道型和 p 沟道型薄膜晶体管, n 沟道型和 p 沟道型之中的至少一方的沟道型的多个薄膜晶体管可分为阈值电压相互不同的许多种的薄膜半导体装置, 其结构也可以是: 具有构成电源电流路径的一部分、串联连接的至少 1 个阈值电压相对低的 TFT 和至少 1 个阈值电压相对高的 TFT, 上述阈值电压高的 TFT 由施加至该 TFT 的控制端子的控制信号进行导通/截止控制。

发明的效果

按照本发明的薄膜半导体装置及其制造方法, 产生了如下所述的效果。

本发明的第 1 个效果是, 可以不增加工序数而对 n 沟道型和 p 沟道型的每一种形成具有不同 V_T 的 TFT。

其理由是: 按照本发明, 在进行沟道掺杂时不是在 n 沟道型 TFT 或 p 沟道型 TFT 的某一方的区域进行掺杂, 而是对 n 沟道型 TFT 的全部或一部分, 以及对 p 沟道型 TFT 的全部或一部分一起进行掺杂, 因而能够同时掺杂 n 和 p, 并且对同一沟道型也能够通过掺杂和不掺杂来改变其 V_T 。

另外, 本发明的第 2 个效果是可以防止 n 沟道型 TFT 和 p 沟道型

TFT 的 V_T 的对称性破坏，能够使电路设计最佳化。

其理由是：由于本发明不是分别进行 n 沟道型 TFT 的掺杂和 p 沟道型 TFT 的掺杂，而是用同一工序以相同的浓度引入同一掺杂剂，所以能够维持 V_T 的对称性。

另外，本发明的第 3 个效果是能够容易地形成具备有着良好的关态特性的逻辑电路、开关，以及有着良好的工作速度和动态范围的模拟电路的电路。

其理由是：本发明适当地选择了逻辑电路、开关等需要关态特性的 TFT 和不需要关态特性的模拟电路用的 TFT，设定进行沟道掺杂的区域，按照电路需要的特性引入 N 型或 P 型掺杂剂，从而对 V_T 进行了控制。

附图说明

图 1 是示出本发明的一实施方式的薄膜半导体装置的结构剖面图。

图 2 是示出本发明的一实施方式的薄膜半导体装置的制造方法（掺 B）的工序剖面图。

图 3 是示出本发明的一实施方式的薄膜半导体装置的制造方法（掺 B）的工序剖面图。

图 4 是示出本发明的一实施方式的薄膜半导体装置的另外的制造方法（掺 P）的工序剖面图。

图 5 是示出本发明的一实施方式的薄膜半导体装置的另外的制造方法（全表面掺 B 和反掺 P）的工序剖面图。

图 6 是示出本发明的一实施方式的薄膜半导体装置的另外的制造方法（全表面掺 P 和反掺 B）的工序剖面图。

图 7 是示出本发明的一实施方式的模拟电路的结构电路图。

图 8 是示出本发明第 1 实施例的差动放大电路的结构电路图。

图 9 是示出本发明第 2 实施例的差动放大电路的另一结构的电路图。

图 10 是示出本发明第 3 实施例的差动放大电路的另一结构的电路图。

图 11 是示出本发明第 4 实施例的驱动电路的结构的电路图。

图 12 是示出本发明第 5 实施例的液晶显示装置的驱动电路的结构的图。

图 13 是示出本发明第 5 实施例的有机 EL 显示装置的驱动电路的结构的图。

图 14 是示出本发明第 5 实施例的数据驱动器的具体结构的图。

图 15 是示出本发明第 5 实施例的存储器的具体结构的图。

图 16 是说明本发明的效果的电路图。

图 17 是示出本发明第 6 实施例的差动放大电路的电路结构的图。

图 18 是示出本发明第 7 实施例的源极跟随放大电路的电路结构的图。

图 19 是示出本发明第 8 实施例的差动电路的电路结构的图。

图 20 是示出本发明第 9 实施例的差动电路的电路结构的图。

具体实施方式

下面参照附图对实施本发明的薄膜半导体装置及其制造方法的最佳的一种实施方式进行说明。在以下的方式的说明中设定：模拟电路是指处理连续量的电路，是在稳定工作时的工作点需要空载电流的电路。逻辑电路是指处理高电平和低电平的 2 值电压的电路。开关是指切换两点之间的导通、不导通的元件。

如在现有技术部分中说明的那样，对形成有由多晶硅膜构成的 n 沟道型 TFT 和 p 沟道型 TFT 的薄膜半导体装置，为减小 TFT 的关态电流，对 n 沟道型 TFT（或 p 沟道型 TFT）进行了沟道掺杂，但是，使用该方法时，同一沟道型的 TFT 有相同的 V_T 。于是，当为将 TFT 的关态泄漏电流抑制得十分小以实现低功耗而将 V_T 设定高时，产生了模

拟电路的工作速度、动态范围变坏的问题，由于 VT 的对称性破坏而得不到良好的电路特性的问题。

另一方面，在硅衬底上形成电路（称作硅电路）时，例如存储电路的读出放大器存在为了高速响应和抑制泄漏电流而采用 2 种 VT 的例子，采用了按照各个电路对阱电位进行调整来控制 VT 的方法等。但是，因为硅电路中存在背栅，所以能够利用阱电位控制等方法，而对在绝缘基板上设置的 TFT，就不能够利用这种方法，不能应用硅电路技术。

对在绝缘基板上形成的薄膜半导体装置，为在逻辑电路和开关以及模拟电路中分别控制 VT，若对同一沟道型的 TFT 也分别进行沟道掺杂的话则可以分别控制 VT，然而用此方法时，必须对 n 沟道型 TFT 和 p 沟道型 TFT 两者至少各进行 1 次沟道掺杂，因而薄膜半导体装置的制造工序变得复杂，特别是对于谋求便携式终端装置等的廉价化的装置，工序增加造成的价格上升是重要的问题。

另外，利用特开平 8-264798 号公报所述的方法，虽然能够在同一沟道型内具有不同的 VT，但由于上述公报不意在 n 沟道型 TFT 和 p 沟道型 TFT 双方同时进行掺杂为目的，考虑了有源矩阵显示装置的栅线的布线电阻引起电压降，提供了使距栅线驱动电路越远的 TFT，其 VT 越小的方法，所以与分别进行沟道掺杂的方法一样，必须对 n 沟道型 TFT 和 p 沟道型 TFT 两者至少各进行 1 次沟道掺杂。

另外，用这些方法时，对 n 沟道型 TFT 和 p 沟道型 TFT 分别进行沟道掺杂，所以各沟道型的 VT 的对称性被破坏，不能解决在构成 CMOS 电路等时得不到所希望的电路特性的问题。

另外，本申请的发明人瞄准对各电路的 VT 进行控制，特别是着眼于在模拟电路工作时 TFT 的关态电流特性是不必要的。即，除模拟

开关这样的必须切断电流的模拟电路外，一般说来因模拟电路在工作时有空载电流流过，而 TFT 处于开态，关态泄漏电流的大小与模拟电路的工作性能、功耗无关。而另一方面，TFT 的 V_T 越低，模拟电路的工作速度越快，动态范围也越宽。因此，对于模拟电路，就其工作而言，TFT 的关态电流即使稍微有些增大也不成为问题，其 V_T 越低，性能越好。

考虑到这种模拟电路的特点，提出了在 n 沟道型 TFT 的一部分中和 p 沟道型 TFT 的一部分中同时引入同一掺杂剂的方法，从而不致使掺杂工序复杂而对 n 沟道型 TFT 和 p 沟道型 TFT 两者控制适合于电路的 V_T 。另外，一直以来正在应用对 n 沟道型 TFT 和 p 沟道型 TFT 两者引入不同掺杂剂的方法，而对不同沟道型的 TFT 引入同一掺杂剂来控制 V_T 的方法是本申请的发明人提出的新方法。

下面参照图 1 至图 6 对实施本发明的最佳方式的薄膜半导体装置的结构及其制造方法进行说明。在图 1 至图 6 中，虽然示出了在绝缘性基板上形成 V_T 各不相同的 n 沟道型 TFT 和 p 沟道型 TFT（共计 4 个 TFT）的情形，但本发明不限于图中的结构，可以应用于 n 沟道型 TFT 和 p 沟道型 TFT 混合存在、至少适用多个一种沟道型的结构。

如图 1 所示，实施本发明的一个最佳实施方式的薄膜半导体装置是在经底涂敷层 2 形成于玻璃、塑料等绝缘性基板 1 上的多晶硅膜 3 上，形成具有以大致相同的浓度引入了 B（硼）沟道区的 V_T 低的 p 沟道型 TFT（以下称低 V_T -p 型 TFT（1））和 V_T 高的 n 沟道型 TFT（以下称高 V_T -n 型 TFT（4）），以及不掺杂的 V_T 高的 p 沟道型 TFT（以下称高 V_T -p 型 TFT（2））和 V_T 低的 n 沟道型 TFT（以下称低 V_T -n 型 TFT（3））。即，其特征是不仅对不同的沟道型，就是对同一沟道型也形成了 V_T 不同的 TFT。在上面的叙述中，所谓高 V_T 或低 V_T 是表示电位的绝对值的大小关系。参照图 2 和图 3 的工序剖面图，对这种结构的薄膜半导体装置的制造方法进行说明。

首先,如图2(a)所示,用LPCVD(减压CVD)法、PCVD(等离子体CVD)法、溅射法等,在玻璃、塑料等绝缘性基板1上形成膜厚约30nm的构成底涂敷层2的氧化硅膜(SiO_x)、氮化硅膜(SiN_x)等。该底涂敷层2是为防止杂质从绝缘性基板1向有源层扩散而设置的,在杂质的影响不成为问题的场合并非必须要设置。之后,用LPCVD法、PCVD法、溅射法等形成膜厚约20nm~100nm的构成有源层的非晶硅(以下简称a-Si)膜3a。在用PCVD法的场合,成膜后进行脱氢处理。

接着,如图2(b)所示,用光刻工艺在a-Si膜3a上形成在进行掺杂的区域设置了开口的抗蚀剂图形10a,用离子注入法或离子掺杂法进行沟道掺杂。这里,在现有的薄膜半导体装置的制造方法中,对同一沟道型TFT的全部(例如图2(a)的右侧的2个n沟道型TFT)进行掺杂,而在本发明中,为了通过1次掺杂控制n沟道型和p沟道型双方的V_T,有选择地仅对n沟道型TFT的至少一部分(图中右侧的n沟道型TFT)和p沟道型TFT的至少一部分(图中左侧是p沟道型TFT)掺杂了B(硼)。用该离子注入法或离子掺杂法引入的掺杂剂剂量,虽然随要设定的V_T而变,但是,通常在 $2E+11\sim 5E+12/cm^2$ 的范围内为宜。

另外,在这里,为了叙述同时形成上述4种TFT的情形,对n沟道型TFT和p沟道型TFT两者都设置了掺B的TFT和不掺杂的TFT,但是,在只对n沟道型TFT和p沟道型TFT的一方形成V_T不同的TFT的场合,也可以部分地只对该沟道型掺B。另外,在本方式中将V_T不同的TFT分成了V_T高的TFT和V_T低的TFT这2种TFT,但是,也可以将V_T分成3种以上。这时,只要添加掺杂剂种类、剂量不同的掺杂工序就可以。

之后,如图2(c)所示,用准分子激光把已对n沟道型TFT的一部分和p沟道型TFT的一部分进行了掺杂的a-Si膜3a退火(ELA),

使其结晶，形成具有非掺杂区 8 和 B 掺杂区 9 的多晶硅膜 3。

接着，如图 2 (d) 所示，用光刻工艺将多晶硅膜 3 刻蚀成岛状图形后，如图 2 (e) 所示，用 LPCVD 法、PCVD 法、溅射法等形成氧化硅膜作为栅绝缘膜 4。该栅绝缘膜 4 的膜厚虽随电源电压、VT 等 TFT 的特性和规格而异，但通常以在 30nm~200nm 左右的范围内为宜。之后，用 PCVD 法、溅射法等淀积金属、硅、硅化物等导电材料，用光刻工艺对导电材料构图，形成栅电极 5。

接着，如图 3 (a) 所示，用抗蚀剂图形 10b 覆盖 p 沟道型 TFT 形成区，以栅电极 5 作为掩模，对 n 沟道型 TFT 掺杂 P (磷)，接着，用抗蚀剂图形 10c 覆盖 n 沟道型 TFT 形成区，同样地以栅电极 5 作为掩模对 p 沟道型 TFT 掺杂 B，从而形成源/漏区。另外，n 沟道型 TFT 掺杂和 p 沟道型 TFT 掺杂的顺序是任意的，也可以反过来进行。

这里，在为防止漏附近的高电场区的器件的可靠性下降而形成 LDD (轻掺杂漏) 结构的场合，利用抗蚀剂注入掺杂剂对栅进行补偿后，以栅电极 5 作为掩模，低浓度地注入 P，然后进行激活。作为激活的方法，除有传统式的热激活、利用激光的激光激活外，还有用灯光、高温 N₂ 的 RTA (快速热退火) 等，选择最适合于栅金属等结构的激活工艺。

接着，如图 3 (c) 所示，在进行氢等离子体处理后，淀积氧化硅膜、氮化硅膜等作为层间绝缘膜 6，在栅和源/漏上形成接触孔，形成金属作为电极 7，进行电极布线。作为该金属，通常使用 Al。然后，虽未图示，形成氮化硅膜等的钝化膜，形成焊盘接触孔，形成薄膜半导体装置。

这样，在本发明中，通过在对 n 沟道型的一部分掺杂 B 时，同时对一部分 p 沟道型 TFT 形成区也掺杂 B，可以不增加工序地在同一沟

道型内制出 VT 不同的 2 种 TFT。另外，由于对低 VT-n 型 TFT 和高 VT-p 型 TFT 的沟道区，以大致相等的浓度引入了同一掺杂剂（B），所以能够确保 VT 的对称性。

在以上的说明中，虽然基本上叙述了通过对 p 沟道型 TFT 利用借助于 B 控制 n 沟道型 TFT 的 VT 的方法，来控制 n、p 的 VT 的方法，但是，用其他方法，对控制 n、p 的 VT 的方法用同样的考虑方法，也能够制成在同一沟道型中具有 2 种 VT 的 TFT。例如，如图 4 所示，取代在图 2（b）的工序中掺杂 B，形成露出中央的 TFT（高 VT-p 型 TFT 和低 VT-n 型 TFT）的抗蚀剂图形 10a，利用掺 P 的方法也能够提高掺 P 的 p 沟道型 TFT 的 VT，降低掺 P 的 n 沟道型 TFT 的 VT，制成对 n、p 两种沟道型都具有 2 种 VT 的 TFT。

另外，与这些方法相比，虽然增加了一道掺杂工序，利用反掺相反导电类型掺杂剂的方法也能够对 n、p 两种都制成具有 2 种 VT 的 TFT。例如，也可以如图 5 所示，取代在图 2（b）的工序中对两端的 2 个 TFT 掺杂 B，采用在全表面（对 n、p 两种）掺 B 之后（图 5（a）），形成露出中央的 TFT（高 VT-p 型 TFT（2）和低 VT-n 型 TFT（3））的抗蚀剂图形 10a，进行掺 P（图 5（b））的方法。这时，在低 VT-n 型 TFT（3）中实质上降低了 n 型杂质浓度，在高 VT-p 型 TFT（2）中实质上增加了 p 型杂质浓度，所以能够对 n 型、p 型都制出 2 种 VT 的 TFT。另外，也可以如图 6 所示，采用在全表面（对 n、p 两种）掺 P 之后（图 6（a）），形成露出两端的 TFT（低 VT-p 型 TFT 和高 VT-n 型 TFT）的抗蚀剂图形 10a，进行掺 B（图 6（b））的方法。这时，在高 VT-n 型 TFT（4）中实质上增加了 n 型杂质浓度，在低 VT-p 型 TFT（1）中实质上降低了 p 型杂质浓度，所以同样能够对 n 型、p 型都制出 2 种 VT 的 TFT。

这样，借助于将对 p 沟道型 TFT 利用用于控制 n 沟道型 TFT 的 VT 的 B 的结构，对 n 沟道型 TFT 利用用于控制 p 沟道型 TFT 的 VT

的 P 的结构, 或者对一部分 n 沟道型 TFT 或 p 沟道型 TFT 不掺杂 B 或 P 的结构进行组合, 可以对同一沟道型制出具有多种不同的 V_T 的 TFT。于是, 通过以具有不同 V_T 的 TFT 来构成需要关态电流特性的开关、逻辑类电路和需要低 V_T 而不需要关态特性模拟类电路, 可以提高双方的电路特性。

下面说明包含用上述方法形成的 TFT 的模拟电路的具体例。用低 V_T -TFT 构成模拟电路虽然能够提高工作速度, 扩大动态范围, 但是, 若仅用低 V_T 的 TFT 构成模拟电路, 将产生在模拟电路停止工作时因泄漏电流而消耗电力的问题。于是, 借助于设置用于在电路停止工作时切断低 V_T 的 TFT 的泄漏电流的、用高 V_T 的 TFT 构成的开关, 在电路停止工作时断开高 V_T 的 TFT 开关, 抑制模拟电路停止工作时泄漏电流引起的功耗, 来谋求上述问题的解决。

具体而言, 实施本发明的最佳方式的电路如图 7 所示, 由输入端子 11、输出端子 12、高电位侧电源端子 13 和低电位侧电源端子 14 以及包含低 V_T -TFT 的模拟电路 20 和用高 V_T -TFT 构成的开关 21、21 构成, 模拟电路 20 根据输入至输入端子 11 的输入电压 V_{in} , 从输出端子 12 输出输出电压 V_{out} 。开关 21、21 分别设置在高电位侧电源端子 13 与模拟电路 20 之间和低电位侧电源端子 14 与模拟电路 20 之间, 由控制信号 S1 及其反转信号 S1B 控制, 控制信号 S1 为高电平、S1B 为低电平时使模拟电路 20 激活 (可以工作), 而控制信号 S1 为低电平、S1B 为高电平时使模拟电路 20 非激活 (停止工作)。

在上述结构中, 利用由高 V_T -TFT 构成的开关 21、21, 当在输入端子 11、输出端子 12、高电位侧电源端子 13、低电位侧电源端子 14 各端子之间的电流通路路径上含低 V_T -TFT 时, 可以切断该电流通路, 使电路停止工作, 并且抑制由停止工作时的泄漏电流引起的功耗。另外, 还能够抑制电路停止工作时由泄漏电流引起的电位变动等对输入端子 11、输出端子 12 的影响。

例如，即使在输入端子 11 与低电位侧电源端子 14 之间存在含低 VT-TFT 的电流通路路径，借助于开关 22 也能够切断电流通路，即使是在高电位侧电源端子 13 与输出端子 12 之间存在含低 VT-TFT 的电流通路路径，借助于开关 21 也能够切断电流通路。另外，即使是在高电位侧电源端子 13 与低电位侧电源端子 14 之间存在电流通路路径，借助于开关 21 或开关 22 的某一方也能够切断电流通路。

这样，用本发明的方法，通过形成含低 VT-TFT 的模拟电路 20 和用高 VT-TFT 构成的开关 21、21，可以实现模拟电路的高性能化（提高工作速度，扩大动态范围），同时还能够防止由泄漏电流引起的功耗。借助于这种防止泄漏电流的结构，即使在将本发明的结构应用于要求低功耗的移动装置的驱动电路的场合，也能够减少在模拟电路中使用的低 VT-TFT 关断时的泄漏电流的限制。具体而言，对高 VT-TFT 关断时的泄漏电流通常要求在阈值电压下的电流（约 10^{-7}A ）的万分之一以下（约 10^{-11}A ），与此相对，低 VT-TFT 关断时的泄漏电流只要在阈值电压下的电流（约 10^{-7}A ）以下就可以，因而可以增加设计上的自由度。另外，上面给出的电流值是大概的标准。

该模拟电路 20 的结构可以应用于放大电路、电源电路、比较器、驱动电路等各种电路的模拟电路部。另外，低 VT-TFT 最好是增强型的，但即使是有点耗尽型也没有关系。

实施例

下面对上述实施方式的电路的具体结构进行说明。另外，关于下面的电路结构，为说明简单，虽然制成了具备 VT 高的 TFT 和 VT 低的 TFT 这两种 TFT 的结构，但是也可以制成另外还具备其 VT 与这 2 种 TFT 的不同的第 3 种 TFT 的结构。一般说来，低 VT 的 TFT 的关态泄漏电流比高 VT 的 TFT 的大。

[实施例 1]

首先，参照图 8 说明本发明第 1 实施例的具备 2 种 VT 的 TFT 的模拟电路。图 8 是示出将本发明的结构应用于差动放大电路的例子电路图。在以下的说明中，对高 VT 和低 VT 的 TFT 两者都设定为绝缘栅型晶体管。

如图 8 所示，本实施例的电路是由差动级和放大级构成的最简单的差动放大电路，是将低 VT-TFT 应用于差动级（图 8 的 23），用低 VT-TFT 形成差动对 101、102，用高 VT-TFT 形成用于切断差动对 101、102 的电流通路的开关 501 的差动放大电路。除差动对 101、102 外，全部用与开关 501 相同的高 VT-TFT 形成。差动级、放大级两者虽然各自都是流过空载电流的模拟电路部，但在本实施例中，对只是用低 VT-TFT 形成差动对 101、102 的实施例进行说明。下面详细地说明图 8，差动级用由 n 沟道晶体管组成的差动对 101、102；驱动差动对、经晶体管开关 501 被连接在差动对与低电位侧电源端子 14 之间的电流源 105；以及为差动对的负载电路、被连接在差动对与高电位侧电源端子 13 之间的、由 p 沟道晶体管组成的电流镜电路 103、104 构成。

电流镜电路的输入端（晶体管 104 的漏与栅的连接点）与差动对的晶体管 102 的漏连接，其输出端与差动对的晶体管 101 的漏连接，晶体管 101 的漏构成差动级的输出。放大级由差动级的输出输入至其栅极、其源与高电位侧电源端子 13 连接、其漏与输出端子 12 连接的 p 沟道晶体管 106；串联连接在输出端子 12 与低电位侧电源端子 14 之间的电流源 107 和晶体管开关 502；以及被连接在 p 沟道晶体管 106 的栅极与高电位侧电源端子 13 之间的晶体管开关 503 构成。控制信号 S1 分别输入至晶体管开关 501、502、503。另外，在本实施例中，由于 2 个差动输入端子是绝缘栅型晶体管的栅端子，所以是在差动输入端子与电源端子、输出端子之间构成了不产生电流通路的结构。

在该差动放大电路工作时，使控制信号 S1 为高电平，将开关 501、

502 接通，将开关 503 断开。据此，差动级的输出随 2 个差动输入电压 $V_{in}(+)$ 、 $V_{in}(-)$ 的电压差而变化，p 沟道晶体管 106 的漏电流被 p 沟道晶体管 106 的栅电压变化控制，输出电压 V_{out} 由与电流源 107 的电流的平衡决定。作为一个例子，当将差动对的反转输入端子（晶体管 102 的栅极）与输出端子 12 连接时，可以形成输出与非反转输入端子（晶体管 101 的栅极）的输入电压相等的电压的电压跟随器电路。另外，当工作时，在差动级，由电流源 105 控制的空载电流流过的差动对 101、102 和电流镜电路 103、104。另一方面，在放大级，流过 p 沟道晶体管 106 的空载电流随连接在输出端子 12 的电路而异，当存在从输出端子 12 向外电路流动的一定的放电电流时，流过 p 沟道晶体管 106 的空载电流是放电电流与被电流源 107 控制的电流的总和电流。另外，当在输出端子 12 连接电容性负载时，在电容的充放电完成后的稳定工作状态下，只是被电流源 107 控制的空载电流流过 p 沟道晶体管 106。

另一方面，在停止工作时，使控制信号 S1 为低电平，将开关 501、502 断开，将开关 503 接通。由于差动级的开关 501 处于断开状态，所以流入低电位侧电源端子 14 的电流被切断，差动级的输出向高电位电源电压 VDD 变化。由于放大级的开关 503 处于接通状态，所以 p 沟道晶体管 106 的栅电压提高到高电位电源电压 VDD，p 沟道晶体管 106 处于关断状态。另外，由于开关 502 处于断开状态，所以输出端子 12 与低电位侧电源端子 14 之间的电流通路也被切断。这样，差动放大电路的工作、停止工作被控制信号 S1 控制。

该差动放大电路的动态范围（相对电源电压范围的输出电压范围），其上限是高电位电源电压 VDD，下限是从低电位电源电压 VSS 仅减去 n 沟道晶体管 101、102 的阈值电压的范围。因此，在图 8 的结构中，由于用低 V_T -TFT 形成差动对 101、102，所以差动级 23 的工作范围增宽，可以扩大差动放大电路的动态范围。另外，该差动放大电路在停止工作时，由于用低 V_T -TFT 构成的差动对 101、102 的电流通

路被用高 VT-TFT 形成的开关 501 切断, 所以不因泄漏电流而增加功耗。

[实施例 2]

下面参照图 9 说明本发明第 2 实施例的具备 2 种 VT 的 TFT 的模拟电路。图 9 是将低 VT-TFT 应用于差动级(图 9 的 23), 用低 VT-TFT 形成差动对 101、102 和电流镜电路 103、104, 用高 VT-TFT 形成切断差动对和电流镜电路的电流通路的开关 501 的差动放大电路。除差动对 101、102 和电流镜电路 103、104 外, 全部用与开关 501 相同的高 VT-TFT 形成。

由于用低 VT-TFT 形成差动对 101、102, 所以可以与图 8 一样, 加宽差动级 23 的工作范围, 扩大差动放大电路的动态范围。另外, 由于借助于用低 VT-TFT 形成电流镜电路 103、104, 减小了作为负载电路对差动对的负载, 所以电流镜电路的工作响应加快, 可以加快差动放大电路的工作。另外, 也可以制成将低 VT-TFT 只应用于电流镜电路 103、104, 用高 VT-TFT 形成切断差动对电流通路的开关 501 差动放大电路。这时, 也与图 8 的放大电路一样, 利用低 VT-TFT 可以提高差动放大电路的性能, 通过设置用高 VT-TFT 形成的开关 501, 可以防止由低 VT-TFT 的泄漏电流引起的功耗增加。

[实施例 3]

下面参照图 10 说明本发明第 3 实施例的具备 2 种 VT 的 TFT 的模拟电路。图 10 是示出将本发明的结构应用于差动放大电路的另外的例子的电路图。

如图 10 所示, 本实施例的电路是将低 VT-TFT 应用于差动级(图 10 的 23) 和放大级(图 10 的 24) 的差动放大电路, 是用低 VT-TFT 形成差动对 101、102 和电流镜电路 103、104, 用高 VT-TFT 形成切断差动对和电流镜电路的电流通路的开关 501, 另外用低 VT-TFT 形成放大级的 p 沟道晶体管 106, 用高 VT-TFT 形成切断在高电位侧电源端子

13 与输出端子 12 之间设置有 p 沟道晶体管 106 的电流通路的开关 504 的差动放大电路。

晶体管开关 504 与 p 沟道晶体管 106 串联连接在高电位侧电源端子 13 与输出端子 12 之间，这是由于，若晶体管开关 504 不与 p 沟道晶体管 106 串联连接，差动放大电路在停止工作时往往会产生由于低 V_T -TFT 的 p 沟道晶体管 106 的泄漏电流，使输出端子 12 的电压上升等影响。控制信号 S1 的反转信号 S1B 输入至该晶体管开关 504 的栅极，在差动放大电路工作时开关 501、502 同时接通，停止工作时开关 501、502 同时断开。

本实施例的效果，就将低 V_T -TFT 应用于差动级（图 10 的 23）的情形而言，与图 9 的相同，加宽了差动级 23 的工作范围，可以扩大差动放大电路的动态范围。另外，在本实施例中，通过用低 V_T -TFT 形成放大级（图 10 的 24）的 p 沟道晶体管 106，电源电压范围的 p 沟道晶体管 106 的导通区域加宽，差动级输出（晶体管 106 的栅电压）的变化范围的晶体管电流驱动能力的上限提高，因而能够提高差动放大电路的工作速度。这样，在本实施例中，也能够不引起功耗增加而提高差动放大电路的性能。

[实施例 4]

下面参照图 11 说明本发明第 4 实施例的具备 2 种 V_T 的 TFT 的模拟电路。图 11 是示出将本发明的结构应用于差动放大电路的例子的电路图。

本实施例是将图 10 的差动放大电路与在晶体管的极性方面同图 10 对称的结构差动放大电路的 2 个差动放大电路（图 11 的 30 和 40）进行组合而构成的差动放大电路。图 11 的 2 个差动放大电路 30、40 变为分别将非反转输入端子 $V_{in}(+)$ 与输入端子 11 连接，并且还将各自的输出端子共同与输出端子 12 连接，另外，2 个差动放大电路都是

将反转输入端子 Vin (-) 与输出端子 12 共同连接的电压跟随器结构。借助于控制信号 S1、S2 和它们反转信号 S1B、S2B，可以独立地控制 2 个差动放大电路的工作和停止工作。

在图 11 的差动放大电路中，当差动放大电路 30 被控制信号 S1、S1B 激活而工作时，可以通过 p 沟道晶体管 106 进行高速充电工作，当差动放大电路 40 被控制信号 S2、S2B 激活而工作时，可以通过 n 沟道晶体管 206 进行高速放电工作。通过对控制信号 S1、S1B、S2、S2B（S1B、S2B 分别是 S1、S2 的反转信号）进行控制，可以适当地切换高速充电工作和高速放电工作而进行工作。因此，图 11 的差动放大电路既能抑制流过电流源 107 和 207 的电流，求得了低功耗，又可以高速工作。

另外，输出端子 12 经用信号 PC 和 PCB 控制的互补型开关 131、132 与电源 VCC 连接。由此，可以根据需要将输出端子 12 的电压预充电至电源电压 VCC 或进行预放电。构成图 11 的 2 个差动放大电路 30、40 的工作范围虽然仅减小（变窄）了构成各自的差动对的晶体管的阈值电压的量，但是，借助于电源 VCC 的预充电或预放电，图 11 的驱动电路可以实现与电源电压范围相等的工作范围。另外，电源 VCC 也可以是具有多个电压电平的可变电源。

[实施例 5]

下面参照图 12 至图 15 说明本发明第 5 实施例的具备 2 种 VT 的 TFT 的在绝缘基板上形成的图像显示装置用电路。图 12 是示出将本发明应用于液晶显示装置的例子图，图 13 是示出应用于有机 EL 显示装置的例子图。另外，图 14 和图 15 是示出其具体电路结构的图。

图 12 示出了在同一绝缘基板上形成了显示部和显示控制器、驱动器等为驱动显示部所必须的驱动电路、外围电路的 TFT 基板侧的电路方框图的实施例。在图 12 中，系统电源和数字图像信号、控制信号从

TFT 基板 31 的外部输入。这些信号被送到显示控制器 36 中，数字图像信号被送到存储器 37 中。另外，数字图像信号的传送方法可以是与地址信号对应地进行传送的方法，或者以串行或并行的方式进行传送等各种各样的方法，根据传送方法设置必要的信号、必要的电路。各方框部分根据从显示控制器 36 传送来的控制信号进行工作控制。电源电路 35 以系统电源为基础产生各方框部分所必须的电源电压。数字图像信号存储在存储器 37 中，按照时序从存储器 37 中读出的图像信号被传送至数据驱动器 34 中。数据驱动器 34 由灰度（等级）电压发生电路、数据门锁电路、解码器、输出放大电路等构成，由输出放大器放大根据数字图像信号选择的灰度电压，并将其输出至数据线 43。栅驱动器 33 输出用于依次选择各栅线 42 的扫描信号。在显示部 32 中，栅线 42 与数据线 43 交叉地配置。另外，存储器 37 最好能够存储 1 帧或多帧图像数据。

在图 12 中示出了显示部 32 为有源矩阵型的结构。在有源矩阵型显示部中，像素被配置成矩阵状，对每个像素设置了 TFT 41，TFT 41 的控制端与栅线 42 连接，漏极与数据线 43 连接，源极与像素电极连接。在图 12 中虽作了省略，但它是还具有与 TFT 基板 31 相向的、设置了透明电极的对置基板，在 TFT 基板 31 与对置基板之间封入了液晶的结构。在像素与对置基板的电极（公用线 44）之间的液晶形成液晶电容 45，借助于由它与存储电容器 46 一起保持被施加在电容两端的电压差来控制液晶的透射率，可以进行灰度显示。另外，共用驱动器 38 产生施加至对置基板上的电极的电压信号，从 TFT 基板侧传送到对置基板上的电极（公用线 44）。

由于在图 12 所示的 TFT 基板 31 上一体化地形成了显示部 32 及其驱动电路和外围电路，所以能够用一道工序形成 TFT 和布线，在本发明中，对在绝缘基板（TFT 基板 31）上形成的 TFT，可以同时形成对每种极性具有不同 V_T 的 TFT（高 V_T -TFT 和低 V_T -TFT）。于是，借助于将低 V_T -TFT 应用于电路工作时需要空载电流的模拟电路部，而

将高 VT-TFT 应用于逻辑电路和开关,可以不增加功耗地实现模拟电路部的工作速度提高、动态范围扩大,由此,可以提高显示装置的性能。

图 13 与图 12 一样,是在绝缘基板上一体化地形成了显示部及其驱动电路和外围电路的显示装置的电路方框图,示出了有代表性的有机 EL 显示装置的 TFT 基板侧的电路方框图。在图 13 中,对与图 12 中的元件有同样功能者,使用了相同的元件标号。图 13 也示出了显示部 32 是有源矩阵型的结构。在有机 EL 显示装置的有源矩阵型显示部中,像素被配置成矩阵状,对每个像素设置了开关 TFT 51、电流控制 TFT 54 和用有机薄膜形成的发光二极管 OLED 55 (有机发光二极管),TFT 51 的控制端与栅线 52 连接,其漏与数据线 53 连接,其源与 TFT 54 的控制端连接。TFT 54 的源与高电位电源 VDD 连接,其漏与 OLED 的一端连接,低电位电源 VSS 施加至 OLED 的另一端。另外,低电位电源 VSS 施加至在阴极基板侧形成的电极上,这在图 13 中未示出。当 TFT 51 为导通状态、与图像信号对应的电压被施加至 TFT 54 时,在 OLED 55 中流过与 TFT 54 的栅压与高电位电源 VDD 的电压差相应的电流,OLED 55 以与电流的大小相应的亮度发光。这样,通过控制流过 OLED 55 的电流,可以进行灰度显示。另外,图 13 中的共用驱动器 38 是产生被施加至阴极基板侧的电极上的电压 VSS 的电路,当电压 VSS 为 GND 时,也可以不设置它。

由于在图 13 所示的 TFT 基板 31 上一体化地形成了显示部 32 及其驱动电路和外围电路,所以能够用一道工序形成 TFT 和布线,在本发明中,对在绝缘基板 (TFT 基板 31) 上形成的 TFT,可以同时形成对每种极性具有不同 VT 的 TFT (高 VT-TFT 和低 VT-TFT)。于是,借助于将低 VT-TFT 应用于在电路工作时需要空载电流的模拟电路部,而将高 VT-TFT 应用于逻辑电路和开关,与图 12 相同,可以不增加功耗地实现模拟电路部的工作速度提高、动态范围扩大,由此,可以提高显示装置的性能。

对图 12 和图 13 进行更详细的说明，作为图 12 和图 13 的模拟电路的具体例，有数据驱动器 34 的输出放大器、电源电路 35 的调节器、存储器 37 的读出放大器等，借助于用低 VT-TFT 形成它们的一部分元件，可以扩大动态范围、提高高速工作性能，从而可以提高显示装置的性能。例如，若按照本发明提高了数据驱动器 34 的输出放大器的工作速度，可以在短时间内向各数据线 43 输出灰度电压，因此可以实现要求在短时间内进行数据线驱动的高精细度的面板。

作为逻辑电路和开关的具体例，有栅驱动器 33、显示控制器 36、显示部 32 的像素部的开关（图中的 TFT 41）等，为了防止泄漏电流引起的功耗增加或误动作，用高 VT-TFT 形成用于构成这些电路的 TFT。另外，在数据驱动器 34、存储器 37 等中也含许多逻辑电路、开关。即，无论哪一个电路块，即使是逻辑电路为其主体，也往往会含一部分模拟电路。在图 14 和图 15 中示出了这种电路块的代表例。

图 14 是示出数据驱动器 34 的结构例的图。图 14 的数据驱动器由灰度电压发生电路 200、门控电路 400、解码器 300、放大电路 100 和输出端子组 500 构成，灰度电压发生电路 200 由在其两端施加了电源电压 VH 和 VL 的电阻串构成，输出由电阻串的各分抽头生成的灰度电压（多值电平电压），门控电路 400 取入输入到数据驱动器 34 中的图像数字数据，在规定的时刻将其输出至解码器 300 中，解码器 300 选择与从门控电路 400 输出的数字数据对应的灰度电压，输出至放大电路 100，放大电路 100 放大输入的灰度电压，并将其输出至与数据线（图 12 的 43、图 13 的 53）连接的输出端子。另外，从数据驱动器的外部传送至门控电路的图像数字数据最好从图 12 或图 13 的存储器 37 中读出，以并行的形式直接输入至门控电路 400，但是，如果数据以串行的形式传送来时，也可以制作成设置移位寄存器，与时钟同步地依次取入至门控电路 400 的结构。图 14 中的门控电路 400 是逻辑电路。另外，解码器 300 虽是处理多值电平的电路，但也是由开关构成的电路，它与门控电路 400 两者都用高 VT-TFT 形成。另一方面，放大电路 100

是模拟电路，可以适用图 8 至图 11 示出的差动放大电路。借助于将本发明应用于放大电路 100，可以不增加功耗地实现放大电路 100 的工作速度提高、动态范围扩大。另外，由于图 14 的灰度电压发生电路 200 不含 TFT，所以省略其说明。

另外，图 15 是示出上述非专利文献 1（近代科学出版社，超 LSI 入门系列 5，《MOS 集成电路基础》，p.64）的在绝缘基板上形成静态 RAM 的存储器 37 的结构例的图，它由存储单元阵列 600、数据输入缓冲器 700、数据输出缓冲器 800 和读出放大器 900 等构成。图 15 的存储器由行地址和列地址指定存储单元 600，根据写启动信号的电平（低电平、高电平）对指定的存储单元 600 进行写入或读出。读出放大器 900 将从存储单元 600 读出的数据放大，起快速进行读出工作的作用。在图 15 中，存储单元 600 是双稳态多谐振荡器结构，数据输入缓冲器 700 和数据输出缓冲器 800 都是逻辑电路，分别用高 VT-TFT 形成。另一方面，读出放大器 900 有与图 8 至图 10 的差动级（各图中的 21）大致相同的结构，如图 8 至图 10 的差动级那样，用低 VT-TFT 形成差动对、电流镜电路，通过设置用于切断它们的电流通路的、用高 VT-TFT 形成的开关可以实现不增加功耗地提高读出放大器 900 的工作速度，扩大其动态范围。

另外，模拟电路可以构成绝缘基板上的任意电路，可以对其应用本发明。例如，对图 12、图 13 中的像素部虽然只用了开关 TFT，但为像素部也可以设置各种功能电路，当在该功能电路中使用模拟电路时，也可以应用本发明，以提高其性能。

另外，当在绝缘基板上单独地形成图 14 的数据驱动器、图 15 的存储器等电路块，将其分别制成芯片时，不言而喻，也可以通过将本发明应用于模拟电路，实现不增加芯片功耗而比现有技术的芯片有高的性能。

如在上述各实施例中所示，通过配置用本发明的方法形成的低 VT-TFT 和高 VT-TFT 来构成电路，可以利用低 VT-TFT 来提高模拟电路的性能，而用高 VT-TFT 来防止电流的泄漏。为了明确本发明的这种效果，下面对将低 VT-TFT 应用于倒相器、开关等逻辑电路的结构（本发明中所不包含的情形）的问题进行说明。

图 16 (a) 是示出用低 VT-TFT 形成的倒相器的电路结构的图。图 16 (a) 的倒相器由 p 沟道晶体管 901 和 n 沟道晶体管 902 构成，所述 p 沟道晶体管 901 的源极与高电位侧电源 VDD 连接，所述 n 沟道晶体管 902 的漏极和 p 沟道晶体管 901 的漏极一起与输出端子 12 连接、栅极和 p 沟道晶体管 901 的栅极一起与输出端子 11 连接。关于倒相器的工作，在输入 V_{in} 为低电平 (VSS) 时，p 沟道晶体管 901 导通，n 沟道晶体管 902 关断，输出 V_{out} 为高电平 (VDD)，在输入 V_{in} 为高电平 (VDD) 时，p 沟道晶体管 901 关断，n 沟道晶体管 902 导通，输出 V_{out} 为低电平 (VSS)。

这样，p 沟道晶体管 901、n 沟道晶体管 902 的一方关断。但是，由于用低 VT-TFT 形成 p 沟道晶体管 901、n 沟道晶体管 902，所以当其关态泄漏电流比较大时，虽然倒相器的工作可以高速化，但产生了因关断的晶体管的泄漏电流而增加功耗的问题。与此相对，在本发明中，将低 VT-TFT 用于模拟电路，所以其工作既能高速化，但又不增加功耗。

图 16 (b) 是示出将低 VT-TFT 应用于时钟倒相器的结构（本发明中所不包含的情形）的图。在图 16 (b) 中，晶体管开关 903 被连接在图 16 (a) 的用低 VT-TFT 形成的倒相器与高电位侧电源端子 13 之间，晶体管开关 904 被连接在图 16 (a) 的倒相器与低电位侧电源端子 14 之间，控制信号 S3 和 S4 输入至晶体管 903、904 各自的栅极。

在图 16 (b) 的结构中，由于当高 VT-TFT 的晶体管 903、904 同

时关断时，电流通路完全被切断，所以即使用低 VT-TFT 形成的晶体管 901、902 的泄漏电流大，也不影响工作。但是，当高 VT-TFT 的晶体管 903、904 的至少一方导通时，往往影响工作。例如，当晶体管 901、902、903、904 分别为关断、导通、导通、关断时，如果晶体管 901 的泄漏电流大，则电荷从高电位侧电源端子 13 流入输出端子 12，往往发生误动作。

图 16 (c) 是示出将低 VT-TFT 应用于开关的结构（本发明中所不包含的情形）的图。图 16 (c) 是与图 8 的差动级类似的结构，是代替高 VT 的晶体管 501，设置了低 VT-TFT 开关 951 的差动级。该结构是在包含低 VT-TFT 的差动对的电流通路路径上未设置用高 VT-TFT 构成的开关的结构。因此，在使 S1 为低电平、让差动级停止工作时，由电流源 915 控制的电流也流过差动级，因此，如果低 VT-TFT 开关 951 的泄漏电流大，则差动级停止工作时的功耗因之增加。这样，若对模拟电路中的开关也用低 VT-TFT，则产生功耗增加的问题。与此相对，在本发明中，将低 VT-TFT 用于模拟电路的流过规定的内部电流的电路部，但不用于开关。另外，关于电流通路路径，由于是在包含低 VT-TFT 的电流通路路径上还含有用高 VT-TFT 构成的开关的结构。所以不增加功耗。

[实施例 6]

另外，下面参照图 17 说明本发明第 6 实施例的具备 2 种 VT 的 TFT 的模拟电路。图 17 是示出将本发明应用于差动放大电路的另外的实施例的电路结构的图。

如图 17 所示，本实施例的差动放大电路的差动级 23 具有低 VT-TFT，放大级 24 具有低 VT-TFT。即，在差动级 23 中，用高 VT-TFT 构成组成差动对的晶体管对 101、102 和插入电流源 501 与电源 VSS 之间的开关晶体管 501，用低 VT-TFT 形成构成作为差动对的有源负载电路的电流镜电路的晶体管的 103、104。用低 VT-TFT 形成放大级 24 的

p 沟道晶体管 106，用高 VT-TFT 构成插入 p 沟道晶体管 106 的源极与高电位侧电源端子 13 之间的晶体管 504，用高 VT-TFT 形成在输入端子 12 与低电位侧电源端子 14 之间与电流源 107 串联连接的 n 沟道晶体管 502。另外，在用晶体管形成电流源 105、107 的场合，由于电流源 105、107 分别与晶体管 501、502 串联连接，所以可以用低 VT-TFT 和高 VT-TFT 的任何一种形成。控制信号 S1 被输入至起开关元件作用的晶体管 501、502 的栅极，控制信号 S1 的反转信号 S1B 被输入至晶体管 504 的栅极。差动放大电路工作时（激活时）晶体管 501、502、504 为导通状态，停止工作时（非激活时）晶体管 501、502、504 为关断状态。

在图 17 所示的电路中，在信号 S1 为高电平、差动级 23 和放大级（输出放大级）24 为激活状态时，例如，若非反转输入端子 11b 的信号电压 $V_{in}(+)$ 相对反转输入端子 11a 的信号电压 $V_{in}(-)$ 向较大的方向变化，则 n 沟道晶体管 101 的栅-源电压增大，漏电流增大，由于晶体管 103 的开态电阻上的电压降，差动级 23 的输出节点的电压下降，p 沟道晶体管 106 的栅-源之间的电位差变得更大，因此，p 沟道晶体管 106 的漏电流（源电流）增大，由于它与恒电流源 107 的电流（汇点电流）之差，输出端子的电压 V_{out} 以与非反转输入端子 11b 的信号电压 $V_{in}(+)$ 相同相位上升（例如在为电容性负载等的场合，与输出端子 12 连接的负载电容器的累积电荷增多）。若非反转输入端子 11b 的信号电压 $V_{in}(+)$ 相对反转输入端子 11a 的信号电压 $V_{in}(-)$ 向较小的方向变化，则 n 沟道晶体管 101 的栅-源电压减小，漏电流减小，由于晶体管 103 的开态电阻上的电压降，差动级 23 的输出节点的电压上升，p 沟道晶体管 106 的栅-源之间的电位差变得更小，因此，p 沟道晶体管 106 的漏电流（源电流）减小，由于它与恒电流源 107 的电流（汇点电流）之差，输出端子的电压 V_{out} 以与非反转输入端子 11b 的信号电压 $V_{in}(+)$ 相同相位下降，当 p 沟道晶体管 106 截止时，输出端子 12 的电荷被放电，电压 V_{out} 达到低电位电源电压 VSS 侧的下限。

本实施例图 10 中的差动级 101、102 用低 VT-TFT 构成，而用高 VT-TFT。这时，差动级 23 的工作范围虽未扩大，但是，由于用低 VT-TFT 形成电流镜电路 103、104 和输出放大级 24 的晶体管 106，所以与图 10 一样，可以提高差动放大电路的工作速度。另外，电流镜电路 103、104 虽是一级结构，但在用低 VT-TFT 形成多级型电流镜电路的全部或一部分的结构中，自然也能实现同样的效果。

另外，在图 8 至图 10 以及图 17 中，示出了在差动放大电路中使用低 VT-TFT 实现高性能的实施例，下面对应用低 VT-TFT 的部位（元件）及对差动放大电路的性能的影响进一步作详细说明。

如在上述各实施例中所述，用低 VT-TFT 形成差动放大电路的差动对时（其余，用高 VT-TFT 形成）可以扩大输入输出电压范围。另外，用低 VT-TFT 形成电流镜电路、输出放大级的晶体管时可以提高工作速度。

但是，用低 VT-TFT 形成差动对时，也存在差动放大电路的工作速度降低的情形。下面的情形就是这种情形：在构成差动对的低 VT-TFT 的阈值电压比高 VT-TFT 的阈值电压充分小时，这时，对于高电位侧电源电压 VDD 附近的输入电压，差动放大电路的工作速度下降。

参照图 8 对此进行说明，当差动对 101、102 的输入电压 $V_{in}(+)$ 在高电位侧电源电压 VDD 附近时，差动对 101、102 的共同源电位也上升至 VDD 侧。这时，差动对的输出电压（晶体管 101 的漏电压）的振幅最大，是电源电压 VDD 与差动对 101、102 的共同源电位之间的电压范围。因此，当低 VT-TFT 的差动对 101、102 的阈值电压十分小时，差动对的输出电压的振幅变小，放大晶体管 106 的放大作用减小，其结果是差动放大电路的工作速度降低。但是，在差动放大电路的输出电压范围的上限远比高电位侧电源电压 VDD 低时，不存在问题。因此，为了扩大输入输出电压范围，当对差动对用低 VT-TFT 时，需要考

虑输入输出电压范围的上限和工作速度，来设定低 V_{T-TFT} 的阈值电压。即，图 8 所示的差动放大电路虽能够扩大输入输出电压范围，但也存在速度降低的可能性。

图 10 所示的差动放大电路可以扩大输入输出电压范围，与图 8 所示的差动放大电路相比，也能够提高工作速度。

另外，图 17 的差动放大电路，虽然输入输出电压范围无变化，但能够充分地提高工作速度。

按以上所述来选择应用低 V_{T-TFT} 的部位（元件），可以提高所需要的性能。

[实施例 7]

下面对将低 V_{T-TFT} 和高 V_{T-TFT} 的结构应用于差动放大电路以外的放大电路的实施例进行说明。图 18 是示出本发明第 7 实施例的源跟随器放大电路的电路结构的图。参照图 18，本实施例的源跟随器放大电路具备：在高电位侧电源端子 13 与输出端子 12 之间串联连接的 n 沟道型晶体管 111 和 p 沟道开关晶体管 511；以及在低电位侧电源端子 14 与输出端子 12 之间串联连接的电流源 112 和 n 沟道开关晶体管 512。对 n 沟道晶体管 111 的栅极施加输入电压 V_{in} ，对晶体管 512、511 的栅极分别施加控制信号 S1 和它的反转信号 S1B。当控制信号 S1、S1B 分别为高、低电平时，该源跟随器放大电路被激活；当控制信号 S1、S1B 分别为低、高电平时，该源跟随器放大电路被非激活。图 18 的放大电路的作用是：当 V_{in} 上升时 n 沟道晶体管 111 进行源跟随器工作，升高输出电压 V_{out} ，并稳定在偏离输入电压 V_{in} 仅为晶体管 111 的栅-源间电压的量的电压。另外，当 V_{in} 下降时，n 沟道晶体管 111 一度成为关态，输出电压 V_{out} 因电流源 112 的放电作用而下降，在电压 V_{in} 与 V_{out} 的电位差超过晶体管 111 的阈值电压时，晶体管 111 再度成为开态，并稳定在偏离输入电压 V_{in} 仅为晶体管 111 的栅-源间电压的量

的电压上。在图 18 的放大电路中，用低 V_T -TFT 形成晶体管 111，用高 V_T -TFT 形成其他晶体管。由此得到的效果是：由于晶体管 111 的阈值电压降低，所以放大电路的动态范围扩大，同时源跟随器的工作速度提高。另一方面，由于用高 V_T -TFT 形成晶体管开关 511、512，所以在放大电路停止工作时也不发生由泄漏电流引起的功耗增加。

[实施例 8]

下面参照图 19 说明本发明第 8 实施例。在使用低 V_T -TFT 的图 8 乃至图 11、图 17 和图 18 所示的放大电路的各实施例中，独立地设置了用于切断从高电位侧电源端子 13 到低电位侧电源端子 14 的电流通路的专用开关晶体管。与此相对照，本实施例是使高 V_T -TFT 同时具有开关功能的实施例。

图 19 是使构成图 8 所示的差动级 23 的电流源 105 的晶体管 105 具有图 8 的开关 501 的功能的电路图，去掉了图 8 的开关晶体管 501。

作为代表例，图 19 示出了差动级 23，未示出放大级 24。电流源 105 用高 V_T -TFT 形成，偏置电压 V_{B1} 施加至其栅极。然后，在激活差动放大电路时，将偏置电压 V_{B1} 设定为规定的电压，在非激活差动放大电路时，将偏置电压 V_{B1} 设定为电源电压 V_{SS} 。在差动放大电路非激活时，由于用高 V_T -TFT 形成的电流源 105 关闭，所以不会因泄漏电流而增加功耗。这样，在本实施例中，通过对用晶体管构成的电流源 105 设置开关功能，可以实现与图 8 所示的差动级 23 相同的作用、效果。

图 20 是示出图 19 所示的结构变例的图。参照图 20 可知，该图是使构成作为图 8 所示的差动级 23 的差动对的有源负载的电流镜电路的晶体管 103、104 还具备开关功能的电路图。在图 20 所示的例中，从图 8 的差动级 23 中去掉了开关用晶体管 501，添加了高 V_T -TFT 的 p 沟道晶体管 108、109。p 沟道晶体管 108 连接在构成电流镜电路的晶

晶体管 103、104 的共用栅与晶体管 104 的漏之间，控制信号 S1B（控制信号 S1 的反转信号）输入其栅极，晶体管 109 连接在构成电流镜电路的晶体管 103、104 的共用栅与高电位侧电源端子 13 之间，控制信号 S1 输入其栅极。在激活差动放大电路时，使控制信号 S1、S1B 分别为高、低电平。这时，晶体管 108、109 分别导通和关断，晶体管 103、104 构成电流镜电路。另一方面，在使差动放大电路非激活时，使控制信号 S1、S1B 分别为低、高电平。这时，晶体管 108、109 分别关断和导通，晶体管 103、104 的共用栅为高电位侧电源电压 VDD，晶体管 103、104 成为关态，在晶体管 104 的漏与栅之间，也因关闭状态的晶体管 108 而成为非导通状态。

由于用高 VT-TFT 形成的晶体管 103、104、108 皆关断，所以空载电流完全被切断，不因泄漏电流而增加功耗。这样，在本实施例中，通过对由晶体管 103、104 构成的电流镜电路附加开关功能，可以实现与图 8 所示的实施例的差动级 23 相同的作用、效果。

以上虽然是参照图 8 进行了说明，但本发明的其他实施例也可与本实施例一样，是以如下方式形成的任意的结构：即，切断空载电流的、用高 VT-TFT 形成的开关不一定是切断电流的专用开关，它同时兼具开关功能和其他功能。

另外，作为图 8 等的变例，也可以以源跟随器结构（n 沟道晶体管）构成放大级的 p 沟道晶体管 106。这时，成为开关 503 的源极与低电位侧电源端子 14 连接、漏极与源跟随器晶体管的栅极连接、控制信号 S1 的互补信号 S1B 输入栅极的结构。另外，当然也可以将图 10 等的放大级 24 制成图 18 所示的源跟随器结构。另外，在将放大级的晶体管制成跟随器结构时，反转输入信号 $V_{in}(-)$ 和非反转输入信号 $V_{in}(+)$ 成为将图 10 所示状态进行对调的状态，输入端子 11a 成为接受信号电压 $V_{in}(+)$ 的非反转输入端子，而输入端子 11b 成为接受信号电压 $V_{in}(-)$ 的反转输入端子。

在上述实施例中，对于 5V 系列，高 VT-TFT 的阈值例如为 $\pm 1.0\sim\pm 1.2\text{V}$ 左右，低 VT-TFT 的阈值例如为 $\pm 0.0\sim\pm 0.2\text{V}$ 左右。这里，+是 n 沟道型 TFT 的阈值，-是 p 沟道型 TFT 的阈值（p 沟道型 TFT 导通时的栅-源间电压）。关于 p 沟道型 TFT 的阈值高低，以去掉符号的绝对值进行比较，就是说 0.2V （ -0.2V 的绝对值）的阈值比 1.2V （ -1.2V 的绝对值）的阈值低。

以上，参照附图对本发明的实施例进行了说明，但本发明不是仅限于上述实施例，自然也包含在本申请的权利要求范围的各项要求的范围内，本领域的技术人员能够进行的各种变形、修正。

例如，在上述实施例中，以多晶硅薄膜晶体管（polycrystalline silicon TFT）为例进行了说明，但是，本发明当然不是将晶体管的沟道区限定于多晶硅薄膜。例如，本发明也含因硅结晶粒径的扩大，晶体管的沟道区位于一个晶粒内的情形。

另外，利用激光进行结晶的多晶硅膜的形成也可以用固相生长进行结晶。

还有，本发明的作用、效果并非只用限定的薄膜半导体装置的制造方法才能实现。在上述实施例中，与用少的工序数实现的制造方法一起说明了本发明，但也可以分多次进行沟道掺杂，对同一沟道型形成不同 VT 的 TFT。这时，虽然增加了工序数（制造成本提高），但在例如与造价相比更重视电路性能的场所，通过制成如在本发明的实施例（图 7~图 11、图 17~图 20）中说明的结构，可以提高电路性能。在用其他的制造方法进行构成的场合，也是一样。

但是，利用在上述实施例中说明的制造方法，既能抑制制造成本的增加，又能实现电路性能的提高。

图1

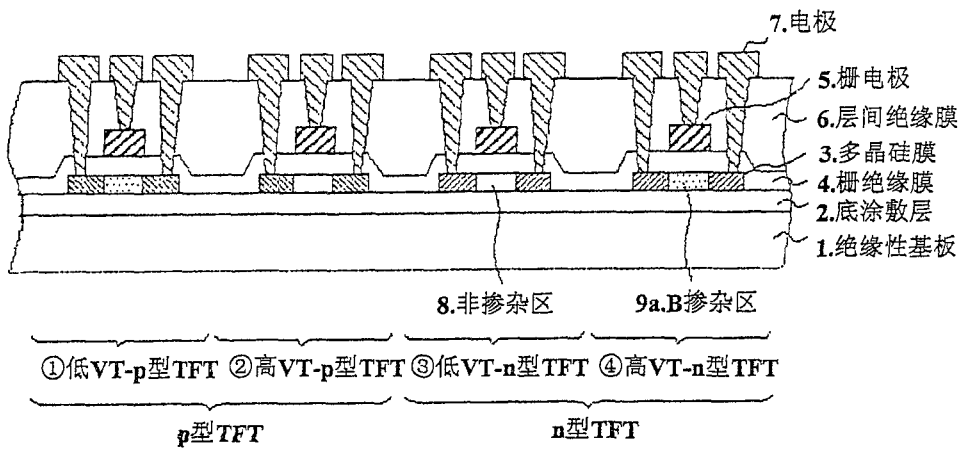


图2

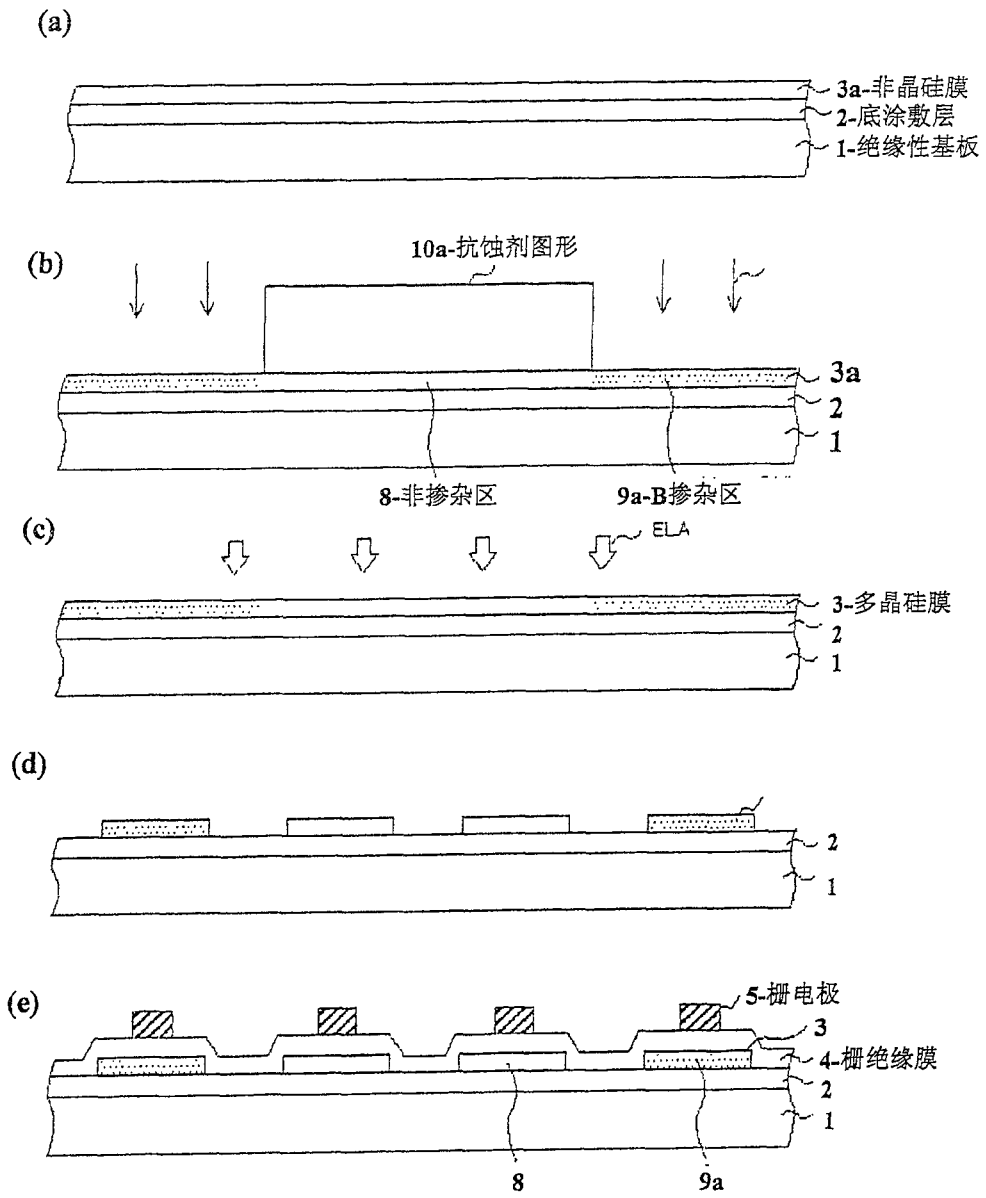


图3

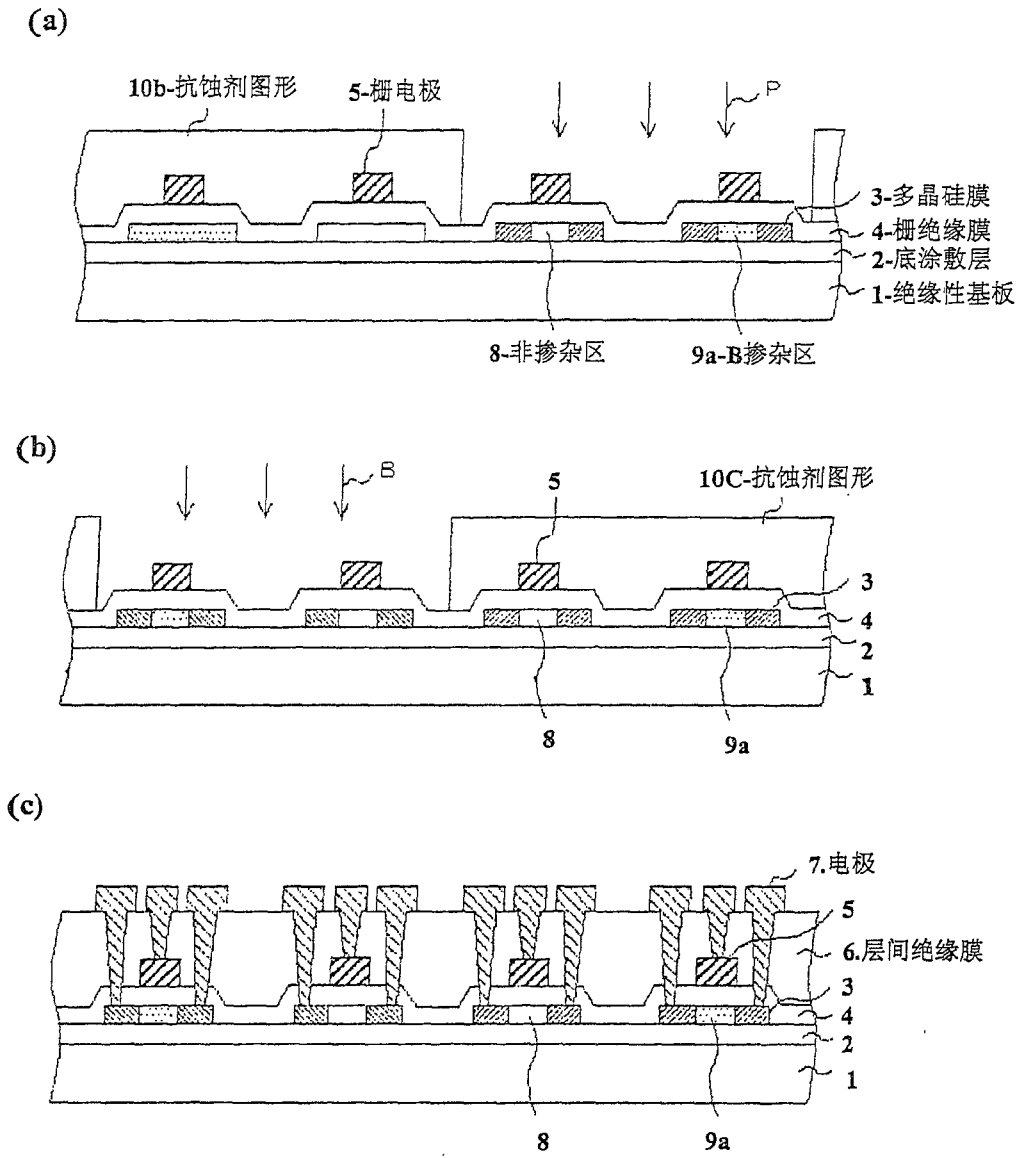


图4

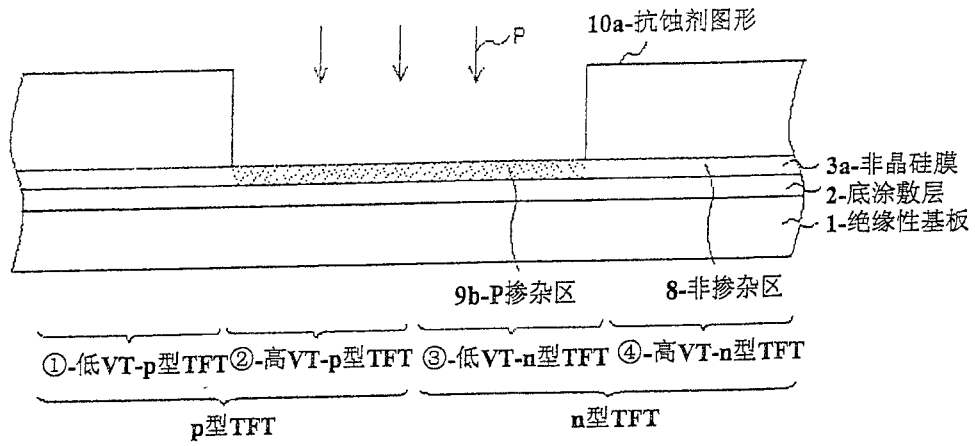
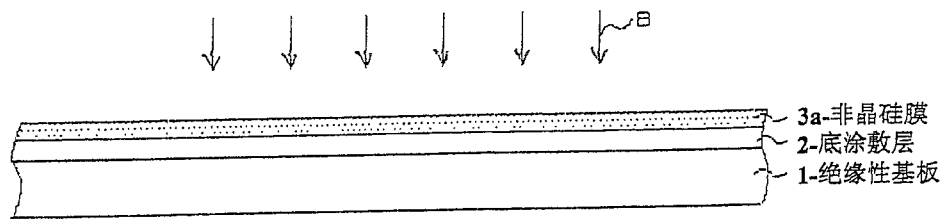


图5

(a)



(b)

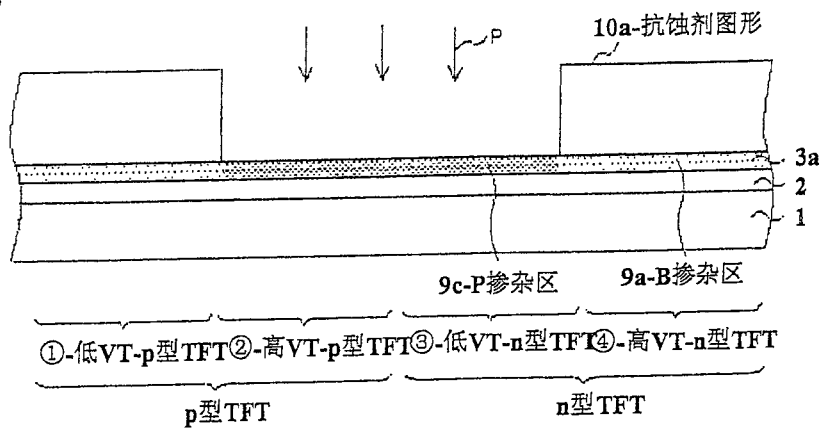


图6

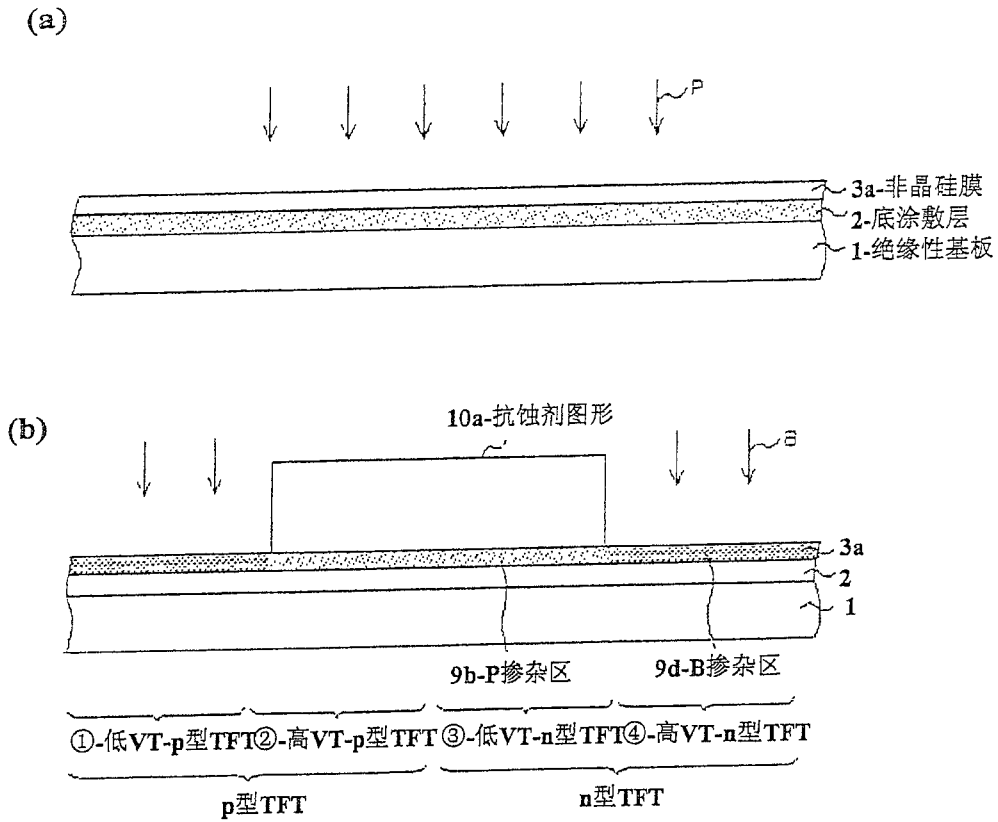


图7

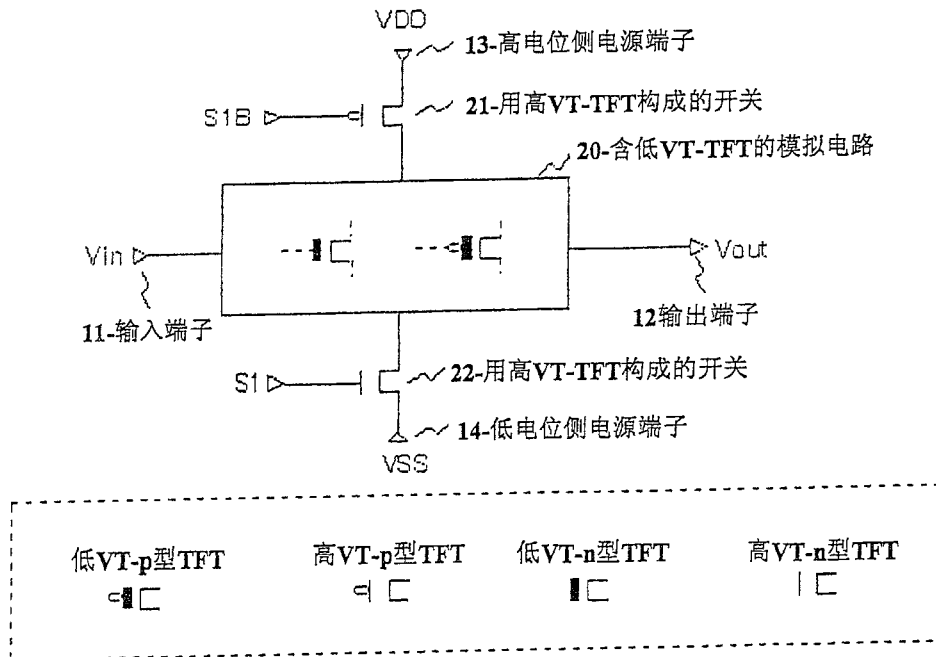


图8

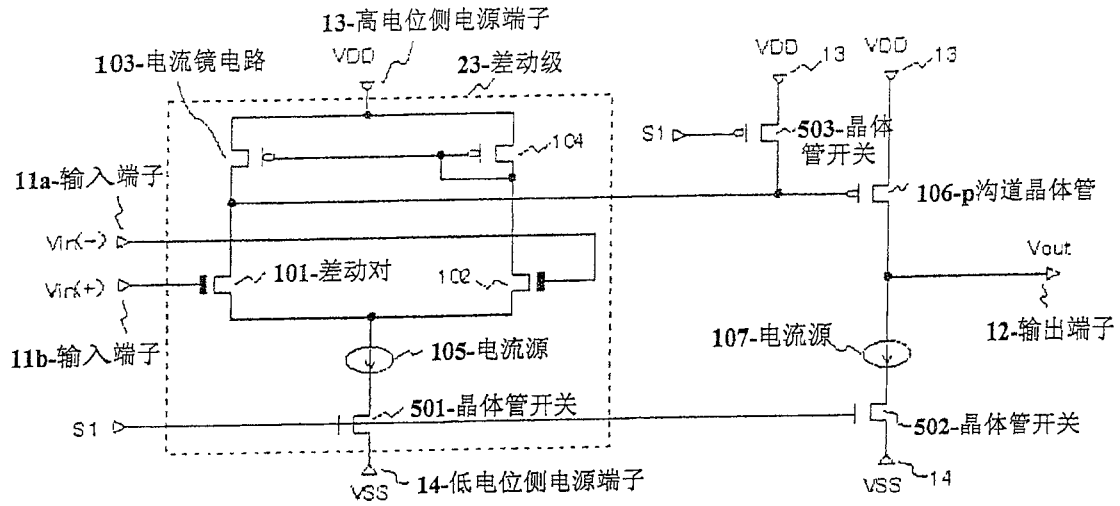


图9

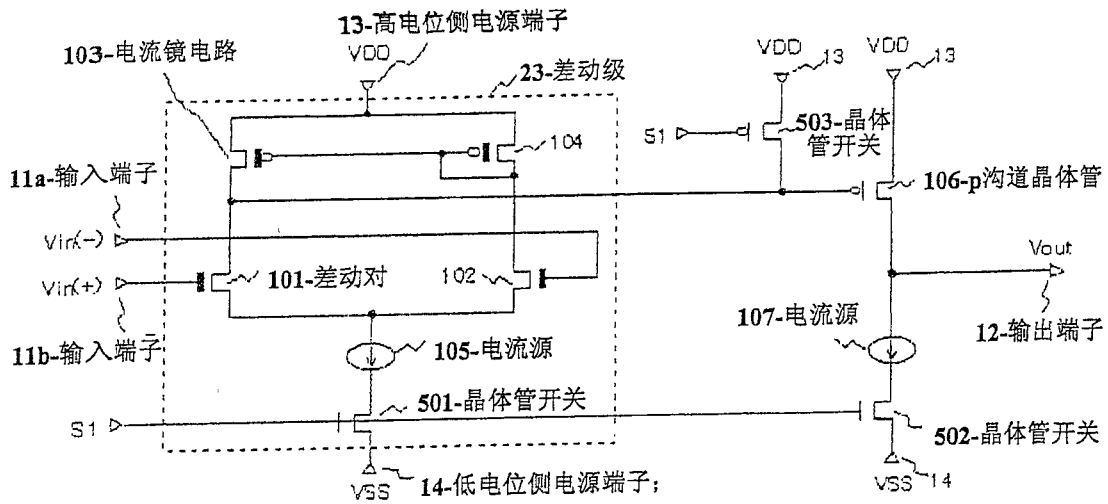


图10

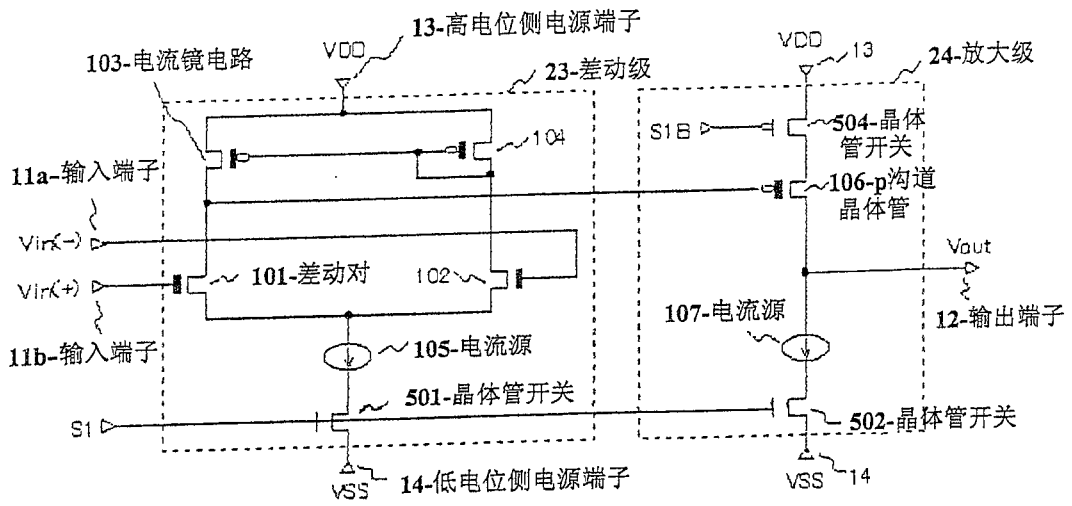


图11

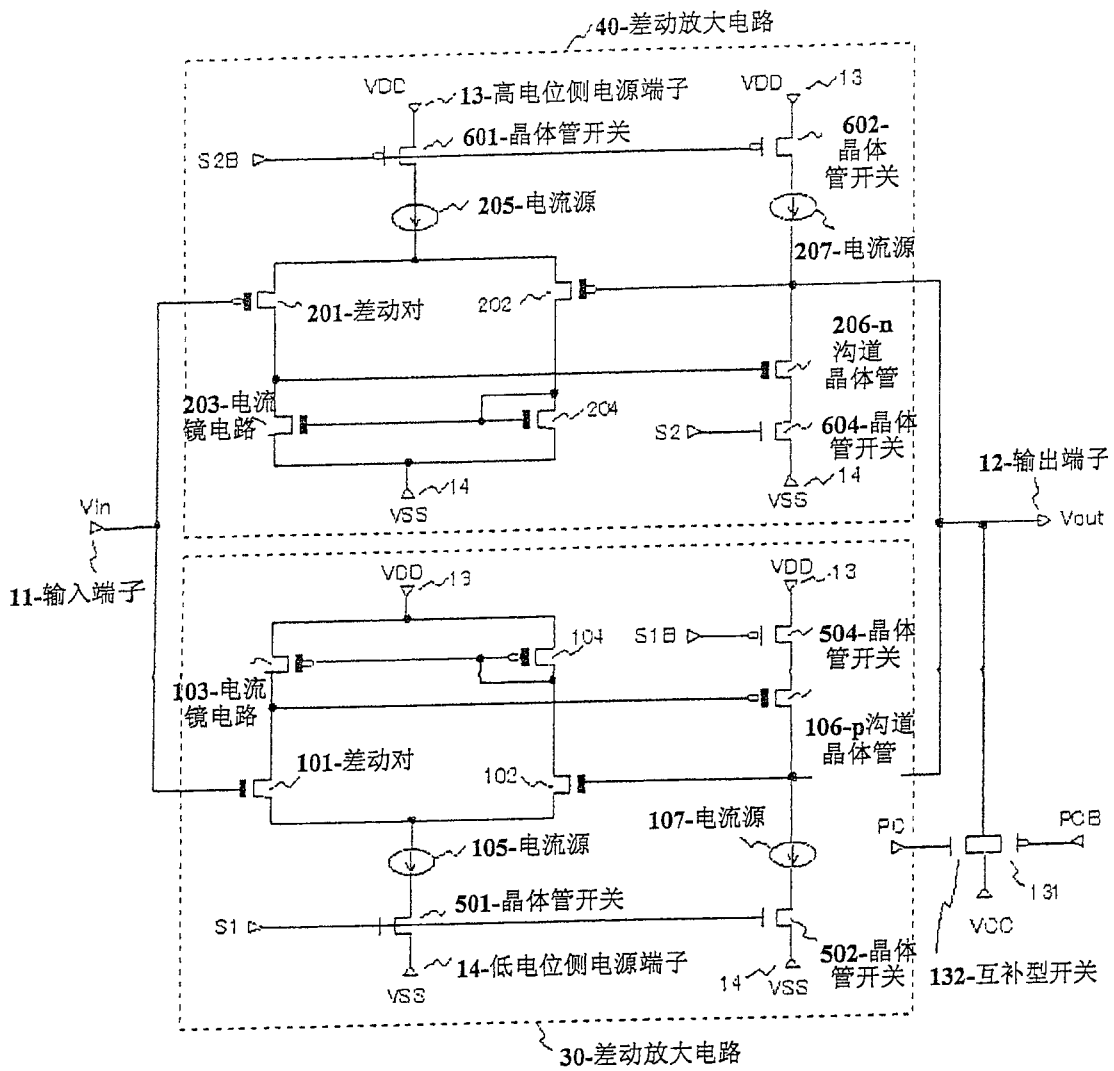


图12

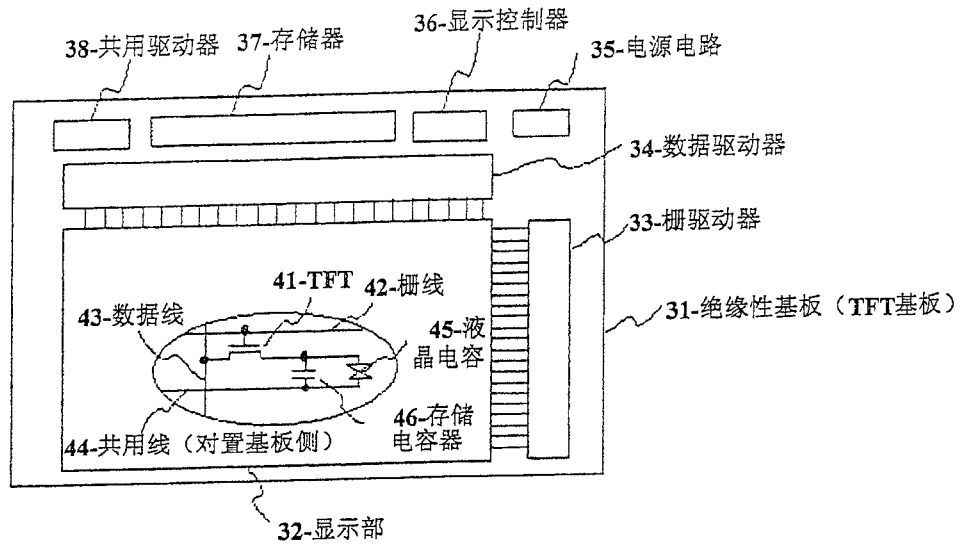


图13

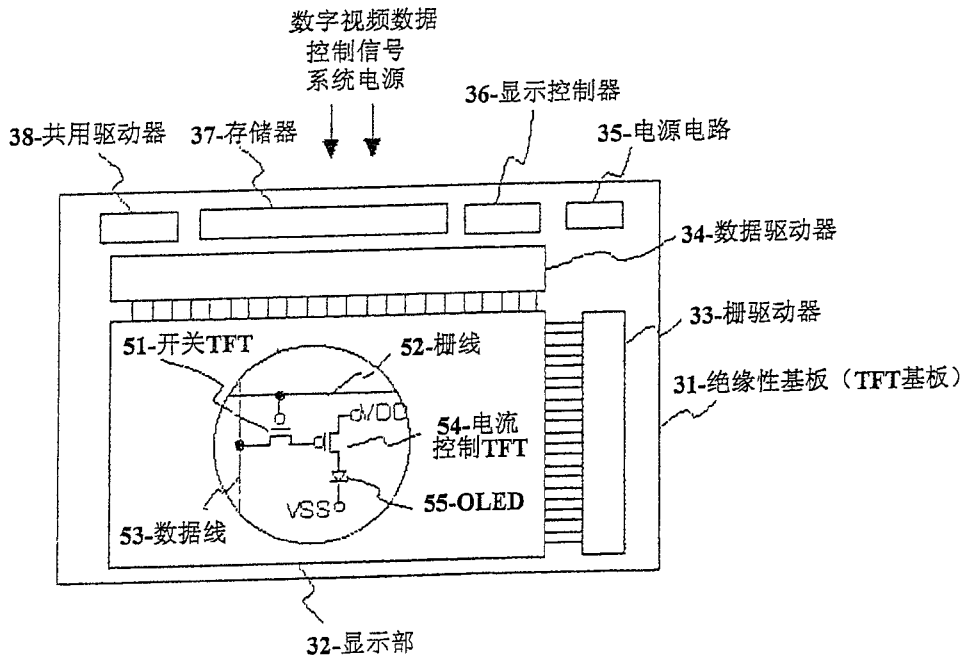


图14

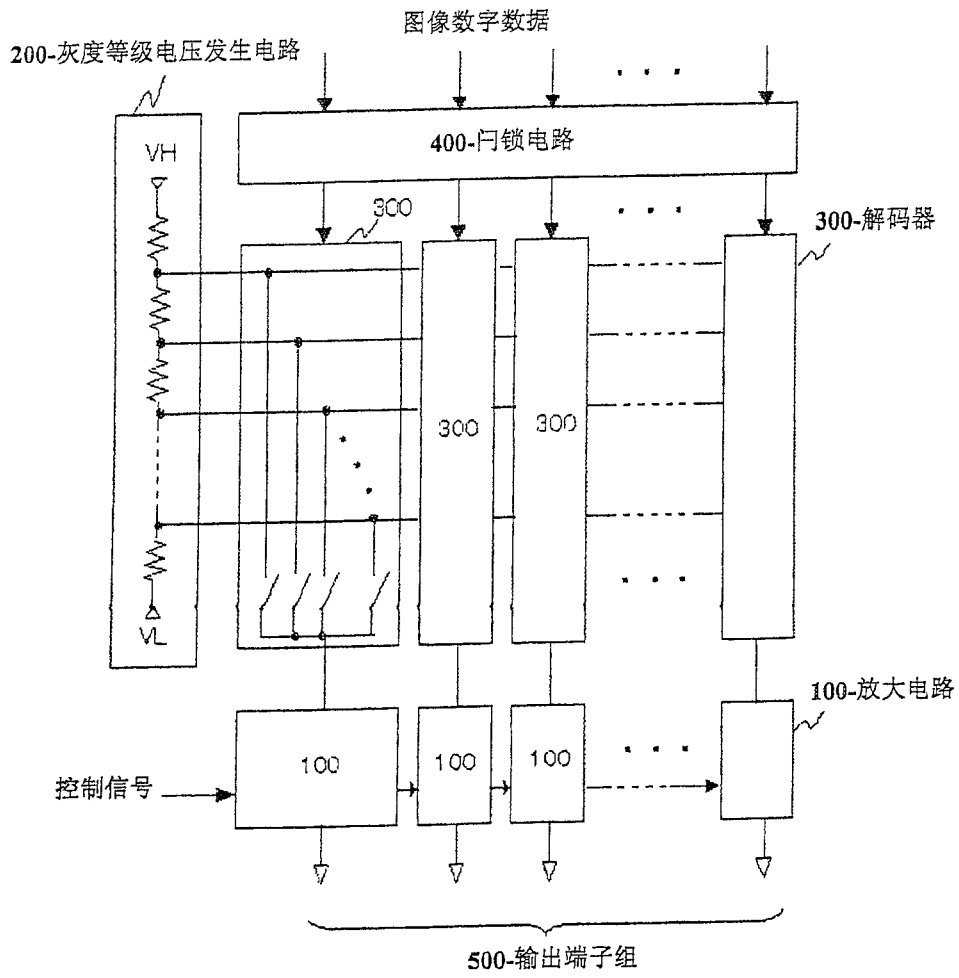


图15

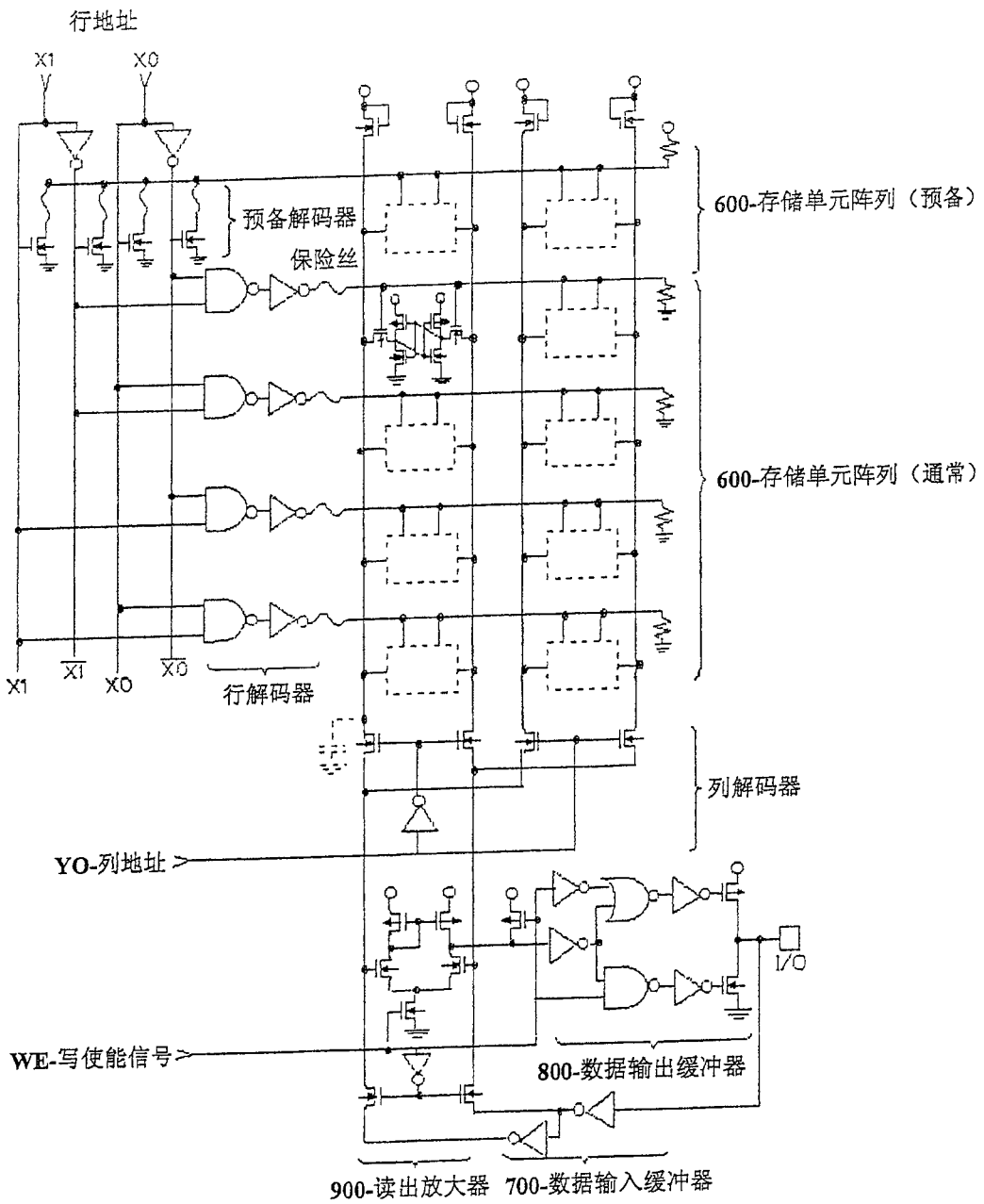


图16

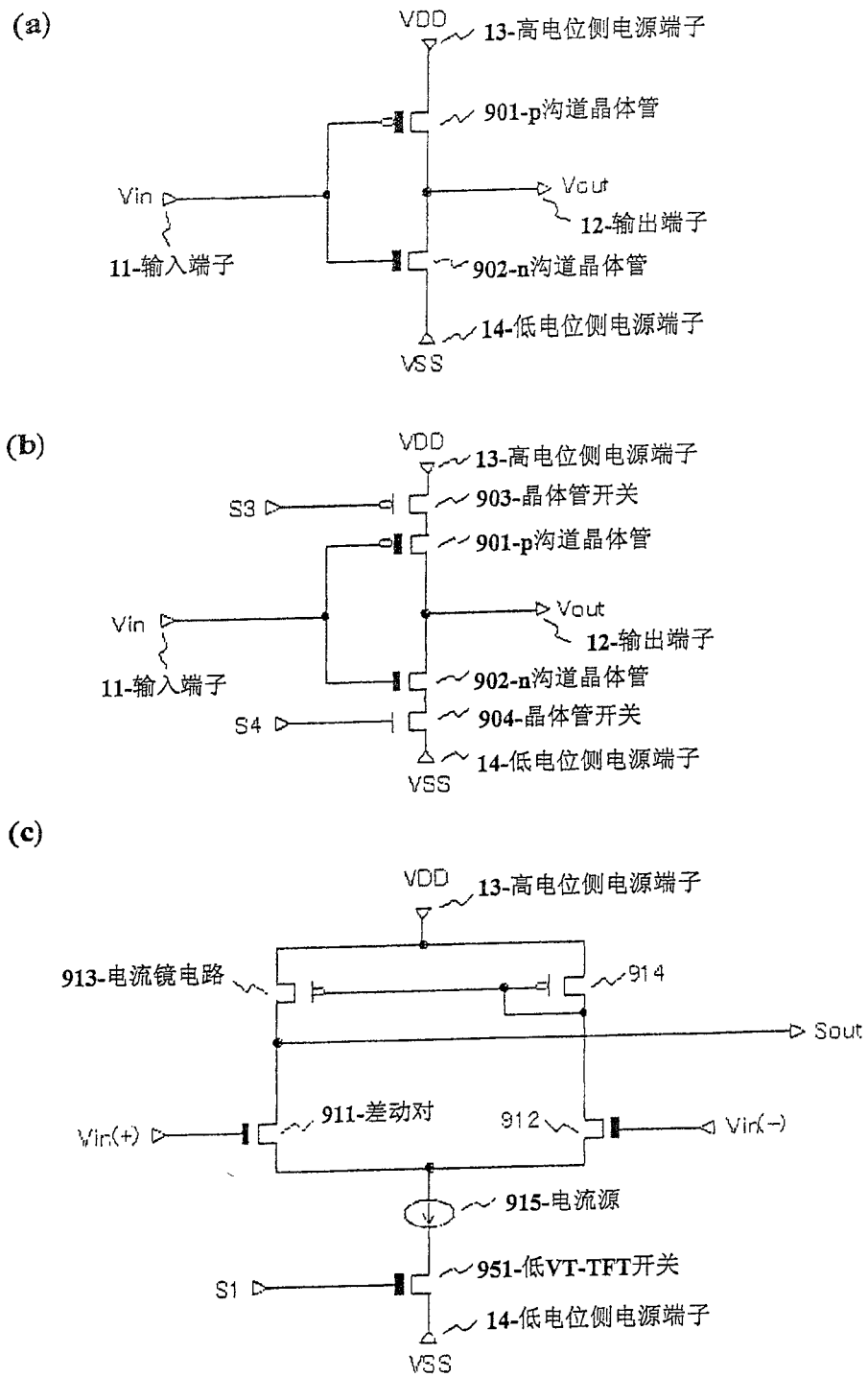


图17

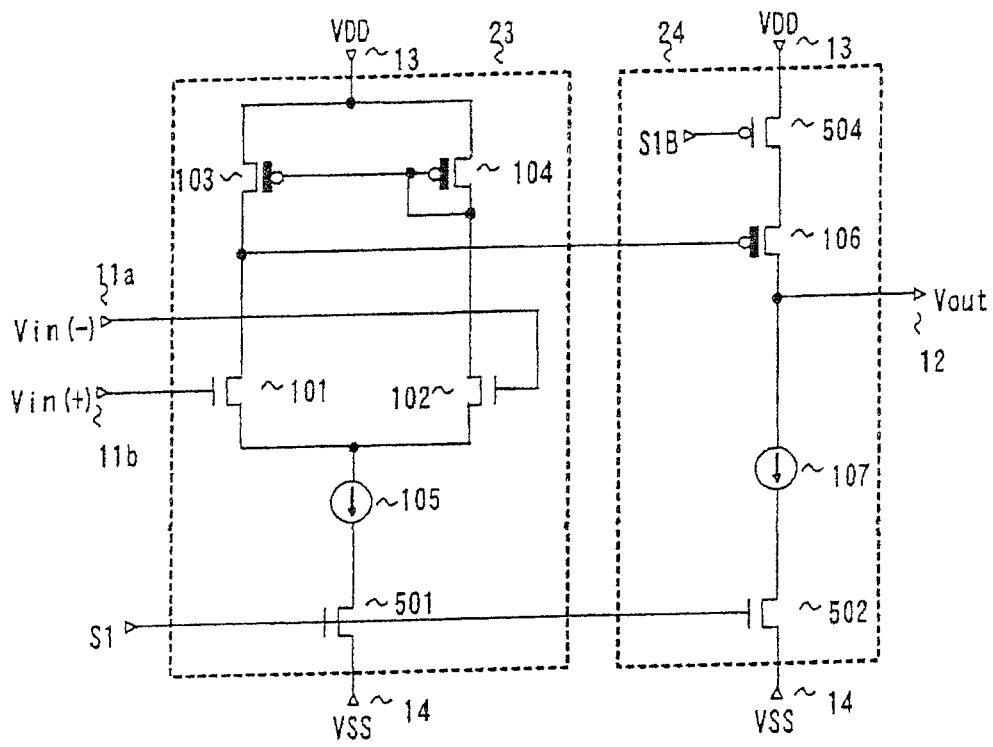


图18

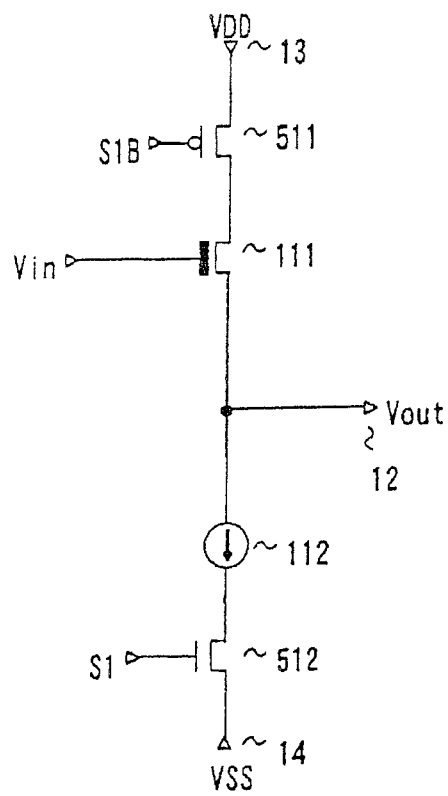


图19

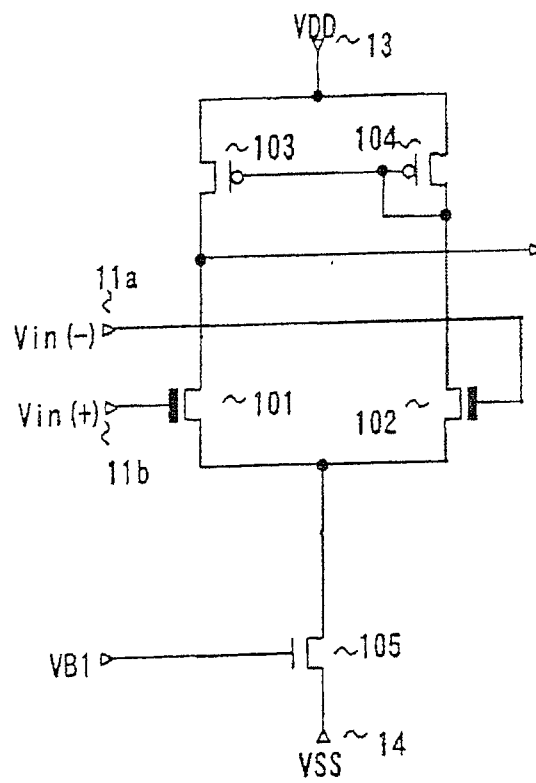


图20

