

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5386916号  
(P5386916)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 K
HO 1 L 29/78 (2006.01)	HO 1 L 27/04	H
HO 1 L 21/822 (2006.01)	HO 1 L 29/78	3 O 1 S
HO 1 L 27/04 (2006.01)	HO 1 L 27/06	3 1 1 C
HO 1 L 27/06 (2006.01)	HO 1 L 27/06	3 1 1 A
請求項の数 15 (全 49 頁) 最終頁に続く		

(21) 出願番号 特願2008-255556 (P2008-255556)  
 (22) 出願日 平成20年9月30日(2008.9.30)  
 (65) 公開番号 特開2010-87291 (P2010-87291A)  
 (43) 公開日 平成22年4月15日(2010.4.15)  
 審査請求日 平成23年8月22日(2011.8.22)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 井本 努  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 (72) 発明者 馬渡 浩三  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 審査官 小山 満

最終頁に続く

(54) 【発明の名称】 トランジスタ型保護素子、半導体集積回路およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
 前記半導体基板に形成された第1導電型半導体からなるウェルと、  
 前記ウェルに形成された第2導電型半導体からなるソース領域と、  
 前記ソース領域の一方側で、前記ウェルに対しゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一方側に離れてウェル内に形成された第2導電型半導体からなる単一のドレイン領域と、

前記ドレイン領域とゲート電極直下のウェル部分との間に位置して前記ドレイン領域と接しており、前記ゲート電極直下のウェル部分から所定の距離だけ離れ、前記ドレイン領域より冶金学的接合深さが小さい第2導電型半導体領域からなる抵抗性降伏領域と、  
 を有し、

前記ドレイン領域または前記抵抗性降伏領域に接合降伏が発生するドレインバイアスの印加時に、前記抵抗性降伏領域の空乏化されない領域である電気的中性領域が残り、かつ当該電気的中性領域の深さが、前記ドレイン領域の電気的中性領域の深さより小さくなるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている、  
 トランジスタ型保護素子。

【請求項2】

前記ドレインバイアスを強くしていったときに、前記ドレイン領域に接合降伏が生じる

10

20

前または後に、前記抵抗性降伏領域に空乏化されない領域が残った状態で当該抵抗性降伏領域に接合降伏が生じるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている、

請求項 1 に記載のトランジスタ型保護素子。

【請求項 3】

前記ドレイン領域と前記抵抗性降伏領域は、前記ゲート電極と反対側のウェル表面でエッジ位置が揃っている、

請求項 1 に記載のトランジスタ型保護素子。

【請求項 4】

前記抵抗性降伏領域の一部に接触または近接した第 1 導電型半導体からなる降伏容易化領域を 1 つ以上、複数の場合は互いに離散的に有している、

請求項 1 から 3 の何れか一項に記載のトランジスタ型保護素子。

【請求項 5】

前記ウェルより高濃度な第 1 導電型半導体からなるウェルコンタクト領域が、前記ソース領域の前記ゲート電極と反対側で前記ウェルに接触して形成されている、

請求項 1 から 4 の何れか一項に記載のトランジスタ型保護素子。

【請求項 6】

半導体基板と、

前記半導体基板に形成された第 1 導電型半導体からなるウェルと、

前記ウェルに形成された第 2 導電型半導体からなるソース領域と、

前記ソース領域の一方側で、前記ウェルに対しゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一方側に離れてウェル内に形成された第 2 導電型半導体からなる単一のドレイン領域と、

前記ドレイン領域とゲート電極直下のウェル部分との間に位置して前記ドレイン領域と接しており、前記ゲート電極直下のウェル部分から所定の距離だけ離れ、前記ドレイン領域より冶金学的接合深さが小さい第 2 導電型半導体領域からなる抵抗性降伏領域と、

前記抵抗性降伏領域の一部に接触または近接した第 1 導電型半導体からなる降伏容易化領域と、

を有し、

前記降伏容易化領域は、前記ドレイン領域の基板深部側の底面の一部に一端が接触または近接し、基板深部側に延びて他端が前記半導体基板に接続されている、

トランジスタ型保護素子。

【請求項 7】

半導体基板と、

前記半導体基板に形成された第 1 導電型半導体からなるベース領域と、

前記ベース領域内に形成された第 2 導電型半導体からなるエミッタ領域と、

前記エミッタ領域から離れてベース領域内に形成された第 2 導電型半導体からなるコレクタ領域と、

前記コレクタ領域に接し、前記エミッタ領域と所定の距離だけ離れて前記ベース領域内に形成され、前記コレクタ領域より冶金学的接合深さが小さい第 2 導電型半導体領域からなる抵抗性降伏領域と、

を有し、

前記コレクタ領域または前記抵抗性降伏領域に接合降伏が発生するコレクタ電圧の印加時に、前記抵抗性降伏領域の空乏化されない領域である電気的中性領域が残り、かつ当該電気的中性領域の深さが、前記コレクタ領域の電気的中性領域の深さより小さくなるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている、

トランジスタ型保護素子。

【請求項 8】

第 1 の配線と第 2 の配線とに接続された回路と、

10

20

30

40

50

前記第 1 の配線と前記第 2 の配線との電位差が一定値以上となったときはオンして前記回路を保護するトランジスタ型保護素子と、  
を有し、

前記トランジスタ型保護素子は、

半導体基板と、

前記半導体基板に形成された第 1 導電型半導体からなるウェルと、

前記ウェルに形成された第 2 導電型半導体からなるソース領域と、

前記ソース領域の一方側で、前記ウェルに対しゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一方側に離れてウェル内に形成された第 2 導電型半導体からなる単一のドレイン領域と、

前記ドレイン領域とゲート電極直下のウェル部分との間に位置して前記ドレイン領域と接しており、前記ゲート電極直下のウェル部分から所定の距離だけ離れ、前記ドレイン領域より冶金学的接合深さが小さい第 2 導電型半導体領域からなる抵抗性降伏領域と、  
を有し、

前記ドレイン領域または前記抵抗性降伏領域に接合降伏が発生するドレインバイアスの印加時に、前記抵抗性降伏領域の空乏化されない領域である電気的中性領域が残り、かつ当該電気的中性領域の深さが、前記コレクタ領域の電気的中性領域の深さより小さくなるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている、  
半導体集積回路。

【請求項 9】

第 1 の配線と第 2 の配線とに接続された回路と、

前記第 1 の配線と前記第 2 の配線との電位差が一定値以上となったときはオンして前記回路を保護するトランジスタ型保護素子と、  
を有し、

前記トランジスタ型保護素子は、

半導体基板と、

前記半導体基板に形成された第 1 導電型半導体からなるウェルと、

前記ウェルに形成された第 2 導電型半導体からなるソース領域と、

前記ソース領域の一方側で、前記ウェルに対しゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一方側に離れてウェル内に形成された第 2 導電型半導体からなる単一のドレイン領域と、

前記ドレイン領域とゲート電極直下のウェル部分との間に位置して前記ドレイン領域と接しており、前記ゲート電極直下のウェル部分から所定の距離だけ離れ、前記ドレイン領域より冶金学的接合深さが小さい第 2 導電型半導体領域からなる抵抗性降伏領域と、

前記抵抗性降伏領域の一部に接触または近接した第 1 導電型半導体からなる降伏容易化領域と、  
を有し、

前記降伏容易化領域は、前記ドレイン領域の基板深部側の底面の一部に一端が接触または近接し、基板深部側に延びて他端が前記半導体基板に接続されている、

半導体集積回路。

【請求項 10】

第 1 の配線と第 2 の配線とに接続された回路と、

前記第 1 の配線と前記第 2 の配線との電位差が一定値以上となったときはオンして前記回路を保護するトランジスタ型保護素子と、  
を有し、

前記トランジスタ型保護素子は、

半導体基板と、

前記半導体基板に形成された第 1 導電型半導体からなるベース領域と、

10

20

30

40

50

前記ベース領域内に形成された第2導電型半導体からなるエミッタ領域と、  
前記エミッタ領域から離れてベース領域内に形成された第2導電型半導体からなるコレクタ領域と、

前記コレクタ領域に接し、前記エミッタ領域と所定の距離だけ離れて前記ベース領域内に形成され、前記コレクタ領域より冶金学的接合深さが小さい第2導電型半導体領域からなる抵抗性降伏領域と、

を有し、

前記コレクタ領域または前記抵抗性降伏領域に接合降伏が発生するコレクタ電圧の印加時に、前記抵抗性降伏領域の空乏化されない領域である電気的中性領域が残る、かつ当該電気的中性領域の深さが、前記コレクタ領域の電気的中性領域の深さより小さくなるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている、  
半導体集積回路。

10

【請求項11】

半導体基板の回路領域に第1ウェルを形成し、保護素子領域に第1導電型の第2ウェルを形成するステップと、

前記第1ウェル内と前記第2ウェル内に各種不純物領域を形成するステップと、  
を含み、

前記各種不純物領域を形成するステップが、

前記第2ウェルに第2導電型半導体からなる抵抗性降伏領域を形成する第1ステップと、

20

前記抵抗性降伏領域の一方端部に接する第2導電型の単一の第1の高濃度不純物領域と、前記抵抗性降伏領域の他方端部から所定距離だけ離れた第2導電型の第2の高濃度不純物領域とを、前記抵抗性降伏領域より冶金学的接合深さが深くなるように同時に形成する第2ステップと、

を有し、

前記第1ステップでは、前記第1の高濃度不純物領域または前記抵抗性降伏領域に接合降伏が発生する電圧を、前記第2の高濃度不純物領域および前記第2ウェルの電位を基準として前記第1の高濃度不純物領域に印加すると、前記抵抗性降伏領域に空乏化されない領域が残る冶金学的接合形状と濃度プロファイルが得られる条件で前記第2ウェル内に前記抵抗性降伏領域を形成すると同時に、前記第1ウェル内に第2導電型半導体からなる他の不純物領域を形成する、

30

半導体集積回路の製造方法。

【請求項12】

前記他の不純物領域は、前記第1ウェルに形成する絶縁ゲートトランジスタのドレイン領域からゲート電極下方の第1ウェル部分に達するエクステンション領域、または、当該エクステンション領域のウェル深部側に接するハロー領域である、

請求項11に記載の半導体集積回路の製造方法。

【請求項13】

前記他の不純物領域は、前記第1ウェルに形成する絶縁ゲートトランジスタを他の素子と絶縁分離する素子分離絶縁膜に対し、当該素子分離絶縁膜の直下の第1ウェル部分に形成するチャンネルストッパ領域である、

40

請求項11に記載の半導体集積回路の製造方法。

【請求項14】

前記他の不純物領域は、前記第1ウェルに形成する拡散層抵抗素子の抵抗値を決める抵抗領域である、

請求項11に記載の半導体集積回路の製造方法。

【請求項15】

半導体基板の回路領域に第1ウェルを形成し、保護素子領域に第1導電型の第2ウェルを形成するステップと、

前記第1ウェル内と前記第2ウェル内に各種不純物領域を形成するステップと、

50

を含み、

前記各種不純物領域を形成するステップが、

前記第2ウェルに第2導電型半導体からなる抵抗性降伏領域を形成する第1ステップと、

前記抵抗性降伏領域に対しウェル深部側から接触または近接する降伏容易化領域を形成する第2ステップと、

前記抵抗性降伏領域の一方端部に接する第2導電型の単一の第1の高濃度不純物領域と、前記抵抗性降伏領域の他方端部から所定距離だけ離れた第2導電型の第2の高濃度不純物領域とを、前記抵抗性降伏領域より冶金学的接合深さが大きくなるように同時に形成する第3ステップと、

10

を有し、

前記第2ステップでは、前記第1の高濃度不純物領域または前記抵抗性降伏領域に接合降伏が発生する電圧を、前記第2の高濃度不純物領域および前記第2ウェルの電位を基準として前記第1の高濃度不純物領域に印加すると、前記抵抗性降伏領域に残される空乏化されていない領域のシート抵抗が所定値となるように前記第2ウェル内に前記抵抗性降伏領域を形成すると同時に、前記第1ウェル内に第2導電型半導体からなる他の不純物領域を形成する、

半導体集積回路の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、接続される回路の配線に所定のレベル以上のノイズが重畳した場合にオンしてノイズを除去可能なトランジスタ型保護素子に関する。また、本発明は、当該トランジスタ型保護素子と保護対象の回路とを同一基板に集積化した半導体集積回路と、その製造方法とに関する。

【背景技術】

【0002】

半導体集積回路では、外部端子から侵入する静電気から内部回路を保護するために、静電気放電（ESD；Electrostatic Discharge）を行う保護回路を備えていることが一般的である。

30

【0003】

保護回路は、内部回路の電源供給線とGND線との間など、静電気が重畳しやすい配線間にESD保護素子を接続している。

ESD保護素子は、通常、内部回路を構成するMOSFETを使ったGGMOS（Gate-Grounded MOSFET）、または、サイリスタが用いられる。

GGMOSを用いた保護回路の例が、特許文献1に記載されている。また、サイリスタを用いた保護回路の例が、非特許文献1に記載されている。

【0004】

保護素子にサイリスタを用いることの利点は、オン抵抗が低いことである。そのためサイリスタは、耐圧の低い微細MOSFETの保護に適している。また、サイリスタは、電流経路の大きな断面積を確保できるため、大電流を流すことに適している。

40

【0005】

しかしながら、サイリスタはトリガ電圧が高いという欠点を持つ。トリガ電圧が高いと、サイリスタがターンオンする前に内部回路が破壊されてしまう。

【0006】

そのため、トリガ電圧を下げる工夫が種々提案されている。

例えば、非特許文献1には、PN接合の順方向電流を利用する技術の一例が開示されている。この技術を適用すると、トリガ電圧や保持電圧をダイオードの段数で制御できるため、保護素子の設計が容易である。

【0007】

50

ところが、非特許文献 1 に記載された技術では、ダイオードを常時順方向にバイアスするため、静的なリーク電流が大きい。このリーク電流はデバイス温度に敏感であり、デバイス温度の上昇に伴い急激に増加する。

また、非特許文献 1 に記載された技術では、低いトリガ電圧を得るためにダイオードの段数を減らすとリーク電流が増加する。そのため、この技術は、消費電力に対する制約が厳しい用途には使用できない。

#### 【 0 0 0 8 】

一方、GGMOS を用いた保護回路は、特許文献 1 の図 1 に記載のように、集積回路 (IC) 内を長く配線されて静電ノイズが重畳しやすい電源電圧線と GND 線間に形成される。ここでは、内部回路のインバータと同じタイプの PMOS トランジスタと NMOS トランジスタとを、それぞれ GGMOS 構成として、VDD 線と GND 線間に直列接続している。

10

#### 【 0 0 0 9 】

特許文献 1 の図 3 および図 1 4 には、GGMOSFET の断面構造図が示されている。

特許文献 1 の記載によれば、ゲート電極からゲート長方向に向かってサイドウォールスペーサの外側に引き出された低濃度の半導体領域を有する。特許文献 1 では符号“(7b, 8b)”により、低濃度の半導体領域を示している。低濃度の半導体領域は、その領域を非シリサイド領域とするために形成されている。

#### 【 0 0 1 0 】

特許文献 1 の記載によれば、低濃度の半導体領域を非シリサイド化すると、高濃度の半導体領域を非シリサイド化する場合に比べ、より高い拡散抵抗が得られる。この高い拡散抵抗によってキャリアパスを確保すると、LDD 端部 (低濃度の半導体領域の端部) からソース側に電流パス S1 が発生する。そして、電流パス S1 で流しきれない電流分を、高い不純物濃度のドレイン領域を起点とする新たな電流パス S2 でソース側に流す。これにより電流を分散して当該 GGMOS の静電破壊耐性を向上させる。

20

#### 【特許文献 1】特開 2 0 0 2 - 9 2 8 1 号公報

【非特許文献 1】M. P. J. Mergens et. al., “Diode-Triggered SCR(DTSCR) for RF-ESD Protection of BICMOS SiGe HBTs and CMOS Ultra-Thin Gate Oxides”, in IEDM'03 Tech. Digest, pp.21.3.1-21.3.4, 2003.

#### 【発明の開示】

30

#### 【発明が解決しようとする課題】

#### 【 0 0 1 1 】

上記特許文献 1 に記載の MOS トランジスタ型保護素子では、自身が接合降伏を起こすときに抵抗層として機能する N 型不純物領域 (抵抗性降伏領域) が、ゲート電極とパターン上で重なっている。そのため、ドレイン耐圧に制約が多く、高耐圧化ができない。

より詳細には、特許文献 1 の構造では、ドレイン耐圧が、ソースとドレイン間のパンチスルー耐圧、ドレインとウェル間の接合耐圧、ゲートとドレイン間の絶縁膜耐圧の全てから制約を受ける。このため、保護対象である内部回路の耐圧に対して適切な大きさのドレイン耐圧を MOS トランジスタ型保護素子で設定することは非常に困難である。

#### 【 0 0 1 2 】

40

特許文献 1 に記載の保護素子は、2 つの低濃度不純物領域と、その間の高濃度不純物領域の全体で、抵抗性降伏領域を形成する。しかし、高濃度不純物領域がシリサイド化されているため、その部分で抵抗値が多少なりともばらつく。また、ドレイン領域を含め高濃度不純物領域上はシリサイド化されているため、降伏箇所にシリサイドが近い。発熱箇所がシリサイド層に近い場合、この部分の破壊やシリサイドの抵抗値が変化するなどの不具合が発生する可能性が高い。

また、特許文献 1 のように高濃度不純物領域と低濃度不純物領域とを交互に 4 つ形成した場合、エリアペナルティが大きい。

#### 【 0 0 1 3 】

本発明は、保護素子のターンオン電圧 (保護耐圧) を決める制約を少なくして、ターン

50

オン電圧を自由に、保護対象となる回路に最適に設定可能なトランジスタ型保護素子を提供するものである。

また、本発明は、このようなトランジスタ型保護素子を保護対象となる回路と集積化してなる半導体集積回路を提供する。

さらに、本発明は、かかる集積回路の製造において可能な限りコスト増加を抑制した半導体集積回路の製造方法を提供する。

【課題を解決するための手段】

【0014】

本発明の第1観点に関わるトランジスタ型保護素子は、半導体基板と、前記半導体基板に形成された第1導電型半導体からなるウェルと、前記ウェルに形成された第2導電型半導体からなるソース領域と、前記ソース領域の一方側で、前記ウェルに対しゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の一方側に離れてウェル内に形成された第2導電型半導体からなる単一のドレイン領域と、前記ドレイン領域とゲート電極直下のウェル部分との間に位置して前記ドレイン領域と接しており、前記ゲート電極直下のウェル部分から所定の距離だけ離れ、前記ドレイン領域より冶金学的接合深さが小さい第2導電型半導体領域からなる抵抗性降伏領域と、を有し、前記ドレイン領域または前記抵抗性降伏領域に接合降伏が発生するドレインバイアスの印加時に、前記抵抗性降伏領域の空乏化されない領域である電気的中性領域が残り、かつ当該電気的中性領域の深さが、前記ドレイン領域の電気的中性領域の深さより小さくなるように、前記抵抗性降伏領域の冶金学的接合形状と濃度プロファイルが決められている。

【0015】

上記構成によれば、ソース領域の電位（ウェルを同電位としても可）を基準として、ドレイン領域に所定のドレインバイアスを印加する。このドレインバイアスを大きくしていくと、ドレイン領域とウェル間、抵抗性降伏領域とウェル間で、その冶金学的接合位置から深さ方向の両側に空乏層が延びる。そして、あるドレインバイアスで接合降伏が発生する。接合降伏は、ドレイン領域または抵抗性降伏領域の何れかで発生する。

【0016】

接合降伏が一旦発生すると、ドレイン領域からソース領域に電流が流れる。これによりウェル電位が上昇し、ウェルとソース領域間のPN接合を順バイアスする。以後は、ソース領域、ウェル、ドレイン領域または抵抗性降伏領域をそれぞれ、エミッタ、ベース、コレクタとする寄生バイポーラトランジスタがオンする。

寄生バイポーラトランジスタがオンすると、エミッタとコレクタ間のインピーダンスが急激に低下するため、このインピーダンスが低下したウェル表面側を電流が流れるようになる。

【0017】

この最初に接合降伏が発生するときに、抵抗性降伏領域で空乏化されない領域が残るように、その冶金学的接合形状と濃度プロファイルが決められている。よって、以後、ドレインバイアスが大きくなる過程で、今までと同様に抵抗層として抵抗性降伏領域が機能する。そのため、次の接合降伏が発生するときのキャリア通路が確保されることから、接合降伏の発生可能箇所がドレイン領域から抵抗性降伏領域の先端部まで広い範囲に及ぶ。

【0018】

最初の接合降伏（ここでは雪崩降伏を接合降伏の一例とする）がドレイン領域で起きる場合を仮定する。

この場合、寄生バイポーラ動作で注入されるエミッタ電流は、エミッタ（ソース領域）に一番近い抵抗性降伏領域に集められる。バイポーラ動作によってデバイス特性がスナップバックすると、ドレイン電圧（コレクタ電圧）が下がるので、ドレイン領域（コレクタ）での雪崩降伏は弱まる。代わりに、ソース領域から注入された電子が抵抗性降伏領域の先端で加速されて雪崩降伏を起こすので、抵抗性降伏領域の先端での雪崩降伏が強まる。

【0019】

電位はソース領域を基準として決まるため、抵抗性降伏領域の降伏した接合部分に流す

10

20

30

40

50

電流が、バラスト抵抗として機能する抵抗性降伏領域を通して流れる。そのため、その電流と抵抗値から計算される電圧降下分だけドレイン領域の電位が持ち上げられる。よって、電位が持ち上げられた領域、特に最も電位が高くなるドレイン領域で再度、接合降伏が発生しやすくなる。結果として、抵抗性降伏領域の先端とドレイン領域の両方で接合降伏が起きる。

このように接合降伏箇所が分散される結果として、電流による温度上昇箇所が広い範囲に分布するようになる。

#### 【0020】

第1の観点では、バイポーラ動作によって保護素子にノイズ除去に有効な大きい電流が流れ始めるターンオン電圧は、抵抗性降伏領域とドレイン領域の形状や濃度プロファイルで決まる。したがって、そのターンオン電圧に制約条件はできる限り少ないほうが汎用的で使いやすい保護素子の実現できる。

10

第1の観点では、抵抗性降伏領域のソース側端が、ゲート電極直下のウェル部分から所定距離だけ離れている。よって、ゲートとドレイン間の耐圧を確保しながらターンオン電圧を決める際に、当該耐圧による制約がなく、その分、自由にターンオン電圧を設計できる。

#### 【0021】

本発明の第2観点に関わるトランジスタ型保護素子は、半導体基板、ウェルと、ソース領域、ゲート電極、ドレイン領域および抵抗性降伏領域を有すること自体は第1観点と共通する。ただし、第2の観点では、さらに降伏容易化領域がウェル内に形成されている。降伏容易化領域は、前記抵抗性降伏領域の一部に接触または近接した第1導電型半導体からなる。

20

#### 【0022】

かかる構成によれば、抵抗性降伏領域の一部に降伏容易化領域が接触または近接しているため、抵抗性降伏領域のシート抵抗が、電流が流れる方向内で一様でなくなる。このとき意図した場所で接合降伏が生じるように、降伏容易化領域の位置と濃度を定めている。

具体的には、ウェル濃度より降伏容易化領域の濃度を高くすると、その降伏容易化領域が形成された箇所抵抗性降伏領域が接合降伏を起こしやすくなる。逆に、ウェル濃度より降伏容易化領域の濃度を低くすると、その降伏容易化領域が形成された箇所以外の箇所で抵抗性降伏領域が接合降伏を起こしやすくなる。

30

このように降伏容易化領域を設けると、降伏容易化領域の助けをかりて抵抗性降伏領域に接合降伏が発生する。このため、降伏容易化領域がない場合に、「最初の接合降伏時に空乏化されない領域が残るための」条件が緩和され、あるいは、不要となる。

したがって、第2観点では、抵抗性降伏領域の冶金学的接合形状と濃度プロファイルで純粋に接合降伏が発生する場所を規定するよりも、より確実に容易に、異なる場所に分散して接合降伏が発生する。

#### 【0023】

上記第1観点と第2観点は、バイポーラトランジスタ型の保護素子や集積回路にも適用される。

#### 【0024】

40

本発明に関わる半導体集積回路の製造方法は、半導体基板の回路領域に第1ウェルを形成し、保護素子領域に第1導電型の第2ウェルを形成するステップと、前記第1ウェル内と前記第2ウェル内に各種不純物領域を形成するステップと、を含む。

前記各種不純物領域を形成するステップが、次の2つのステップを有する。

(1)第1ステップ：前記第2ウェルに第2導電型半導体からなる抵抗性降伏領域を形成する。

(2)第2ステップ：前記抵抗性降伏領域の一方端部に接する第2導電型の単一の第1の高濃度不純物領域と、前記抵抗性降伏領域の他方端部から所定距離だけ離れた第2導電型の第2の高濃度不純物領域とを、前記抵抗性降伏領域より冶金学的接合深さが深くなるように同時に形成する。

50



前記第 1 ステップでは、前記第 1 の高濃度不純物領域または前記抵抗性降伏領域に接合降伏が発生する電圧を、前記第 2 の高濃度不純物領域および前記第 2 ウェルの電位を基準として前記第 1 の高濃度不純物領域に印加すると、前記抵抗性降伏領域に空乏化されない領域が残る冶金学的接合形状と濃度プロファイルが得られる条件で前記第 2 ウェル内に前記抵抗性降伏領域を形成する。このとき同時に、前記第 1 ウェル内に第 2 導電型半導体からなる他の不純物領域を形成する。

【 0 0 2 5 】

本発明に関わる半導体集積回路の他の製造方法は、半導体基板の回路領域に第 1 ウェルを形成し、保護素子領域に第 1 導電型の第 2 ウェルを形成するステップと、前記第 1 ウェル内と前記第 2 ウェル内に各種不純物領域を形成するステップと、を含む。

10

前記各種不純物領域を形成するステップが、次の 3 つのステップを有する。

(1) 第 1 ステップ：前記第 2 ウェルに第 2 導電型半導体からなる抵抗性降伏領域を形成する。

(2) 第 2 ステップ：前記抵抗性降伏領域に対しウェル深部側から接触または近接する降伏容易化領域を形成する。

(3) 第 3 ステップ：前記抵抗性降伏領域の一方端部に接する第 2 導電型の単一の第 1 の高濃度不純物領域と、前記抵抗性降伏領域の他方端部から所定距離だけ離れた第 2 導電型の第 2 の高濃度不純物領域とを、前記抵抗性降伏領域より冶金学的接合深さが深くなるように同時に形成する。

前記第 2 ステップでは、前記第 1 の高濃度不純物領域または前記抵抗性降伏領域に接合降伏が発生する電圧を、前記第 2 の高濃度不純物領域および前記第 2 ウェルの電位を基準として前記第 1 の高濃度不純物領域に印加すると、前記抵抗性降伏領域に残される空乏化されていない領域のシート抵抗が所定値となるように前記第 2 ウェル内に前記抵抗性降伏領域を形成する。これと同時に、前記第 1 ウェル内に第 2 導電型半導体からなる他の不純物領域を形成する。

20

【 0 0 2 6 】

上記の 2 つの製造方法によれば、第 1 ウェル内で既存の他の不純物領域を形成すると同時に、第 2 ウェル内で抵抗性不純物領域が形成される。この抵抗性不純物領域に課せられる要件は、第 1 または第 2 の観点と同じであり、その要件が満たされるように、同時形成する他の不純物領域を選択するとよい。半導体集積回路には種々の条件で形成される不純物領域が幾つも存在するのが普通である。ゆえに、抵抗性不純物領域に課せられる要件に合致した、あるいは、最も近い濃度や形状の不純物領域が、抵抗性降伏領域と同時形成すべき他の不純物領域として選択される。

30

【発明の効果】

【 0 0 2 7 】

本発明によれば、保護素子のターンオン電圧（保護耐圧）を決める制約を少なくして、ターンオン電圧を自由に、保護対象となる回路に最適に設定可能なトランジスタ型保護素子が提供される。

また、本発明によって、このようなトランジスタ型保護素子を保護対象となる回路と集積化してなる半導体集積回路が提供される。

40

さらに、本発明によって、かかる集積回路の製造において可能な限りコスト増加を抑制した半導体集積回路の製造方法が提供される。

【発明を実施するための最良の形態】

【 0 0 2 8 】

以下、本発明の実施形態を、図面を参照して説明する。

本発明の実施形態は、以下の順序で説明する。

1. 第 1 の実施形態（MOS 型：ゲート側ほど浅い 3 段のドレイン構造... 製造方法、ならびに、シミュレーション結果を用いた比較例との対比を含む）

2. 第 2 の実施形態（MOS 型：第 1 の実施形態のドレイン構造から電界緩和領域を省略）

50

3. 第3の実施形態（バイポーラ型：第1の実施形態の構造からゲート電極を省略）
4. 第4の実施形態（MOS型：第1の実施形態の構造に、ソース側の低濃度領域を追加）
5. 第5の実施形態（MOS型：ドレイン側ほど浅い3重ドレイン構造）
6. 第6の実施形態（MOS型：ドレインフィンガー構造）
7. 第7の実施形態（MOS型：第5の実施形態の3重ドレイン構造に降伏容易化領域を付加）
8. 第8の実施形態（MOS型：第5の実施形態の3重ドレイン構造を、リサーチ型等に適用）
9. 第9～第14の実施形態（MOS型ICに適用された製造方法）

10

10. 変形例1, 2

【0029】

&lt; 1. 第1の実施の形態 &gt;

[保護回路の適用例]

図1(A)と図1(B)に、第1～第14の実施形態に関わる保護素子を用いた保護回路の適用例を示す。

【0030】

図1(A)と図1(B)に図解する保護回路（破線で囲む部分）は、内部回路を保護するための回路であり、本例では1つのNMOSトランジスタから構成されている。保護回路を構成するトランジスタはPMOSトランジスタでもよい。ただし、NMOSトランジスタは電流駆動能力が高いため、保護回路の保護素子として望ましい。

20

このようなMOSトランジスタ型の保護素子を符号“TRm”で表記している。

【0031】

なお、保護素子は内部回路を含む集積回路(IC)に外付けのディスクリート部品でもよいが、ここでは、保護回路と内部回路は共通の半導体基板に集積化されているものとする。よって、この図1(A)と図1(B)に示す構成は、本発明の「半導体集積回路」の一実施例に該当する。また、MOSトランジスタ型保護素子TRmは、本発明の「トランジスタ型保護素子」の一実施例に該当する。

【0032】

MOSトランジスタ型保護素子TRmは、そのドレインが電源電圧VDDの供給線に接続され、そのソースがGND線に接続されている。MOSトランジスタ型保護素子TRmのゲートはGND線に接続されている。このため、かかる接続形態のMOSトランジスタはGG(Gate-Grounded)MOSトランジスタと呼ばれる。

30

電源電圧VDDの供給線とGND線との間には内部回路が接続されている。このため内部回路は、電源電圧VDDで駆動される。

【0033】

図1(A)と図1(B)には、符号“I/O”により表記された不図示の入出力回路または入出力端子から、信号の入力線または出力線（以後、総称して信号線と呼ぶ）が内部回路に接続されている。

この信号線にも静電気等に起因したノイズが重畳されることがある。そのため、信号線と電源電圧VDDの供給線との間に、信号線側をアノードとする保護ダイオードD1が接続されている。また、信号線とGND線との間に、GND線側をアノードとする保護ダイオードD2が接続されている。

40

【0034】

なお、保護ダイオードD1, D2に代えて本発明が適用されたGGMOSトランジスタを追加してもよい。

【0035】

図1(A)は、電源端子に正電荷のサージが入った場合の保護回路の動作説明図である。

電源電圧VDDの供給線に、不図示の電源端子等から正電荷のサージが入ると、そのサ

50

ージによって電源電圧VDDの供給線の電位が上昇する。電源電圧VDDの供給線の電位が内部回路の破壊電圧に達する前に、MOSトランジスタ型保護素子TRmがターンオンして導通状態に移行する。そのためサージが、MOSトランジスタ型保護素子TRmを通してGND線に逃げる。

#### 【0036】

図1(B)は、I/O端子に正電荷のサージが入った場合の保護回路の動作説明図である。

I/O端子に正電荷のサージが入ると、保護ダイオードD1が順方向にバイアスされてターンオンし、サージを電源電圧VDDの供給線に流す。次に、電源電圧VDDの供給線が所定の電位に達するとMOSトランジスタ型保護素子TRmがターンオンして導通状態に移行する。そのためサージが、MOSトランジスタ型保護素子TRmを通してGND線に逃げる。内部回路の保護のためには、内部回路の入出力の耐圧を超える前に保護ダイオードD1がオンする必要がある。また、内部回路のトランジスタの(ドレイン)耐圧を超える前に、MOSトランジスタ型保護素子TRmがオンする必要がある。

これにより、内部回路は、高電圧による破壊を免れる。

#### 【0037】

以上より、MOSトランジスタ型保護素子TRmは、以下の要件を備えている必要がある。

- (1)サージによって発生する高電圧や大電流で破壊されない静電破壊耐性を有している。
- (2)内部回路の動作電圧より高く、内部回路の破壊電圧より低い電圧でターンオンする。
- (3)ターンオン後のインピーダンスが十分低い。
- (4)ターンオンしていないときのインピーダンスは十分高い。

#### 【0038】

##### [素子構造]

図2は、第1の実施形態に関わるMOSトランジスタ型保護素子TRmの断面構造図である。

MOSトランジスタ型保護素子TRmは半導体基板1に形成されている。半導体基板1は、高濃度に不純物を導入されたP型シリコン(結晶方位面100の)の基板である。半導体基板1内の表面側に、所望のしきい値電圧や各部の耐圧が得られるように不純物を導入されたP型のウェル(以下、Pウェル)2が形成されている。

Pウェル2の表面には、半導体基板1の表面を熱酸化して得られたSiO<sub>2</sub>よりなるゲート絶縁膜3が形成されている。

ゲート絶縁膜3の上に、N型またはP型の不純物がドーピングされたポリシリコンにより構成されたゲート電極4が形成されている。

#### 【0039】

特に平面図を示さないが、ゲート電極4は細長いフィンガー部を有する。そのフィンガー部の幅方向の一方側がソース、他方側がドレインとなる。

より詳細には、ゲート電極4(厳密にはフィンガー部)の一方側のPウェル2部分に、高濃度にN型不純物が導入されてソース領域5が形成されている。ゲート電極4(フィンガー部)の他方側のPウェル2部分に、ソース領域5と同様に高濃度にN型不純物が導入されてドレイン領域6が形成されている。

ここでソース領域5のエッジが、不純物の横方向拡散によってゲート電極4のエッジ下方にまで到達している。ドレイン領域6とソース領域5は平面パターン上で一部重なっている。

これに対し、ドレイン領域6は、ゲート電極4から所定の距離だけ離れて形成され、ゲート電極4と平面パターンで重なっていない。

#### 【0040】

ゲート電極4とドレイン領域6との間に電界緩和領域7が形成されている。電界緩和領域7は、ソース領域5と同様にゲート電極4と平面パターンで一部重なるN型不純物領域である。電界緩和領域7は、その導入された不純物濃度がドレイン領域6のそれより十分

10

20

30

40

50

低く、いわゆるLDD領域やエクステンションなどと同様に横方向の電界を緩和する目的で形成されている。電界緩和領域7は、後述するように動作時に深さ方向で全域が空乏化するとよい。そのため、この場合の電界緩和領域7では接合降伏が起きない。言い換えると、ソースとドレインの離間方向で電界緩和領域7が有する長さ、電界緩和領域7の不純物濃度は、ゲート端付近で接合降伏が起きないように決められている。

【0041】

ゲート電極4とドレイン領域6との間には、ドレイン領域6に接し、ゲート電極4の下方のウェル領域部分から所定距離だけ離れた抵抗性降伏領域8が形成されている。本例では、抵抗性降伏領域8は、ドレイン領域6と電界緩和領域7の間に形成されている。

【0042】

抵抗性降伏領域8の不純物濃度分布(濃度プロファイル)は、電界緩和領域7のピンチオフ電圧がドレイン降伏電圧より高くなるように定められる。

ここで“抵抗性降伏領域8のピンチオフ電圧”とは、ドレインバイアスを変化させたときに、抵抗性降伏領域8において空乏層が深さ方向で拡がり電気的中性領域が消滅(オフ)するときの、ドレイン領域6への印加電圧を言う。ここで言う“電気的中性領域の消滅(オフ)”は、抵抗性降伏領域8の1箇所または複数個所で最初に生じた場合を意味する。

また、“ドレイン降伏電圧”とは、本例ではドレイン領域6または抵抗性降伏領域8で、最初に接合降伏が生じるときの、ドレイン領域6の電圧を言う。

【0043】

この要件は、「ドレイン領域6または抵抗性降伏領域8に接合降伏が発生するときのドレインバイアス(例えば、ドレイン電圧)の印加時に抵抗性降伏領域8に空乏化されない(電気的中性)領域が残る」ことと等価である。

電気的中性領域が残ると抵抗性降伏領域8が適度なシート抵抗を有する抵抗層として機能する。

【0044】

ソースとドレインの離間方向における抵抗性降伏領域8の長さや深さなどを含む冶金学的接合形状と濃度プロファイルは、電気的中性領域が残存した状態で抵抗性降伏領域8が所定の抵抗値を持つように定める。

【0045】

ここで“所定の抵抗値”は、ドレイン領域6、抵抗性降伏領域8の順で接合降伏が発生する場合、次のように、その上限が定義できる。

ドレイン印加電圧を上げていったときに、ドレイン領域6で接合降伏が発生し、ドレイン領域6の電位上昇が飽和した時点で抵抗性降伏領域8に電気的中性領域が残り、所定の抵抗値を持つ。このときの所定の抵抗値が余りに高いと、さらにドレイン印加電圧を上げて、飽和しているが僅かに上昇した電位で次に接合降伏が起こる前に電気的中性領域が消滅することもある。すると以後、抵抗性降伏領域8では接合降伏が生じないから、このようなことがないように、所定の抵抗値の上限が抵抗性降伏領域8の冶金学的接合形状と濃度プロファイルによって決められている。

【0046】

“所定の抵抗値”の下限は、抵抗性降伏領域8、ドレイン領域6の順で接合降伏が発生する場合、次のように規定される。

上記したように最初にドレイン領域6に接合降伏が発生すると、ドレイン印加電圧を上げても、ドレイン領域6の電位は殆ど上がらず飽和する。これに対し、最初に抵抗性降伏領域8に接合降伏が発生すると、直後のドレイン電流とこの領域の全長にわたる抵抗値とにより、抵抗性降伏領域8に電圧降下を発生させる。正のノイズがドレイン側に印加される場合、各不純物領域の電位はソース側の電位が基準となる。そのため、抵抗性降伏領域8の電圧降下が発生すると、ソース側の電位を基準にドレイン領域6の電位が持ち上がる。このとき抵抗性降伏領域8の“所定の抵抗値”が小さすぎると、電圧降下量も小さすぎて、ドレイン領域6の一部で接合降伏が発生するための電位までドレイン領域6の電位が

10

20

30

40

50

上昇しない。

つまり、“所定の抵抗値”の下限は、先に抵抗性降伏領域 8 で降伏が発生した後、ドレイン領域 6 で次の降伏を引き起こさせるに足る抵抗値以上である必要がある。

【0047】

なお、抵抗性降伏領域 8 の抵抗値は、抵抗性降伏領域 8 のシート抵抗と長さの積で決まる。これらの構造パラメータは、互いに従属する設計因子であり、抵抗性降伏領域 8 の抵抗値の最適な値は一意に決まるものではない。

【0048】

さらに、抵抗性降伏領域 8 の接合深さは、ドレイン領域 6 の接合深さよりも浅くする。これにより、抵抗性降伏領域 8 とドレイン領域 6 との境界付近に冶金学的接合面の段差が  
10  
でき、これによりドレイン領域 6 の基板深部側にコーナー曲面が形成される。このコーナー曲面を、以下、“凸面部分 6 A”と呼ぶ。

【0049】

P ウェル 2 には、P 型不純物を高濃度に導入したウェルコンタクト領域 10 が形成されている。

半導体基板 1 の表面には、半導体基板 1 と上層配線（図示せず）との間の電氣的絶縁を図るための層間絶縁膜 11 が形成されている。

ソース領域 5、ドレイン領域 6、ウェルコンタクト領域 10 の上には、層間絶縁膜 11 を貫通する接続孔を通してそれぞれの N 型不純物領域（拡散層）との間にオーミック接触  
20  
をなすソース電極 12、ドレイン電極 13、ウェル電極 14 が形成されている。

【0050】

[ ESD 動作によるサージ除去 ]

図 2 の構造にサージが入ったときの各部の作用を、図 3 を用いて説明する。なお、ここでは、ドレイン領域 6、抵抗性降伏領域 8 の順で接合降伏が発生する場合を一例として動作を説明する。

【0051】

サージ電流を、時間に対してランプ関数的に単調増加する電流源がトランジスタのドレインに接続された場合と等価とみなせる場合を考える。このような電流源接続と等価とみなせるサージ印加（実質的なドレインバイアスの印加）によって、オフ状態の MOS トランジスタ型保護素子 TRm のドレイン電極 13 に電流が流れ込む。このドレイン電流が増  
30  
加すると、次第にドレイン電位が上昇する。

【0052】

ドレイン電位の上昇にともなって、まず電界緩和領域 7 が P ウェル 2 からの空乏層によって空乏化する。これにより、ゲート端にかかる電界が緩和され、ゲート端での接合降伏が回避される。

さらにドレイン電圧が増加すると、抵抗性降伏領域 8 がある程度、空乏化する。抵抗性降伏領域 8 のピンチオフ電圧がドレイン降伏電圧より高くなるように不純物濃度等を定めているため、抵抗性降伏領域 8 に電氣的中性領域 8 i が残る。なお、図 3 では、符号“8  
40  
v”により抵抗性降伏領域 8 の基板深部側の空乏層を示している。

【0053】

本動作例では、ドレイン領域のコーナー曲面（以下、凸面部分 6 A という）に電界が集中し、ここで最初の雪崩降伏（接合降伏）が起きるように不純物分布を定めた場合について説明する。

雪崩降伏によって生じた正孔電流は、パス P 1 に沿ってウェル中を流れ、ウェル電極 14 から取り出される。このとき、P ウェル 2 中の抵抗成分に正孔電流が流れることによって、ウェル電位が上昇する。

【0054】

上昇したウェル電位によってソース領域 5 と P ウェル 2 間の PN 接合が順方向にバイアスされる。そのため、ソース領域 5 から P ウェル 2 に電子が注入されてバイポーラ動作が始まり、ドレイン電圧が減少し、スナップバックが観察される。ドレイン電圧が下がるの  
50

で、凸面部分 6 A での雪崩降伏による衝突電離は相対的に弱まる。

【 0 0 5 5 】

一方、注入された電子電流は、ソース領域 5 からドレイン領域 6 への最短経路であるパス P 2 に沿って流れ、抵抗性降伏領域 8 とドレイン領域 6 を通って、ドレイン電極 1 3 から取り出される。これにより、抵抗性降伏領域 8 内に電位勾配が生じる。これと同時に、パス P 2 を通ってきた電子が凸面部分 8 A の高電界に加速されて衝突電離を引き起こし、相対的に凸面部分 8 A での雪崩降伏が強まる。凸面部分 8 A で生成された正孔電流は、パス P 3 を通って主にソース領域 5 に流れ込み、一部はパス P 3 a を通ってウェル電極 1 4 から取り出される。

【 0 0 5 6 】

さらにサージ電流が増加すると、パス P 2 を通る電流によって抵抗性降伏領域 8 に生じる電圧降下によって、ドレイン領域 6 の電位が再度、上昇する。その結果、電界が集中するドレイン領域 6 の凸面部分 6 A で雪崩降伏の臨界電界に達し、接合降伏（雪崩降伏）が凸面部分 6 A で再度、強まる。

【 0 0 5 7 】

凸面部分 6 A で再度、強まった接合降伏で発生した正孔電流は、電位が高い抵抗性降伏領域 8 を避けて、電位の低い P ウェル 2 に向かって下方向に流れ、パス P 1 a を通って、主にソース電極 1 2 から取り出される。その結果、P ウェル 2 の深い領域に、パス P 1 a に沿った電位勾配が発生する。その電位に、ソース領域 5 から注入された電子電流が引き込まれ、パス P 4 に沿った電子電流が形成される。

【 0 0 5 8 】

この一連の過程において、最初の発熱は、最初の接合降伏が起きて電流と電界が集中する凸面部分 6 A の近傍に集中する。その後、P 2 の経路の電子電流が増加すると、発熱の中心は凸面部分 8 A に移る。

しかし、凸面部分 8 A で破壊が起きる前に、他のドレイン領域 6 の一部であり凸面部分 8 A から離れた凸面部分 6 A で再び、雪崩降伏が強まる。その結果、高電流領域の発熱領域は、凸面部分 8 A と凸面部分 6 A、および、電気的中性領域 8 i の 3 つの領域に分散される。

【 0 0 5 9 】

さらに、パス P 4 を通ってドレイン領域 6 に流れ込む電子電流は、抵抗性降伏領域 8 から広がる電位勾配によって、ドレイン領域 6 の底面に広がって流れるため、電流密度の集中が緩和される。

その結果、ESD サージの電力消費が、抵抗性降伏領域 8 からドレイン領域 6 の底面に渡る広い範囲に分散され、局所的な発熱が緩和され、より高いサージ電流まで素子の ESD 破壊を免れる。

【 0 0 6 0 】

なお、最初の接合降伏が凸面部分 8 A で起きるように不純物濃度を定めた場合は、雪崩降伏によって生じた正孔電流は、パス P 3 a に沿ってウェル中を流れ、ウェル電極 1 4 から取り出される。このとき、P ウェル 2 中の抵抗成分に正孔電流が流れることによって、ウェル電位が上昇する。

その後は、『上昇したウェル電位によってソース領域 5 と P ウェル 2 間の P N 接合が順方向にバイアスされる。』の一文で始まる上述した記載と同様に動作する。

【 0 0 6 1 】

[ 製造方法 ]

次に、MOS トランジスタ型保護素子 TR m の作製方法を、図 4 ( A ) ~ 図 7 ならびに図 2 を参照して説明する。

図 4 ( A ) の工程 1 において、高濃度 P 型シリコンからなる半導体基板 1 に、P ウェル 2 を形成するために、低濃度の P 型シリコン層をエピタキシャル成長する。半導体基板 1 の不純物濃度は、例えば  $1E19[\text{cm}^{-3}]$  以上とし、エピタキシャル成長層 1 E の不純物濃度は、例えば  $1E15[\text{cm}^{-3}]$  以下とする。

10

20

30

40

50

続いて、半導体基板 1 表面を熱酸化し、イオン注入のスルー膜として用いる犠牲酸化膜 2 1 を形成する。

続いて、犠牲酸化膜 2 1 を通して硼素(B)イオンを半導体基板 1 に注入し、活性化アニールを行って、P型半導体からなるPウェル 2 を形成する。硼素(B)イオンのドーズ量や注入エネルギーは、所望のドレイン耐圧やPウェル 2 のシート抵抗、同一基板に形成するMOSFETのしきい値電圧が得られるように定める。

#### 【0062】

次に、図4(B)の工程2において、犠牲酸化膜 2 1 を、弗酸系溶液を用いてエッチング除去した後、再度、半導体基板 1 表面を熱酸化してゲート絶縁膜 3 を形成する。ゲート絶縁膜 3 となるシリコン酸化膜の厚さは、同一基板に形成するMOSFETで、所望のゲート耐圧やしきい値電圧が得られるように定める。

10

続いて、熱CVD法を用いてゲート絶縁膜 3 の上にポリシリコン層(図示せず)を堆積し、燐(P)イオンをポリシリコン層に高濃度にイオン注入する。

続いて、レジスト(図示せず)を半導体基板全面に塗布した後、光学リソグラフィを行い、ゲートパターンをレジストに転写する。その後、レジストパターンをマスクに反応性イオンエッチングを行い、ポリシリコン層の不要部分を除去する。その後、アッシングによってレジストを除去し、ゲート電極 4 を得る。

#### 【0063】

次に、図5(A)の工程3において、半導体基板 1 をレジストPR1で被覆し、光学リソグラフィを行ってゲート電極 4 からドレイン領域 6 (図2参照)となる領域までを開口する。続いて、電界緩和領域 7 を形成するための燐(P)イオンを半導体基板 1 表面に注入する。燐(P)のドーズ量と注入エネルギーは、スルー膜とするゲート絶縁膜 3 の厚さと、所望のドレイン耐圧に応じて定めればよい。その後、アッシング等によってレジストPR1を除去する。

20

#### 【0064】

次に、図5(B)の工程4において、半導体基板 1 をレジストPR2で被覆し、光学リソグラフィを行って抵抗性降伏領域 8 からドレイン領域 6 (図2参照)となる領域までを開口する。続いて、抵抗性降伏領域 8 を形成するための燐(P)イオンを半導体基板 1 表面に注入する。燐(P)ドーズ量と注入エネルギーは、抵抗性降伏領域 8 のピンチオフ電圧がドレイン耐圧よりも高くなるように定められる。その後、アッシング等によりレジストPR2を除去する。

30

#### 【0065】

次に、図6(A)の工程5において、半導体基板 1 をレジストPR3で被覆し、光学リソグラフィを行ってソース領域 5 とドレイン領域 6 の領域を開口する。続いて、砒素(As)イオンと燐(P)イオンを、順次、半導体基板 1 の表面に注入する。それぞれのイオンのドーズ量と注入エネルギーは、後で形成するソース電極やドレイン電極との間にオーミック接触を形成するに足る表面濃度と、抵抗性降伏領域 8 よりも深い接合深さが得られるように定める。その後、レジストPR3を除去する。

#### 【0066】

次に、図6(B)の工程6において、半導体基板 1 をレジストPR4で被覆し、光学リソグラフィを行ってウェルコンタクト領域 10 を形成する領域を開口する。続いて、硼素(B)イオン、または弗化硼素(BF<sub>2</sub>)イオンを半導体基板 1 の表面に注入する。ドーズ量と注入エネルギーは、後で形成するウェル電極との間にオーミック接触を形成するに足る表面濃度が得られるように定める。その後、レジストPR4を除去する。

40

#### 【0067】

次に、図7の工程7において、基板に熱処理を行い、これまでの工程でイオン注入された不純物原子を活性化する。

続いて、基板表面にプラズマCVD法によりSiO<sub>2</sub>を厚く堆積し、CMPを用いて表面を平坦化し、これにより層間絶縁膜 1 1 を得る。

続いて、基板全面にレジスト膜(図示せず)を形成し、光学リソグラフィを行って、ソ

50

ース領域 5、ドレイン領域 6、およびウェルコンタクト領域 10 に対して設ける接続孔のパターンをレジスト膜に転写する。その後、反応性イオンエッチングを行って、各部への接続孔を形成する。

【0068】

次に、工程 8 において、接続孔にタングステンなどの金属をスパッタリングや CVD 法によって埋め込み、さらにその上部に、アルミニウムによる配線層を形成する。これにより、図 2 に示すように、ソース電極 12、ドレイン電極 13、および、ウェル電極 14 を得る。

【0069】

以上の方法によって、第 1 の実施形態に関わる MOS トランジスタ型保護素子 TRM が得られる。

10

【0070】

なお、ここでは、Nチャネル型 GG MOS として用いることができる MOS トランジスタ型保護素子 TRM の製造方法を説明した。

しかしながら、Pチャネル型保護素子も、各工程で導入する不純物の導電型を上記説明と反対にすることにより、同様の手順によって作製できる。

また、開始基板は、高濃度 P 型基板である必要はなく、高抵抗 P 型基板や N 型基板でもよい。

【0071】

なお、第 1 の実施形態および他の実施形態において、半導体基板 1 というとき、シリコンその他の半導体材料製の基板に限らない。例えば、半導体または半導体以外の材料からなる基板を支持基板として、その基板に半導体層が形成されている場合も、本発明では“半導体基板”の範疇に属するものと定義する。したがって、基板と絶縁分離された SOI 層を有する SOI 基板、その他、薄膜トランジスタを形成するための基板を半導体基板としてよい。

20

【0072】

次に、第 1 の実施形態で、抵抗性降伏領域 8 をゲート電極 4 から所定距離だけ離れた利点と、「抵抗性降伏領域」に関する利点を説明する。

【0073】

例えば特許文献 1 のように、自身が接合降伏を起こすときに抵抗層として機能する N 型不純物領域（抵抗性降伏領域）が、ゲート電極 4 とパターン上で重なるような場合、ドレイン耐圧に制約が多く、高耐圧化ができない。つまり、特許文献 1 の構造では、ドレイン耐圧が、ソースとドレイン間のパンチスルー耐圧、ドレインとウェル間の接合耐圧、ゲートとドレイン間の絶縁膜耐圧の全てから制約を受ける。このため、内部回路（図 1）の耐圧に対して適切な大きさのドレイン耐圧を、MOS トランジスタ型保護素子で設定することは非常に困難である。

30

【0074】

これに対し、第 1 の実施形態によれば、抵抗性降伏領域 8 が、ゲート電極 4 直下のウェル領域部分から離れているため、ドレイン間耐圧の設定の自由度が高い。よって、内部回路の耐圧が大きい場合でも、それを上回る ESD 保護耐圧が設定可能である。

40

【0075】

また、シリサイド層がないため、シリサイド形成時の加熱によって不純物濃度が低下するなどのバラツキ要因が少ない。特に、抵抗性降伏領域 8 は、ドレイン領域 6 や P ウェル 2 の濃度プロファイルに対して、降伏時以後の所定の抵抗値に最適範囲が存在する。そのため、抵抗性降伏領域 8 を形成後に、シリサイド化加熱などのプロセスで不純物が吸い出され、あるいは加熱自身で濃度プロファイルが大きく変化することは極力避ける必要がある。

【0076】

特許文献 1 は、2 つの低濃度不純物領域と、その間の高濃度不純物領域の全体で、抵抗性降伏領域を形成する。しかし、高濃度不純物領域がシリサイド化されているため、その

50



部分で抵抗値が多少なりともばらつく。また、ドレイン領域を含め高濃度不純物領域上はシリサイド化されているため、降伏箇所にシリサイドが近い。発熱箇所がシリサイド層に近いため、この部分の破壊やシリサイドの抵抗値が変化するなどの不具合が発生する可能性が高い。

【 0 0 7 7 】

第 1 の実施形態の MOS トランジスタ型保護素子 TR m では、そのような不具合が生じるシリサイド層が形成されていない。

また、特許文献 1 のように高濃度不純物領域と低濃度不純物領域とを交互に 4 つ形成した場合に比べると、エリアペナルティが小さい。

【 0 0 7 8 】

つぎに、一般的な DE - MOS F E T に対する利点を説明する。最初に DE - MOS F E T について詳細に説明し、本実施形態に関わるトランジスタ構造との差異が、どのような利点をもたらすかをシミュレーションにより明らかにする。

【 0 0 7 9 】

[ 比較例 1 ( DE - MOS F E T ) ]

図 8 は、ドレイン耐圧を高めるための電界緩和領域を備えたドレイン拡張型 MOS トランジスタ ( DE - MOS F E T ) の断面構造図である。

【 0 0 8 0 】

図 8 に示す構造は、半導体基板 1 0 1 に P ウェル 1 0 2 が形成されている。半導体基板 1 0 1 ( 厳密には P ウェル 1 0 2 ) の表面に、ゲート絶縁膜 1 0 3 が熱酸化等により形成されている。P ウェル 1 0 2 は、図 2 の P ウェル 2 と同様、所定のしきい値電圧やウェルのシート抵抗などが得られるように不純物分布を定められている。

ゲート絶縁膜 1 0 3 上にゲート電極 1 0 4 が形成されている。ゲート電極 1 0 4 を構成するフィンガー部の幅方向の一方側がソース側であり、他方側がドレイン側である。

【 0 0 8 1 】

ゲート電極 1 0 4 の一方端と一部重なるように、P ウェル 1 0 2 内にソース領域 1 0 5 が形成されている。また、ゲート電極 1 0 4 の他方端から離れた P ウェル 1 0 2 内に、ドレイン領域 1 0 6 が形成されている。ソース領域 1 0 5 とドレイン領域 1 0 6 は、N 型不純物が高濃度の導入されている。

ドレイン領域 1 0 6 とゲート電極 1 0 4 直下のウェル領域部分との間に、ドレイン領域 1 0 6 より低濃度な N 型の電界緩和領域 1 0 7 が形成されている。電界緩和領域 1 0 7 は、その一方端部がゲート電極 1 0 4 の端部と重なっている。電界緩和領域 1 0 7 は、一般に、いわゆる L D D 領域やエクステンション領域と同様に、動作時に深さ方向の全長が空乏化する。そのため、接合降伏が生じるドレインバイアス ( 例えば、ドレイン電圧 ) の印加時に電界緩和領域 1 0 7 に電気的中性領域が残ることはない。

P ウェル 1 0 2 には、高濃度な P 型のウェルコンタクト領域 1 1 0 が形成されている。このウェルコンタクト領域 1 1 0、ソース領域 1 0 5、ドレイン領域 1 0 6 にそれぞれプラグ等を介して接続するウェル電極 1 1 4、ソース電極 1 1 2、ドレイン電極 1 1 3 が層間絶縁膜 1 1 上の配線として形成されている。

【 0 0 8 2 】

ここで、電界緩和領域 1 0 7 は、ドレイン耐圧を増加させるために設けられている。ドレインとゲート間の電界の大部分を電界緩和領域 1 0 7 が担うことによってゲート端に生じる電界が緩和され、ゲート端の破壊を引き起こすドレイン電圧が引き上げられる。

電界緩和領域 1 0 7 で十分な電圧を担うために、電界緩和領域 1 0 7 の濃度は十分低く、長さは十分長く設計される。

その結果、ドレイン耐圧は、ほぼドレイン領域 1 0 6 と P ウェル 1 0 2 との接合耐圧で決定される。

【 0 0 8 3 】

[ T L P 測定 ]

図 8 に示す構造の DE - MOS F E T で G G M O S を構成し、これに対して T L P (Tra

10

20

30

40

50

nsmission Line Pulsing) 測定を行った。

図9(A)に、比較例のDE-MOSFETのTLP測定の結果を示す。

【0084】

図9(A)に示す曲線C1は、図8のドレイン電極113に電圧パルスを与え、所定の時間(たとえば100[ns])経った時点の過渡的なドレイン電圧値とドレイン電流値の関係を、入力パルスの電圧振幅を順次増やしながらか測定したものである。

曲線C1において、ドレイン電圧を上げていくと、前述した最初の接合降伏により24[V]付近から急激にドレイン電流が0.4[A]程度流れ始め、瞬時にドレイン電圧がピーク値の1/4程度に低下する。このドレイン電圧が逆戻りする現象を“スナップバック(現象)”と呼ぶ。そして、スナップバック後は、その後のパルス印加ごとにパルス波高値の増加を反映して、ドレイン電圧もドレイン電流も徐々に増加する。

【0085】

図9(A)に示す曲線C2は、曲線C1を求める際のドレイン電流測定と交互に行うドレインリーク電流測定の結果を示すものである。より詳細に、曲線C2の各点は、直前に測定した曲線C1の点のドレイン電流を縦軸とし、その曲線C1の点を測定した直後に測定したドレインリーク電流を横軸にして電流値をプロットしたものである。

曲線C2が示すとおり、測定した保護素子(DE-MOSFET)のドレインリーク電流は、最初のスナップバックの後、測定回数の増加に伴って順次増加している。これは、ドレイン接合破壊が、スナップバックごとに進行していることを示唆している。

【0086】

上記のリーク発生の想定原因を、図10を用いて説明する。

図10は、図8のDE-MOSFETにスナップバックを起こさせた直後の状況を表した図である。

【0087】

まず、ソース電極112とウェル電極114とゲート電極104を接地した状態で、ドレイン電極113に流し込む電流を増加させる。すると、ドレイン電圧が上昇し、電界緩和領域107の空乏化が進行し、ドレイン電圧がドレイン降伏電圧に達する前に、全領域で空乏化する。これにより、ゲート端に集中する電界が緩和され、ゲート端での破壊発生が回避され、電界緩和領域の役割が果たされる。

【0088】

さらにドレイン印加電圧を大きくしてドレイン電流をより多く流すと、電界はドレイン領域106の基板深部側の曲率を持つ接合部分である凸面部分106Aで最大となる。そして、ドレイン電圧がドレイン降伏電圧に達すると、ウェーハの断面では凸面部分106A、ウェーハの平面ではドレイン領域106のどこか限られた箇所で雪崩降伏が始まる。雪崩降伏が始まる箇所は、通常、スポット状であるため“ホットスポット”と呼ばれる。

雪崩降伏によって発生した正孔と電子の対のうち、電子はドレイン領域106に流れ込み、正孔はパスP5を通過してウェルコンタクト領域110からウェル電極111に流れ込む。このとき、正孔電流が、Pウェル102の抵抗によってPウェル102の電位を上昇させるため、ソース領域105とPウェル102の間のPN接合が順方向にバイアスされる。

【0089】

さらにドレイン印加電圧を大きくしてドレイン電流をより多く流すと、ドレイン電圧が上昇し、衝突電離による正孔電流が増加する。そのため、やがて基板電位がPN接合のターンオン電圧に達し、ソース領域5からPウェル102に電子が注入される。

【0090】

この電子電流は、拡散と正孔電流が作る電位勾配とによってパスP6を経由して、凸面部分106Aの領域からドレイン領域106に流れる。ソースと基板間のPN接合がターンオンすることで、ドレインとソース間のインピーダンスが下がり、ドレイン電圧は減少に転じ、スナップバックが観察される。ドレイン電圧が下がるので、上記ホットスポット以外の点では雪崩降伏が起き得ず、降伏電流は、ウェーハ平面上で上記ホットスポットに

10

20

30

40

50

集中して流れる。

【 0 0 9 1 】

このように、スナップバック直後は、電界と電子電流密度がドレイン領域の凸面部分 106 A 付近に集中するため、サージの電氣的エネルギーが、この領域付近で集中的に消費され、発熱する。

この発熱集中によって半導体基板 1 中の結晶欠陥が増殖し、図 9 ( A ) に示すリーク電流の増加が起きると考えられる。このようなリーク電流は、特に、ドレイン耐圧の高い MOSFET で顕著に発生することから、中高耐圧半導体集積回路において特に問題となる。

【 0 0 9 2 】

図 9 ( B ) に、本実施形態の保護素子 ( 図 2 参照 ) に対する T L P 測定結果の一例を示す。

この図のように、図 9 ( A ) に示した比較例の保護素子とほぼ同じゲート幅でありながら、接合リークが発生するドレイン電流は、比較例の場合の 0.4 [A] から 1 [A] 以上に伸びている。

【 0 0 9 3 】

[ シミュレーション結果とその考察 ]

図 8 に示す比較例のトランジスタ構造と、図 2 に示す第 1 の実施形態に関わるトランジスタ構造とを、デバイスシミュレーションによって比較した。

【 0 0 9 4 】

図 1 1 ~ 図 1 3 に、電界 E、電流密度 J、それらの積である消費電力密度 P のシミュレーション結果を示す。各図において ( A ) が比較例、( B ) が本発明 ( 第 1 の実施形態 ) に関わるデバイス構造に対する結果を示す 2 次元 ( 2 D ) 図面である。2 D 図面では、横軸 X が図 8 または図 2 の断面横方向のサイズを示し、縦軸 Y が深さ方向のサイズを示す。図 1 1 ~ 図 1 3 においては、電界 E、電流密度 J または消費電力密度 P の相対値の大きさを示すレベルの番号を、2 D 画面のシミュレーション結果のレベル曲線に適宜、添えている。

また、各図の ( A ) には、ゲート電極 104、電界緩和領域 107、ドレイン領域 106 の範囲を図 8 と同一の符号により示している。各図の ( B ) には、ゲート電極 4、電界緩和領域 7、抵抗性降伏領域 8、ドレイン領域 6 の範囲を図 2 と同一の符号により示している。

【 0 0 9 5 】

図 1 1 ( A ) に示すように、比較例では電界緩和領域 107 に接するドレイン領域 106 の端部に電界 E が一極集中し、その最大レベルが “ 1 0 ” と大きい。

これに対し、本発明の第 1 の実施形態では、図 1 1 ( B ) に示すように、電界緩和領域 7 に接する抵抗性降伏領域 8 の端部に最大レベルの電界 E の集中箇所がある。その一方で、抵抗性降伏領域 8 に近いドレイン領域 6 の端部でも電界 E の集中箇所 ( レベル “ 8 ” ) が形成されている。抵抗性降伏領域 8 の降伏箇所における最大レベルが “ 9 ” と、比較例より 1 レベル低減されている。

【 0 0 9 6 】

この電界の分散に応じて、図 1 2 ( A ) と図 1 2 ( B ) に示す電流密度 J も、本発明の適用によって分散されている。

図 1 2 ( A ) に示す比較例では電流密度の集中が点に近い狭い範囲であり、そのレベルが “ 1 2 ” と高い。

これに対し、図 1 2 ( B ) に示す本発明の第 1 実施形態では、抵抗性降伏領域 8 の表面側にチャネル方向に長い帯状の電流集中箇所が形成され、そのレベルが “ 1 0 ” と、比較例より 2 レベルも低減されている。しかも、ドレイン領域 6 の端部から P ウェル深部を流れる電流パス J 1 が新たに発生していることが明らかである。

【 0 0 9 7 】

上記電界 E の分散と、電流密度 J の分散によって、図 1 3 ( A ) と図 1 3 ( B ) に示す

10

20

30

40

50

消費電力密度  $P$  も、本発明の適用によってピークが 1 箇所から 2 箇所に別れている。また、最大レベルが比較例の “ 1 3 ” から第 1 の実施形態の “ 1 2 ” に低減されている。

そのため、本発明の適用によって発熱が抑制されることが明らかである。

【 0 0 9 8 】

本シミュレーションでは、スナップバック現象と、それが起こるときの 4 つの電流値における表面電位分布も調べた。

図 1 4 に、スナップバックのシミュレーション結果を示す。

このシミュレーションでは、ドレイン電流  $I_D$  を徐々に大きくなるランプ波形として入力したときのドレイン電圧  $V_D$  と、その X 方向の表面電位分布を、構造パラメータを比較例と本実施形態で変えて予測し、比較した。

10

【 0 0 9 9 】

図 1 4 に示すように、比較例ではドレイン電流  $I_D$  を上げてゆくと、ドレイン電圧  $V_D$  も単調に下がる。これに対し、本実施形態の構造では、ドレイン電流  $I_D$  を観察点での値の 0.2 倍だけ流す付近でドレイン電圧  $V_D$  が最小値をとる。さらにドレイン電流  $I_D$  を増加させると、逆に、ドレイン電圧  $V_D$  が下がり、その下がる割合がほぼ線形になる。

【 0 1 0 0 】

このことは、図 1 5 ( A ) と図 1 5 ( B ) が示す表面電位分布のドレイン領域の表面電位にもよく現れている。

図 1 5 ( A ) の比較例では、曲線 A ~ D とドレイン電流  $I_D$  を増やすにしたがって、ドレイン表面電位も低下している。

20

これに対し、図 1 5 ( B ) の本発明 ( 第 1 の実施形態 ) では曲線 C から曲線 D への遷移において、電位関係が今までと逆転している。しかも、観察点のドレイン電流  $I_D$  を流すときの曲線 D では、抵抗性降伏領域 8 のチャネル電流方向で線形な電位上昇が見られる。これは、抵抗性降伏領域 8 が抵抗性降伏領域 8 のソース側端電位を基準に、ドレイン側の電位を持ち上げる作用があることを意味する。言い換えると、抵抗性降伏領域 8 が、電位をチャネル方向に徐々に変化させて電界や電流密度の一極集中を緩和する、いわゆる “ バラスト (ballast) 抵抗 ” として機能していることを、この結果は如実に表している。

【 0 1 0 1 】

以上の結果を踏まえ、本実施形態における動作を、比較例と対比して箇条書きにして述べると、以下の如くである。

30

【 0 1 0 2 】

( 1 ) サージが保護素子のドレインに入力される。このとき保護素子の振る舞いは、あるモデルによれば、電流が時間とともに単調増加する電流源が、あたかも保護素子のドレインに接続されている場合と等価とみなしてよい。

( 2 ) ドレインに入力されたサージに起因した電流によってドレイン電位が上昇し、ある電圧で、ドレイン幅のどこか弱い 1 点、即ちホットスポットから雪崩降伏が起きる。

( 3 ) その降伏点で生成した正孔は、正孔電流として基板を通過して基板コンタクトに流れ、基板電位を持ち上げる。

( 4 ) 正孔電流がある程度になると、基板電位が PN 接合のターンオン電圧に達し、ソース領域から基板に電子が注入される。電子電流は、基板バイアスに対して指数的に増加するため、ソースとドレイン間のインピーダンスが急激に下がる。

40

( 5 ) インピーダンスが下がった結果、上記降伏点近傍の電位が下がる。

【 0 1 0 3 】

( 5 - 1 ) 比較例の場合 :

このとき、比較例では、降伏点がシリサイドと近接してほぼ同電位であるため、降伏点の電位が下がることによってシリサイド領域全体の電位が、ドレイン全幅にわたって、ドレイン降伏電圧以下まで低下する。その結果、すでに降伏している点以外の領域では、接合降伏が起きなくなり、降伏電流は最初に降伏した 1 点 ( 上記ホットスポット ) に集中して流れる。そのため、ここでは局所的な電流密度が極めて高くなる。

さらに、比較例では、図 1 3 ( A ) に示すように、発熱 ( 消費電力密度  $P$  ) がドレイン

50

領域の短部に集中する。その結果、この発熱集中箇所では基板のシリコンが熱的に損傷を受け、ソフトリークの原因となる結晶欠陥が発生する。

【 0 1 0 4 】

( 5 - 2 ) 本実施形態の場合 :

一方、本実施形態の構造でも、一旦は、降伏点の電位が下降し、そこに降伏電流が集中して流れる。

しかし、本実施形態の構造では、降伏電流密度が高くなったときの発熱箇所が、図 1 3 ( B ) に示すように抵抗性降伏領域 8 からドレイン領域 6 の底面までの広い領域に分布する。このため、比較例では破壊が起こる電流を入力しても、発熱集中による損傷を受けにくくなる。

さらに、降伏点 ( 抵抗性降伏領域の先端 ) とドレイン領域 6 ( シリサイド化される場合は、このドレイン領域 6 に限定 ) との間に抵抗性降伏領域 8 が存在する。抵抗性降伏領域 8 は、図 1 5 で明らかとなったようにバラスト抵抗として機能する。そのため、降伏電流が増えると、抵抗性降伏領域 8 での電圧降下も増加し、図 1 5 ( B ) のように、結果としてドレイン領域 6 の電位が上昇に転じる。

その結果、ドレイン電圧が再度、ドレイン降伏電圧以上の電圧を回復するため、別の箇所でも、接合降伏が始まり、最終的には、ゲート幅全幅にわたって接合降伏するようになる。

これにより、ゲート幅辺りの電流密度が下がり、サージ電流の 1 点集中が回避される。

【 0 1 0 5 】

( 6 ) これらの結果、本実施形態では、ソフトリークの原因となる結晶欠陥が発生せず、しかも高い  $I_{t2}$  ( 2 次降伏電流、破壊電流 ) が得られる。

【 0 1 0 6 】

以上を纏めると、本実施形態では、まず、1 点で接合降伏が始まっても、発熱集中の分散によって、その 1 点での熱的損傷を免れる。そこでがんばって耐えているうちに、サージ電流が増加し、ドレイン電圧が再度持ち上がる。すると、別の点でもドレイン降伏電圧に達し、接合降伏が始まる。

さらにサージ電流が増えると、最終的にドレイン全幅にわたって接合降伏が起きる。

このような過程によって、ソフトリークの原因となるドレイン端の局所的な結晶欠陥の発生を免れ、さらにサージ電流が増加しても発熱集中が分散しているために、より高い電流 (  $I_{t2}$  ) まで素子全体の破壊を免れることが可能となる。

【 0 1 0 7 】

< 2 . 第 2 の実施の形態 >

図 1 6 は、第 2 の実施形態に関わる MOS トランジスタ型保護素子 TR m の断面図である。

図 1 6 に示す構造は、図 2 の構造から電界緩和領域 7 を取り除いた構造である。

【 0 1 0 8 】

図 1 6 に示す MOS トランジスタ型保護素子は、第 1 の実施形態と同様に、最初の接合降伏が凸面部分 8 A または凸面部分 6 A で発生するときに、抵抗性降伏領域 8 がバラスト抵抗として機能する。このためドレイン電圧が抵抗性降伏領域 8 の電圧降下によって逆に上昇する作用が得られる。その結果、ソフトリークの原因となるドレイン端の局所的な結晶欠陥の発生を免れ、さらにサージ電流が増加しても発熱集中が分散しているために、より高い電流 (  $I_{t2}$  ) まで素子全体の破壊を免れることが可能となる。

また、抵抗性降伏領域 8 がゲート電極 4 下方のウェル領域部分から所定距離だけ離れているので、ドレインとゲート間の耐圧の制約なしに、保護素子の耐圧を設定することができる。

【 0 1 0 9 】

< 3 . 第 3 の実施の形態 >

上記した第 1 の実施形態の動作から明らかなように、MOS トランジスタ型保護素子 TR m は本質的にはバイポーラトランジスタ動作を行うため、ゲート電極 4 は不要である。

10

20

30

40

50

## 【 0 1 1 0 】

図 1 7 に、第 3 の実施形態に関わるバイポーラトランジスタ型保護素子の断面図を示す。

図 1 7 に示す構造は、図 2 の構造からゲート電極 4 とゲート絶縁膜 3 を取り除いた構造である。

図 1 7 に示すバイポーラトランジスタ型保護素子 T R b は、図 1 の M O S トランジスタ型保護素子 T R m に置き換えて用いることができる。

## 【 0 1 1 1 】

図 1 7 においては、ソース領域 5 に代えて“エミッタ領域 5 B”の名称を用い、ドレイン領域 6 に代えて“コレクタ領域 6 B”の名称を用いている。また、P ウェル 2 が“ベース領域”として機能し、ウェルコンタクト領域 1 0 が“ベースコンタクト領域”として機能する。

10

製造方法、材料その他の構造パラメータは、第 1 の実施形態と同様にできる。

## 【 0 1 1 2 】

図 1 7 に示すバイポーラトランジスタ型保護素子 T R b は、第 2 の実施形態で要約した第 1 の実施形態と同様な効果を得ることができる。ゲート電極がないので、さらに制約が緩和されて、自由に保護素子としての耐圧を決めることができる。

## 【 0 1 1 3 】

< 4 . 第 4 の実施の形態 >

図 1 8 は、第 4 の実施形態に関わる M O S トランジスタ型保護素子 T R m の断面図である。

20

図 1 8 に示す構造は、図 2 の構造のソース領域 5 とゲート電極 4 との間に、電界緩和領域 7 と同一工程で形成される低濃度領域 7 a を追加した構造である。

追加された低濃度領域 7 a のチャンネル長方向の長さによって、スナップバックカーブのオン抵抗を所望の値に調整することができる。その他、第 2 の実施形態で要約した第 1 の実施形態と同様な効果が、本第 4 の実施形態でも得られる。

## 【 0 1 1 4 】

< 5 . 第 5 の実施の形態 >

図 1 9 ( A ) は、第 5 の実施形態に関わる M O S トランジスタ型保護素子 T R m の断面図である。

30

図 1 9 ( A ) に示す構造は、ドレイン領域 6 の深さが浅いために、抵抗性降伏領域 8 との接合深さの十分な差を設けられない場合に適した構造である。

## 【 0 1 1 5 】

冶金学的接合深さが、ドレイン領域 6、抵抗性降伏領域 8、電界緩和領域 7 の順に大きくなっている。また、電界緩和領域 7 内に抵抗性降伏領域 8 が一回り小さく形成され、抵抗性降伏領域 8 内にドレイン領域 6 が一回り小さく形成されている。

ただし、ソース側の抵抗性降伏領域 8 の端部から電界緩和領域 7 の端部までの距離は、電界緩和のために最適な長さとする。また、ソース側のドレイン領域 6 の端部から抵抗性降伏領域 8 の端部までの距離は、バラスト抵抗としての最適な長さとする。

これに対し、ドレイン領域 6 と電界緩和領域 7 と抵抗性降伏領域 8 のソース側と反対側の端部は、もう 1 つの凸面部分 6 C が形成される箇所となる。

40

## 【 0 1 1 6 】

図 1 9 ( B 1 ) には、動作時に抵抗性降伏領域 8 の深さ方向の一部が空乏化した状態を添えて示している。

図 1 9 ( B 1 ) の状態は、最初の降伏が凸面部分 8 A または凸面部分 6 A で生じたときを示している。例えば、1 回目の降伏が凸面部分 8 A で生じると、2 回目の降伏は凸面部分 6 A か、それと反対側の基板深部側コーナーに相当する凸面部分 6 C で発生する。凸面部分 6 A と凸面部分 6 C は、その一方が先に降伏し、他方が後で降伏することもある。

いずれにしても、図示のように表面エッジを揃えると降伏しやすくなるため、さらに発熱箇所を分散させるには有利な構造となる。

50

## 【 0 1 1 7 】

図 1 9 ( B 1 ) に代えて、図 1 9 ( B 2 ) のようにして抵抗性降伏領域 8 が一部空乏化してもよい。

図 1 9 ( B 2 ) の状態は、降伏が凸面部分 8 A または凸面部分 6 C で生じたときを示している。例えば、1 回目の降伏が凸面部分 8 A で生じると、2 回目の降伏は基板深部側コーナーに相当する凸面部分 6 C で発生する。

## 【 0 1 1 8 】

図 2 0 は、図 1 9 の構造を Z - Z 線を中心にミラー反転したものである。

このような構造は、例えば、マルチフィンガーゲート構成を採用し、ドレインを 2 つのフィンガー部の MOS トランジスタ型保護素子 T R m で共通化する場合などの構造に類似する。ここでマルチフィンガーゲート構造は、ゲートをマルチフィンガー状（短冊状）に形成し、ソースとドレインの少なくとも一方を、隣接する 2 つのゲートフィンガーで共有させるものである。

ドレインを共通化する場合、通常、図 2 0 において Z - Z 軸の左右の、2 つの電界緩和領域 7 を繋げ、2 つの抵抗性降伏領域 8 を繋げ、かつ、2 つのドレイン領域 6 を繋げるパターンが採用される。その場合、必然として、凸面部分 6 C は形成されないことになる。

## 【 0 1 1 9 】

表面エッジを揃えると降伏しやすくなるため望ましいが、冶金学的接合が抵抗性降伏領域 8 でドレイン領域 6 より深い場合に、ゲートと遠い側で接合の表面エッジを揃えることは必須ではない。

## 【 0 1 2 0 】

図 2 1 ( A ) ~ 図 2 1 ( D ) は、図 1 9 や図 2 0 以外の接合形状の組み合わせを示す断面図である。ここで図 2 1 ( A ) と図 2 1 ( B ) は図 1 9 の変形例を示し、図 2 1 ( C ) と図 2 1 ( D ) は図 2 0 の変形例を示す。

これらの図から分かるように、ドレイン電極 1 3 の下方で、電界緩和領域 7 でドレイン領域 6 と抵抗性降伏領域 8 を完全に囲むようにするか、電界緩和領域 7 を分離してドレイン領域 6 の一部を P ウェル 2 と直接接触させるかは任意である。

なお、第 2 の実施形態で要約した第 1 の実施形態と同様な効果は、本第 5 の実施形態でも同様に得られる。

## 【 0 1 2 1 】

< 6 . 第 6 の実施の形態 >

第 6 の実施形態は、マルチフィンガードレイン構造に関する。

図 2 2 と図 2 3 に、マルチフィンガードレイン構造の断面図と平面図を示す。各図の ( B ) が平面図であり、平面図の太い破線部分の断面を、対応する ( A ) の図に示す。

第 1 の実施形態と同一の機能を有する構成は、同一符号を付している。

## 【 0 1 2 2 】

マルチフィンガードレイン構造は、図 2 2 ( B ) と図 2 3 ( B ) に示すように、ゲート電極 4 は 1 本のライン状であるが、そのゲート電極 4 に近接する抵抗性降伏領域 8 を短冊状に形成している。一方、ドレイン領域 6 は、抵抗性降伏領域 8 よりもゲート電極 4 から遠い側に形成している。

図 2 2 の構造は、その断面で見ると、ドレイン領域 6 と抵抗性降伏領域 8 がパターンとして重なっていない。これに対し、図 2 3 の構造では、抵抗性降伏領域 8 の長さ方向の半分上にドレイン領域 6 がブランケット状に重ねられている。

このように図 2 2 と図 2 3 の違いはドレイン領域 6 と抵抗性降伏領域 8 のオーバーラップの有無に違いがあるが、両者で本質的な機能に大差はない。

## 【 0 1 2 3 】

何れにしても、抵抗性降伏領域 8 とドレイン領域 6 のゲート電極 4 側のエッジ位置を見ると、ドレイン領域 6 のエッジと抵抗性降伏領域 8 のエッジとが平面パターン上で段違いに配置されている。このとき、ドレイン領域 6 のエッジ位置が、抵抗性降伏領域 8 のエッジ位置より、ゲート電極 4 からの距離が大きくとられている。

図 2 2 ( B ) に S - S 線 ( 一点破線 ) で示す断面を見ると、図 1 9 の断面構造と大差がないことが容易に理解できる。ただし、この断面構造の比較では、凸面部分 6 C で各領域のエッジが揃っているかどうかという点と、ドレイン領域 6 と抵抗性降伏領域 8 の深さの大小関係が異なる。

#### 【 0 1 2 4 】

ドレイン領域 6 の先端 ( 凸面部分 6 A ) で最初の雪崩降伏が生じる場合を例として、以下に動作を簡単に説明する。

図 2 2 ( B ) または図 2 3 ( B ) において、まず、ドレイン領域 6 の先端 ( 凸面部分 6 A ) で雪崩降伏が起きる。そこで生じた正孔電流は、ドレインの凸面部分 6 A からウェル電極 1 4 に流れ、P ウェル 2 の電位を正にバイアスする。これによって、ソース領域 5 と P ウェル 2 間の P N 接合が順バイアスされ、ソース領域 5 から P ウェル 2 に電子が注入され、パイポーラ動作が起こる。その結果、ドレインとソース間のインピーダンスが下がり、ドレイン電位が低下し、スナップバックが起きる。

一方、ソース領域 5 から注入された電子は、抵抗性降伏領域 8 の先端 ( 凸面部分 8 A ) に集められ、抵抗性降伏領域 8 を通ってドレイン領域 6 に流れる。このとき、電子は抵抗性降伏領域の凸面部分 8 A 近傍の高電界で加速され、凸面部分 8 A で雪崩降伏を引き起こす。また、電子電流が抵抗性降伏領域 8 の中に電位勾配を生じさせ、ドレイン領域 6 の電位を再度、上昇させる。

ドレイン電圧が上昇するため、ドレイン領域 6 で再度、雪崩降伏が強まる。その結果、発熱領域は、抵抗性降伏領域 8 の先端 ( 凸面部分 8 A ) から抵抗性領域 6、さらに、ドレイン領域の先端 ( 凸面部分 6 A ) からドレイン領域 6 の底面までの広い領域に分散される。

#### 【 0 1 2 5 】

このように、第 5 の実施形態では、抵抗性降伏領域 8 のゲート側先端部の降伏部 ( 凸面部分 8 A ) と、抵抗性降伏領域 8 間のドレイン領域 6 のエッジ部分である降伏部 ( 凸面部分 6 A ) とが、パターン形状の作用によって交互に均等に形成してある。そのため、発熱箇所がパターン設計の意図通りに 2 次元的に分散されるという利点がある。

その他の基本的な効果は、第 2 の実施形態で要約した第 1 の実施形態と同様である。

なお、図 2 3 の場合、図 2 2 の場合と比べると、ドレイン領域 6 の抵抗を低くできるので、その分、スナップバックのオン抵抗を小さくすることが可能である。

#### 【 0 1 2 6 】

< 7 . 第 7 の実施の形態 >

図 2 4 は、第 7 の実施形態に関わる M O S トランジスタ型保護素子 T R m の断面図である。

雪崩降伏を抵抗性降伏領域 8 とドレイン領域 6 とで分散して起こさせる方法として、ドレイン領域に接する P ウェル 2 の一部に、P ウェル 2 の不純物濃度を局所的に高めた領域を設ける。この領域は、雪崩降伏を容易に発生させる機能を有するため、以下、降伏容易化領域 2 A と呼ぶ。

降伏容易化領域 2 A は、抵抗性降伏領域 8 に接してもよいし、近接させてもよい。降伏容易化領域 2 A が接触または近接する抵抗性降伏領域 8 またはドレイン領域 6 の部分の接合耐圧が局所的に低下する。これにより、接合降伏が抵抗性降伏領域 8 の先端 ( 凸面部分 8 A ) と、降伏容易化領域 2 A に接触または近接する抵抗性降伏領域 8 の領域とで起こり易くなる。

#### 【 0 1 2 7 】

なお、降伏容易化領域 2 A は、その濃度と配置によって、1 回目と 2 回目のどちらの雪崩降伏を引き起こすものでもよい。1 回目の雪崩降伏でも、その場所は抵抗性降伏領域 8 でもドレイン領域 6 でもよい。

#### 【 0 1 2 8 】

上記第 1 ~ 第 7 の実施形態では、抵抗性降伏領域 8 が、ドレイン領域 6 または抵抗性降伏領域 8 の降伏発生時に、電気的中性領域 8 i が抵抗性降伏領域 8 に残存するように、抵

10

20

30

40

50



抗性降伏領域 8 の冶金学的接合形状と濃度プロファイルが決められていた（共通要件）。

しかし、降伏容易化領域 2 A を付加すると、1 回目の降伏が容易に発生する。その場合、1 回目の降伏は降伏容易化領域 2 A の助けを借りたもので、純粋な意味で、抵抗性降伏領域 8 の冶金学的接合形状と濃度プロファイルで決まるわけではない。したがって、この場合の抵抗性降伏領域 8 は、上記共通要件を満たす必要が必ずしもないとも言える。よって、降伏容易化領域 2 A が存在する場合は、上記共通要件を必須要件としない。

【 0 1 2 9 】

よって、この場合に抵抗性降伏領域 8 に課せられる要件は、ゲート電極直下のウェル部分と所定の距離だけ離れ、かつ、抵抗性降伏領域 8 に接触または近接して、抵抗性降伏領域 8 と逆導電型の降伏容易化領域 2 A が少なくとも 1 つ設けられていることで足りる。

10

ここで降伏容易化領域 2 A の位置と個数に限定はない。複数の場合、発熱箇所を分散させる意味で、複数の降伏容易化領域 2 A の配置位置が離散化されていることが望ましい。

【 0 1 3 0 】

< 8 . 第 8 の実施の形態 >

図 2 5 は、第 8 の実施形態に関わる MOS トランジスタ型保護素子 TR m の断面図である。

この実施の形態は、本発明をリサーチ型 LDMOS トランジスタに適用したものである。図 2 5 に示す構造は、図 1 9 の構造とは次の 2 点で異なる。

第 1 に、リサーチ型 LDMOS トランジスタは、高濃度の P 型半導体からなるシンカー領域 1 6 を有する。

20

第 2 に、リサーチ型 LDMOS トランジスタは、ソース側から拡散によってウェル電極 1 4 下方に延びる P 型半導体からなるチャンネル形成領域 1 5 を有する。なお、図 2 5 では、ソース電極 1 2 とウェル電極 1 4 とを 1 つの電極（以下、ソース兼ウェル電極 1 4 2 と呼ぶ）で構成しているが、図 1 9 と同様に別々に設けてもよい。

【 0 1 3 1 】

図 2 5 に示す構造では、ドレイン電極 1 3 に ESD サージが侵入しドレイン電圧が上昇すると、まず P ウェル 2 または P<sup>+</sup> 半導体からなる半導体基板 1 から伸びる空乏層によって、電界緩和領域 7 が空乏化する。これによって、ドレイン領域 6 の曲率を持つ接合部分である凸面部分 6 A、あるいは、抵抗性降伏領域 8 の先端の曲率を持つ接合部分である凸面部分 8 A に電界が集中して雪崩降伏が発生する。このとき抵抗性降伏領域 8 が所定の抵抗値を有する抵抗層（電気的中性領域 8 i）として機能する。このため第 2 実施形態で要約した第 1 の実施形態と同様な効果が、当該第 8 の実施形態でも得られる。なお、図 2 5 では揃ってないが、図 1 9 と同様に反ゲート側の電界緩和領域 7、抵抗性降伏領域 8、ドレイン領域 6 の表面エッジを揃えるとよい。エッジを揃えると、ここでも降伏しやすくなるため、さらに発熱箇所を分散させるには有利な構造となる。

30

【 0 1 3 2 】

なお、ここでは、ドレイン領域 6 と抵抗性降伏領域 8 と電界緩和領域 7 の接合深さが、図 2 とは逆の順序で深くなる場合を図示している。このような場合であっても、ドレイン降伏時の電気的中性領域の残り厚さが、電界緩和領域 7 でゼロまたは抵抗性降伏領域の電気的中性領域 8 i より薄くなる。あるいは、抵抗性降伏領域 8 の電気的中性領域 8 i がドレイン領域 6（厳密には、その電気的中性領域）より薄くなる。

40

これにより、抵抗性降伏領域 8 の先端部分である凸面部分 8 A とドレイン領域の凸面部分 6 A に電気的中性領域のコーナーが形成される。この部分は、電界が集中し、降伏電圧が低くなるため、図 2 の構造と同じ作用効果が得られる。

この点は、図 1 9 と同様な作用効果である。

【 0 1 3 3 】

図 1 9 の説明でも述べたが、このように、本発明における作用効果は、冶金学的接合面の輪郭形状だけで発現するかどうかが決まるものではなく、より本質的には、ドレイン降伏時のドレイン領域から電界緩和領域までの電気的中性領域の輪郭形状によって決まる。

【 0 1 3 4 】

50

図26(A)に、第8の実施形態における他の構造例を示す。

図26(A)に示す構造は、図25の構造にフィールドプレート構造を導入した場合を示す。

ゲート電極4は、LOCOS絶縁膜18に片側から乗り上げてフィールドプレート構造を形成している。

電界緩和領域7は、ドレイン領域6直下からLOCOS絶縁膜18の下に入り、ゲート直下でチャンネル形成領域15の近くまで広がっている。

抵抗性降伏領域8とドレイン領域6は、図26(A)に示すようにLOCOS絶縁膜18のゲートと反対側に形成することができる。あるいは、凸面部分6Aが形成されるように不純物分布を設計することにより、抵抗性降伏領域8のゲート側をLOCOS絶縁膜の直下まで延長することもできる。また、ドレイン領域6をLOCOS絶縁膜18と自己整合にて形成し、凸面部分6AをLOCOS絶縁膜18の端部近傍、または直下に設けることもできる。

10

#### 【0135】

図26(B1)と図26(B2)に、ドレイン領域6の端部がLOCOS絶縁膜18の直下まで達している場合の断面構造を示す。

図26(B1)のように凸面部分6Aが形成されるように、LOCOS絶縁膜18の直下における抵抗性降伏領域8の接合深さが、ドレイン領域6の接合深さより小さくてもよい。あるいは、図26(B2)のように凸面部分6Aは形成されない程度に、LOCOS絶縁膜18の直下における抵抗性降伏領域8とドレイン領域6の接合深さが同程度であってもよい。

20

いずれにしても抵抗性降伏領域8が抵抗層として機能し、凸面部分8Aから、凸面部分6Aがある場合は凸面部分6A、さらには、ドレイン領域6の底面にいたる広い領域で接合降伏の発生箇所が分散される。

#### 【0136】

図27に、第8の実施形態における他の構造例を示す。

図27に示す構造は、図25の構造のPウェル2をNウェル2nに置換した構造である。この構造では、電界緩和領域7を別に設ける必要はなく、Nウェル2nが電界緩和領域7を兼ねることができる。

この構造では、ESDサージ印加時に、P<sup>+</sup>半導体からなる半導体基板1からの空乏層によってNウェル2nが空乏化する。その後の作用効果は、図2や図25の構造の場合と同じである。

30

#### 【0137】

図28に、第8の実施形態における他の構造例を示す。

図28は、図27の構造をダブルリサーフ構造に修正した場合のトランジスタ断面構造を示す。

この構造は、電界緩和領域7の基板表面にP型領域(以下、表面側P領域19と呼ぶ)が設けられている点が図27と異なる。

表面側P領域19は、ドレイン電圧印加時に、上方からの垂直電界によって、電界緩和領域7(この場合、Nウェル2n)を空乏化させる作用をもつ。この場合、抵抗性降伏領域8は、好ましくは、ドレイン領域6に接して、ドレイン領域6と表面側P領域19との間に設けることができる。あるいは、抵抗性降伏領域8を、表面側P領域19と一部が重なるように設けることもできる。この場合、抵抗性降伏領域8は、必ずしも基板表面からN型領域をなしている必要はなく、基板最表面がP型領域19であり、その下に抵抗性降伏領域のN型領域が形成されていてもよい。

40

#### 【0138】

上述した第1~第8の実施形態は任意に組み合わせることができる。

例えば、図29に示すように、フィールドMOSFETに本発明を適用することも可能である。

この実施例は、図2の構造のゲート電極部を、LOCOS絶縁膜18に置き換えた点が

50

図2と異なる。ゲートがないので、本質的には図17と同様なバイポーラトランジスタ型保護素子TRbとなる。作用効果は、図2や図17の場合と同じである。

【0139】

上述した第1～第8の実施形態に関わる保護素子によれば、ESDサージが印加されることにより発生する接合降伏を、複数の箇所分散して、あるいは、ある広がりのある領域で広く発生させる。これにより、サージ電流によって引き起こされる発熱の集中を緩和し、これによりスナップバック時の発熱集中による保護素子の破壊を免れることができる。また、高いドレイン耐圧を維持しつつ、低電圧保護素子に匹敵する高い静電破壊耐性電流を得ることができる。

【0140】

最初の第1の実施形態では、保護素子の製造方法として、高いドレイン耐圧を得るためにゲート・ドレイン間に電界緩和領域を有するDEMOS (Drain-Extended MOSFET)を例にとって説明した。

また、第1の実施形態に関わる保護素子の製造方法では、通常のDEMOSに2工程(リソグラフィ工程とイオン注入工程)を追加している。この2工程の追加によって、電界緩和領域とドレイン領域の間に、電界緩和領域より不純物濃度の高い抵抗性降伏領域を形成することができた。

【0141】

しかしながら、上記の製造方法では、保護素子を形成するために、製造工程が2工程増える。このことは、ウェーハ製造コストを増加させ、上記保護素子を用いた製品の市場導入を阻害する。そのため、上記保護素子を、既存の製造工程だけで、即ち工程を追加することなく製造する方法が求められる。

【0142】

次に、上記第1～第8の実施形態およびそれらの変形例の何れかに示す構造を形成する際に、より工程数が少なく、コスト負担が軽い製造方法の実施の形態を説明する。以下の実施形態は、保護素子の構造が第1～第8の実施形態のいずれであってもよい。

以下は、代表として第4の実施形態(図18)を基本構造とするMOSトランジスタ型保護素子TRmを有する集積回路(IC)を例として、工程数削減の手法を説明する。以下の実施形態は、第1～第8の実施形態内で第4の実施形態以外にも類推適用可能とする。

そのため、以下の説明において、MOSトランジスタ型かバイポーラトランジスタ型かを問わず、保護素子の一般名称として“トランジスタ型保護素子(TRm, b)”を用いる。

【0143】

< 9. 第9の実施の形態 >

図30は、第9の実施形態に関わる製造方法によって形成される集積回路の断面構造図である。

図30は、図18に示す第4の実施形態のトランジスタ型保護素子(TRm, b)を、同一基板に形成される高耐圧MOSFET(MH)と低電圧MOSFET(ML)と共に図示したものである。

【0144】

ここで、高耐圧MOSFET(MH)は、トランジスタ型保護素子(TRm, b)によってESDサージから保護すべき素子である。つまり、高耐圧MOSFET(MH)が、図1の内部回路内に含まれる。高耐圧MOSFET(MH)は、Nチャネル型とPチャネル型の何れか、または、両方が含まれる。ただし、図30には、図の煩雑化を避けるためNチャネルMOSFETのみを図示する。

【0145】

また、低電圧MOSFET(ML)は、内部回路内に含ませてもよいが、ここでは、図1には現れていない他の回路ブロック内のトランジスタとする。

低電圧MOSFET(ML)は、たとえば、高耐圧MOSFET(MH)の制御回路を構成

10

20

30

40

50

するロジック用MOSFETとしてよい。あるいは、低電圧MOSFET(ML)は、高耐圧MOSFET(MH)と同一基板に形成される撮像素子の制御回路を構成するロジック用MOSFETとしてよい。

何れにしても、低電圧MOSFET(ML)は、NチャネルMOSFETとPチャネルMOSFETの何れか一方、またはその両方が含まれる。ただし、図30では、図の煩雑化を避けるため、NチャネルMOSFETのみを図示する。なお、低電圧MOSFET(ML)は、同一基板に形成され、動作電圧の異なる低電圧のNチャネルMOSFET、PチャネルMOSFET、または、その両方を含んでもよい。

#### 【0146】

半導体基板1は、高濃度に硼素(B)などのP型不純物を導入されたシリコン(結晶方位面100の)基板である。半導体基板1内の表面には、低濃度のP型結晶シリコンからなるエピタキシャル成長層1Eが形成されている。

エピタキシャル成長層1E内の表面側には、各素子に適したウェルが形成されている。各ウェル内に、トランジスタ型保護素子(TRm,b)、高耐圧MOSFET(MH)、低電圧MOSFET(ML)の何れかが形成されている。

各素子間には、電気的絶縁を確保するための素子分離絶縁膜180が形成されている。素子分離絶縁膜180の下面に接するエピタキシャル成長層1Eの部分には、P型のチャネルストップ不純物が高濃度に導入され、チャネルストップ領域9が形成されている。

#### 【0147】

低電圧MOSFET(ML)は、所望のしきい値電圧や各部の耐圧が得られるように不純物を導入されたP型のウェル(Pウェル2L)に形成されている。低電圧MOSFET(ML)は、以下の要素から構成されている。

- ・低電圧MOSFETのためのゲート絶縁膜3L  
(たとえば、膜厚1~10[nm]のシリコン熱酸化膜)
- ・ゲート電極4L(たとえば、高濃度N型ポリシリコン電極)
- ・N<sup>+</sup>半導体からなる半導体からなるエクステンション領域7E  
(近傍にP型のハロー領域(図示せず)が形成されていてもよい)
- ・N<sup>+</sup>半導体からなるソース領域5L
- ・N<sup>+</sup>半導体からなるドレイン領域6L
- ・ソース領域5Lとドレイン領域6Lをゲート電極4Lに対して自己整合で形成するためのゲート側壁絶縁膜41

#### 【0148】

高耐圧MOSFET(MH)は、所望のしきい値電圧や各部の耐圧が得られるように不純物を導入されたP型のウェル(Pウェル2H)に形成されている。高耐圧MOSFET(MH)は、以下の要素から構成されている。

- ・高耐圧MOSFETのためのゲート絶縁膜3H  
(たとえば、膜厚10~100[nm]のシリコン熱酸化膜)
- ・ゲート電極4H(たとえば、高濃度N型ポリシリコン電極)
- ・ゲートとドレイン間の電界がゲート端へ集中することを緩和し、高いドレイン耐圧を得るためのN<sup>-</sup>半導体からなる電界緩和領域7H
- ・N<sup>+</sup>半導体からなるソース領域5H
- ・N<sup>+</sup>半導体からなるドレイン領域6H

#### 【0149】

トランジスタ型保護素子(TRm,b)は、第1の実施形態で既に説明した、ゲート絶縁膜3、ゲート電極4、ソース領域5、ドレイン領域6、電界緩和領域7、低濃度領域7a、抵抗性降伏領域8、ソース電極12およびドレイン電極13構成されている。

ここで、第2~第4の実施形態と同様に、ゲート電極4、電界緩和領域7、低濃度領域7a必須の構成要素ではなく、任意に省略することができる。また、トランジスタ型保護素子(TRm,b)は、第5~第8の実施形態に示すMOSトランジスタ型保護素子TRmと同様に形成することもできる。

10

20

30

40

50

## 【 0 1 5 0 】

高耐圧MOSFET(MH)のゲート絶縁膜3Hは、通常、低電圧MOSFET(ML)のゲート絶縁膜3Lより厚く形成される。

トランジスタ型保護素子(TRm, b)のゲート絶縁膜3は、ゲート絶縁膜3Hと3Lの何れと同時に形成してもよい。ただし、図30のようにゲート電極4Lを設ける場合は、少なくともゲート電極直下の部分をゲート絶縁膜3Hと同時形成するのが好ましい。

## 【 0 1 5 1 】

第9の実施形態では、抵抗性降伏領域8を、低電圧MOSFET(ML)のエクステンション領域7Eと同一工程で形成したことが、第1の実施形態の製造方法と異なる。トランジスタ型保護素子に関する限り、その製法は第1の実施形態(図4(A)~図7)と同じである。

10

## 【 0 1 5 2 】

次に、図30に示す構造の製造方法を、図31(A)~図40(B)を参照して説明する。

ここで第1の実施形態と同様な工程は、図4(A)~図7や工程1~工程7の名称を適宜引用することで、その説明を簡略化する。追加の工程がある場合、例えば工程3と工程4の間に追加したい新たな工程、あるいは、工程3を細分化した場合の工程は工程3-1, 3-2, ...といった表記により表現する。第2~第8の実施形態のトランジスタ型保護素子が集積化される場合は、以下の説明で適宜、説明を加える。

## 【 0 1 5 3 】

図31(A)の工程1-1において、図4の工程1と同様にして、P型の半導体基板1上にP型のエピタキシャル成長層1Eを成長させる。続いて、各トランジスタの活性領域を除いた表面に素子分離絶縁膜180を形成する。素子分離絶縁膜180は、いわゆるLOCOSプロセスによって形成してもよいし、あるいはSTI(Shallow Trench Isolation)プロセスによって形成してもよい。

20

## 【 0 1 5 4 】

図31(B)の工程1-2において、図4の工程1と同様にして犠牲酸化膜21を形成する。犠牲酸化膜の厚さは、例えば10~30[nm]程度とする。

## 【 0 1 5 5 】

図32(A)の工程1-3において、図4の工程1と同様にしてイオン注入を行う。ただし、ここでは各トランジスタの活性領域に、犠牲酸化膜21を通してP型不純物を順次イオン注入する。各領域への選択的なイオン注入は、たとえば、基板全面をレジスト膜(図示せず)で被覆した後、フォトリソグラフィによって目的のトランジスタの活性領域を開口し、レジストをマスクとしてイオン注入することによって行う。注入する不純物には、たとえば硼素(B)を用いることができる。注入条件は、各トランジスタで所望のしきい値電圧が得られるように定める。ここでPウェル2HとPウェル2を同時にイオン注入することができる。

30

## 【 0 1 5 6 】

図32(B)の工程1-4において、素子間分離領域に犠牲酸化膜21を通してチャネルストッパとなる不純物をイオン注入し、チャネルストッパ領域9を形成する。

40

NチャネルMOSFET周辺のP型領域には硼素(B)などのP型不純物を注入してP型のチャネルストッパ領域9を形成し、PチャネルMOSFET周辺のN型領域には磷(P)などのN型不純物を注入してN型チャネルストッパ領域(不図示)を形成する。注入する不純物の濃度は、素子分離絶縁膜180の厚さと電源電圧とから、素子分離絶縁膜180直下に反転層が形成されないように定める。

## 【 0 1 5 7 】

図33(A)の工程2-1において、図4(B)の工程2と同様にして犠牲酸化膜21を除去する。

図33(B)の工程2-2において、半導体基板1を熱酸化し、高耐圧MOSFETのためのゲート絶縁膜3Hを形成する。このとき、工程1-4までに半導体基板1に導入し

50

た不純物が活性化される。熱酸化は、酸素を含有する雰囲気中で基板を、例えば900～1100[ ]に加熱することによって行うことができる。酸化膜の厚さは、高耐圧MOSFETのゲート駆動電圧に応じて定めればよく、たとえば10～100[nm]とすることができる。

【0158】

図34(A)の工程2-3において、半導体基板の表面にレジストPR0を形成した後、フォトリソグラフィによって、低電圧MOSFET(ML)とトランジスタ型保護素子(TRm, b)の活性領域を開口する。

トランジスタ型保護素子(TRm, b)にゲート電極を設ける場合は、このとき図34(A)のように、トランジスタ型保護素子(TRm, b)のゲート領域とその近傍にはレジストPR0を残す。そうでない場合は、図34(B)のように、トランジスタ型保護素子(TRm, b)のゲート領域とその近傍にはレジストPR0を残さない。

【0159】

続いて、レジスト開口部のゲート絶縁膜3Hを除去する。

その後、レジストPR0を除去する。この除去は、反応ガスにシラン(CF<sub>4</sub>)を含む反応性イオンエッチング、弗酸を含有する溶液への浸漬、あるいは、これらの組み合わせによって行うことができる。

【0160】

図35(A)の工程2-4において、半導体基板の表面を熱酸化し、低電圧MOSFET(ML)のためのゲート絶縁膜3Lを形成する。熱酸化膜の厚さは、低電圧MOSFET(ML)の所要特性に応じて定めればよく、例えば、1～10[nm]とすることができる。

トランジスタ型保護素子(TRm, b)の形成領域では、ゲート形成部分に、膜厚が若干積み増されたゲート絶縁膜3Hが形成され、その周囲の半導体活性領域表面にゲート絶縁膜3Lが形成される。

図35(B)には、ゲートを形成しない場合の断面を示し、トランジスタ型保護素子(TRm, b)の形成領域の半導体活性領域全面にゲート絶縁膜3Lが形成される。

【0161】

図36の工程2-5において、各トランジスタのゲート電極を、以下の手順で形成する。

ゲート電極形成のために、まず、半導体基板の表面にCVD法によってポリシリコン層を100～200[nm]程度堆積し、その後、レジスト膜(図示せず)で被覆する。ポリシリコン層は、その堆積中か堆積後に燐(P)イオンが導入され導電率が上げられる。

続いてリソグラフィを行い、各トランジスタのゲート領域上のみレジストを残した後、シラン(CF<sub>4</sub>)を含有する反応ガスを用いて反応性イオンエッチングを行い、レジストで被覆されていない領域のポリシリコン層を除去する。

その後、レジストを除去し、図36(A)と図36(B)のように、ポリシリコン製のゲート電極4L, 4H, 4を得る。

【0162】

図37および図38の工程3-1において、高耐圧MOSFET(MH)とトランジスタ型保護素子(TRm, b)の活性領域以外の領域をレジストPR1で被覆する。

保護素子にゲート電極を設けない場合は、図37(B)のように、保護素子の活性領域内にレジストPR1でダミーゲートを設ける。

保護素子に電界緩和領域を設けない場合は、図38のように、高耐圧MOSFET(MH)の活性領域以外の領域をレジストPR1で被覆する。

【0163】

続いて、レジストPR1をマスクとして燐(P)を半導体基板1にイオン注入し、電界緩和領域の不純物を導入する。燐(P)のドーズ量と注入エネルギーは、高耐圧MOSFET(MH)で所望のオン抵抗とドレイン耐圧が得られるように選ぶ。

これにより、図37および図38のように、高耐圧MOSFET(MH)に電界緩和領域7Hと低濃度領域7aHが形成される。また、図37の場合、さらにトランジスタ型保護素子(TRm, b)にも、電界緩和領域7と低濃度領域7aが形成される。

その後、レジストPR1を除去する。

【0164】

図39(A)は、本実施形態の特徴的な工程を示す。

図39(A)の工程4-1において、低電圧MOSFET(ML)の形成領域とトランジスタ型保護素子(TRm, b)の抵抗性降伏領域以外の領域をレジストPR2で被覆する。レジストPR2をマスクとして燐(P)を半導体基板1にイオン注入し、低電圧MOSFET(ML)のエクステンション領域7Eと、トランジスタ型保護素子(TRm, b)の抵抗性降伏領域8の不純物を同時に導入する。このとき、エクステンション不純物に続いて、弗化硼素(BF<sub>2</sub>)をイオン注入しエクステンション領域7Eの近傍にハロー領域を形成してもよい。

10

【0165】

燐(P)と弗化硼素(BF<sub>2</sub>)のドーズ量と注入エネルギーは、低電圧MOSFET(ML)とトランジスタ型保護素子(TRm, b)の要請を同時に満たすように設定される。

低電圧MOSFET(ML)の要請とは、ショートチャネル効果を抑制することである。

トランジスタ型保護素子(TRm, b)の第1の要請は、抵抗性降伏領域8のピンチオフ電圧が高耐圧MOSFET(MH)のドレイン耐圧より高くなることである。また、同時に満たすべき第2の要請は、ESDサージが侵入してドレイン接合が雪崩降伏した際、2つの雪崩降伏電流が良好な配分になるようなシート抵抗が得られるようにすることである。ここで“2つの雪崩降伏電流”は、抵抗性降伏領域8のゲートに相対する端部で生じる雪崩降伏電流と、ドレイン領域近傍の空乏層で生じる雪崩降伏電流を意味する。

20

【0166】

レジストPR2を除去後に、図39(B)の工程4-2において、低電圧MOSFET(ML)のゲート電極4Lの周囲にゲート側壁絶縁膜41を形成する。最初に、ゲート側壁絶縁膜41となる膜として、半導体基板の表面にTEOSを原料とするSiO<sub>2</sub>膜とアモルファスSi(-Si)膜を順次堆積する。反応性ガスにシラン(CF<sub>4</sub>)を含有する異方性の反応性イオンエッチングで、堆積した-Si膜をエッチバックする。これにより、ゲート側壁絶縁膜41が形成される。

【0167】

図40(A)の工程5において、各MOSFETのソースやドレインの形成領域以外の領域をレジストPR3で被覆する。した後、N型不純物をイオン注入して、ソース・ドレイン領域の不純物を導入する。

30

このとき注入するイオン種は、砒素(As)、燐(P)、または、その両方とすることができる。それぞれの注入エネルギーとドーズ量は、ソース・ドレイン領域のシート抵抗、ならびに、後で形成する接続孔配線とソース・ドレイン領域との接触抵抗に応じて、ドレイン耐圧としきい値電圧のロールオフが良好にバランスするように選択する。ここでバランスさせるドレイン耐圧は高耐圧MOSFET(MH)のドレイン耐圧である。また、バランスさせるしきい値電圧は低電圧MOSFET(ML)のしきい値電圧である。

レジストPR3を除去した後、半導体基板を熱処理し、基板内に注入された不純物を活性化する。この熱処理は、アニール炉中で基板を1000[ ]前後で数秒間加熱することによって行うことができる。あるいは、RTA法を用いて極めて短時間にアニールを行ってもよい。

40

【0168】

図4の工程6に示すウェルコンタクト領域の形成をPウェル2, 2L, 2Hのそれぞれで行う。

その後、図40(B)に示す工程7では、半導体基板表面に厚い層間絶縁膜11を堆積する。

層間絶縁膜11において、各MOSFETのゲート電極とソース・ドレイン領域上に接続孔を形成し、接続孔を金属で埋め込む。このとき、ソース・ドレイン領域と接続孔の埋め込み金属との間の接触抵抗を下げるために、ソース・ドレイン領域の表面に予めCoやNiを蒸着した後に熱処理し、シリサイド層を形成してもよい。

50

層間絶縁膜 1 1 上に金属配線層を形成し、これを光学リソグラフィとエッチングによってソース電極 1 2 , 1 2 L , 1 2 H と、ドレイン電極 1 3 , 1 3 L , 1 3 H とに分離する。

【 0 1 6 9 】

上記の製造方法においては、抵抗性降伏領域 8 を低電圧 MOS F E T のエクステンション領域 7 E と同時に形成する。このため、抵抗性降伏領域だけのための工程を追加することなく、トランジスタ型 E S D 保護素子を低コストで製造することができる。

【 0 1 7 0 】

< 1 0 . 第 1 0 の実施の形態 >

図 4 1 は、第 1 0 の実施形態に関わる製造方法によって形成される集積回路の断面構造図である。

図 4 1 は、図 3 0 では現れていない P チャンネル型の低電圧 MOS F E T ( M L ) の部分を、同一基板に形成される高耐圧 MOS F E T ( M H ) とトランジスタ型保護素子 ( T R m , b ) と共に図示したものである。

ここでは、低電圧 MOS F E T ( M L ) が N 型のハロー領域 7 1 を有する P チャンネル MOS F E T である。ハロー領域 7 1 は、P 型のエクステンション領域 7 E p の基板深部側に形成されている。N 型のウェル ( N ウェル 2 L n ) との冶金学的接合がエクステンション領域 7 E p に形成されないように、ハロー領域 7 1 が基板深部側に P 型のエクステンション領域 7 E p より一回り大きく形成されている。ただし、ハロー領域 7 1 は、この形状に限定されない。

【 0 1 7 1 】

本実施形態の製造方法は、抵抗性降伏領域 8 を形成する工程 4 - 1 ( 図 3 9 ( A ) ) において、N 型のエクステンション領域 7 E ではなく、N 型のハロー領域 7 1 と同時に抵抗性降伏領域 8 を形成する。本実施形態は、この点で第 9 の実施形態と異なる。

なお、第 9 の実施形態では、N 型トランジスタに断面構造に特化して説明したため特に説明しなかったが、P 型トランジスタの形成工程が既に存在している。そのため、N 型のハロー領域 7 1 と同時に抵抗性降伏領域 8 を形成することは、何ら製造工程の追加とはならない。

【 0 1 7 2 】

なお、図 4 1 にはゲート電極 4 L p 、ソース領域 5 L p 、ドレイン領域 6 L p 、ソース電極 1 2 L p 、ドレイン電極 1 3 L p の符号に “ p ” を付加して、P チャンネル型トランジスタ専用であることを示している。

【 0 1 7 3 】

< 1 1 . 第 1 1 の実施の形態 >

図 4 2 は、第 1 1 の実施形態に関わる製造方法によって形成される集積回路の断面構造図である。

図 4 2 において、図 4 1 と同一構成は、同一符号を付して示している。

図 4 2 に示す構造が図 4 1 の構造と異なる点は、N ウェル 2 L n の素子分離絶縁膜 1 8 0 の下方部分に N 型のチャンネルストッパ領域 9 1 が設けられていることである。この N 型のチャンネルストッパ領域 9 1 も、図 3 0 や図 4 2 には現れていないだけであり、N ウェル 2 L n の素子分離絶縁膜 1 8 0 の下方部分は N 型とするのが普通である。

【 0 1 7 4 】

本実施形態の製造方法は、N 型のチャンネルストッパ領域 9 1 と同時に抵抗性降伏領域 8 を形成する。この点が、図 3 0 や図 4 1 に関する製造方法と異なる。

N 型のチャンネルストッパ領域 9 1 の形成工程は、図 3 0 の構造の製造工程 ( 図 3 1 ( A ) ~ 図 4 0 ( B ) ) には記載していない。例えば、工程 1 - 3 ( 図 3 2 ( A ) ) の P ウェルのイオン注入に続いて行う既存の、N 型のチャンネルストッパ領域 9 1 の形成工程において抵抗性降伏領域 8 を同時形成する。この場合、工程 4 - 1 ( 図 3 9 ( A ) ) のレジスト P R 2 では抵抗性降伏領域 8 に対応する開口部を形成しない。

【 0 1 7 5 】

< 1 2 . 第 1 2 の実施の形態 >

10

20

30

40

50



図43は、第12の実施形態に関わる製造方法によって形成される集積回路の断面構造図である。

図43は、図30では現れていないN型の拡散層抵抗素子(30)を、同一基板に形成される高耐圧MOSFET(MH)とトランジスタ型保護素子(TRm, b)と共に図示したものである。

拡散層抵抗素子(30)は、エピタキシャル成長層1Eに、互いに離れてN型の高濃度な抵抗コンタクト領域31, 32が形成されている。所定のシート抵抗を有するN型の抵抗領域33が、抵抗コンタクト領域31, 32間をつなぐようにしてエピタキシャル成長層1E内に形成されている。

抵抗コンタクト領域31は、層間絶縁膜11内のプラグを介して配線34に接続されている。同様に、抵抗コンタクト領域32は層間絶縁膜11内のプラグを介して配線35に接続されている。

#### 【0176】

本実施形態の製造方法は、抵抗性降伏領域8を形成する工程4-1(図39(A))において、N型のエクステンション領域7Eではなく、N型の抵抗領域33と同時に抵抗性降伏領域8を形成する。本実施形態は、この点で第9の実施形態と異なる。

なお、第9の実施形態では、N型トランジスタに断面構造に特化して説明したため特に説明しなかったが、N型の拡散層抵抗素子(30)の形成工程が既に存在している。そのため、N型の抵抗領域33と同時に抵抗性降伏領域8を形成することは、何ら製造工程の追加とはならない。

#### 【0177】

<13. 第13の実施の形態>

図30に示す第9の実施形態は、他の第1~第8の実施形態との組み合わせが任意であることは既に述べた。

第13の実施形態は、言わば第7の実施形態と第9の実施形態との組み合わせに関する。

#### 【0178】

図44は、第13の実施形態に関わる製造方法によって形成される集積回路の断面構造図である。

図44に示す断面構造は、図24に示す第7の実施形態の構造と同様に、抵抗性降伏領域8に接触または近接する降伏容易化領域2Aが、トランジスタ型保護素子(TRm, b)に形成されている。

ここで降伏容易化領域2Aは、低電圧MOSFET(ML)におけるPウェル2Lと同時に形成される。Pウェル2とPウェル2Lとの濃度差によって、降伏容易化領域2Aが形成されている部分を、周囲のPウェル2より低濃度化するのが高濃度化するのが定まる。降伏容易化領域2Aによって高濃度化する場合は、この降伏容易化領域2Aの部分で接合降伏が、抵抗性降伏領域8に接するPウェル2の他の部分より起きやすくなる。一方、降伏容易化領域2Aによって低濃度化する場合は、この降伏容易化領域2Aの部分以外の部分で接合降伏が、抵抗性降伏領域8に接するPウェル2の部分より起きやすくなる。

このように降伏容易化領域2Aは、接合降伏を起きやすくする箇所を限定する作用がある。

また、降伏容易化領域2Aの存在により、抵抗性降伏領域近傍のP型不純物濃度が調整され、ドレイン接合降伏時のシート抵抗を所望の値に近づけることができる。

#### 【0179】

<14. 第14の実施の形態>

図45(A)と図45(B)は、第14の実施形態に関わる製造方法によって形成される集積回路(例えば固体撮像素子のチップ)の断面構造図である。図45(B)には、同一基板に形成される高耐圧MOSFET(MH)、低電圧MOSFET(ML)、および、トランジスタ型保護素子(TRm, b)を示す。また、図45(A)は、図45(B)の各素子と同一基板に形成されるCMOSイメージセンサの画素MOSFET(Mpix)とフォト

10

20

30

40

50

センサ(PD)と共に図示したものである。

【0180】

図45(A)の画素MOSFET(Mpix)は、図45(B)の低電圧MOSFET(ML)と同様の構成を有し、低電圧MOSFET(ML)と同様の手順により作製される。なお、多少濃度等が異なることも許容されるが、図45(A)の画素MOSFET(Mpix)を構成する各部は、低電圧MOSFET(ML)の各部と同一符号を付して、同時形成されるものであることを示す。

【0181】

フォトセンサ(PD)は、光電変換領域となる低濃度N型領域(N<sup>-</sup>領域)52と、基板と酸化膜の界面の界面準位によるノイズの発生を回避するためのN型領域(N領域)51とにより形成されている。

10

また、画素内の素子間分離は、基板表面から上方に突出した厚い素子分離絶縁膜180と、基板内部で素子間の絶縁性を確保するためのP型拡散分離領域53,54とで構成されている。

【0182】

これらの画素MOSFET(Mpix)とフォトセンサ(PD)の作製には、既知の製造方法を用いることができる。

本実施形態においては、トランジスタ型保護素子(TR<sub>m, b</sub>)がPチャネル型GGMOSFETから形成されている。そして、そのGGMOSFETのP型の抵抗性降伏領域8pを、P型拡散分離領域53(上部)の形成工程、P型拡散分離領域54(下部)の形成工程、フォトセンサ(PD)のP<sup>-</sup>領域36の形成工程の何れか1つの工程で形成する。あるいは、これらの工程を任意に組み合わせて抵抗性降伏領域8pを形成する。

20

画素MOSFET(Mpix)とフォトセンサ(PD)の作製工程は、本発明の適用前から存在する工程であるため、本発明の適用によって工程数の増加はない。

【0183】

以上述べてきた第1~第14の実施形態においては、排他的でない限り、つまり、1つの実施形態と他の実施形態の適用が同時に行えないことが明らかな場合を除くと、自由に組み合わせて実施できる。

また、これらの第1~第14の実施形態とその組み合わせによる実施形態は、以下に述べる種々の変形が可能である。なお、以下の変形例同士も任意に組み合わせることができる。

30

【0184】

<変形例1>

第1~第14の実施形態とその組み合わせによる実施形態では、埋め込み層の適用が可能である。

例えば図2の構造を一例とする。

【0185】

図46は、この図2の構造にP型埋め込み層を追加した場合の変形例を示す断面構造図である。

図46に示すように、変形例1では、図2の構造の基板をP<sup>-</sup>型の低濃度半導体基板1Pに置き換え、さらにP型埋め込み層1Bを追加した構造を有する。このようにしても、第1の実施形態と同様な効果を得ることができる。また、P型埋め込み層を埋め込み絶縁膜に置き換えた構造でも、第1の実施形態と同様な効果を得ることができる。

40

【0186】

<変形例2>

第1~第14の実施形態では、抵抗性降伏領域8,8pの不純物濃度は全長に渡って均一であるように描いたが、必ずしも均一である必要はなく、部分的に濃度や接合深さが変調されていてもよい。

また、ドレイン電極13とドレイン領域6との界面にシリサイドを形成し、接触抵抗を下げても良い。ただし、この場合は、シリサイド層は、ドレイン領域の周縁部から0.1[μ

50

m)以上内側に形成することが望ましい。

【0187】

<その他の変形例>

上述した第1～第14の実施形態およびそれらの組み合わせ、ならびに、変形例1では、各部の不純物の導電型を入れ替えて作製した逆導電型のトランジスタや保護素子でも同様の効果を得ることができる。逆導電型のトランジスタや保護素子は、上記の製造方法の説明において各工程で導入する不純物の導電型を逆にすることにより、同様の手順によって作製できる。

【0188】

低電圧MOSFET(ML)の動作電圧(電源電圧)は、1.2[V],1.8[V],3.3[V],5[V]などのいずれでも良く、高耐圧MOSFET(MH)は、その定電圧の動作電圧より高い耐圧を有する。

【0189】

本発明の技術思想は、プレーナ型MOSFETだけでなく、LDMOSや、DMOS, VMOS, UMOSなどの縦型MOSFET構造などにも適用できる。

本発明の技術思想は、基板構造として低濃度P型エピタキシャル層を有する高濃度P型基板に限定されるものではなく、高抵抗P型基板やN型基板、SOI基板などにも適用できる。

本発明の技術思想は、素子の材料としてSiに限定されるものではない。Siに代えて、SiGe, SiC, Geなどの他の半導体材料、ダイヤモンドなどのIV族半導体、GaAsやInPをはじめとするIII-V族半導体、ZnSeやZnSをはじめとするII-VI族半導体などでもよい。

本発明の技術思想は、半導体集積回路に限定されるものではない。当該技術思想は、ディスプレイ半導体素子にも適用される。半導体集積回路は、ロジックIC、メモリIC、撮像デバイスなど、用途は任意である。

【図面の簡単な説明】

【0190】

【図1】第1～第14の実施形態に関わる保護素子を用いた保護回路の適用例を示す回路ブロック図である。

【図2】第1の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図3】第1の実施形態に関わるMOSトランジスタ型保護素子の動作説明図である。

【図4】第1の実施形態に関わるMOSトランジスタ型保護素子の製造途中までの断面図である。

【図5】図4に続く工程のMOSトランジスタ型保護素子の断面図である。

【図6】図5に続く工程のMOSトランジスタ型保護素子の断面図である。

【図7】図6に続く工程のMOSトランジスタ型保護素子の断面図である。

【図8】比較例のMOSトランジスタ型保護素子の断面図である。

【図9】スナップバックを示すドレイン電圧-電流特性のグラフである。

【図10】比較例のMOSトランジスタ型保護素子の動作説明図である。

【図11】比較例と本発明の電界に関する2Dシミュレーション結果を示す図である。

【図12】比較例と本発明の電流密度に関する2Dシミュレーション結果を示す図である。

【図13】比較例と本発明の消費電力密度に関する2Dシミュレーション結果を示す図である。

【図14】スナップバックカーブのシミュレーション結果を示す図である。

【図15】比較例と本発明の表面電位分布に関する2Dシミュレーション結果をまとめたグラフである。

【図16】第2の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図17】第3の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図18】第4の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

10

20

30

40

50

【図 19】第 5 の実施形態に関わる MOS トランジスタ型保護素子の断面構造図である。

【図 20】第 5 の実施形態に関わる MOS トランジスタ型保護素子の他の断面構造図である。

【図 21】第 5 実施形態に関わる MOS トランジスタ型保護素子の、図 19 と図 22 対する変形例を示す断面図である。

【図 22】第 6 の実施形態に関わる MOS トランジスタ型保護素子の断面構造図と平面図である。

【図 23】第 6 の実施形態の変形例に関わる MOS トランジスタ型保護素子の断面構造図と平面図である。

【図 24】第 7 の実施形態に関わる MOS トランジスタ型保護素子の断面構造図である。

10

【図 25】第 8 の実施形態に関わる MOS トランジスタ型保護素子の断面構造図である。

【図 26】第 8 の実施形態に関わる MOS トランジスタ型保護素子の他の断面構造を示す図である。

【図 27】第 8 の実施形態に関わる MOS トランジスタ型保護素子の他の断面構造を示す図である。

【図 28】第 8 の実施形態に関わる MOS トランジスタ型保護素子の他の断面構造を示す図である。

【図 29】第 8 の実施形態に関わる MOS トランジスタ型保護素子の他の断面構造を示す図である。

【図 30】第 9 の実施形態に関わる IC の断面構造図である。

20

【図 31】第 9 の実施形態に関わる IC の製造途中の断面構造図である。

【図 32】図 31 に続く工程の IC 断面図である。

【図 33】図 32 に続く工程の IC 断面図である。

【図 34】図 33 に続く工程の IC 断面図である。

【図 35】図 34 に続く工程の IC 断面図である。

【図 36】図 35 に続く工程の IC 断面図である。

【図 37】図 36 に続く工程の IC 断面図である。

【図 38】図 36 に続く工程で他の場合の IC 断面図である。

【図 39】図 37 または図 38 に続く工程の IC 断面図である。

【図 40】図 39 に続く工程の IC 断面図である。

30

【図 41】第 10 の実施形態に関わる IC の断面構造図である。

【図 42】第 11 の実施形態に関わる IC の断面構造図である。

【図 43】第 12 の実施形態に関わる IC の断面構造図である。

【図 44】第 13 の実施形態に関わる IC の断面構造図である。

【図 45】第 14 の実施形態に関わる IC の断面構造図である。

【図 46】変形例 1 に関わる MOS トランジスタ型保護素子の断面構造図である。

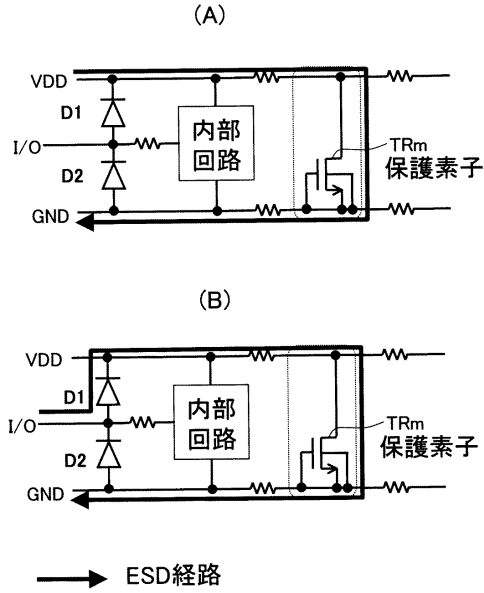
【符号の説明】

【0191】

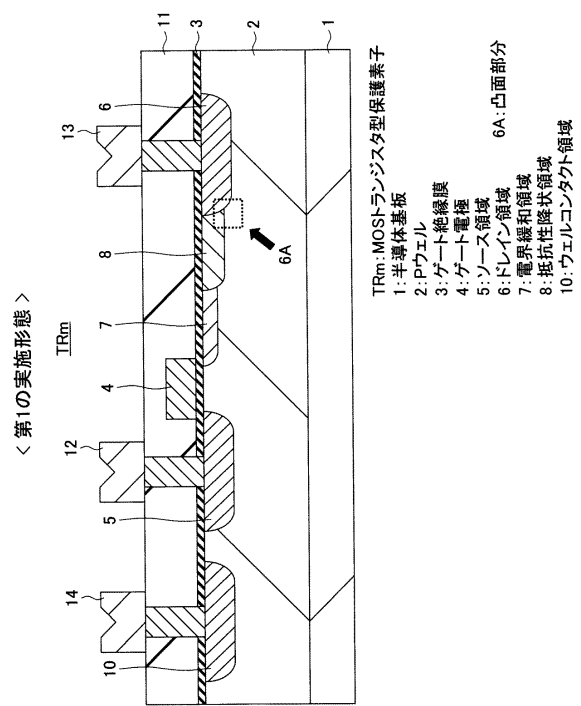
1 ... 半導体基板、1E ... エピタキシャル成長層、2 ... P ウェル、3 ... ゲート絶縁膜、4 ... ゲート電極、5 ... ソース領域、6 ... ドレイン領域、6A ... 凸面部分、7 ... 電界緩和領域、7a ... 低濃度領域、8 ... 抵抗性降伏領域、8A ... 凸面部分、9 ... チャネルストッパ領域、10 ... ウェルコンタクト領域、TRm ... MOS トランジスタ型保護素子、TRb ... パイポーラトランジスタ型保護素子

40

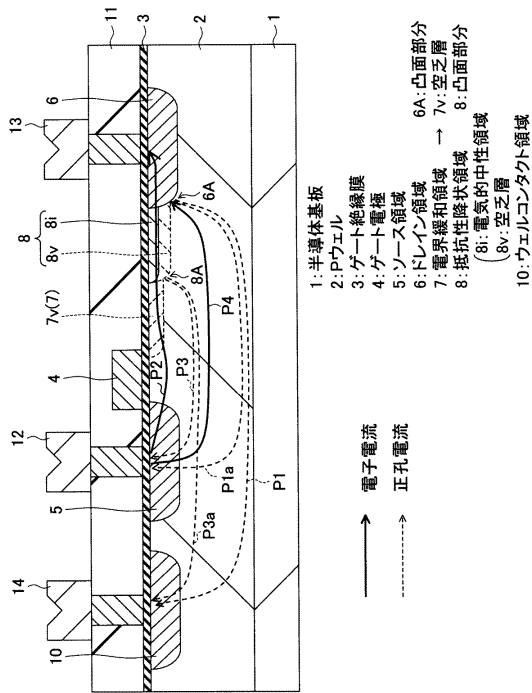
【図1】



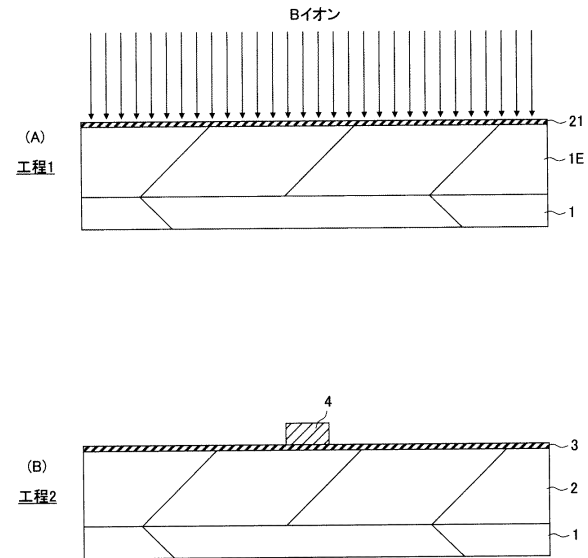
【図2】



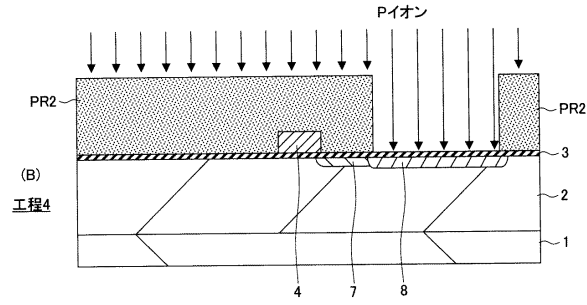
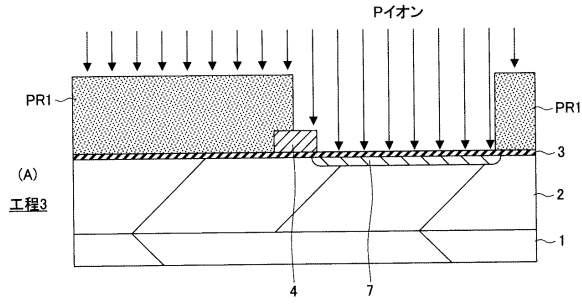
【図3】



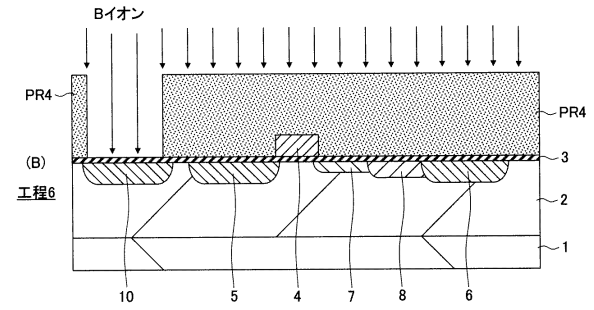
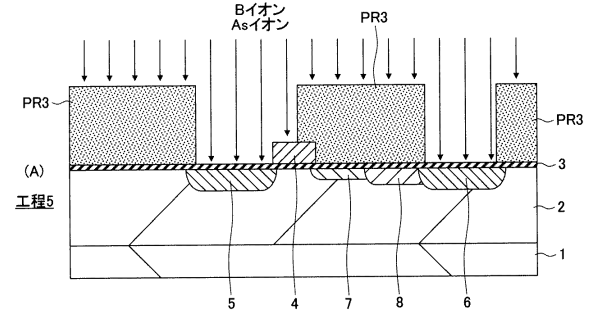
【図4】



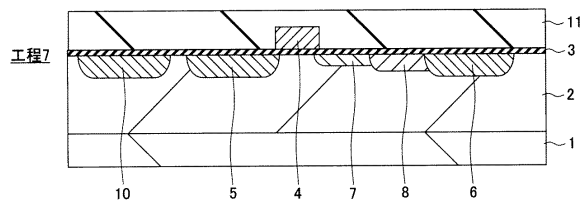
【図5】



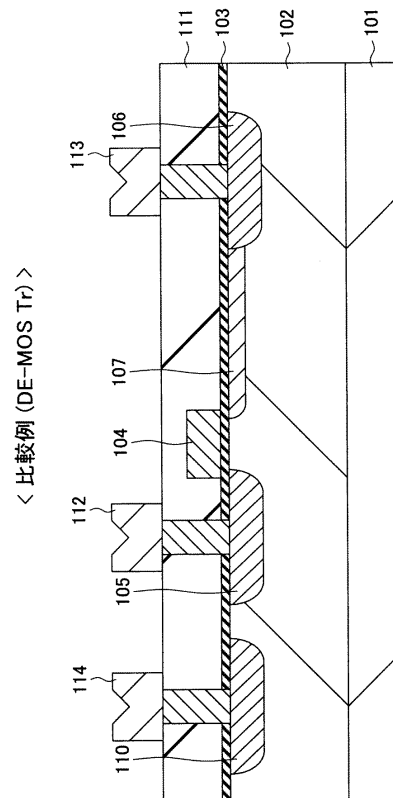
【図6】



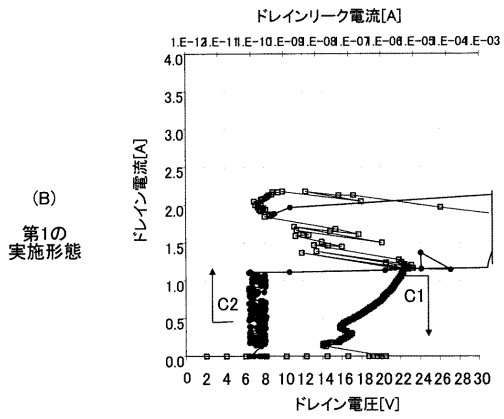
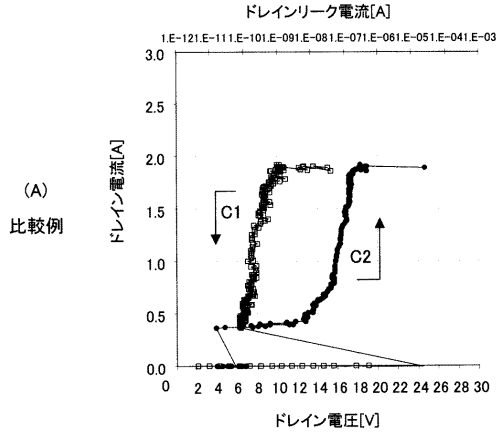
【図7】



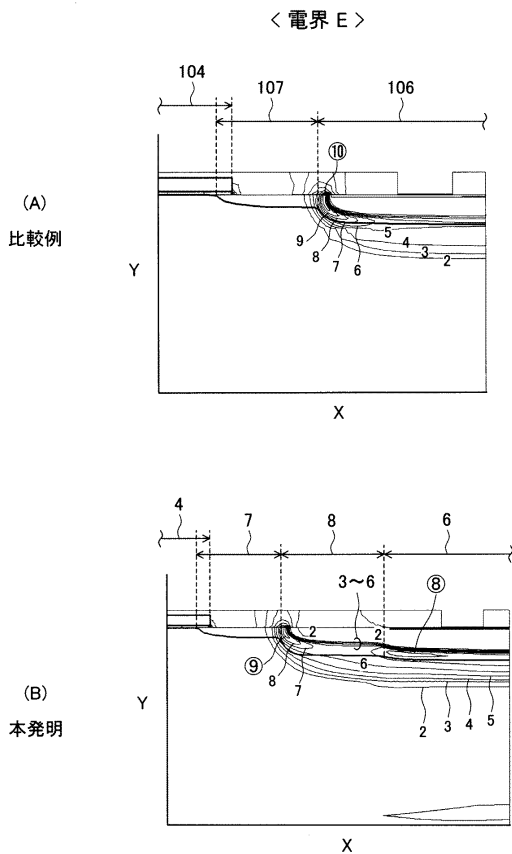
【図8】



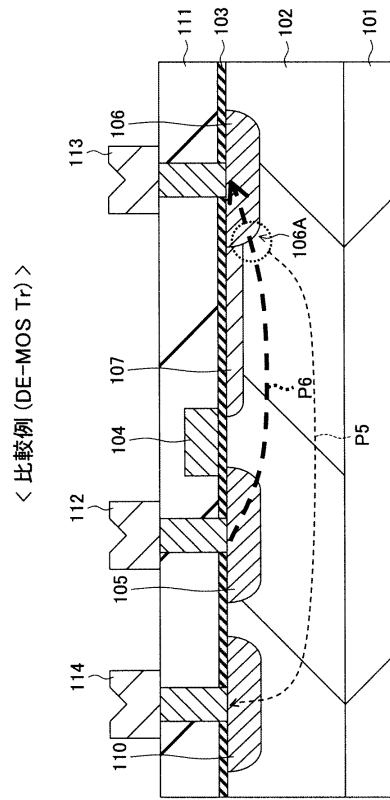
【図9】



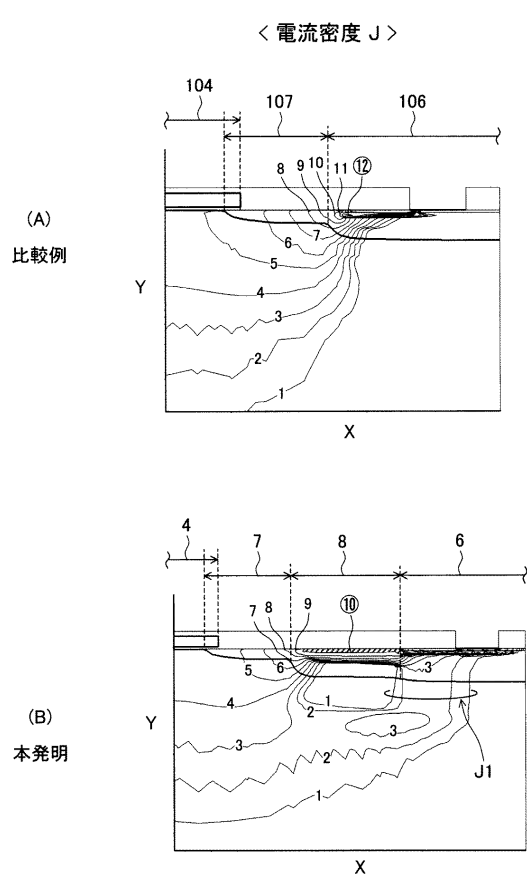
【図11】



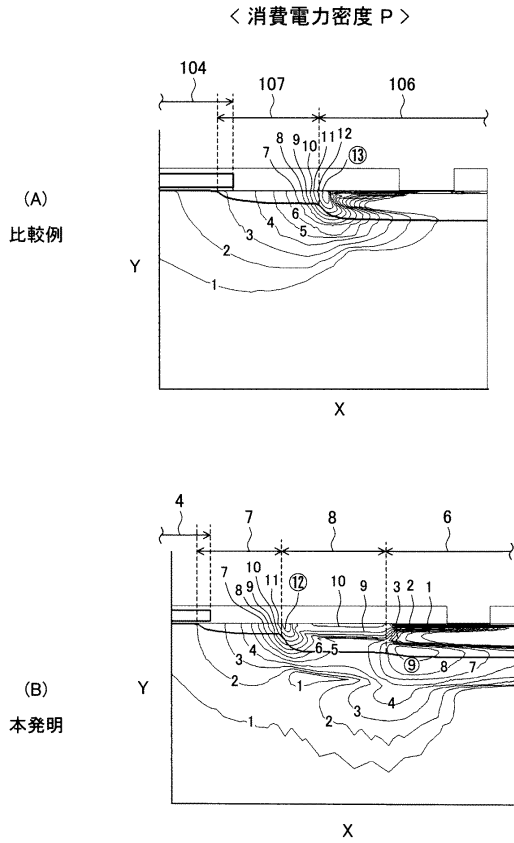
【図10】



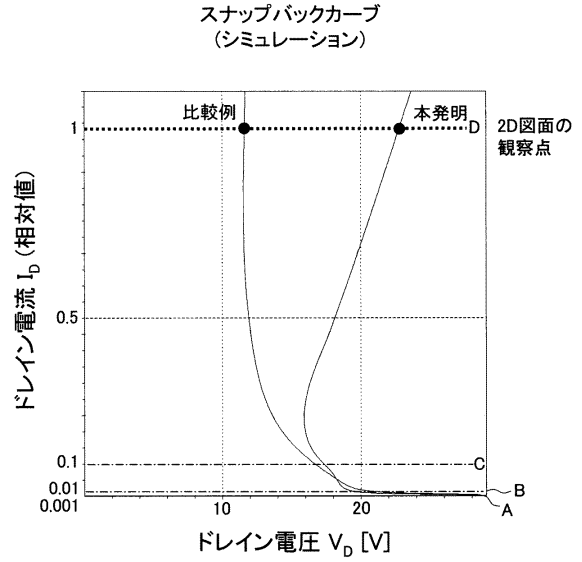
【図12】



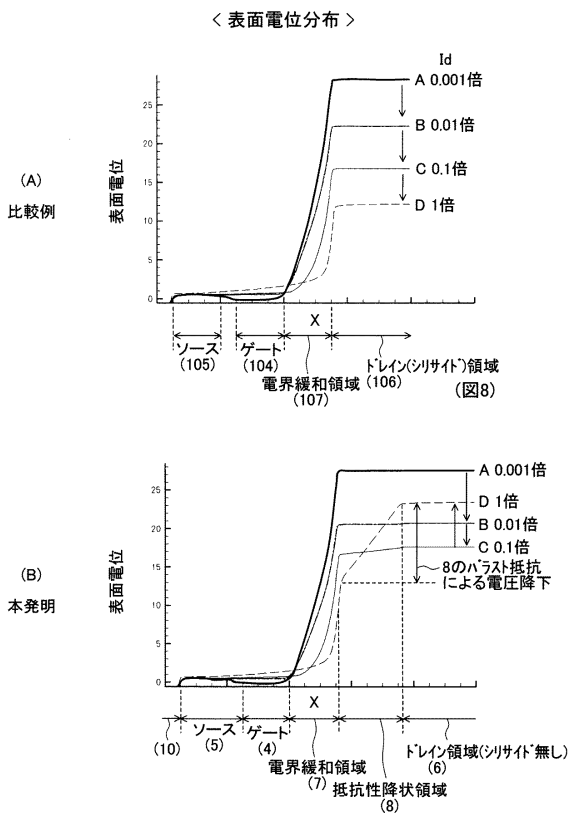
【図13】



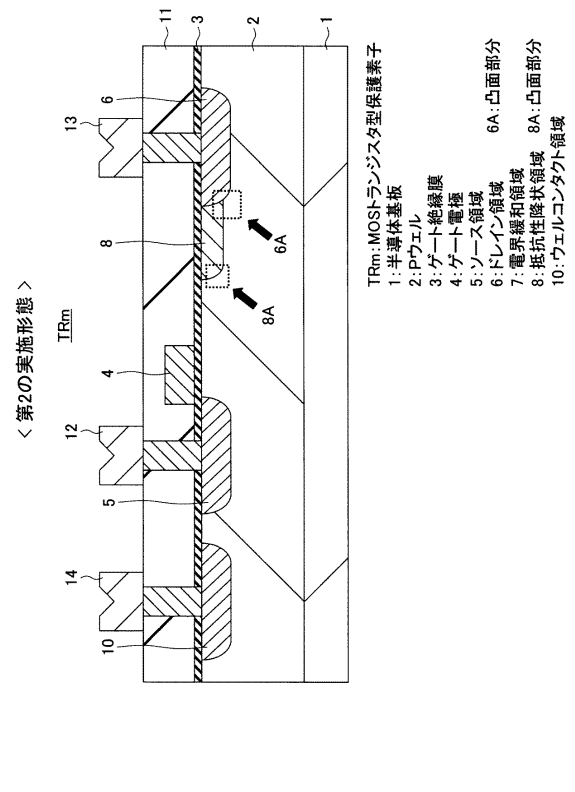
【図14】



【図15】



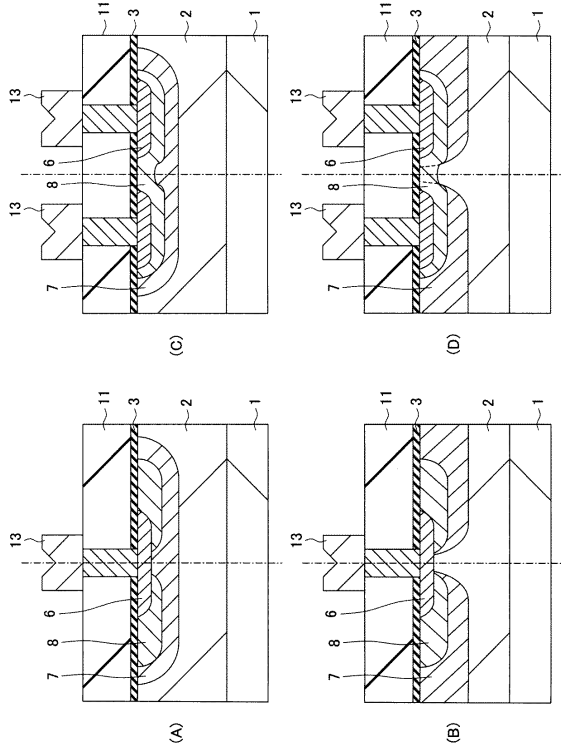
【図16】



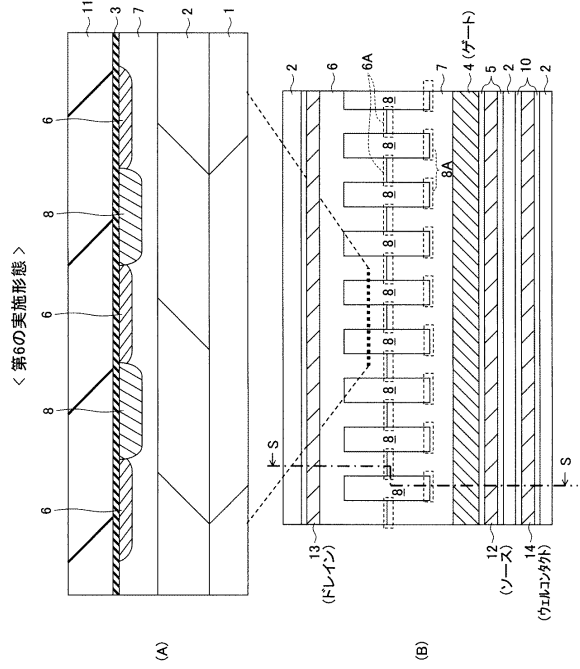




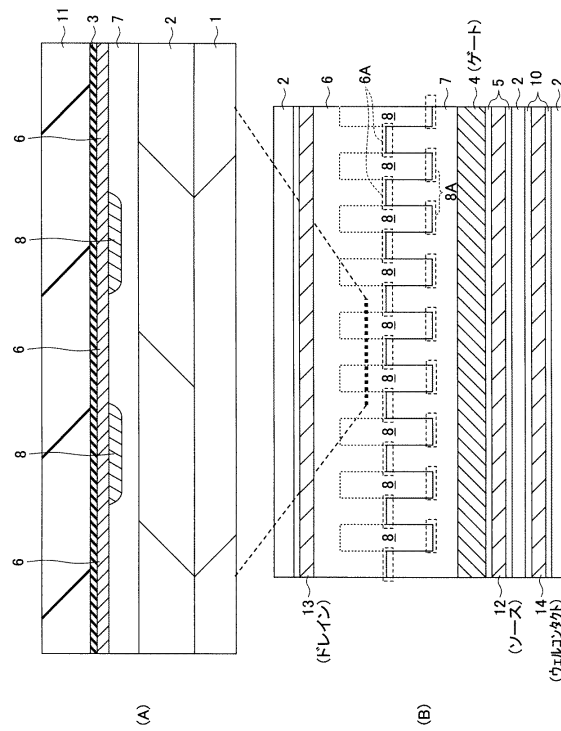
【図 2 1】



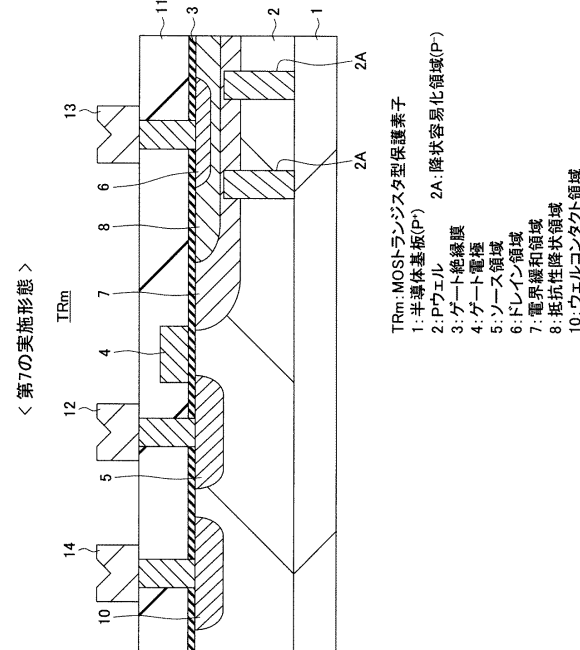
【図 2 2】



【図 2 3】



【図 2 4】

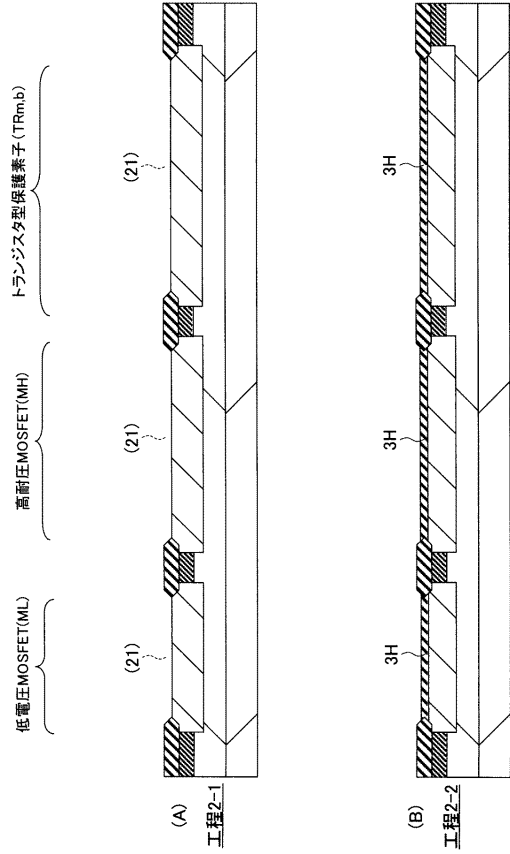


- TRm: MOSTランジスタ型保護素子  
 1: 半導体基板(P)  
 2: Pウェル  
 3: ゲート絶縁膜  
 4: ゲート電極  
 5: ソース領域  
 6: ドレイン領域  
 7: 電界緩和領域  
 8: 抵抗性降状領域  
 10: フェルコンタクト領域  
 2A: 降状容量化領域(P)

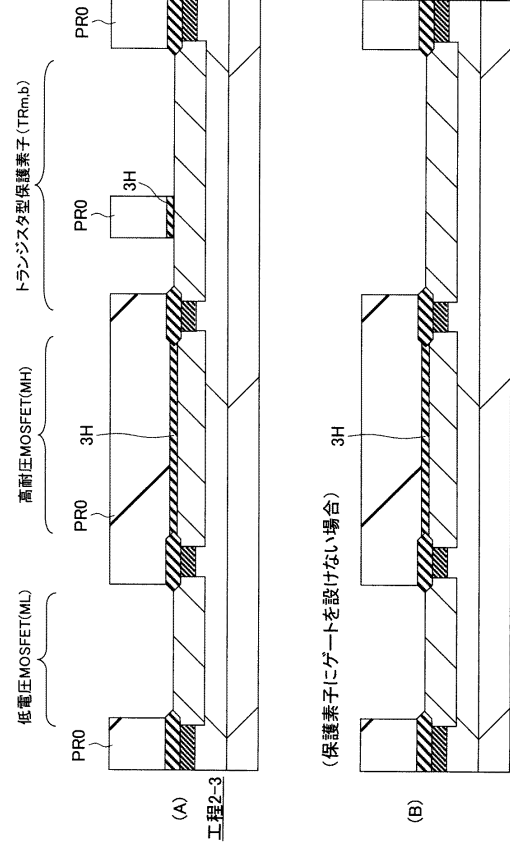




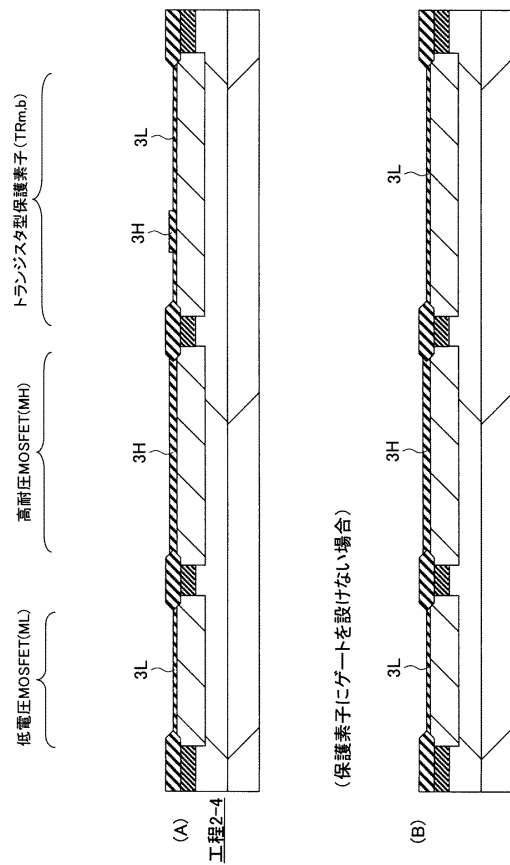
【図 3 3】



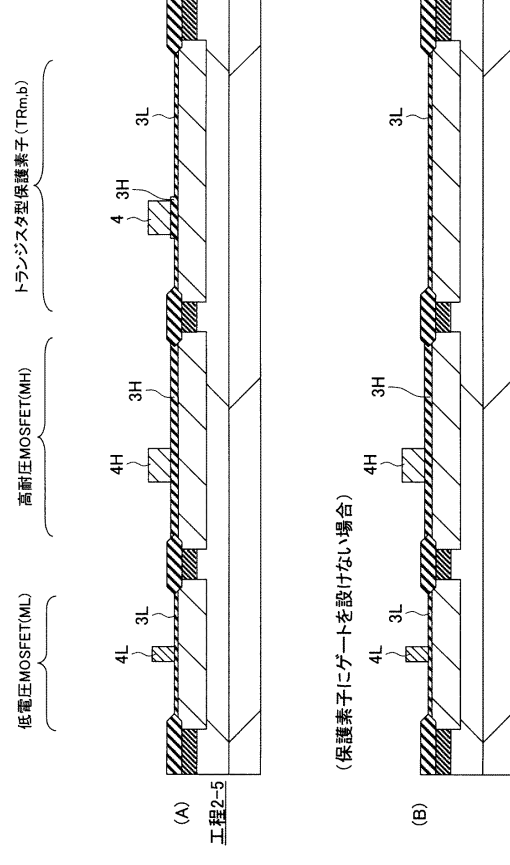
【図 3 4】



【図 3 5】

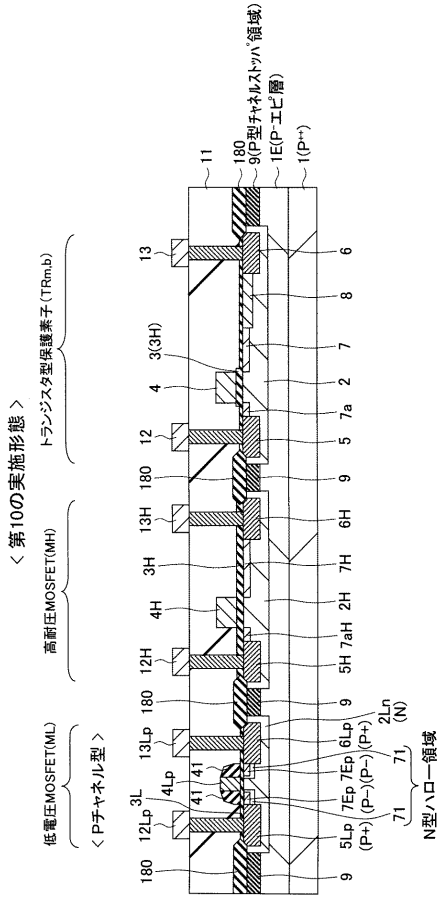


【図 3 6】

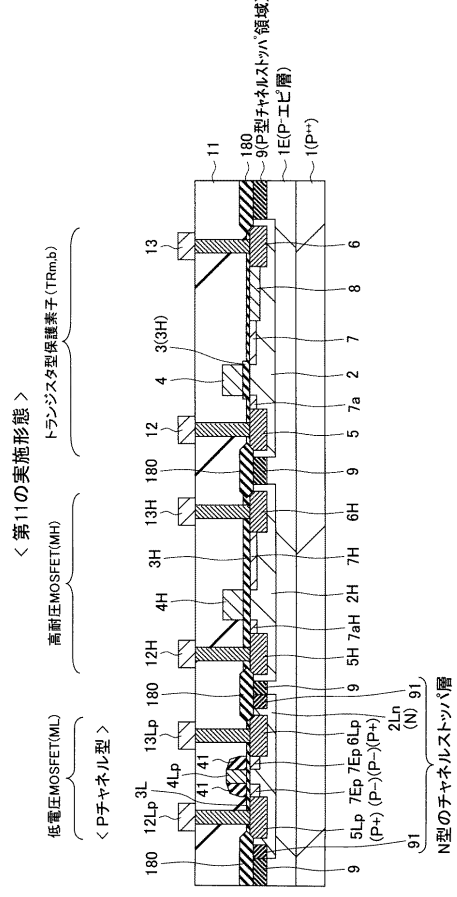




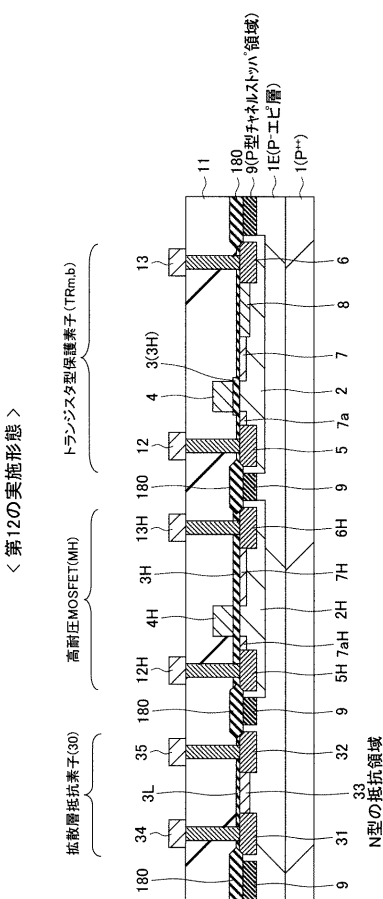
【図41】



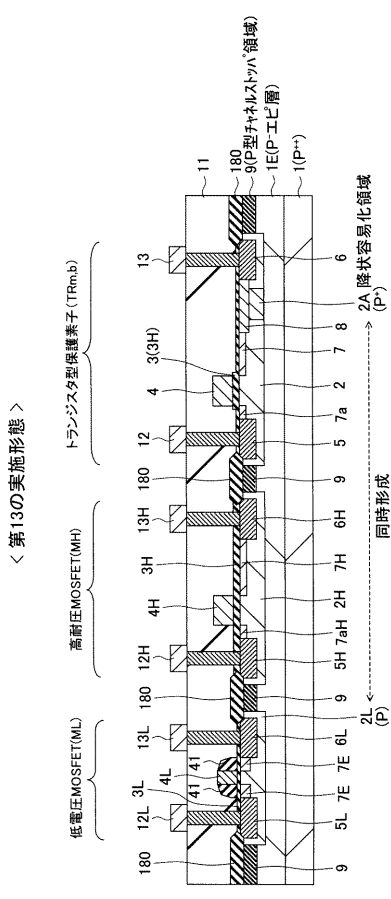
【図42】



【図43】



【図44】







## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/8234 (2006.01)	H 0 1 L	27/06	1 0 2 A
H 0 1 L	27/088 (2006.01)	H 0 1 L	27/08	1 0 2 F
H 0 1 L	21/331 (2006.01)	H 0 1 L	27/04	R
H 0 1 L	29/73 (2006.01)	H 0 1 L	29/72	Z
		H 0 1 L	27/06	1 0 1 P

(56)参考文献 特開2006 - 202847 (JP, A)  
 特開2006 - 185952 (JP, A)  
 特開2006 - 165481 (JP, A)  
 特開平10 - 012746 (JP, A)  
 特開2004 - 200601 (JP, A)  
 特開2007 - 242923 (JP, A)  
 特開2009 - 158621 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 3 3 1  
 H 0 1 L 2 1 / 8 2 2  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 9 / 7 3  
 H 0 1 L 2 9 / 7 8