



(12) 发明专利

(10) 授权公告号 CN 1956005 B

(45) 授权公告日 2011. 11. 16

(21) 申请号 200610164610. 0

(22) 申请日 2006. 05. 18

(30) 优先权数据

2005-145802 2005. 05. 18 JP

(73) 专利权人 索尼株式会社

地址 日本东京

(72) 发明人 武田直己 近藤哲二郎 高桥健治

佐藤浩 市川勉 铁川弘树

半田正树

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 党建华

(51) Int. Cl.

G06T 1/60(2006. 01)

(56) 对比文件

US 6005592 A, 1999. 12. 21, 说明书第 2 栏第 45-62 行, 第 5 栏第 51-63 行, 第 9 栏第 53-57 行.

US 5828423 A, 1998. 10. 27, 说明书第 11 栏

第 14-18 行, 第 20 栏第 26-34 行, 第 21 栏第 17-21 行, 第 22 栏第 17-24 行和第 43-57 行以及第 64-67 行, 第 23 栏第 1-10 行和第 19-27 行, 第 28 栏第 1-12 行和第 37-46 行, 第 29 栏第 66-67 行, 第 30 栏第 1-10 行、附图 17, 18B, 19A.

US 6715024 B1, 2004. 03. 30, 说明书第 5 栏第 25-34 行, 第 6 栏第 25-50 行, 第 9 栏第 30-47 行和第 56-57 行, 第 10 栏第 17-23 行.

US 2002/0065665 A1, 2002. 05. 30, 说明书第【0065】段、附图 8B.

审查员 吉张媛

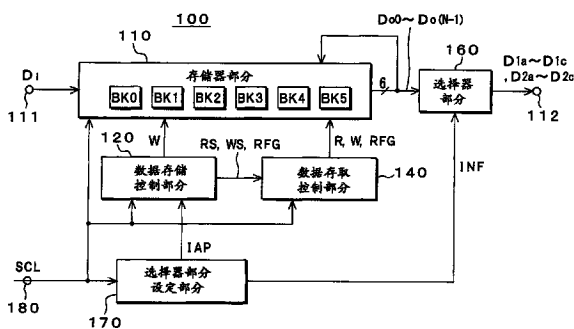
权利要求书 3 页 说明书 23 页 附图 34 页

(54) 发明名称

数据存取装置和方法

(57) 摘要

本发明涉及一种数据存取装置和方法。该数据存取装置具有:包括多个存储器库的存储器部分;数据存储控制部分,其基于存取模式的信息将像素数据在被划分的状态下存储在多个存储器库中,其中该存取模式是设定在预定屏幕上的多个像素的模式;数据存取控制部分,其同时从位于每个设定位置处的多个存储器库中读出与存取模式指定的多个像素相关的像素数据,其中在该每个设定位置处,存取模式的设定位置从其起始位置向像素行方向移动;选择器部分,其基于输入和输出的对应性信息,传输与构成每个像素组的各个像素相对应的像素数据;像素组包括其中中心像素和位于中心像素周围的周边像素。



1. 一种数据存取装置,包括:

包括多个存储器库的存储器部分;

数据存储控制部分,该数据存储控制部分控制存储器部分将预定屏幕中的像素行的像素顺序地设定为目标像素,其中在预定屏幕中,每一个在垂直和水平方向中的任何一个方向上延伸的像素行顺序地排列在垂直和水平方向中的任何一个方向上,并且控制存储器部分基于关于存取模式的信息将目标像素的像素数据在被划分的状态下存储在多个存储器库中,其中该存取模式是设定在预定屏幕上的多个像素的模式,所述的多个像素是多个中心像素和位于每个中心像素周围的周边像素;

数据存取控制部分,该数据存取控制部分控制该存储器部分,以在每个设定位置上,同时从多个存储器库中获取与存取模式指定的多个像素相关的像素数据项,其中在该每个设定位置上,存取模式的设定位置从其起始位置向像素行方向移动;以及

选择器部分,该选择器部分接收与存取模式指定的多个像素相关的像素数据项,所述与多个像素相关的像素数据项是同时从多个存储器库中获取的,并且该选择器部分基于输入和输出的对应性信息,传输与构成每个像素组的相应各个像素相对应的像素数据项,所述的像素组包括其中心像素和位于该中心像素周围的周边像素;

其中,基于位于设定位置的起始位置的存取模式指定的多个像素,当目标像素首先与多个像素中的任一像素相对应时,数据存储控制部分开始将目标像素的像素数据存储在第一存储器库中,并且接着,当目标像素与多个像素中的任一像素相对应时,数据存储控制部分顺序地切换存储目标像素的像素数据的存储器库;以及

其中,当设定位置是一个预定位置时,数据存取控制部分同时从多个存储器库中读出像素数据项,其中该像素数据项与位于预定位置的存取模式指定的多个像素相关,并且当设定位置向着像素行方向移动时,数据存取控制部分对于移动前的设定位置将从存储器库中读出的每个像素数据项存储在恰好位于存储该像素数据的存储器库之前的一个存储器库中的写起始地址,以便将与位于每个设定位置的存取模式指定的多个像素相关的相应各个像素数据项存储在相应的分立存储器库中,其中,存储器库中的所述写起始地址是存储最后一个像素数据的地址的下一个地址。

2. 如权利要求 1 所述的数据存取装置,其中该数据存储控制部分包括:

对应性确定部分,其确定目标像素是否是与其存取模式指定的多个像素中的任一像素相对应的像素,其中该存取模式设定在设定位置的起始位置上;以及

地址产生部分,其基于来自对应性确定部分的确定输出,为每个目标像素产生到存储器部分的写地址。

3. 如权利要求 2 所述的数据存取装置,其中该数据存储控制部分进一步包括起始地址产生部分,该起始地址产生部分为相应的多个存储器库产生读起始地址和写起始地址;以及

其中,分别关于相应各个存储器库,起始地址产生部分将存储第一像素数据的地址设定为读起始地址,将存储最后一个像素数据的地址的下一个地址设定为写起始地址。

4. 如权利要求 2 所述的数据存取装置,其中该数据存储控制部分进一步包括产生读标记的读标记产生部分,其中该读标记用于指示是否执行与相应的多个存储器库相对应的读操作;以及

其中该读标记产生部分将与存储与多个像素中的任一像素相对应的像素数据的存储器库相关的读标记设定为用于指示可以进行读出的标记开状态,同时将关于其它存储器库的读标记设定为用于指示不能进行任何读出的标记关状态。

5. 如权利要求 1 所述的数据存取装置,其中该数据存取控制部分包括:

产生与多个存储器库相关的读地址的读地址产生部分;以及

产生与多个存储器库相关的写地址的写地址产生部分,

其中,与相应的多个存储器库相关,当在每个设定位置读取像素数据时,读地址产生部分将第一读地址设定为从外部获得的读起始地址,并且递增该读地址以产生下一个读地址;以及

其中,与相应的多个存储器库相关,当在每个设定位置写像素数据时,写地址产生部分将第一写地址设定为从外部获得的写起始地址,并且递增该写地址以产生下一个写地址。

6. 如权利要求 5 所述的数据存取装置,其中从外部获得的写起始地址和读起始地址是从数据存储控制部分中获得的。

7. 如权利要求 5 所述的数据存取装置,其中该数据存取控制部分进一步包括产生读标记的读标记产生部分,其中该读标记用于指示是否执行从相应的多个存储器库读出的读操作;以及

其中该读标记产生部分将关于存储器库的读标记设定为用于指示可以进行读出的标记开状态,其中在该存储器库中,存储与设定在设定位置的起始位置上的存取模式指定的多个像素中的任一像素相关的像素数据;并且将关于其它存储器库的读标记设定为用于指示不能进行任何读出的标记关状态。

8. 如权利要求 7 所述的数据存取装置,其中从外部获得的读标记是由数据存储控制部分给出的。

9. 如权利要求 1 所述的数据存取装置,进一步包括选择器部分设定部分,其中该选择器部分设定部分产生关于存取模式的信息以及输入和输出的对应性信息,

其中该选择器部分设定部分包括:

存取模式扩展部分,其基于关于多个中心像素的坐标信息和关于位于每个中心像素周围的周边像素的信息,获取关于构成每个像素组的相应各个像素的坐标信息;

排序部分,其基于由存取模式扩展部分获取的关于构成所述的每个像素组的相应各个像素的坐标信息,获取指示将构成每个像素组的相应各个像素设定为目标像素的次序的次序信息,以及将所获取的次序信息产生为关于存取模式的信息,其中该关于存取模式的信息表示关于构成每个像素组的相应各个像素的坐标信息;

选择器位置设定部分,其基于关于构成所述每个像素组的相应各个像素的次序信息,产生输入和输出的对应性信息,所述的次序信息是由排序部分获取的。

10. 一种数据存取方法,包括:

数据存储步骤,将预定屏幕中的像素行中的像素顺序地设定为目标像素,其中在预定屏幕上,每一个在垂直和水平方向中的任一方向上延伸的像素行顺序排列在垂直和水平方向中的任一方向上,并且基于关于存取模式的信息,将目标像素的像素数据在被划分的状态下存储在多个存储器库中,其中该存取模式是设定在预定屏幕上的多个像素的模式,所述的多个像素是多个中心像素和位于每个中心像素周围的周边像素;

数据存取步骤,在每个设定位置上,同时从多个存储器库中获取与存取模式指定的多个像素相关的像素数据项,其中在该每个设定位置上,存取模式的设定位置从其起始位置向像素行方向移动;以及

选择步骤,接收与存取模式指定的多个像素相关的像素数据项,与多个像素相关的所述像素数据项是同时从多个存储器库中获取的,并且基于输入和输出的对应性信息,传输与构成每个像素组的相应各个像素相对应的像素数据项,所述的像素组包括它的一个中心像素和位于该中心像素周围的周边像素;

其中在数据存储步骤中,基于位于设定位置的起始位置的存取模式指定的多个像素,当目标像素首先与多个像素中的任一像素相对应时,开始将目标像素的像素数据存储在第一存储器库中,并且接着,当目标像素与多个像素中的任一像素相对应时,顺序地切换存储目标像素的像素数据的存储器库;以及

其中在数据存取步骤中,当设定位置是一个预定位置时,同时从多个存储器库中读出像素数据项,其中该像素数据项与位于预定位置的存取模式指定的多个像素相关,并且当设定位置向着像素行方向移动时,对于移动前的设定位置将从存储器库中读出的每个像素数据项存储在恰好位于存储该像素数据的存储器库之前的一个存储器库中的写起始地址,以便将与位于每个设定位置的存取模式指定的多个像素相关的相应各个像素数据项存储在相应的分立存储器库中,其中,存储器库中的所述写起始地址是存最后一个像素数据的地址的下一个地址。

数据存取装置和方法

[0001] 相关申请的交叉引用

[0002] 本发明包括涉及 2005 年 5 月 18 日向日本专利局申请的申请号为 2005-145802 的日本专利申请的主题,在本申请中引用了其全部内容以作参考。

技术领域

[0003] 本申请涉及一种数据存取装置、数据存取方法、相应的程序产品、和相应的记录介质,使用它们来进行例如模式识别和运动检测的图像处理,并且在所需屏幕上设定多个像素的模式作为存取模式,以获取在每个设定位置的存取模式所指定的多个像素上的像素数据项,其中在该每个设定位置上,存取模式的设定位置顺序地从其起始位置沿其像素行方向移动。

背景技术

[0004] 半导体存储器 MY 具有这样一个结构,即可以通过指定如图 1 中所示的字行 WL 和位行 BL 来对存储器元 MC 进行存取,并且从中读出存储在存储器元 MC 中的数据,其中在存储器元 MC 处,已经被指定的字行 WL 和位行 BL 进行交叉。因此,在具有这种结构的半导体存储器 MY 中,多个字行 WL 共享相同的位行 BL。例如,如果两个字行 WL1、WL2 是如图 2 中所指定的,位行 BL 中混合有字行 WL1、WL2 中的数据项,从而使得无法同时存取分立字行 WL 中的数据项。

[0005] 另外一个方面,如图 3 中所示,将半导体存储器 MY 划分为多个存储器库 BK0 到 BK_{n-1},其中将任何分立地址指定到这些存储器库,因此,可以同时存取字行 WL 中的数据项。然而,这样使得无法同时存取存储器库中的不同字行 WL 上的数据项。

[0006] 通常是以下情况中的任一种情况:不同的存储器库存储多个数据项,以及将这些多个数据项存储在相同字行上的存储器元中,这使得可以同时存取数据项。

[0007] 已经通过确认包括在输入数据中的指定的数据阵列来进行各种各样的处理,比如模式识别和运动检测。例如,图像数据处理装置包括:存储一些行中的像素数据以及传输每个像素的数据的缓冲器存储器;包含多个处理器元件的数据处理单元,其中每个处理器元件使得可以处理具有几位数据宽度的数据,并且通过该多个处理器元件同时并行处理数据;用于存储匹配参考数据和控制数据的控制信息存储器。数据处理单元中的每个处理器元素使用阈值来数字化一组矩阵像素数据,在这组矩阵像素数据中,在从缓冲器存储器中读出的图像数据项当中,将指定为自身的目标像素设定为其中心,以便将该一组像素数据转换为串行对象数据,其中该串行对象数据被分段为具有处理器元素可以处理的一个位宽的数据。图像数据处理装置判断对象数据是否与存储在控制信息存储器中的参考数据相对应,其中的参考数据具有与该对象数据相同的形式(参见日本专利申请公开 No. 2003-203236)。

[0008] 此外,在运动图像处理领域,已经使用任何运动,也就是说在时间上互不相同的图像中对象的运动方向和移动量(速度)。例如,对于与任何高效率图像编码相关的帧间运动

补偿编码,以及通过帧间时间区域滤波器在电视噪音减少设备中的通过运动进行的参数控制,使用运动。作为一种用于获得运动的运动检测方法,已知块匹配方法。已知用于在图像信号中检测任何运动的运动检测方法(参见日本专利申请公开No. 2001-61152)。该方法包括如下步骤:对于整个屏幕或者对于通过将一个屏幕划分为若干个块而获得的每个相对大的块,使用匹配方法产生一个积分值(integration value)表,并且对于通过将一个屏幕划分为若干个块而获得的每个相对大的块,使用该表来提取一个或者多个候选矢量;以及仅仅匹配候选矢量,以便检测每个像素或者相对小的块的运动矢量。在这种具有两个步骤的运动检测方法中,在特征点(representative point)匹配和矢量分配这两个步骤中需要同时读取屏幕中的任选像素数据的多个项,从而屏幕中的任何运动检测都可以通过两步骤系统的特征点匹配来执行。

发明内容

[0009] 在预定屏幕上可以设定多个像素的模式作为存取模式,其中在预定屏幕上,每一个在垂直方向或者水平方向上延伸的像素行顺序地在垂直或者水平方向上排列,接着,在每个设定位置可以同时获得由存取模式指定的多个像素上的像素数据项,其中在每个设定位置上,存取模式的设定位置逐像素地顺序地从其起始位置向着像素行方向移动。

[0010] 例如,如图4中所示,可以在屏幕SRN上设定五个像素IM1到IM5的模式作为存取模式ACP,在屏幕SRN中,每一个在水平方向延伸的像素行顺序地在垂直方向上排列,接着,存取模式ACP的设定位置可以顺序地从其起始位置向着像素行方向移动。在这种情况下,像素行方向是水平方向。存取模式ACP的设定位置基于光栅扫描顺序移动。在图4中示出的符号“□”表示一个像素,并且图4中示出的存取模式ACP的设定位置表示其起始位置。

[0011] 估计这样的情况,五个存储器库BK0到BK4根据光栅扫描顺序,从左上部的周边像素开始,如图5中所示,逐像素地顺序地存储屏幕SRN中的每个像素行中的像素数据。需要注意的是,用图5中示出的符号“□”所描述的图表示任何库地址BK0到BK4。在这种情况下,当存取模式ACP的设定位置位于它的起始位置时,将与存取模式ACP指定的五个像素IM1到IM5相关的像素数据项存储在图6所示的存储器库BK0到BK4中所包围的地址位置中,从而使得可以同时存取和读出五个像素数据项。

[0012] 当存取模式ACP的设定位置逐像素地从它的起始位置移动到移位了四个像素的设定位置时,可以同时存取和读出五个像素数据项,如同存取模式ACP的设定位置位于它的起始位置的情况。然而,如图7中所示,当存取模式ACP的设定位置移动到移位了五个像素的设定位置时,将与存取模式ACP指定的五个像素IM1到IM5相关的像素数据项存储在图8所示存储器库BK0到BK4中所包围的地址位置中,因此,可能需要通过存储器库BK0中的多个字线来存取数据项,从而使得无法同时存取和读出五个像素数据项。

[0013] 尽管如果适当地选择存储位置,则可以根据任何存取模式同时存取像素数据项,但是为了允许根据任何存取模式同时存取多个像素数据项,可能需要精细地划分存储器库,以使得一个存储器库可以仅仅由一个字行构成。然而,存储器库划分得越精细,库的数目增长得越大。给每个库分别分配一个地址,这将导致庞大数目的地址总线。可能需要与库数目相对应的解码器和/或选择器,从而增加其芯片面积。多个库同时运行,从而增加其功率消耗。

[0014] 作为替换,已提出在时间共享模式中存取与存取模式相对应的多个像素数据项,并将它们临时存储在高速缓存存储器或者缓冲器存储器中,从而虚拟地实现了其任何并发存取(参见日本实用新型申请公开 No. S63-35146 和 H08-896),其会在时间上产生任何延迟。

[0015] 希望提供一种数据存取装置、数据存取方法、相应的程序产品、和相应的记录介质,它们能够在每个设定位置上容易地同时获取与存取模式指定的多个像素相关的像素数据项,其中在每个设定位置上,存取模式的设定位置顺序地从其起始位置向其像素行方向移动。

[0016] 根据本发明的实施例,提供一种数据存取装置。该数据存取装置具有包括多个存储器库的存储器部分。该数据存取装置还具有数据存储控制部分,该数据存储控制部分控制存储器部分将预定屏幕上的像素行中的像素顺序地设定为目标像素,其中,每一个在垂直或者水平方向上延伸的像素行顺序地以垂直或者水平方向排列,以及基于关于存取模式的信息将目标像素的像素数据在被划分的状态下存储在多个存储器库中,其中该存取模式是设定在预定屏幕上的多个像素的模式。多个像素是多个中心像素和位于每个中心像素周围的周边像素。数据存取装置进一步具有数据存取控制部分,该数据存取控制部分控制存储器部分,以在每个设定位置上,同时从多个存储器库中获取与存取模式所指定的多个像素相关的像素数据项,其中在该每个设定位置上,存取模式的设定位置从其起始位置向像素行方向移动。数据存取装置另外还具有选择器部分,该选择器部分接收由存取模式指定的多个像素的像素数据项,它们是同时从多个存储器库中获取的,并且该选择器部分基于关于输入和输出的对应性信息,传输与构成每个像素组的各个像素相对应的像素数据项。像素组包括一个中心像素和位于中心像素周围的周边像素。当在设定位置的起始位置,基于存取模式指定的多个像素,目标像素首先对应于多个像素中的任一像素时,数据存储控制部分开始存储第一存储器库中的目标像素的像素数据,以及当目标像素对应于多个像素中的任一像素时,数据存储控制部分顺序地切换存储目标像素的像素数据的存储器库。当设定位置是一个预定位置时,数据存取控制部分同时从多个存储器库中读出与预定位置处的存取模式所指定的多个像素相关的像素数据项。当设定位置沿着像素行方向移动时,数据存取控制部分将从存储器库中读出的每个像素数据项存储在恰好位于存储像素数据的存储器库之前的存储器库中,以便将与每个设定位置处的存取模式所指定的多个像素相关的各个像素数据项存储在相应的分立存储器库中。

[0017] 在本发明的实施例中,将预定屏幕上的像素行中的像素顺序地设定为目标像素,其中在预定屏幕中,每一个在垂直或者水平方向上延伸的像素行顺序地排列在水平或者垂直方向上。将与目标像素相关的像素数据项在被划分的状态下存储在多个存储器库中。

[0018] 例如,数据存储控制部分包括对应性确定部分和地址产生部分,其中该对应性确定部分确定目标像素是否是存取模式指定的多个像素(早期存取像素)中任一像素相对应的像素,其中该存取模式设定在设定位置的起始位置上;其中该地址产生部分基于对应性确定部分的确定输出,对于每个目标像素产生对存储器部分的写地址。

[0019] 在这种情况下,当目标像素首先对应于存取模式指定的多个像素中任一像素时,开始在第一存储器库中存储目标像素的像素数据。接着,当目标像素对应于多个像素中任一像素时,顺序地切换存储目标像素的像素数据的存储器库。这样,可以将与由设定在起始位置的存取模式指定的早期存取像素相关的像素数据项存储在相应的分立存储器库中,从

而使得可以同时存取像素数据项。

[0020] 在本发明的实施例中,在每个设定位置上,同时从多个存储器库中获取与存取模式指定的多个像素(存取像素)相关的像素数据项,其中在每个设定位置中,存取模式的设定位置从其起始位置向着像素行方向移动。

[0021] 例如,数据存取控制部分包括读地址产生部分和写地址产生部分,其中该读地址产生部分产生与多个存储器库相关的读地址,以及写地址产生部分产生与多个存储器库相关的写地址。

[0022] 与相应的多个存储器库相关,当在每个设定位置读取像素数据时,读地址产生部分设定第一读地址作为从外部获得的读起始地址,以及将读地址递增以产生下一个读地址。与相应的多个存储器库相关,当在每个设定位置写像素数据时,写地址产生部分设定第一写地址作为从外部获得的写起始地址,以及将写地址递增以产生下一个写地址。

[0023] 例如,数据存取控制部分进一步包括产生读标记的读标记产生部分,其中该读标记用于指示是否能够进行相应的多个存储器库的读出操作。与相应的多个存储器库相关,基于从外部获得的任何读标记,读标记产生部分将与这样的存储器库相关的读标记设定为指示可以进行读出的标记开状态,在这样的存储器库中,存储与存取模式指定的多个像素中的任一像素相关的像素数据,其中该存取模式设定在设定位置的起始位置中;并且将与其它存储器库相关的读标记设定为指示不能进行读出的标记关状态。

[0024] 在这种情况下,当存取模式的设定位置是预定位置时,同时从多个存储器库中读出预定位置的存取模式所指定的多个像素(存取像素)的像素数据项,当设定位置向着像素行方向进行移动时,从预定的存储器库中读出与在设定位置的存取模式所指定的多个像素相关的像素数据项,以及将读出的像素数据存储于恰好位于存储该像素数据的存储器库之前的存储器库中,以便存储与存取模式指定的多个像素相关的各个像素数据项,其中该存取模式设定在相应的分立存储器库的设定位置。这样,在其中存取模式的设定位置从它的起始位置开始移动的所有的位置上,将与存取模式指定的多个存取像素相关的像素数据项分别存储在相应的分立存储器库中,从而使得可以对像素数据项进行存取。

[0025] 例如,从数据存储控制部分给出将要给予数据存取控制部分的读标记。

[0026] 在这种情况下,数据存储控制部分进一步包括产生读标记的读标记产生部分,该读标记指示是否执行了分别对应于多个存储器库的读操作。读标记产生部分将与这样的存储器库相关的读标记设定为指示可以进行读出的标记开状态,其中在这样的存储器库中,存储与多个像素中的任一像素相对应的像素数据,以及将与其它存储器库相关的读标记设定为用于指示不能进行任何读出的标记关状态。

[0027] 这样,从数据存储控制部分将读标记给予数据存取控制部分,避免了例如对数据存储控制部分和数据存取控制部分进行控制的任何控制装置基于关于存取模式的信息产生读标记以及将该读标记发送给数据存取控制部分。

[0028] 例如,从数据存储控制部分中获得要给予数据存取控制部分的写起始地址和读起始地址。

[0029] 在这种情况下,数据存储控制部分进一步包括产生读起始地址和写起始地址的起始地址产生部分,其分别相应于多个存储器库。分别相应于各存储器库,起始地址产生部分将存储第一像素数据的地址设定为读起始地址,而将存储最后一个像素数据的地址的下一

个地址设定为写起始地址。

[0030] 这样,从数据存储控制部分中将写起始地址和读起始地址给予数据存取控制部分,避免了例如对数据存储控制部分和数据存取控制部分进行控制的任何控制装置基于关于存取模式的信息产生写起始地址和读起始地址以及将其发送给数据存取控制部分。

[0031] 在本发明的实施例中,存取模式是设定在预定屏幕上的多个像素的模式,其包括多个中心像素和位于每个中心像素周围的周边像素。将一个中心像素和位于中心像素周围的周边像素称为像素组。在这种情况下,根据多个中心像素之间的位置关系,在每个像素组中,将构成对应多个中心像素的多个像素组的相应像素设定为目标像素的次序是不连续的。此外,在这种情况下,根据多个中心像素之间的位置关系,构成多个像素组的像素可以是重叠的,以至于构成存取模式的像素的数目可以减少到低于构成一个像素组的像素数目乘以像素组数目而得到的像素数目。

[0032] 如上所述,同时从多个存储器库中读出与存取模式指定的多个像素相关的像素数据项。在这种情况下,根据在其第一存储阶段将多个像素设定为目标像素的次序来排列多个像素。在本发明的实施例中,从同时从多个存储器库中获取的与多个像素相关的像素数据项中,基于关于输入和输出的对应性信息有选择地传输像素数据项,该输入和输出与构成每个像素组的相应各个像素相对应。这允许获得每个像素组中连续的像素数据。

[0033] 例如,选择器部分设定部分产生关于存取模式的信息和关于输入和输出的对应性信息。这个选择器部分设定部分包括一个存取模式扩展部分,该存取模式扩展部分基于多个中心像素的坐标信息和位于每个中心像素周围的周边像素的信息,获取与构成每个像素组的相应各像素相关的坐标信息。选择器部分设定部分还包括排序部分,该排序部分基于由存取模式扩展部分获取的关于构成所述的每个像素组的相应各像素的坐标信息,获取指示将构成每个像素组的相应各像素设定为目标像素的次序的次序信息,并且产生关于存取模式的信息,其中关于存取模式的信息将构成每个像素组的各个像素的坐标信息表示为次序信息。选择器部分设定部分进一步包括一个选择器位置设定部分,该选择器位置设定部分基于构成所述每个像素组的相应各像素的次序信息产生输入和输出的对应性信息,其中该次序信息是从排序部分中获取的。

[0034] 通过接收多个中心像素的任何坐标信息和位于每个中心像素周围的周边像素的任何信息,这样的选择器部分设定部分使得可以设定任意的存取模式。

[0035] 本说明书的结尾部分特别指出和直接要求了本发明的主题。然而,本领域技术人员通过结合附图阅读本说明书的余下部分,可以最好地理解本发明的结构和操作方法、以及进一步的优点及其目的,附图中相同的符号表示相同的元素。

附图说明

[0036] 图 1 是总体上描述半导体存储器结构的示意图;

[0037] 图 2 是总体上描述其中不能同时存取不同字线上的数据项的半导体存储器结构的示意图;

[0038] 图 3 是描述包括多个库存储器的半导体存储器结构的示意图;

[0039] 图 4 是描述其上设定了存取模式的屏幕的例子图;

[0040] 图 5 是描述屏幕的例子图,其中将像素数据项存储在四个存储器库中;

[0041] 图 6 是描述半导体存储器的例子的示意图,其中当存取模式位于它的起始位置时,将像素数据项存储在每个存储器库中的数据存取位置上;

[0042] 图 7 是描述屏幕的例子的图,其中当存取模式移动了 5 个像素时,将屏幕中的像素数据项存储在四个存储器库中;

[0043] 图 8 是描述半导体存储器的例子的示意图,其中当存取模式移动了 5 个像素时,将像素数据项存储在每个存储器库中的数据存取位置上;

[0044] 图 9 是示出根据本发明的数据存取装置的一个实施例的结构框图;

[0045] 图 10 是描述其上设定存取模式的屏幕的例子的图;

[0046] 图 11 是描述其上设定存取模式的屏幕的例子的图;

[0047] 图 12 是描述其上设定存取模式的屏幕的例子的图;

[0048] 图 13 是示出数据存储控制部分的结构框图,其中的数据存储控制部分构成了根据本发明的数据存取装置的一个实施例;

[0049] 图 14 是示出开始存储时,在数据存储控制部分的控制下,数据存取装置中的操作的流程图。

[0050] 图 15 是描述屏幕的例子的图,其中当开始存储与图 10 中所示的存取模式相关的像素数据时,将像素数据项存储在六个存储器库中;

[0051] 图 16 是描述存储器部分的例子的示意图,其中在开始进行与图 10 中所示的存取模式相关的数据存储后,将像素数据项存储在存储器库中;

[0052] 图 17 是描述屏幕的例子的图,其中当开始存储与图 11 中所示的存取模式相关的像素数据时,将像素数据项存储在六个存储器库中;

[0053] 图 18 是描述存储器部分的例子的示意图,其中在开始进行与图 11 中所示的存取模式相关的数据存储后,将像素数据项存储在存储器库中;

[0054] 图 19 是描述屏幕的例子的图,其中当开始存储与图 12 中所示的存取模式相关的像素数据时,将像素数据项存储在六个存储器库中;

[0055] 图 20 是描述存储器部分的例子的示意图,其中在开始进行与图 12 中所示的存取模式相关的数据存储后,将像素数据项存储在存储器库中;

[0056] 图 21 是示出数据存取控制部分的结构框图,其中的数据存取控制部分构成了根据本发明的数据存取装置的一个实施例;

[0057] 图 22 是示出在存取数据时,在数据存取控制部分的控制下,数据存取装置中的操作的流程图;

[0058] 图 23 是描述屏幕的例子的图,其中当存取模式位于它的起始位置时,将像素数据项存储在六个存储器库中;

[0059] 图 24 是描述存储器部分的例子的示意图,其中当开始存储并且设定了读地址和写地址时,将像素数据项存储在每个存储器库中;

[0060] 图 25 是描述存储器部分的例子的示意图,其中在读取像素数据项后,将这些像素数据项在存储器库之间移动;

[0061] 图 26 是描述屏幕的例子的图,其中当设定在屏幕上的存取模式从其起始位置移动一个像素时,将像素数据项存储在六个存储器库中;

[0062] 图 27 是描述存储器部分的例子的示意图,其中当存取模式移动一个像素并且设

定了读地址和写地址时,将像素数据项存储在每个存储器库中;

[0063] 图 28 是描述屏幕的例子的图,其中当设定在屏幕上的存取模式从其起始位置移动 22 个像素时,将其像素数据项存储在六个存储器库中;

[0064] 图 29 是描述存储器部分的例子的示意图,其中当存取模式移动 22 个像素并且设定了读地址和写地址时,将像素数据项存储在每个存储器库中;

[0065] 图 30 是示出选择器部分的结构框图,其中的选择器部分构成了根据本发明的数据存取装置的一个实施例;

[0066] 图 31 是描述选择器部分的选择操作的图,其中的选择器部分用于选择与图 10 中所示的存取模式相关的开关元素;

[0067] 图 32 是描述在各个存储器库和与图 10 中所示的存取模式相关的输出数据项之间的对应性的例子的图;

[0068] 图 33 是描述选择器部分的选择操作的图,其中的选择器部分用于选择与图 11 中所示的存取模式相关的开关元素;

[0069] 图 34 是描述在各个存储器库和与图 11 中所示的存取模式相关的输出数据项之间的对应性的例子的图;

[0070] 图 35 是描述选择器部分的选择操作的图,其中的选择器部分用于选择与图 12 中所示的存取模式相关的开关元素;

[0071] 图 36 是描述在各个存储器库和与图 12 中所示的存取模式相关的输出数据项之间的对应性的例子的图;

[0072] 图 37 是示出选择器部分设定部分的结构框图,其中的选择器部分设定部分构成了根据本发明的数据存取装置的实施例;

[0073] 图 38 是示出屏幕中沿着屏幕的垂直和水平方向上的像素数目的图。

具体实施方式

[0074] 下面将参考附图对本发明的实施例进行描述。

[0075] 图 9 示出了根据本发明的数据存取装置 100 的一个实施例的结构。

[0076] 数据存取装置 100 具有存储器部分 110、数据存储控制部分 120、数据存取控制部分 140、选择器部分 160、以及选择器部分设定部分 170。

[0077] 存储器部分 110 基于通过接收终端 180 从控制装置中接收的控制信号 SCL 进行操作,其中的控制装置没有示出。存储器部分 110 接收预定屏幕中的像素数据 D_i ,其中该像素数据要在早期的存储阶段通过另外一个接收终端 111 进行存储。预定屏幕具有这样一个结构,即每一个在水平方向上延伸的像素行顺序地排列在垂直方向上。存储器部分 110 根据光栅扫描顺序,接收与每个像素行相对应的像素数据项作为目标像素。存储器部分 110 包括多个存储器库。在这个实施例中,因为存取模式 ACP 是由最多 6 个像素构成的,其中的存取模式 ACP 是设定在屏幕上的多个像素的模式,将在后面进行描述,所以存储器部分 110 包括 6 个存储器库,从 BK0 到 BK5。如果构成存取模式 ACP 的像素数目是 N (N 小于或者等于 6),将由存储器部分 110 接收的关于每个目标像素的像素数据项在被划分的状态下存储在 N 个存储器库 BK0 到 BK($N-1$) 中。

[0078] 图 10 到图 12 分别描述了屏幕 SRN 的例子,在屏幕 SRN 上,设定在本实施例中用到

的各个存取模式 ACP。在本实施例中,存取模式 ACP 是具有两个中心像素 IM1、IM2 和位于每个中心像素 IM1、IM2 的上面和下面的周边像素的模式。需要注意的是,一个中心像素和位于该中心像素周边的周边像素称为“像素组”。还需要注意的是,在图 10 到图 12 中示出的标记“□”表示构成屏幕 SRN 的任意像素,以及在图 10 到图 12 中示出的存取模式 ACP 的设定位置分别表示其起始位置。在这个实施例中,将在屏幕的水平方向上延伸的像素行中的像素数目固定为 22 个像素。

[0079] 在如图 10 所示的存取模式 ACP 中,通过在水平方向上移位两个像素和在垂直方向上移位两个像素将两个中心像素 IM1、IM2 相互换位。中心像素 IM1 和它的周边像素 IM1U、IM1D 构成了对应中心像素 IM1 的像素组 G1。中心像素 IM2 和它的周边像素 IM2U、IM2D 构成了对应中心像素 IM2 的像素组 G2。在这种情况下,在每个像素组中,将分别构成两个像素组 G1、G2 的相应像素设定为目标像素的次序是连续的。需要注意的是,像素 IM1、IM2、IM1U、IM1D、IM2U 和 IM2D 当中所描述的数字指示了将这些像素设定为目标像素的次序。还需要注意的是,构成两个像素组 G1 和 G2 的像素是不重叠的,并且构成存取模式 ACP 的像素数目是 6 个,该数目是构成每个像素组的像素数目的两倍。

[0080] 在如图 11 所示的存取模式 ACP 中,通过在水平方向上移位两个像素和在垂直方向上移位一个像素将两个中心像素 IM1、IM2 相互换位。中心像素 IM1 和它的周边像素 IM1U、IM1D 构成了对应中心像素 IM1 的像素组 G1。中心像素 IM2 和它的周边像素 IM2U、IM2D 构成了对应中心像素 IM2 的像素组 G2。在这种情况下,在每个像素组中,将分别构成两个像素组 G1、G2 的相应各像素设定为目标像素的次序是不连续的。需要注意的是,像素 IM1、IM2、IM1U、IM1D、IM2U 和 IM2D 当中所描述的数字指示了将这些像素设定为目标像素的次序。同时还需要注意的是,构成两个像素组 G1 和 G2 的像素是不重叠的,并且构成存取模式 ACP 的像素数目是 6 个,该数目是构成每个像素组的像素数目的两倍。

[0081] 在如图 12 所示的存取模式 ACP 中,两个中心像素 IM1、IM2 在水平方向上不进行移位,而通过在垂直方向上移位一个像素将两个中心像素 IM1、IM2 相互换位。中心像素 IM1、IM2 和中心像素 IM1 的周边像素 IM1U 构成了对应中心像素 IM1 的像素组 G1。中心像素 IM1、IM2 和中心像素 IM2 的周边像素 IM2D 构成了对应中心像素 IM2 的像素组 G2。在这种情况下,在每个像素组中,将分别构成两个像素组 G1、G2 的相应各像素设定为目标像素的次序是不连续的。需要注意的是,像素 IM1、IM2、IM1U 和 IM2D 当中所描述的数字指示了将这些像素设定为目标像素的次序。同时还需要注意的是,构成两个像素组 G1 和 G2 的像素是重叠的,并且构成存取模式 ACP 的像素数目是 4 个,该数目小于构成每个像素组的像素数目的两倍。

[0082] 在进行数据存取时,存取模式 ACP 的设定位置基于光栅扫描顺序从其起始位置(参见图 10 到 12)进行移动。接着,在存取模式 ACP 在像素行方向上逐像素进行移动的每个设定位置上,同时从各个存储器库中,读出与存取模式 ACP 指定的多个像素(在下文中将其适当地称为“存取像素”)相关的像素数据项。在这种情况下,如果构成存取模式 ACP 的像素数目是 N (N 小于或者等于 6),则同时从各个存储器库 BK0 到 BK(N-1) 中读出由存取模式 ACP 指定的 N 个像素数据项。需要注意的是,再次将在每个设定位置如此读出的 N 个像素数据项 Do0 到 Do(N-1) 输入给存储器部分 110,将其作为要存储在其它存储器库中的像素数据项。

[0083] 数据存储控制部分 120 基于通过接收终端 180 从控制装置中接收的控制信号 SCL 进行操作,其中的控制装置没有示出。数据存储控制部分 120 执行这样一种控制,使得可以将相应于目标像素的像素数据项以被划分的状态存储在存储器部分 110 的多个存储器库中。换句话说,当目标像素首先对应于存取模式 ACP 指定的 N 个像素(在下文中优选地称为“早期存取像素”)中的任一像素时,数据存储控制部分 120 开始将相应于这个目标像素的像素数据存储在第一存储器库、即库 BK0 中,接着,当目标像素对应于任一早期存取像素时,数据存储控制部分 120 连续切换其中存储相应于这个目标像素的像素数据的存储器库。

[0084] 数据存取控制部分 140 基于通过接收终端 180 从控制装置中接收的控制信号 SCL 进行操作,其中的控制装置没有示出。数据存取控制部分 140 执行这样一种控制,使得在存取模式 ACP 从像素行方向上的其起始位置进行移动的每个设定位置中,同时从 N 个存储器库 BK0 到 BK(n-1) 中读出与存取模式 ACP 指定的 N 个存取像素(N 小于或者等于 6) 相关的像素数据项。需要注意的是,像素行方向是屏幕的水平方向,以及存取模式 ACP 的设定位置基于光栅扫描顺序进行移动。

[0085] 当存取模式 ACP 的设定位置向着像素行方向进行移动时,数据存取控制部分 140 将从预定存储器库中读出的每个像素数据项存储到恰好位于存储该像素数据的存储器库之前的存储器库中,以便在相应的分立存储器库中,存储与设定位置的存取模式所指定的 N 个存取像素相关的各个像素数据项。

[0086] 选择器部分 160 同时接收与从存储器部分 110 中的 N 个存储器库 BK0 到 BK(N-1) 中获取的 N 个存取像素相关的像素数据项 Do0 到 Do(N-1), 并且基于关于输入和输出的对应性信息 INF, 传输与构成每个像素组 G1、G2 的各个像素相对应的六个像素数据项 D1a 到 D1c、D2a 到 D2c, 其中像素组 G1、G2 与上述的中心像素 IM1、IM2 相对应。在这种情况下,对 N 个存取像素进行这样的排列,以至于可以在早期存储阶段将这些存取像素设定为目标像素。

[0087] 如上所述,根据中心像素 IM1、IM2 之间的位置关系,将构成像素组 G1、G2 的各个像素设定为目标像素的次序在每个像素组中可以是不连续的(参见图 11)。此外,构成像素组 G1、G2 的像素可以是重叠的,以便构成存取模式 ACP 的像素数目可以减少到六个以下(参见图 12)。

[0088] 如果将构成像素组 G1、G2 的各个像素设定为目标像素的次序在每个像素组中是不连续的,则选择器部分 160 改变与 N 个存取像素相关的像素数据项 Do0 到 Do(N-1) 的次序,并且传输与构成每个像素组 G1、G2 的各个像素相对应的六个像素数据项 D1a 到 D1c、D2a 到 D2c。

[0089] 如果构成像素组 G1、G2 的像素是重叠的,以便构成存取模式 ACP 的像素数目可以减少到六个以下,则选择器部分 160 将来自与 N 个存取像素相关的像素数据项 Do0 到 Do(N-1) 的预定像素数据项设定为多个输出像素数据项,并且传输与构成每个像素组 G1、G2 的各个像素相对应的六个像素数据项 D1a 到 D1c、D2a 到 D2c。

[0090] 选择器部分设定部分 170 基于通过接收终端 180 从控制装置中接收的控制信号 SCL 进行操作,其中的控制装置没有示出。选择器部分设定部分 170 基于关于中心像素 IM1、IM2 的任何信息和位于每个中心像素周围的周边像素的任何信息,产生关于上述的存取模

式 ACP 的信息 IAP。在这个实施例中,周边像素的信息是中心像素上面像素和下面像素的信息。选择器部分设定部分 170 基于指示在早期存储阶段将构成像素组 G1、G2 的各个像素设定成目标像素的次序的次序信息,产生上述的关于输入和输出的对应性信息 INF。在这种情况下,基于次序信息,确定将构成像素组 G1、G2 的各个像素设定成目标像素的次序在每个像素组中是否可以连续的。还基于次序信息,确定构成像素组 G1、G2 的像素是否是重叠的,以便于构成存取模式 ACP 的像素数目可以减少到六个以下。

[0091] 下面将描述图 9 中所示的数据存取装置 100 中的操作。

[0092] 选择器部分设定部分 170 接收关于中心像素 IM1、IM2 的信息和位于每个中心像素周围的周边像素的信息作为控制信号 SCL 之一。选择器部分设定部分 170 基于关于中心像素 IM1、IM2 的信息和位于每个中心像素周围的周边像素的信息产生关于存取模式 ACP 的信息 IAP 以及关于输入和输出的对应性信息 INF。将关于存取模式 ACP 的信息 IAP 提供给数据存取控制部分 120,而将关于输入和输出的对应性信息 INF 提供给选择器部分 160。

[0093] 在早期存储阶段,存储器部分 110 接收预定屏幕上的像素数据 D_i ,其中的像素数据将要通过接收终端 111 被存储。在早期存储阶段,数据存储控制部分 120 控制这样的操作。在这样情况下,当目标像素首先对应于设定在其起始位置的存取模式 ACP 指定的 N 个早期存取像素 (N 小于或者等于 6) 中的任一像素时,数据存储控制部分 120 开始将这个目标像素的像素数据存储在第一存储器库、即库 BK0 中,接着,当目标像素对应于任一早期存取像素时,数据存储控制部分 120 连续切换存储关于这个目标像素的像素数据的存储器库。

[0094] 这允许将与存储器部分 110 接收的目标像素相关的像素数据项进行划分并将其分立地存储在 N 个存储器库 BK0 到 BK($N-1$) 中;并且允许将与设定在其起始位置的存取模式 ACP 指定的多个早期存取像素相关的像素数据项分别存储在分立的存储器库中,从而使得可以同时对这些像素数据项进行存取。

[0095] 在进行数据存取时,在存取模式 ACP 从其起始位置向着像素行方向移动的每个设定位置上,同时从存储器部分 110 中的 N 个存储器库 BK0 到 BK($n-1$) 中读出由存取模式 ACP 指定的 N 个像素数据项 D_{o0} 到 $D_{o(N-1)}$ 。数据存取控制部分 140 在进行数据存取时控制这样的操作。

[0096] 当存取模式 ACP 的设定位置向着像素行方向移动时,将从预定存储器库中读出的像素数据项存储在恰好位于存储该像素数据的存储器库之前的存储器库中,以便在相应的分立存储器库中存储各个像素数据项,其中的像素数据项与其在设定位置的存取模式 ACP 指定的 N 个存取像素相关。当存取模式 ACP 的设定位置从其起始位置开始移动时,这允许将与存取模式 ACP 指定的 N 个存取像素相关的像素数据项存储在所有设定位置上的分立存储器库中,从而使得可以同时对这些像素数据项进行存取。

[0097] 在进行数据存取时,选择器部分 160 从 N 个存储器库 BK0 到 BK($n-1$) 中接收 N 个像素数据项 D_{o0} 到 $D_{o(N-1)}$,其中的存储器库处于存取模式 ACP 的每个设定位置的存储器部分 110 中。选择器部分 160 传输与构成相应于上述的中心像素 IM1、IM2 的每个像素组 G1、G2 的各个像素相对应的六个像素数据项 D1a 到 D1c、D2a 到 D2c。将这六个像素数据项 D1a 到 D1c、D2a 到 D2c 发送到传输终端 112。

[0098] 在这种情况下,在早期存储阶段将构成像素组 G1、G2 的各个像素设定成目标像素

的次序在每个像素组中可以是不连续的,则改变与N个存取像素相关的N个像素数据项Do0到Do(N-1)的次序。此外,在这种情况下,如果构成像素组G1、G2的像素是重叠的,以便构成存取模式ACP的像素数目可以减少到六个以下,则将来自与N个存取像素相关的N个像素数据项Do0到Do(N-1)的预定像素数据项设定为多个输出像素数据项。

[0099] 例如,如果存取模式ACP是如上面所描述的图10中所示的模式,则同时从位于存取模式ACP的每个设定位置的存储器部分110中的六个存储器库BK0到BK5中读出与六个存取像素IM1U、IM1、IM1D、IM2U、IM2和IM2D相关的像素数据项Do0、Do1、Do2、Do3、Do4和Do5。在这种情况下,选择器部分160分别传输像素数据项Do0、Do1、Do2、Do3、Do4和Do5,作为六个像素数据项D1a、D1b、D1c、D2a、D2b和D2c。

[0100] 例如,如果存取模式ACP是如上面所描述的图11中所示的模式,则同时从位于存取模式ACP的每个设定位置的存储器部分110中的六个存储器库BK0到BK5中读出与六个存取像素IM1U、IM1、IM2U、IM1D、IM2和IM2D相关的像素数据项Do0、Do1、Do2、Do3、Do4和Do5。在这种情况下,选择器部分160分别传输像素数据项Do0、Do1、Do3、Do2、Do4和Do5,作为六个像素数据项D1a、D1b、D1c、D2a、D2b和D2c。

[0101] 例如,如果存取模式ACP是如上面所描述的图12中所示的模式,则同时从位于存取模式ACP的每个设定位置的存储器部分110中的四个存储器库BK0到BK3中读出与四个存取像素IM1U、IM1、IM2和IM2D相关的像素数据项Do0、Do1、Do2和Do3。在这种情况下,选择器部分160分别传输像素数据项Do0、Do1、Do2、Do1、Do2和Do3,作为六个像素数据项D1a、D1b、D1c、D2a、D2b和D2c。

[0102] 下面将描述数据存储控制部分120、数据存取控制部分140、选择器部分160、以及选择器部分设定部分的详细结构。

[0103] 将描述数据存储控制部分120。图13示出了数据存储控制部分120的结构。数据存储控制部分120具有计数器121、对应性确定部分122、库地址计数器123、位行地址计数器124、字行地址计数器125、地址产生部分126、以及读标记产生部分127。

[0104] 计数器121对接收的像素数据项的数目进行计数,其中的像素数据项与上述的存储器部分110顺序接收的每个目标像素相关。计数器121接收数据时钟DCK,该数据时钟与存储器部分110接收的每个目标像素相关的像素数据同步。控制信号SCL包括这个由控制装置提供的数据时钟DCK,其中的控制装置未示出。计数器121首先将它的计数值设定为零,接着,每次当存储器部分110接收与每个目标像素相关的像素数据时,使用数据时钟DCK来递增计数值。

[0105] 每次当存储器部分110接收与预定目标像素相关的像素数据时,对应性确定部分122确定目标像素是否对应设定在其起始位置的存取模式ACP指定的N个像素(早期存取像素)中的任一像素。因此,当目标像素与相应的N个像素相对应时,对应性确定部分122接收从计数器121传输来的任何计数值CN1到CNN作为关于存取模式的信息IAP。对应性确定部分122从选择器部分设定部分170中接收关于这个存取模式的这个信息IAP。当与目标像素相关的计数器121的计数值对应于计数值CN1到CNN中的任一值时,对应性确定部分122确定目标像素是第一到第N个早期存取像素中的任一像素。

[0106] 在六个存储器库BK0到BK5当中,库地址计数器123传输库地址,也就是用于指示存储与目标像素相关的像素数据的存储器库的计数值。库地址计数器123从对应性确定部

分 122 中接收确定输出。库地址计数器 123 将它的第一计数值设定为零,接着,当目标像素对应第二早期存取像素时或在此之后,递增它的计数值。计数值 0 到 5,也就是库地址计数器 123 的库地址 0 到 5,分别指示存储器库 BK0 到 BK5。

[0107] 位行地址计数器 124 具有六个计数器 124-0 到 124-5,其中每一个计数器与任何六个存储器库 BK0 到 BK5 相对应。位行地址计数器 124 接收数据时钟 DCK,该数据时钟与和存储器部分 110 接收的每个目标像素相关的像素数据同步。最初,计数器 124-0 到 124-5 分别将它们的计数值,也就是它们的位行地址设定为零。每次当存储器部分 110 接收并存储与每个目标像素相关的像素数据时,计数器 124-0 到 124-5 当中对应于库地址的任何计数器递增它的计数值。在这个实施例中,存储器库 BK0 到 BK5 中的每个存储器库的字行长度为 10。因此,在计数器 124-0 到 124-5 中,在计数值 9 之后,将计数值设定为零,这示出了这些计数器具有十进制计数器的结构。

[0108] 字行地址计数器 125 具有六个计数器 125-0 到 125-5,其中每一个计数器与任何六个存储器库 BK0 到 BK5 相对应。字行地址计数器 125-0 到 125-5 分别接收计数器 124-0 到 124-5 的进位信号 CA。每次当它们从计数器 124-0 到 124-5 接收进位信号 CA 时,计数器 125-0 到 125-5 递增它的计数值。

[0109] 地址产生部分 126 产生写地址 W,并将其提供给存储器部分 110。地址产生部分 126 从计数器 123 到 125 中接收任何计数值。地址产生部分 126 为了产生要提供给存储器部分 110 的写地址 W,将字行地址计数 125 的计数值(库地址)、与构成计数器 124 的六个计数器 124-0 到 124-5 当中的库地址相对应的计数器的计数值(位行地址)、以及与构成计数器 125 的六个计数器 125-0 到 125-5 当中的库地址相对应的计数器的计数值(字行地址)组合起来。

[0110] 对于在早期存储阶段存储像素数据的 N(N 小于或者等于 6) 个存储器库 BK0 到 BK(N-1),地址产生部分 126 还产生读起始地址 RS 和写起始地址 WS。在数据存取控制部分 140 中分别使用这些起始地址 RS 和 WS。在这种情况下,与存储器库 BK0 到 BK(N-1) 相关地,地址产生部分 126 设定写地址,在该写地址中,对于存储器库 BK0 到 BK(N-1),存储了第一像素数据作为读起始地址 RS。此外,与存储器库 BK0 到 BK(N-2) 相关地,地址产生部分 126 在对于存储器库 BK0 到 BK(N-2) 存储了最后的像素数据作为写起始地址 WS 的地址之后设定一个地址。

[0111] 对于在数据存取控制部分 140 中使用的各个存储器库 BK0 到 BK5,读标记产生部分 127 产生读标记 RFG。读标记产生部分 127 从对应性确定部分 122 中接收任何确定输出,以及从库地址计数器 123 中接收计数器值(库地址)。与六个存储器库 BK0 到 BK5 相关地,读标记产生部分 127 将与存储器库相关的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1,其中,该存储器库中存储有与设定在其起始位置的存取模式 ACP 指定的 N 个早期存取像素中的任一像素相对应的像素数据,以及将与其它存储器库相关的任何读标记 RFG 设定为指示不能进行读出的标记关状态,例如 0。

[0112] 接着,参考图 14 中所示出的流程图,对当在图 13 中所示的数据存储控制部分 120 的控制下开始进行存储时的数据存取装置 100 的操作进行描述。需要注意的是,数据存储控制部分 120 是由例如微处理器组成的,并基于未示出的程序存储器所存储的数据存储控制程序来执行任何控制操作。

[0113] 在步骤 ST1 中,数据存取装置 100 开始它的操作。在步骤 ST2 中,将库地址计数器 123 的计数值(库地址)、构成位行地址计数器 124 的六个计数器 124-0 到 124-5 的计数值(位行地址)、以及构成位行地址计数器 124 的六个计数器 125-0 到 125-5 的计数值(字行地址)分别设定为零。将计数器 121 的计数值设定为零。将读标记 RFG 设定为指示不可以进行读出的标记关状态,例如 0,其中的读标记 RFG 从读标记产生部分 127 提供并与每个存储器库 BK0 到 BK5 相对应。

[0114] 接着,在步骤 ST3,确定是否已经接收了与目标像素相关的像素数据。在这种情况下,当接收到数据时钟 DCK 时,确定已经接收了与目标像素相关的像素数据。如果确定已经接收了与目标像素相关的像素数据,在步骤 ST4,计数器 121 递增。

[0115] 在步骤 ST5,对应性确定部分 122 确定在步骤 ST3 接收到的目标像素是否与任何早期存取像素相对应。在这种情况下,当计数器 121 的计数值与作为关于存取模式 IAP 的信息的计数值 CN1 到 CNN 中的任一值相对应时,确定目标像素与该早期存取像素相对应。

[0116] 如果确定了目标像素与早期存取像素相对应,在步骤 ST6 确定这个早期存取像素是否是第一存取像素。如果确定这个早期存取像素是第一存取像素,处理直接转到步骤 ST9。另一方面,如果确定这个早期存取像素不是第一存取像素,则在步骤 ST7 将写地址 W 设定为对应于该库地址的存储器库的写起始地址 WS。

[0117] 需要注意的是,通过组合地址产生部分 126 中的在上述的库地址、位行地址和字行地址来产生写地址 W。位行地址作为对应于库地址的位行地址计数器 124 中的计数器的计数值而给出。字行地址作为对应于库地址的字行地址计数器 125 中的计数器的计数值而给出。

[0118] 在步骤 ST8,库地址计数器 123 递增它的计数值(库地址)。然后处理转到步骤 ST9。在步骤 ST9,读标记产生部分 127 将对应于库地址的存储器库的读标记 RFG 设定为指示可以对其读出的标记开状态,例如 1。在步骤 ST10,将在地址产生部分 126 中产生的写地址 W 设定为对应于库地址的存储器库的读起始地址 RS。接着,处理转到步骤 ST11。

[0119] 如果在步骤 ST5 中确定目标像素与早期存取像素不对应,处理转到步骤 ST12,在步骤 ST12 中确定这个目标像素是否是第一早期存取像素之后的像素。如果确定这个目标像素不是第一早期存取像素之后的像素,处理回到步骤 ST3,在步骤 ST3 中等待接收与下一个目标像素相关的任何像素数据。另一方面,如果确定该目标像素是第一早期存取像素之后的像素,处理直接转到步骤 ST11。

[0120] 在步骤 ST11,基于在地址产生部分 126 中产生的写地址 W,将目标像素的像素数据存储在由写地址 W 的库地址指定的存储器库的地址位置中,其中的地址位置是由写地址 W 的位行地址和字行地址指定的。

[0121] 在步骤 ST13,将相应于位行地址计数器 124 的库地址的计数器的计数值(位行地址)递增。在步骤 ST14,当在步骤 ST13 中计数器的计数值变成零时,基于从位行地址计数器 124 中的任何计数器中接收的进位信号 CA,将相应于字行地址计数器 125 的库地址的计数器的计数值(字行地址)递增。接着处理转到步骤 ST15。

[0122] 在步骤 ST15,确定是否已经接收了与屏幕 SRN 中的所有像素相关的像素数据项。在这种情况下,如果计数器 121 的计数值等于构成屏幕 SRN 的像素的数目,则确定已经接收了与屏幕 SRN 中的所有像素相关的像素数据项。这样,当确定已经接收了与所有像素相关

的像素数据项时,处理转到步骤 ST16,在步骤 ST16 中,完成该操作。另一方面,当确定还没有接收与所有像素相关的像素数据项时,处理回到步骤 ST3,在步骤 ST3 中等待接收与下一个目标像素相关的任何像素数据。

[0123] 当开始存储时的数据存取装置 100 的上述操作允许将屏幕 SRN 中的每个像素数据项在被划分的状态下存储到每个存储器库中。

[0124] 图 15 描述了当开始存储与图 10 中所示的存取模式 ACP 相关的像素数据时,与像素相关的像素数据项。需要注意的是,图 15 示出的符号“□”中所描述的数字表示在所标注的库中的任意库地址,其中所标注的库存储与像素相关的像素数据。在这种情况下,数字“0”到“5”分别表示存储器库 BK0 到 BK5。在这种情况下,图 16 描述了存储器库 BK0 到 BK5 中的数据存储状态。需要注意的是,在图 16 中示出的符号“■”表示其中存储像素数据项的存储器元 MC,而在图 16 中示出的符号“□”表示没有存储像素数据项的存储器元 MC。这与下面的附图相类似。

[0125] 首先,将地址库设定为零。在这种情况下,将第一行的顶部像素设定为目标像素。这个目标像素是由存取模式 ACP 指定的第一早期存取像素 IM1U。因此,将用于存储器库 BK0 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。装置开始将与像素 IM1U 相关的像素数据存储存储在存储器库 BK0 中。在这种情况下,将写地址 W 设定为存储器库 BK0(参见图 16 中示出的存储器库 BK0) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM1U 相关的像素数据的地址位置。

[0126] 接着,将像素 IM1U 后面的像素顺序设定为目标像素,以及将它们的像素数据项存储在存储器库 BK0 中。第二行的第一个像素是第二早期存取像素 IM1。当像素 IM1 是目标像素时,库地址递增以便变成 1,从而导致将存储像素数据的存储器库被设定为存储器库 BK1。

[0127] 这时,存储器库 BK0 已经存储了与 22 个像素(参见图 16 中所示的存储器库 BK0 中的前 22 个地址位置)相关的像素数据项。在这种情况下,存储器库 BK0 中的写起始地址 WS 是指示存储最后一个像素数据,换句话说,第 22 个像素的像素数据的地址位置的下一个地址位置的地址(参见图 16 中示出的存储器库 BK0)。

[0128] 如上所述,当像素 IM1 是目标像素时,将存储像素数据的存储器库设定为存储器库 BK1。因此,将用于存储器库 BK1 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。该装置开始将与像素 IM1 相关的像素数据存储存储在存储器库 BK1 中。在这种情况下,将写地址 W 设定为存储器库 BK1(参见图 16 中所示的存储器库 BK1) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM1 相关的像素数据的地址位置。

[0129] 接着,将这个像素 IM1 后面的像素顺序设定为目标像素,并且将它们的像素数据项存储在存储器库 BK1 中。第三行的第一个像素是第三早期存取像素 IM1D。当像素 IM1D 是目标像素时,库地址递增以便成为 2,从而导致将存储像素数据的存储器库设定为存储器库 BK2。

[0130] 这时,存储器库 BK1 已经存储了与 22 个像素(参见图 16 中所示的存储器库 BK1 中的前 22 个地址位置)相关的像素数据项。在这种情况下,存储器库 BK1 中的写起始地址 WS 是指示存储最后一个像素数据,换句话说,第 22 个像素的像素数据的地址位置的下一个地址位置的地址(参见图 16 中所示的存储器库 BK1)。

[0131] 如上所述,当像素 IM1D 是目标像素时,将存储像素数据的存储器库设定为存储器库 BK2。因此,将用于存储器库 BK2 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。该装置开始将与像素 IM1D 相关的像素数据存储于存储器库 BK2 中。在这种情况下,将写地址 W 设定为存储器库 BK2(参见图 16 中所示的存储器库 BK2) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM1D 相关的像素数据的地址位置。

[0132] 接着,将这个像素 IM1D 后面的像素顺序设定为目标像素,以及将它们的像素数据项存储在存储器库 BK2 中。第三行的第三个像素是第四早期存取像素 IM2U。当像素 M2U 是目标像素时,库地址递增以便成为 3,从而导致将存储像素数据的存储器库设定为存储器库 BK3。

[0133] 这时,存储器库 BK2 已经存储了与 2 个像素(参见图 16 中所示的存储器库 BK2 中的前 2 个地址位置)相关的像素数据项。在这种情况下,存储器库 BK2 中的写起始地址 WS 是指示存储最后一个像素数据,换句话说,第 2 个像素的像素数据的地址位置的下一个地址位置的地址(参见图 16 中所示的存储器库 BK2)。

[0134] 如上所述,当像素 IM2U 是目标像素时,将存储像素数据的存储器库设定为存储器库 BK3。因此,将用于存储器库 BK3 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。该装置开始将与像素 IM2U 相关的像素数据存储于存储器库 BK3 中。在这种情况下,将写地址 W 设定为存储器库 BK3(参见图 16 中所示的存储器库 BK3) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM2U 相关的像素数据的地址位置。

[0135] 接着,将这个像素 IM2U 后面的像素顺序设定为目标像素,以及将它们的像素数据项存储在存储器库 BK3 中。第四行的第三个像素是第五早期存取像素 IM2。当像素 IM2 是目标像素时,库地址递增以便成为 4,从而导致将存储像素数据的存储器库设定为存储器库 BK4。

[0136] 这时,存储器库 BK3 已经存储了与 22 个像素(参见图 16 中所示的存储器库 BK3 中的前 22 个地址位置)相关的像素数据项。在这种情况下,存储器库 BK3 中的写起始地址 WS 是指示存储最后一个像素数据,换句话说,第 22 个像素的像素数据的地址位置的下一个地址位置的地址(参见图 16 中所示的存储器库 BK3)。

[0137] 如上所述,当像素 IM2 是目标像素时,将存储像素数据的存储器库设定为存储器库 BK4。因此,将用于存储器库 BK4 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。该装置开始将与像素 IM2 相关的像素数据存储于存储器库 BK4 中。在这种情况下,将写地址 W 设定为存储器库 BK4(参见图 16 中所示的存储器库 BK4) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM2 相关的像素数据的地址位置。

[0138] 接着,将这个像素 IM2 后面的像素顺序设定为目标像素,以及将它们的像素数据项存储在存储器库 BK4 中。第五行的第三个像素是第六早期存取像素 IM2D。当像素 IM2D 是目标像素时,库地址递增以便成为 5,从而导致将存储像素数据的存储器库设定为存储器库 BK5。

[0139] 这时,存储器库 BK4 已经存储了与 22 个像素(参见图 16 中所示的存储器库 BK4 中的前 22 个地址位置)相关的像素数据项。在这种情况下,存储器库 BK4 中的写起始地址 WS 是指示存储最后一个像素数据,换句话说,第 22 个像素的像素数据的地址位置的下一个地址位置的地址(参见图 16 中所示的存储器库 BK4)。

[0140] 如上所述,当像素 IM2D 是目标像素时,将存储像素数据的存储器库设定为存储器库 BK5。因此,将用于存储器库 BK5 的读标记 RFG 设定为指示可以进行读出的标记开状态,例如 1。该装置开始将与像素 IM2D 相关的像素数据存储于存储器库 BK5 中。在这种情况下,将写地址 W 设定为存储器库 BK5(参见图 16 中所示的存储器库 BK5) 的读起始地址 RS,其中的写地址 W 指示存储与像素 IM2D 相关的像素数据的地址位置。

[0141] 接着,将这个像素 IM2D 后面的像素顺序设定为目标像素,并且将它们的像素数据项存储在存储器库 BK5 中。将像素数据项存储在存储器库 BK5 中直到构成屏幕 SRN 的最后一个像素,然后像素数据的存储操作完成。需要注意的是,在图 16 中所示的存储器库 BK5 仅仅示出了存储像素数据的存储器元 MC 的一部分(参见其中的符号“■”)。

[0142] 面已经关于图 10 中所示的存取模式 ACP 描述了早期存储的操作。与图 11 和图 12 中所示的存取模式 ACP 相关地执行早期存储的类似操作,其详细描述将被省略。

[0143] 图 17 描述了当开始进行与如图 11 中所示的存取模式 ACP 相关的像素数据的存储时,与任何像素相关的像素数据项。图 18 描述了在图 17 所示情况下的存储器库 BK0 到 BK5 中的数据存储状态。在这个实施例中,存取模式 ACP 指定的早期存取像素的数目是六个,以及将与这些像素相关的像素数据项在被划分的状态下存储在存储器库 BK0 到 BK5 中。

[0144] 图 19 描述了当开始进行与如图 12 中所示的存取模式 ACP 相关的像素数据的存储时,与任何像素相关的像素数据项。图 20 描述了在图 19 所示情况下的存储器库 BK0 到 BK5 中的数据存储状态。在这个实施例中,存取模式 ACP 指定的早期存取像素的数目是四个,并且将与这些像素相关的像素数据项在被划分的状态下存储在存储器库 BK0 到 BK3 中。存储器库 BK4 和 BK5 没有存储像素数据项。

[0145] 下面将描述数据存取控制部分 140。图 21 示出了数据存取控制部分的结构。数据存取控制部分 140 具有计数器 141、地址计数器控制部分 142、读地址计数器 143、写地址计数器 144、读地址产生部分 145、以及写地址产生部分 146。

[0146] 计数器 141 传输指示存取模式 ACP 的设定位置的计数值。计数器 141 接收用于移动存取模式 ACP 的设定位置的移动时钟 MCK。移动时钟 MCK 构成了上述的控制信号 SCL 中的一个,并且从控制装置提供,其中的控制装置没有示出。计数器 141 首先将它的计数值设定为零,接着,在将存取模式 ACP 的设定位置设定为它的起始位置后,使用第一移动时钟 MCK 递增计数值以便成为 1。此外,每次当存取模式 ACP 的设定位置逐像素地向着像素行方向移动时,计数器 141 使用移动时钟 MCK 递增它的计数值。

[0147] 读地址计数器 143 具有分别对应六个存储器库 BK0 到 BK5 的六个计数器 143-0 到 143-5。六个计数器 143-0 到 143-5 中的相应各计数器包括位行地址计数器和字行地址计数器,其中的位行地址计数器用于获得指示位行地址的计数值,而字行地址计数器用于获得指示字行地址的计数值(参见图 13 中所示的位行地址计数器 124 和字行地址计数器 125)。在地址计数器控制部分 142 的控制下,读地址计数器 143 的六个计数器 143-0 到 143-5 分别传输指示六个存储器库 BK0 到 BK5 的读地址(位行地址和字行地址)的计数值。

[0148] 写地址计数器 144 具有分别对应五个存储器库 BK0 到 BK4 的五个计数器 144-0 到 144-4。五个计数器 144-0 到 144-4 中的相应各计数器包括位行地址计数器和字行地址计数器,其中的位行地址计数器用于获得指示位行地址的计数值,而字行地址计数器用于获得指示字行地址的计数值。在地址计数器控制部分 142 的控制下,写地址计数器 144 的五

个计数器 144-0 到 144-4 分别传输指示五个存储器库 BK0 到 BK4 的写地址（位行地址和字行地址）的计数值。

[0149] 地址计数器控制部分 142 控制上述的读地址计数器 143 和上述的写地址计数器 144 的操作。地址计数器控制部分 142 接收用于移动存取模式 ACP 的设定位置的移动时钟 MCK、用于 N(N 小于或者等于 6) 个存储器库 BK0 到 BK(N-1) 的读起始地址 RS 和写起始地址 WS、以及用于存储器库 BK0 到 BK5 的读标记 RFG, 其中在数据存储控制部分 120 中的地址产生部分 126 产生所述读起始地址 RS 和写起始地址 WS, 在数据存储控制部分 120 中的读标记产生部分 127 中产生所述读标记 RFG。需要注意的是, 当开始存储时, N(N 小于或者等于 6) 个存储器库 BK0 到 BK(N-1) 存储像素数据。

[0150] 地址计数器控制部分 142 首先将 N(N 小于或者等于 6) 个存储器库 BK0 到 BK(N-1) 中的每个存储器库的读起始地址 RS 设定给读地址计数器 143 中的 N 个计数器 143-0 到 143-(N-1)。地址计数器控制部分 142 还将 N-1 个存储器库 BK0 到 BK(N-2) 中的每个存储器库的写起始地址 WS 设定给写地址计数器 144 中的 N-1 个计数器 144-0 到 144-(N-2)。

[0151] 在存取模式 ACP 的每个设定位置, 每当读任何像素数据时, 地址计数器控制部分 142 递增读地址计数器 143 中的 N 个计数器 143-0 到 143-(N-1) 的计数值; 以及每当写任何像素数据时, 递增写地址计数器 144 中的 N-1 个计数器 144-0 到 144-(N-2) 的计数值。

[0152] 地址计数器控制部分 142 还构成了读标记产生部分, 并且为存储器库 BK0 到 BK5 中的每个存储器库产生读标记 RFG。在这种情况下, 基于从上述的数据存储控制部分 120 中接收的用于各个存储器库 BK0 到 BK5 的读标记 RFG, 地址计数器控制部分 142 将用于在开始存储时存储任何像素数据的 N 个存储器库 BK0 到 BK(N-1) 的读标记 RFG 设定为指示可以进行读出的标记开状态, 例如 1; 而将用于其它存储器库的读标记 RFG 设定为指示不能进行读出的标记关状态, 例如 0。

[0153] 读地址产生部分 145 为六个存储器库 BK0 到 BK5 中的每个存储器库产生读地址 R。读地址产生部分 145 从构成读地址计数器 143 的各个计数器中接收计数值（位行地址和字行地址）。读地址产生部分 145 将各个计数器的各个计数值（位行地址和字行地址）与存储器库 BK0 到 BK5 的库地址组合起来, 以便为存储器库 BK0 到 BK5 中的每个存储器库产生读地址 R。

[0154] 写地址产生部分 146 为五个存储器库 BK0 到 BK4 中的每个存储器库产生写地址 W。写地址产生部分 146 从构成写地址计数器 144 的各个计数器中接收计数值（位行地址和字行地址）。写地址产生部分 146 将各个计数器的各个计数值（位行地址和字行地址）与存储器库 BK0 到 BK4 的库地址组合起来, 以便为存储器库 BK0 到 BK4 中的每个存储器库产生写地址 W。

[0155] 接下来, 参考图 22 中所示出的流程图, 对当在图 21 中所示的数据存取控制部分 140 的控制下存取数据时的数据存取装置 100 的操作进行描述。需要注意的是, 数据存取控制部分 140 是由例如微处理器组成的, 并在未示出的程序存储器中所存储的数据存取控制程序下执行任何控制操作。

[0156] 在步骤 ST31, 数据存取装置 100 开始它的操作。在步骤 ST32, 数据存取控制部分 140 将读标记 RFG、读地址 R、写地址 W、以及计数器 141 的计数值设定为零。在这种情况下, 分别设定存储器库 BK0 到 BK5 的读标记 RFG, 使得这些读标记等于从数据存储控制部分 120

中接收到的读标记 RFG。此外,在这种情况下,分别设定在读地址计数器 143 中的 N 个计数器 143-0 到 143-(N-1) 的计数值(读地址),使得这些计数值等于从数据存储控制部分 120 中接收到的读起始地址 RS。分别设定写地址计数器 144 中的 N-1 个计数器 144-0 到 144-(N-2) 的计数值(写地址),使得这些计数值等于从数据存储控制部分 120 中接收到的写起始地址 WS。

[0157] 接着,在步骤 ST33,通过使用移动时钟 MCK 递增计数器 141。在步骤 ST34,从任何地址位置读出与存取模式 ACP 指定的 N(N 小于或者等于 6) 个存取像素相关的像素数据项 Do0 到 Do(N-1),其中的地址位置是由 N 个存储器库 BK0 到 BK(N-1) 中的读地址产生部分 145 产生的读地址 R 表示的,其中读标记 RFG 被设定成其标记开状态,例如 1,并被输出。

[0158] 在步骤 ST35,将读地址计数器 143 中的 N 个计数器 143-0 到 143-(N-1) 的计数值(读地址)递增,其中的 N 个计数器对应已经在步骤 ST34 中读取像素数据的 N 个存储器库 BK0 到 BK(N-1)。

[0159] 在步骤 ST36,将从任一预定存储器库中读出的像素数据项存储在恰好位于该预定存储器库之前的存储器库中。在这种情况下,将从存储器库 BK1 到 BK(N-1) 中读出的像素数据项分别写入由写地址产生部分 146 产生的写地址 W 所指示的 N-1 个存储器库 BK0 到 BK(N-2) 的地址位置。

[0160] 在步骤 ST37,将写地址计数器 144 中的 N-1 个计数器 144-0 到 144-(N-2) 的计数值(写地址)递增,其中的 N-1 个计数器对应已经在步骤 ST36 中写入了像素数据的 N-1 个存储器库 BK0 到 BK(N-2)。

[0161] 在步骤 ST38,确定是否所有的存取都已经完成,也就是说,是否存取模式 ACP 已经从它的起始位置移动到它的最终位置。在这种情况下,当计数器 141 的计数值是指示它的最终位置的值时,确定所有的存取都已经完成。如果确定所有的存取都已经完成,处理转到步骤 ST39,在步骤 ST39 中,数据存储装置 100 结束它的操作。否则,处理回到步骤 ST33,在步骤 ST33 中,装置 100 继续执行在存取模式 ACP 的后面的设定位置上的任何处理。

[0162] 此外,将更详细地描述这些数据存取操作。如上所述,如果存取模式 ACP 是如图 10 中所示的模式,根据开始存储时的操作,将与屏幕 SRN 中的像素相关的像素数据项在被划分的状态下存储在六个存储器库 BK0 到 BK5 中。图 23 描述了开始存储与存取模式 ACP 相关的像素数据时与像素相关的像素数据项。需要注意的是,在图 23 示出的符号“□”中所描述的数字表示存储与像素相关的像素数据的每个存储器库中的任何库地址。

[0163] 如上所述,当开始进行数据存取操作时,将存储器库 BK0 到 BK5 的地址 R、W 设定为从数据存储控制部分 120 中接收的它们的起始地址 RS、WS。将六个存储器库 BK0 到 BK5 的所有的读标记 RFG 设定成其标记开状态,例如 1。图 24 描述了开始进行存储时,存储器库 BK0 到 BK5 中的数据存储状态以及读地址 R 和写地址 W 的地址位置。

[0164] 当开始计数器 141 的任意计数,并且将存取模式 ACP 的设定位置设定到它的起始位置时,同时从地址位置中读出关于由位于起始位置的存取模式 ACP 指定的六个存取像素 IM1U、IM1、IM1D、IM2U、IM2 和 IM2D 的像素数据项 Do0 到 Do5,该地址位置由六个存储器库 BK0 到 BK5 的读地址 R 来表示。接着,将六个存储器库 BK0 到 BK5 的读地址 R 分别递增。

[0165] 将从存储器库 BK1 到 BK5 中读出的像素数据项分别写入地址位置,该地址位置由恰好在位于图 25 中所示的读存储器库 BK1 到 BK5 之前的存储器库 BK0 到 BK4 的写地址 W

来表示（像素数据的移动）。接着，将五个存储器库 BK0 到 BK4 的写地址 W 分别递增。

[0166] 如上所述，伴随着接收移动时钟 MCK，每当存取模式 ACP 的设定位置逐像素地向着像素行方向（屏幕的水平方向）移动时，同时读出与存取模式 ACP 指定的六个存取像素 IM1U、IM1、IM1D、IM2U、IM2 和 IM2D 相关的像素数据项 Do0 到 Do5。然后将读地址 R 递增，移动像素数据，接着将写地址 W 递增。

[0167] 图 26 描述了当存取模式从它的起始位置移动一个像素时，与屏幕中的像素相关的像素数据项。图 27 描述了当存取模式 ACP 移动一个像素时，存储器库 BK0 到 BK5 中的数据存储状态，以及读地址 R 和写地址 W 的地址位置。

[0168] 图 28 描述了当存取模式从它的起始位置移动 22 个像素时，与屏幕中的像素相关的像素数据项。图 29 描述了当存取模式 ACP 移动 22 个像素时，存储器库 BK0 到 BK5 中的数据存储状态以及读地址 R 和写地址 W 的地址位置。

[0169] 在这种情况下，如图 28 中所示，存取模式 ACP 的设定位置移动到列的顶部，其中该列的顶部从它的起始位置沿着垂直于像素行方向的方向移位一个像素。每当存取模式 ACP 从它的起始位置移动 22 个像素时，存取模式 ACP 的设定位置移动到列的顶部，其中该列的顶部从它的起始位置沿着垂直于像素行方向的方向移位一个像素。当存取模式 ACP 的设定位置移动到它的最终位置时，数据存取装置 100 结束其任何数据存取操作。

[0170] 已经与图 10 中所示的存取模式 ACP 相关地描述了参考图 23 到图 29 的上述数据存取操作。与图 11 和图 12 中所示的存取模式 ACP 相关地执行类似数据存取操作，其详细描述将被省略。

[0171] 当存取模式 ACP 如图 10 中所示进行设定时，同时从六个存储器库 BK0 到 BK5 中读出与每个设定位置的存取模式 ACP 指定的六个存取像素 IM1U、IM1、IM1D、IM2U、IM2 和 IM2D 相关的像素数据项 Do0 到 Do5，其中存取模式 ACP 的设定位置从它的起始位置向像素行方向移动。当存取模式 ACP 如图 12 中所示进行设定时，同时从四个存储器库 BK0 到 BK3 中读出与每个设定位置的存取模式 ACP 指定的四个存取像素 IM1U、IM1、IM2 和 IM2D 相关的像素数据项 Do0 到 Do3，其中存取模式 ACP 的设定位置从它的起始位置向像素行方向移动。

[0172] 下面将描述选择器部分 160。图 30 示出了选择器部分 160 的结构。选择器部分 160 由 36 个开关元素 161(0,0) 到 161(5,5) 的 6×6 矩阵构成。

[0173] 矩阵的第一行的输入端包括六个开关元素 161(0,0) 到 161(0,5)，将该输入端连接到用于输入从存储器库 BK0 输出的像素数据 Do0 的输入行 162-0。矩阵的第二行的输入端包括六个开关元素 161(1,0) 到 161(1,5)，将该输入端连接到用于输入从存储器库 BK1 输出的像素数据 Do1 的输入行 162-1。矩阵的第三行的输入端包括六个开关元素 161(2,0) 到 161(2,5)，将该输入端连接到用于输入从存储器库 BK2 输出的像素数据 Do2 的输入行 162-2。矩阵的第四行的输入端包括六个开关元素 161(3,0) 到 161(3,5)，将该输入端连接到用于输入从存储器库 BK3 输出的像素数据 Do3 的输入行 162-3。矩阵的第五行的输入端包括六个开关元素 161(4,0) 到 161(4,5)，将该输入端连接到用于输入从存储器库 BK4 输出的像素数据 Do4 的输入行 162-4。矩阵的第六行的输入端包括六个开关元素 161(5,0) 到 161(5,5)，将该输入端连接到用于输入从存储器库 BK5 输出的像素数据 Do5 的输入行 162-5。

[0174] 矩阵的第一列的输出端包括六个开关元素 161(0,0) 到 161(5,0)，将该输出端连

接到用于输出像素数据 D1a 的输出行 163-0。矩阵的第二列的输出端包括六个开关元素 161(0,1) 到 161(5,1), 将该输出端连接到用于输出像素数据 D1b 的输出行 163-1。矩阵的第三列的输出端包括六个开关元素 161(0,2) 到 161(5,2), 将该输出端连接到用于输出像素数据 D1c 的输出行 163-2。矩阵的第四列的输出端包括六个开关元素 161(0,3) 到 161(5,3), 将该输出端连接到用于输出像素数据 D2a 的输出行 163-3。矩阵的第五列的输出端包括六个开关元素 161(0,4) 到 161(5,4), 将该输出端连接到用于输出像素数据 D2b 的输出行 163-4。矩阵的第六列的输出端包括六个开关元素 161(0,5) 到 161(5,5), 将该输出端连接到用于输出像素数据 D2c 的输出行 163-5。

[0175] 如上所述, 选择器部分 160 从选择器部分设定部分 170 中接收输入和输出的对应性信息 INF。输入和输出的对应性信息 INF 是用于指示输出行 163-0 到 163-5 分别连接到任何输入行 162-0 到 162-5 的信息。在这个实施例中, 关于输入和输出的对应性信息 INF 是特别用于确定开关元素 161(0,0) 到 161(5,5) 当中要被连接的任何开关元素的信息。

[0176] 例如, 如果存取模式 ACP 是如图 10 中所示的模式, 则同时从六个存储器库 BK0 到 BK5 中读出与六个存取像素 IM1U、IM1、IM1D、IM2U、IM2 和 IM2D 相关的像素数据项 Do0 到 Do5。这些像素数据项 Do0 到 Do5 分别通过输入行 162-0 到 162-5 输出。

[0177] 在这种情况下, 使用关于输入和输出的对应性信息 INF 来将开关元素 161(0,0)、161(1,1)、161(2,2)、161(3,3)、161(4,4) 和 161(5,5) 识别为要被连接的开关元素。这样, 图 31 中画上阴影线的开关元素 161(0,0)、161(1,1)、161(2,2)、161(3,3)、161(4,4) 和 161(5,5) 成为连接状态, 但是其它的开关元素维持不连接。

[0178] 这允许将输入行 162-0、162-1、162-2、162-3、162-4 和 162-5 分别连接到输出行 163-0、163-1、163-2、163-3、163-4 和 163-5 上。如图 32 所示, 这些数据像素项 Do0 到 Do5 分别作为六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c 输出。这样, 对应于构成像素组 G1、G2 的每个像素, 输出六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c, 其中的像素组 G1、G2 与目标像素 IM1、IM2 相对应, 从而使得可以获得每个像素组 G1、G2 中的任何连续的像素数据。

[0179] 例如, 如果存取模式 ACP 是如图 11 中所示的模式, 则同时从六个存储器库 BK0 到 BK5 中读出与六个存取像素 IM1U、IM1、IM1D、IM2U、IM2 和 IM2D 相关的像素数据项 Do0 到 Do5。这些像素数据项 Do0 到 Do5 分别通过输入行 162-0 到 162-5 输出。

[0180] 在这种情况下, 使用关于输入和输出的对应性信息 INF 将开关元素 161(0,0)、161(1,1)、161(2,3)、161(3,2)、161(4,4) 和 161(5,5) 识别为要被连接的开关元素。这样, 图 33 中画上阴影线的开关元素 161(0,0)、161(1,1)、161(2,3)、161(3,2)、161(4,4) 和 161(5,5) 成为连接状态, 但是其它的开关元素维持不连接。

[0181] 这允许和将输入行 162-0、162-1、162-2、162-3、162-4 和 162-5 分别连接到输出行 163-0、163-1、163-3、163-2、163-4 和 163-5 上。如图 34 所示, 这些数据像素项 Do0、Do1、Do3、Do2、Do4 和 Do5 分别作为六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c 输出。这样, 相应于构成像素组 G1、G2 的每个像素, 输出六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c, 其中的像素组 G1、G2 与目标像素 IM1、IM2 相对应, 从而使得可以获得每个像素组 G1、G2 中的任何的连续像素数据。

[0182] 例如, 如果存取模式 ACP 是如图 12 中所示的模式, 则同时从四个存储器库 BK0 到

BK3 中读出与四个存取像素 IM1U、IM1、IM2 和 IM2D 相关的像素数据项 Do0 到 Do3。这些像素数据项 Do0 到 Do3 分别通过输入行 162-0 到 162-3 输出。

[0183] 在这种情况下,使用输入和输出的对应性信息 INF 将开关元素 161(0,0)、161(1,1)、161(1,3)、161(2,2)、161(2,4) 和 161(3,5) 识别为要被连接的开关元素。这样,图 35 中画上阴影线的开关元素 161(0,0)、161(1,1)、161(1,3)、161(2,2)、161(2,4) 和 161(3,5) 成为连接状态,但是其它的开关元素维持不连接。

[0184] 这允许将输入行 162-0 连接到输出行 163-0;输入行 162-1 连接到输出行 163-1、163-3;输入行 162-2 连接到输出行 163-2、163-4;以及输入行 162-3 连接到输出行 163-5。如图 36 所示,这些数据像素项 Do0、Do1、Do2、Do1、Do2、和 Do3 分别作为六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c 输出。这样,相应于构成像素组 G1、G2 的每个像素,输出六个像素数据项 D1a、D1b、D1c、D2a、D2b 和 D2c,其中的像素组 G1、G2 与目标像素 IM1、IM2 相对应,从而使得可以获得每个像素组 G1、G2 中的任何连续像素数据。

[0185] 下面将描述选择器部分设定部分 170。图 37 示出了选择器部分设定部分 170 的结构。选择器部分设定部分 170 具有存取模式扩展部分 171、排序部分 172、以及选择器位置设定部分 173。

[0186] 基于关于构成位于其起始位置的存取模式 ACP 的多个中心像素 IM1、IM2 的坐标信息 (x_1, y_1) 、 (x_2, y_2) 和它们的周边信息 PEI,存取模式扩展部分 171 获取与构成每个像素组 G1、G2 的各个像素相关的坐标信息。在这个实施例中,如上所述,周边信息 PEI 涉及每个中心像素的上部和下部位置。关于构成像素组 G1 的三个像素的坐标信息为 (x_1, y_1-1) 、 (x_1, y_1) 和 (x_1, y_1+1) 。关于构成像素组 G2 的三个像素的坐标信息为 (x_2, y_2-1) 、 (x_2, y_2) 和 (x_2, y_2+1) 。

[0187] 基于存取模式扩展部分 171 获取的关于构成每个像素组 G1、G2 的各个像素的坐标信息,排序部分 172 获取次序信息,其中的次序信息用于指示在早期存储阶段,将构成每个像素组 G1、G2 的各个像素设定为目标像素的次序。如果屏幕 SRN 是由图 38 中所示的 $m \times n$ 个像素(其水平方向上的 m 个像素 \times 垂直方向上的 n 个像素)组成的,则通过使用下面的公式可以总体上获得坐标信息为 (x, y) 的像素的次序信息 NO: $NO = x + (y-1)m$ 。

[0188] 此外,排序部分 172 将如此获得的与构成每个像素组 G1、G2 的各个像素相关的次序信息作为关于存取模式 ACP 的信息 IAP,将其提供给数据存储控制部分 120。在这种情况下,由于根据上面所述的中心像素 IM1、IM2 的任何位置关系,构成像素组 G1、G2 的像素可以是相互重叠的,所以构成每个像素组 G1、G2 的各个像素的次序信息的一些部分是相同的,从而导致了构成存取模式 ACP 的像素数目可以减少到六个以下(参见图 12)。

[0189] 选择器位置设定部分 173 基于排序部分 172 获取的构成每个像素组 G1、G2 的各个像素的次序信息产生输入和输出的对应性信息 INF,并将该对应性信息提供给选择器部分 160。在上述的选择器部分 160 中,输入和输出的对应性信息 INF 是用于识别开关元素 161(0,0) 到 161(5,5) 当中要被连接的开关元素的信息。这样,通过构成每个像素组 G1、G2 的各个像素的次序信息,可以确定将构成每个像素组 G1、G2 的各个像素设定为目标像素的次序在每个像素组中是否是连续的。通过该次序信息,因为构成像素组 G1、G2 的像素可以是相互重叠的,所以可以确定构成存取模式 ACP 的像素数目是否可以减少到六个以下。

[0190] 为了输出与构成像素组 G1、G2 的各个像素相对应的六个像素数据项 D1a、D1b、

D1c、D2a、D2b 和 D2c,这允许选择器位置设定部分 173 确定可以将任何输入行 162-0 到 162-5 连接到选择器部分 160 中的各个输出行 163-0 到 163-5 上,从而使得可以适宜地产生输入和输出的对应性信息 INF。

[0191] 根据图 9 中所示的数据存取装置 100,在它的早期存储阶段,将像素数据项分别存储到分立存储器库中,其中的像素数据项与设定在其起始位置的存取模式 ACP 指定的 N 个早期存取像素相关;在数据存取阶段,当存取模式 ACP 的设定位置是预定的位置时,同时从 N 个存储器库 BK0 到 BK(N-1) 中读出与此预定位置的存取模式 ACP 指定的 N 个存取像素相关的像素数据项;在存取模式 ACP 的设定位置向着像素行方向移动的阶段,将从预定存储器库中读出的像素数据项存储在恰好在存储该像素数据的存储器库之前的存储器库中,以至于可以将与在设定位置的存取模式 ACP 指定的 N 个像素相关的像素数据项存储在分立存储器库中,从而很容易使得能够同时在每个设定位置获得存取模式 ACP 指定的 N 个存取像素,其中存取模式 ACP 的设定位置从它的起始位置沿着像素行方向移动。

[0192] 根据图 9 中所示的数据存取装置 100,对应构成每个像素组 G1、G2 的各个像素,基于输入和输出的对应性信息 INF,选择器部分 160 在与 N 个存取像素相关的像素数据项 Do0 到 Do(N-1) 中选择性地传输六个像素数据项 D1a 到 D1c 和 D2a 到 D2c,其中该 N 个存取像素是同时从 N 个存储器库 BK0 到 BK(N-1) 中获取的。这允许数据存取装置 100 获取像素数据,其中的像素数据在每个像素组 G1、G2 中是连续的,而与中心像素 IM1、IM2 的任何位置关系无关。

[0193] 根据图 9 中所示的数据存取装置 100,选择器部分设定部分 170 基于中心像素 IM1、IM2 的坐标信息 (x1, y1)、(x2, y2) 和其周边信息 PEI,产生关于存取模式 ACP 的信息 IAP 和输入和输出的对应性信息 INF。用户仅仅通过给出中心像素 IM1、IM2 的坐标信息 (x1, y1)、(x2, y2) 和其周边信息 PEI,就可以任意地设定存取模式 ACP。

[0194] 根据图 9 中所示的数据存取装置 100,数据存储控制部分 120 将每个存储器库 BK0 到 BK5 中的读标记 RFG 给予数据存取控制部分 140。这可以避免用于控制数据存储控制部分 120 和数据存取控制部分 140 的任何控制设备基于存取模式 ACP 的信息产生存储器库 BK0 到 BK5 中的读标记 RFG,并将该读标记 RFG 提供给数据存取控制部分 140。

[0195] 根据图 9 中所示的数据存取装置 100,数据存储控制部分 120 把每个存储器库 BK0 到 BK5 中的起始地址 RS、WS 给予数据存取控制部分 140。这可以避免用于控制数据存储控制部分 120 和数据存取控制部分 140 的任何控制设备基于存取模式 ACP 的信息和固定数目 N 的信息产生存储器库 BK0 到 BK5 中的起始地址 RS、WS 并将该起始地址 RS、WS 提供给数据存取控制部分 140。

[0196] 尽管在上面的实施例中已经描述过中心像素的数目是 2 个,或者周边信息 PEI 涉及中心像素的上部和下部的关系,但发明并不局限于此。本发明可以应用于这种情况:中心像素的数目多于 2 个,或者周边信息 PEI 涉及除了中心像素的这些上部和下部的关系之外的其他情况。需要注意的是,在这种情况下,如果中心像素的数目是“p”个,以及中心像素的周边像素的数目是“q”个,为了更适合应用,即使当 p 个中心像素彼此之间有任何位置关系时,也需要存储器部分 110 具有 $p \times q$ 个存储器库。

[0197] 尽管在上面的实施例中已经描述了将每个在水平方向延伸的像素行顺序排列在垂直方向上,以至于也可以如下配置屏幕 SRN:在其早期存储阶段,将像素行的像素顺序设

定为目标像素,以及将与目标像素相关的像素数据项在被划分的状态下存储到 N 个存储器库 BK0 到 BK(N-1) 中;以及在其数据存取阶段,同时在每个设定位置获取与存取模式 ACP 指定的 N 个存取像素相关的像素数据项 Do0 到 Do(N-1),其中在该每个设定位置,存取模式 ACP 的设定位置向着像素行方向移动,但是也可以将每个在垂直方向延伸的像素列顺序地排列在水平方向上,以至于可以配置屏幕 SRN,以及可以在其早期存储阶段和数据存取阶段执行任何适当的操作。

[0198] 尽管已经在上面描述了数据存储控制部分 120 将起始地址 RS、WS 和读标记 RFG 给予数据存取控制部分 140,但本发明并不局限于此。用于控制数据存储控制部分 120 和数据存取控制部分 140 的任何控制设备可能将这些起始地址 RS、WS 和读标记 RFG 给予数据存取控制部分 140。

[0199] 本发明可能优选地应用于数据存取装置或者类似的装置中,在这些装置中,在每个设定位置可以很容易地获取与存取模式指定的多个像素相关的像素数据项,其中在该每个设定位置,存取模式的设定位置顺序地从它的起始位置向像素行方向移动。本发明也可能优选地应用于这样的装置中,在该装置中,可以识别一个特定的数据阵列,以及可以处理任何模式识别、任何运动检测等等。

[0200] 根据上面的实施例,可能同时存取多个像素数据项,同时将与存取模式指定的多个像素相关的多个像素数据项存储在每个设定位置处的分立存储器库中,其中存取模式的设定位置顺序地从它的起始位置朝向像素行方向移动,从而,允许很容易地同时获取多个像素数据项。

[0201] 本领域技术人员应该理解只要在所附的权利要求或者其等价物的范围内,根据设计需要和它的因素,可以进行各种各样的修改、组合、子组合和替换。

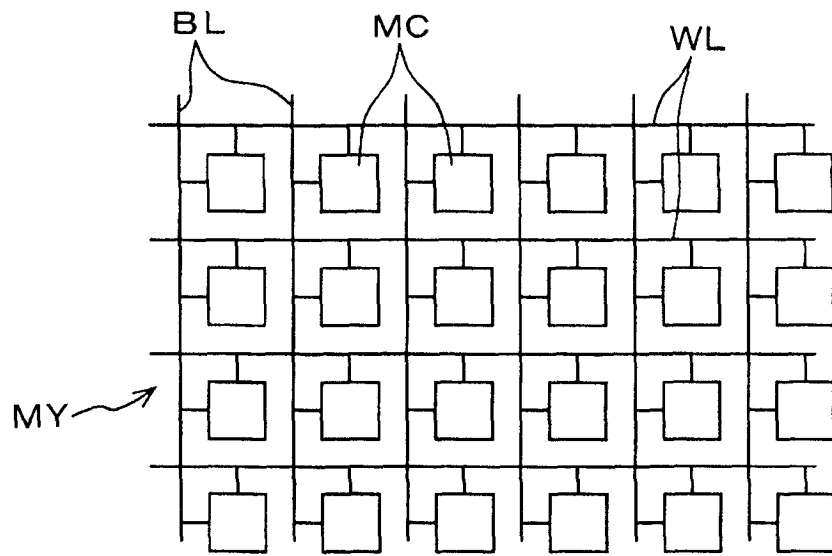


图 1 (背景技术)

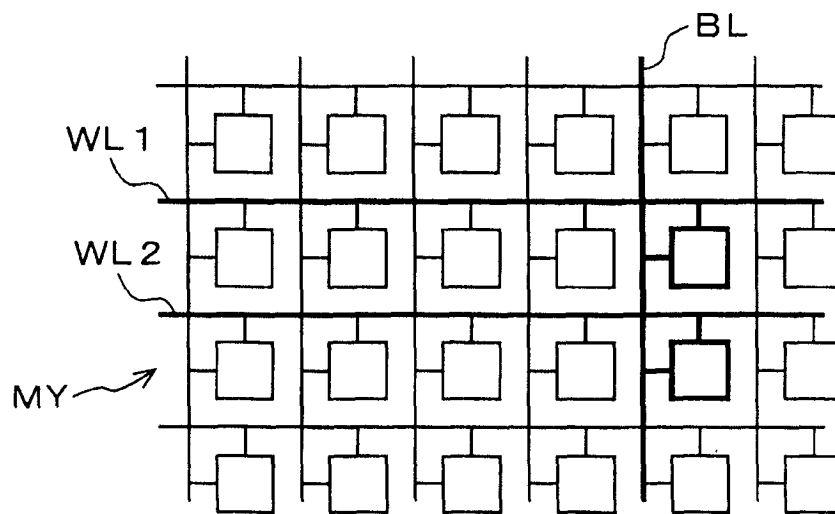


图 2 (背景技术)

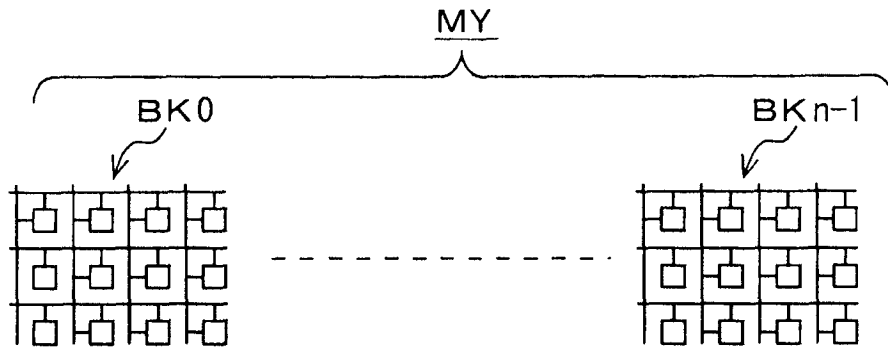
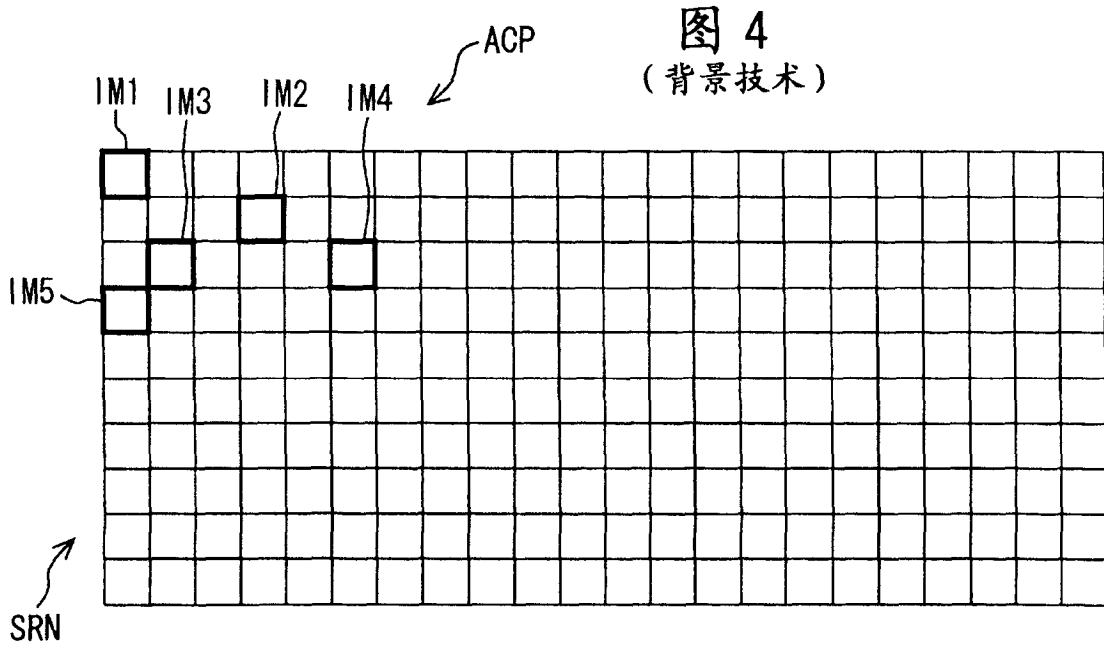


图 3 (背景技术)



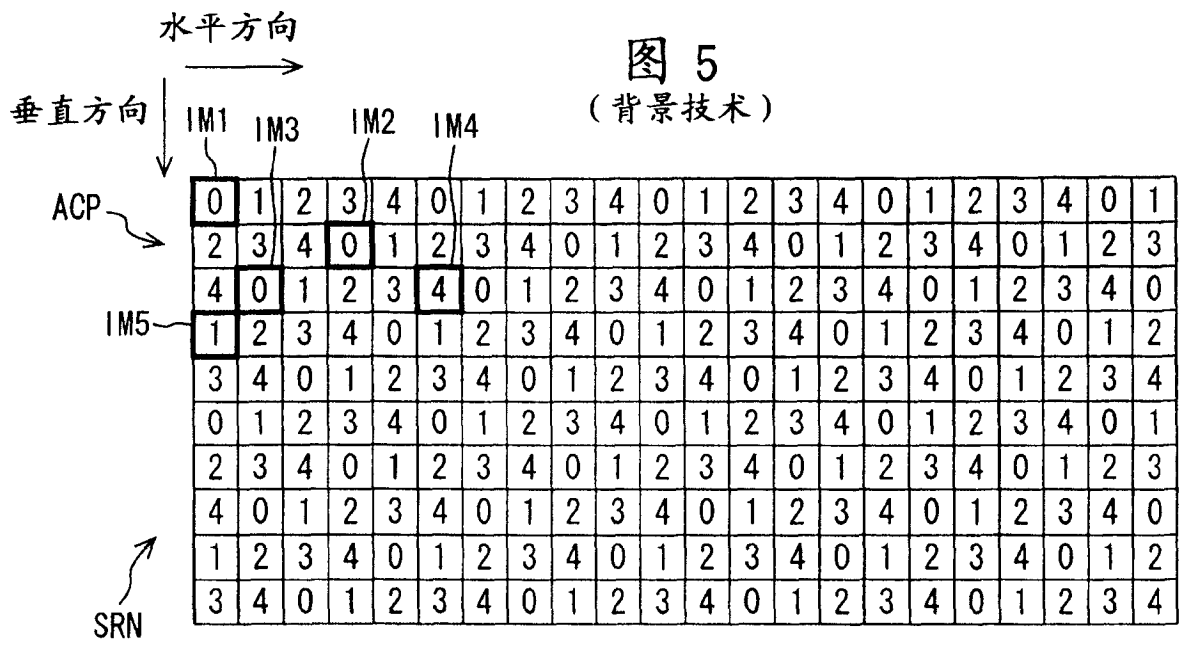
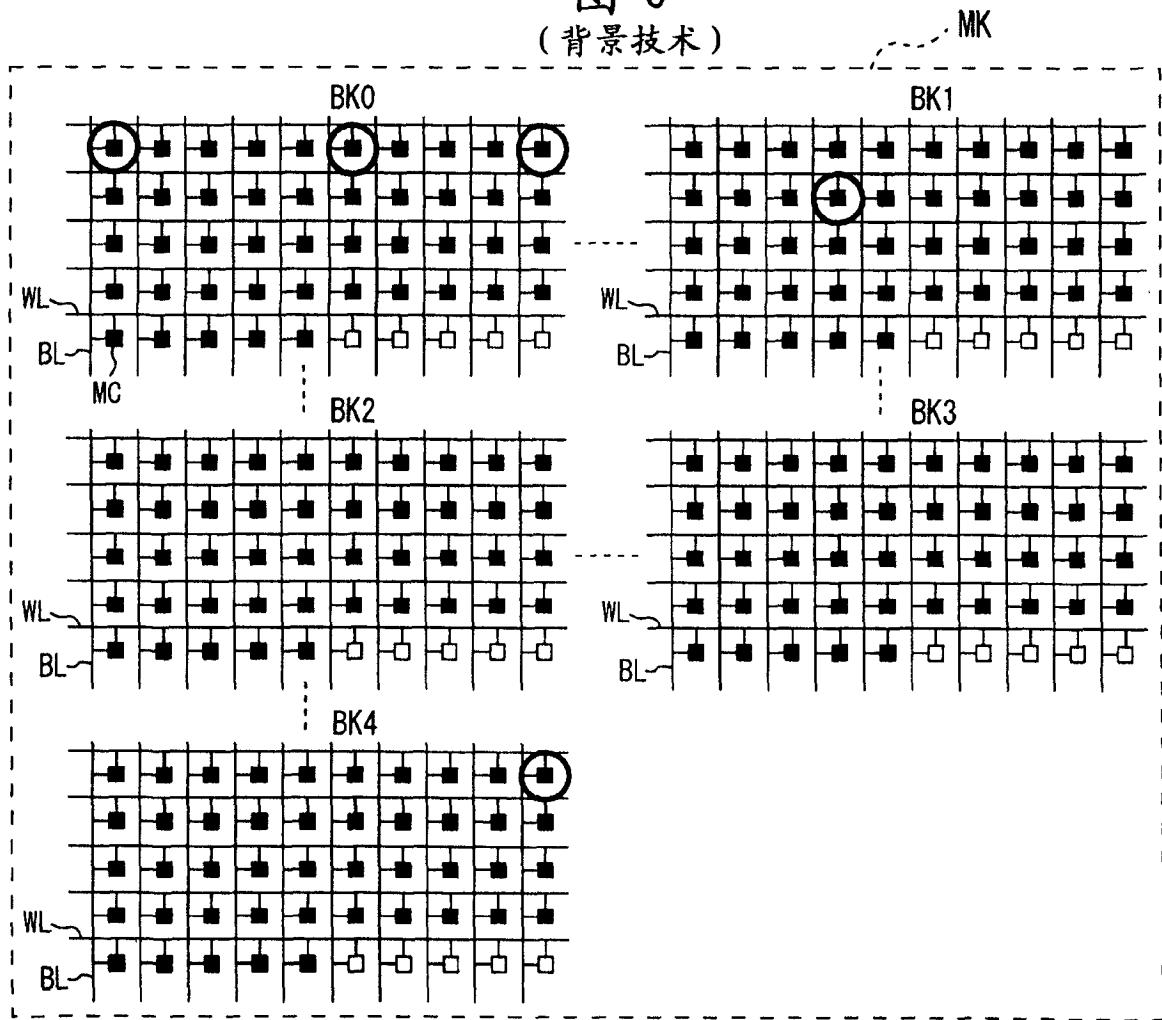


图 6
(背景技术)



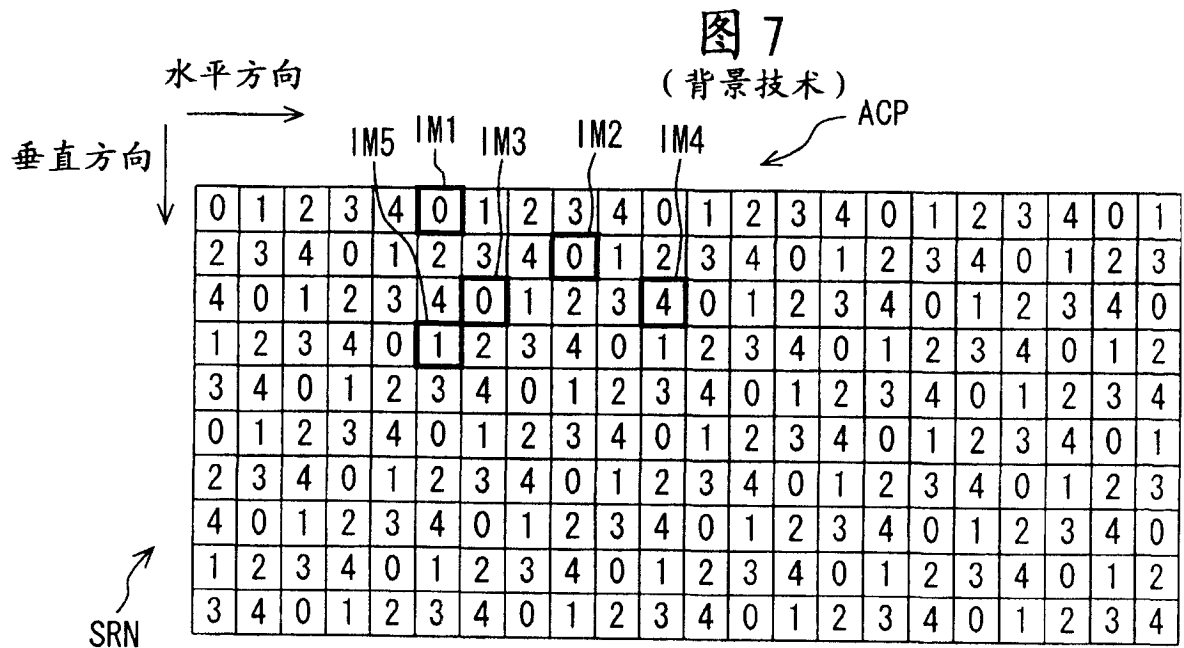
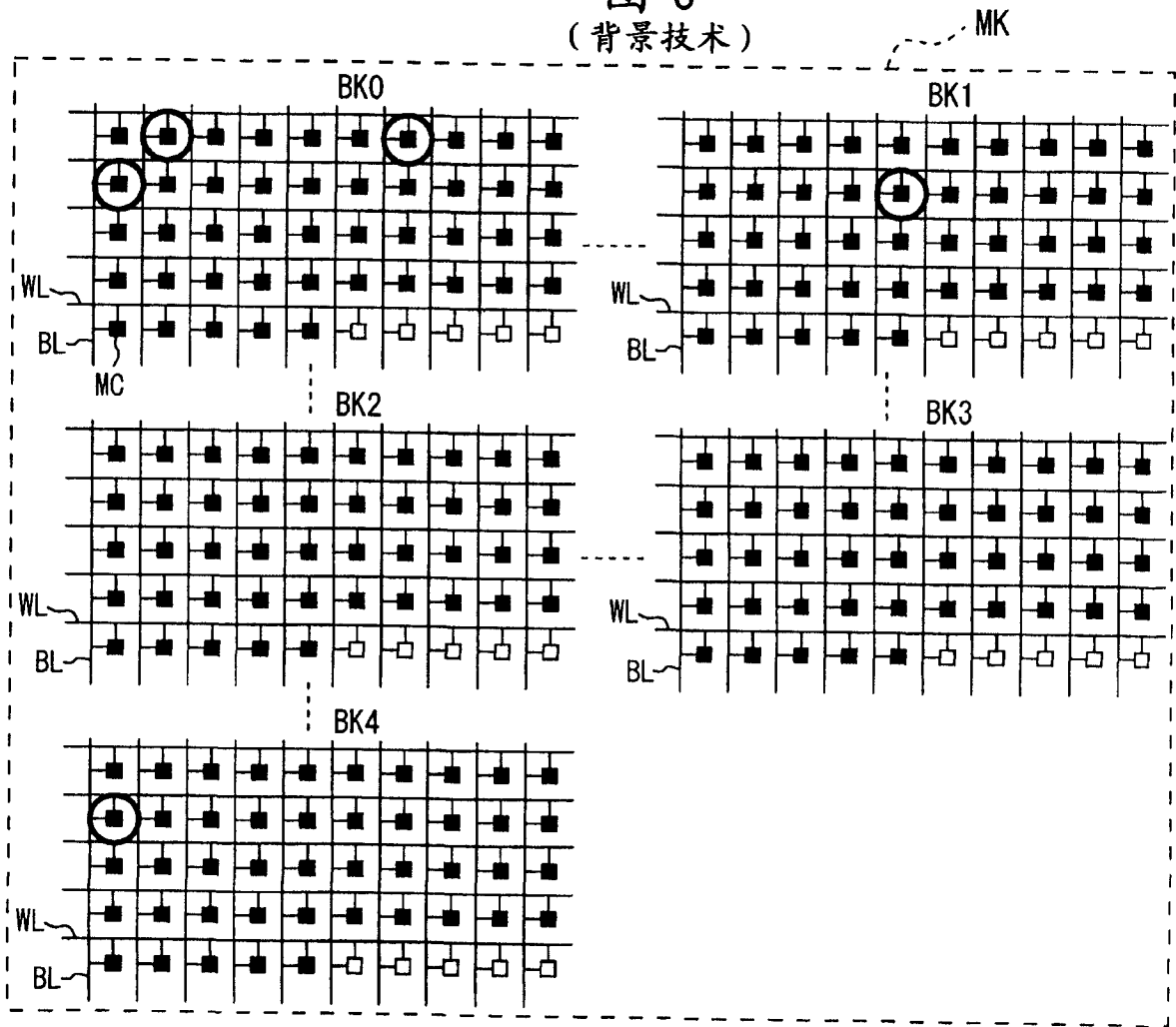


图 8
(背景技术)



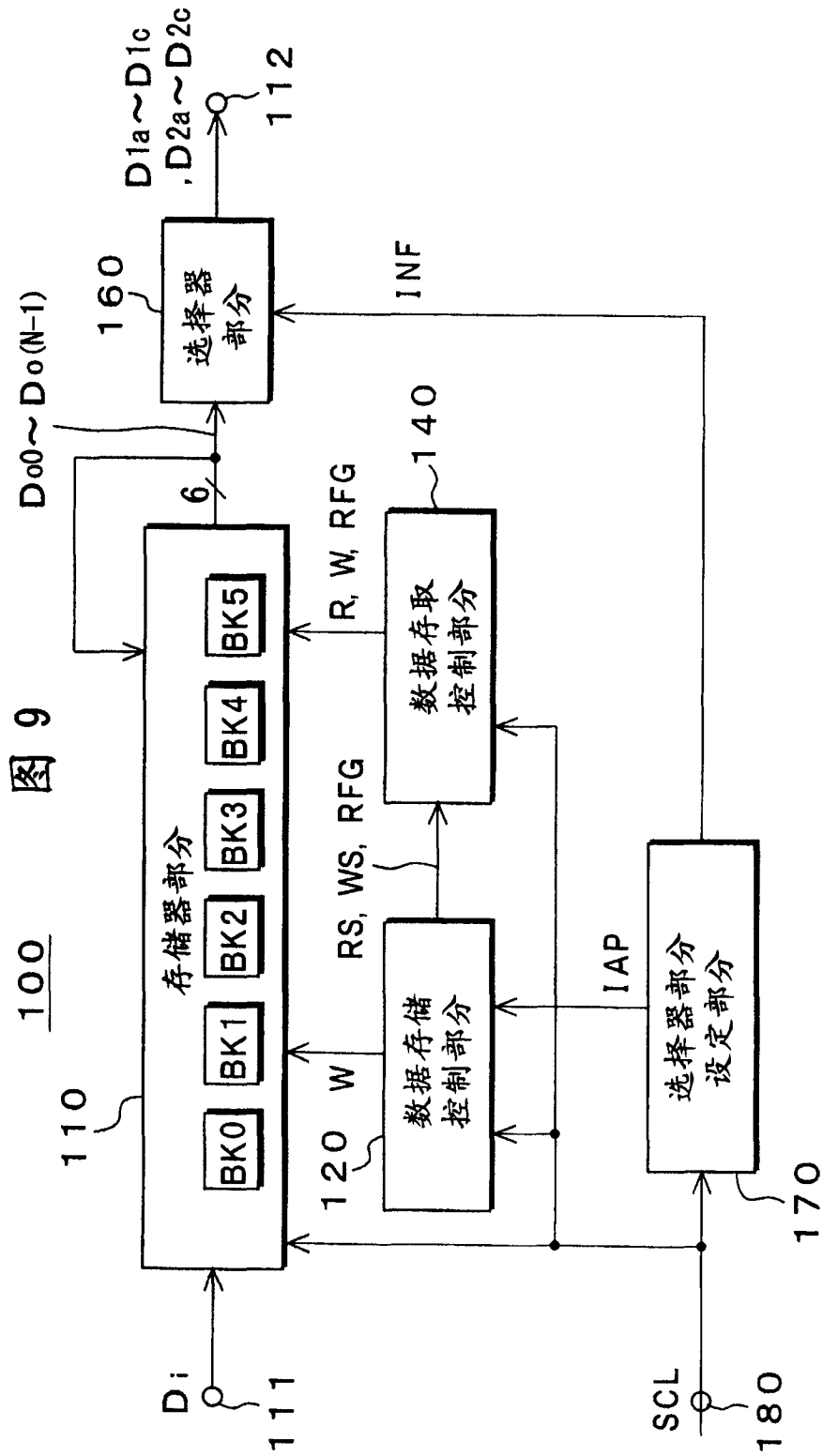


图 9

100

110

存储器部分

BK0 BK1 BK2 BK3 BK4 BK5

Di

111

D00~D(N-1)

6

数据控制部分

RS, WS, RFG

120

数据控制部分

R, W, RFG

140

数据控制部分

INF

选择器部分

160

D1a~D1c, D2a~D2c

112

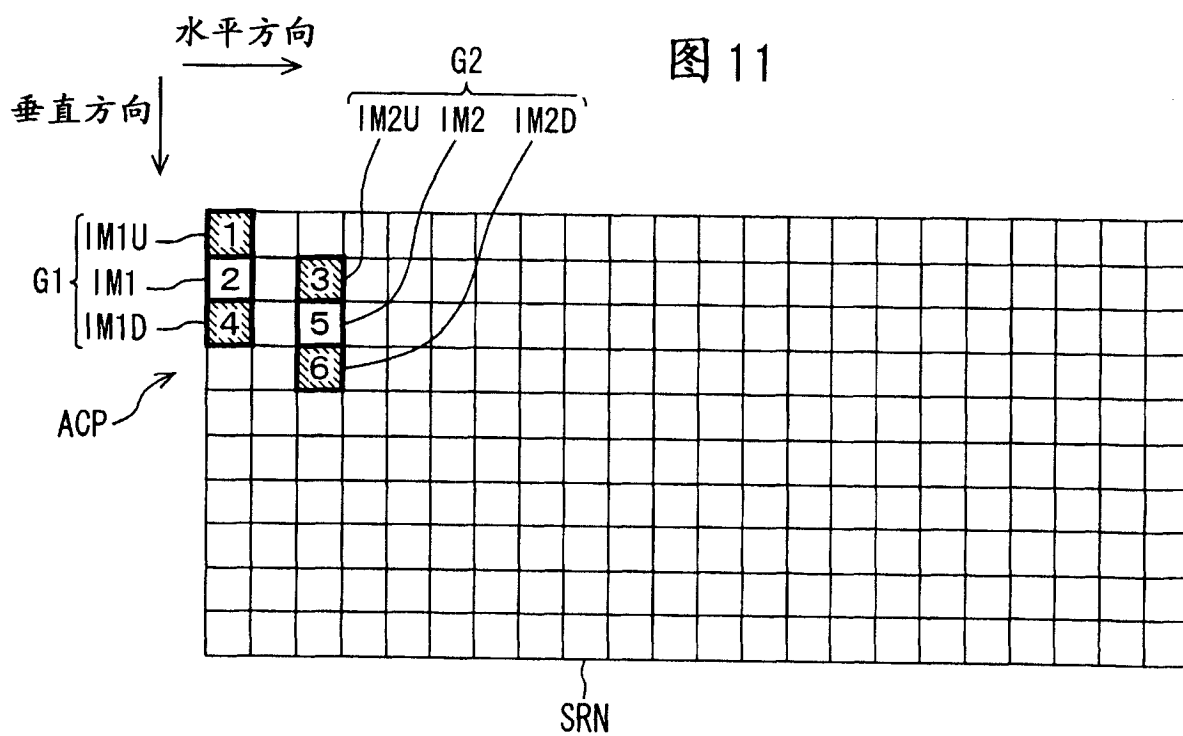
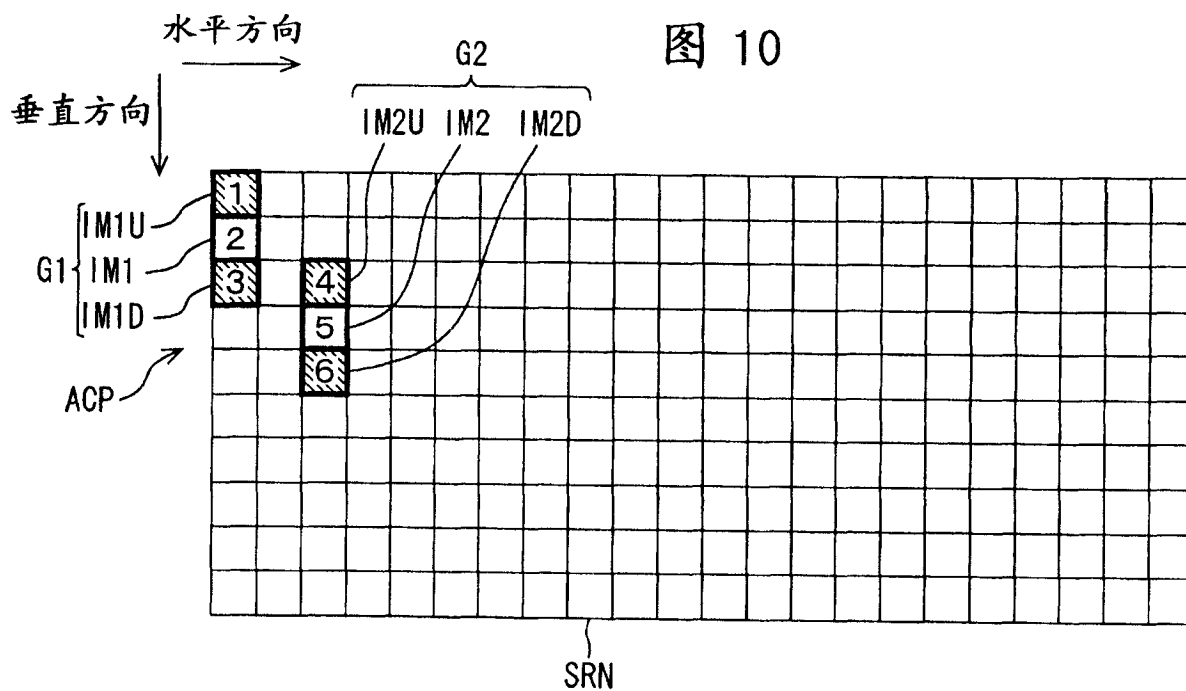
IAP

SCL

180

选择器部分
设定部分

170



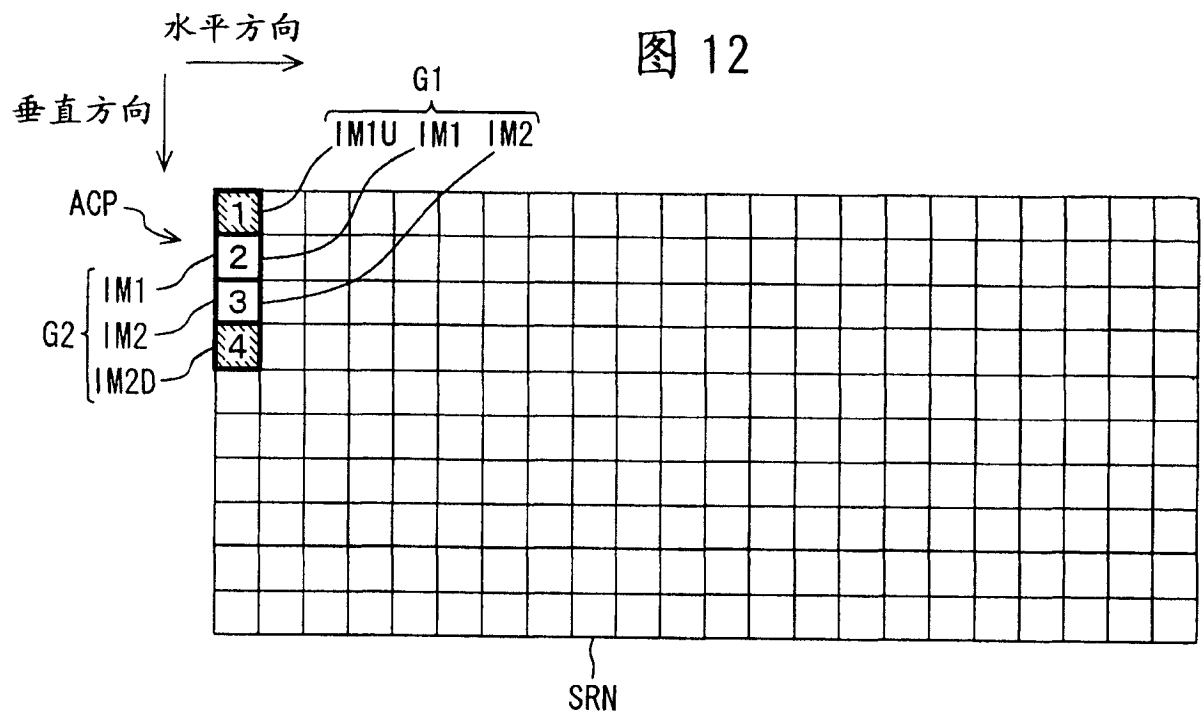


图 13

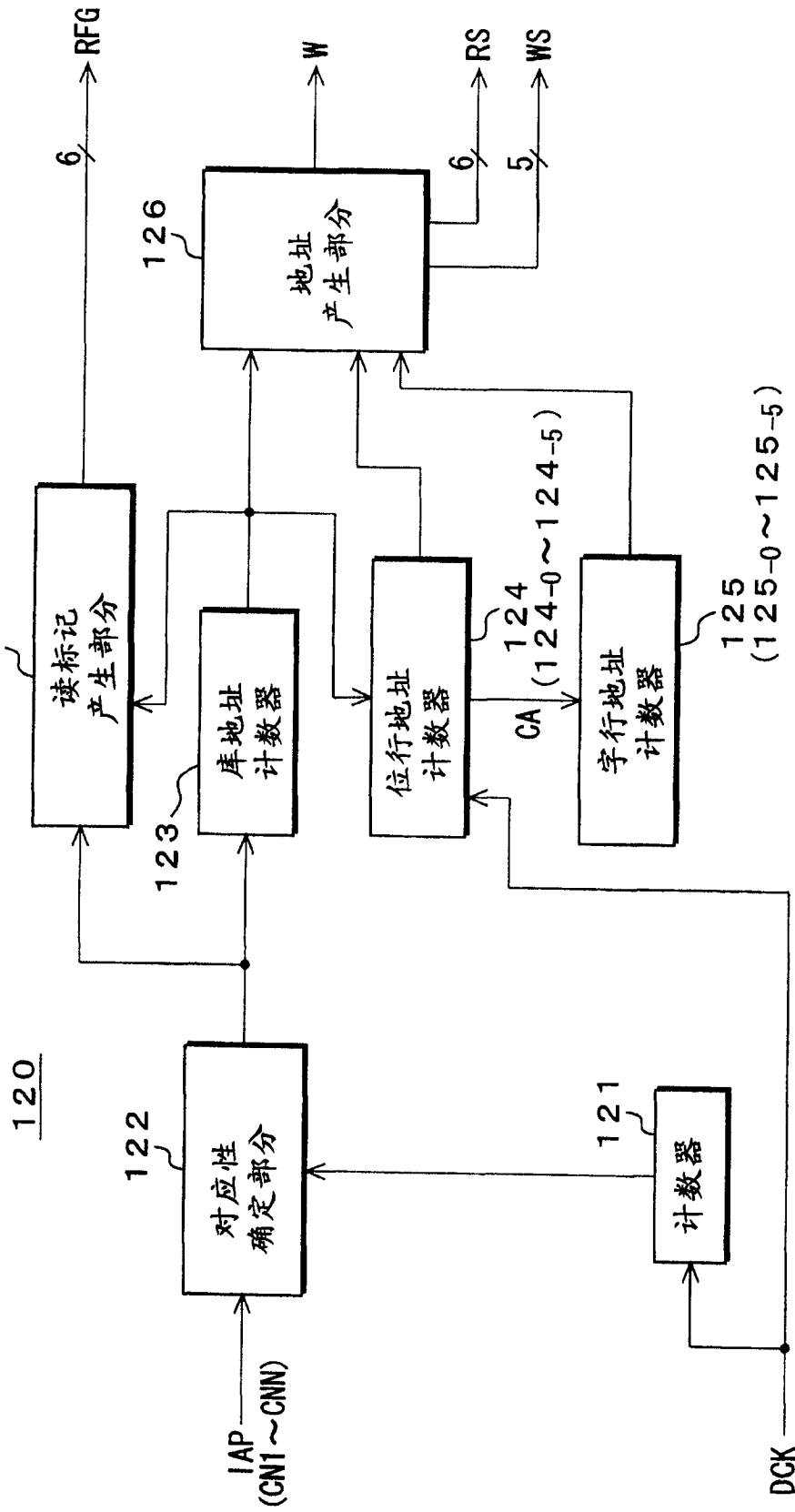
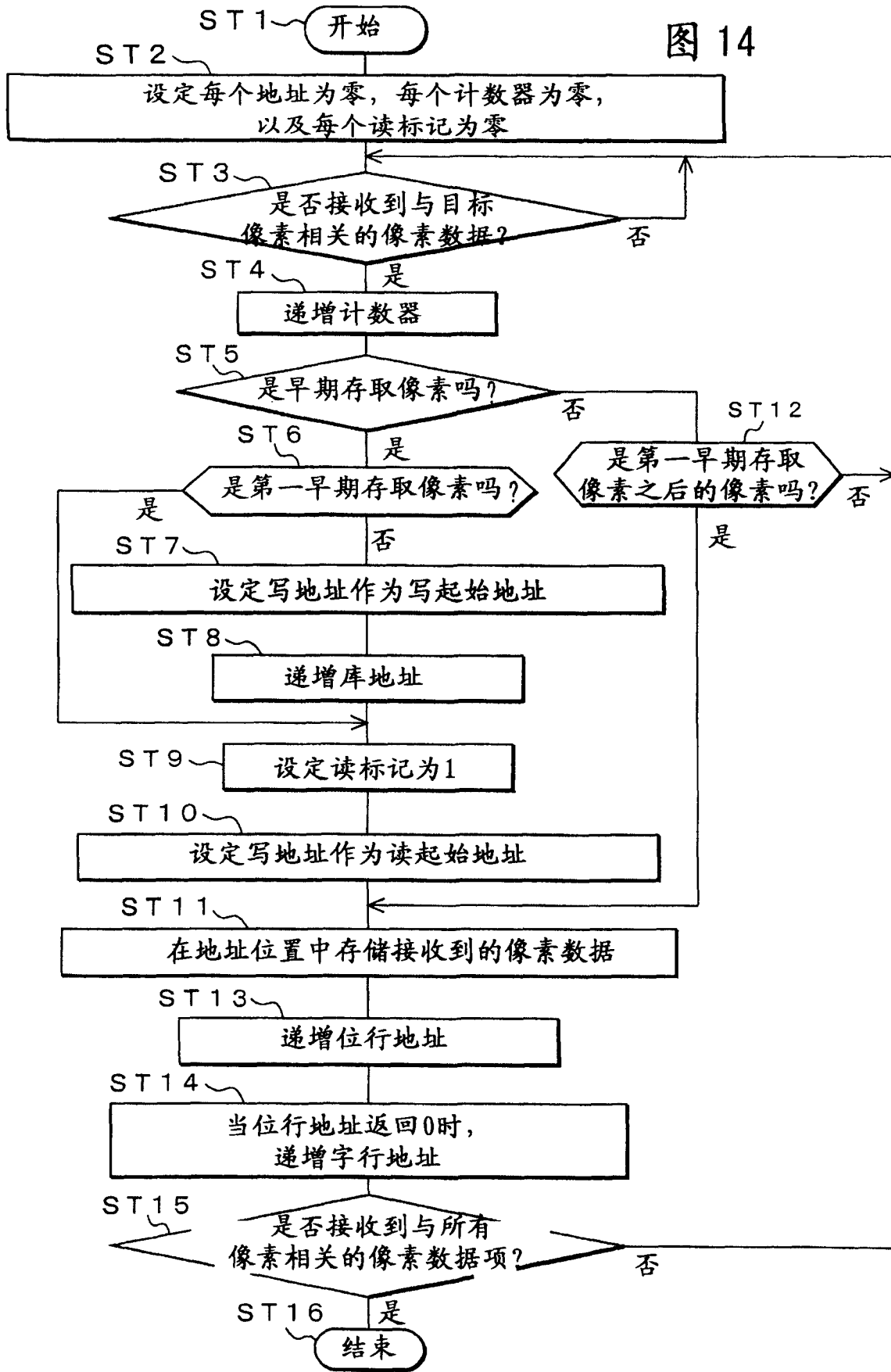
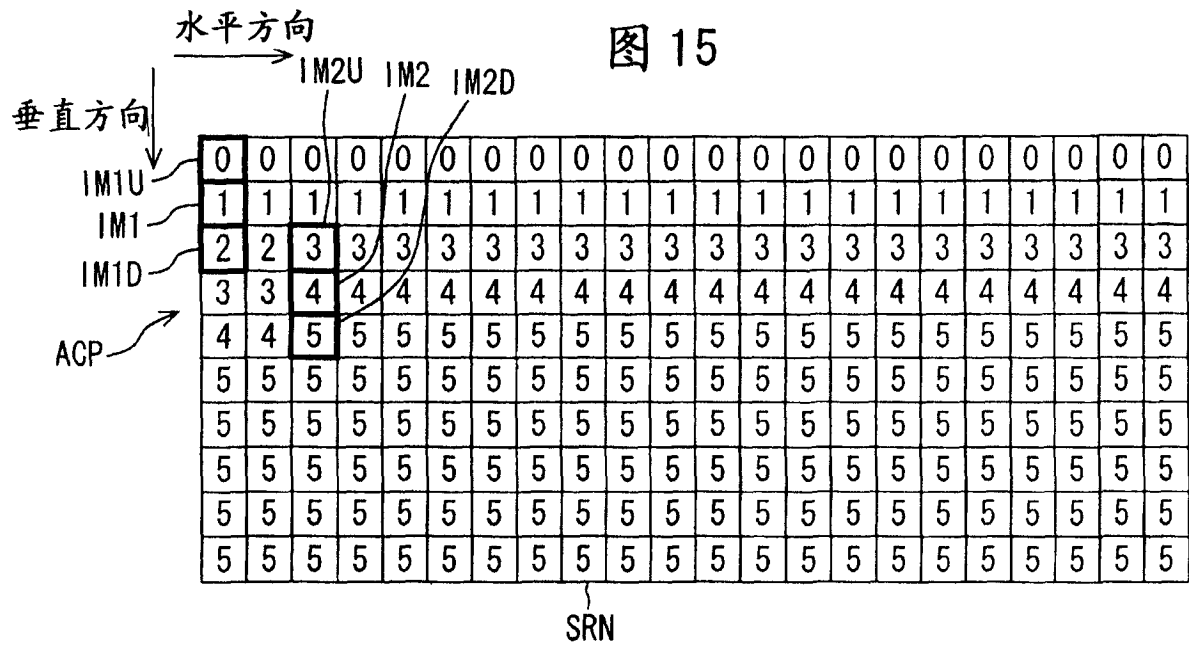


图 14





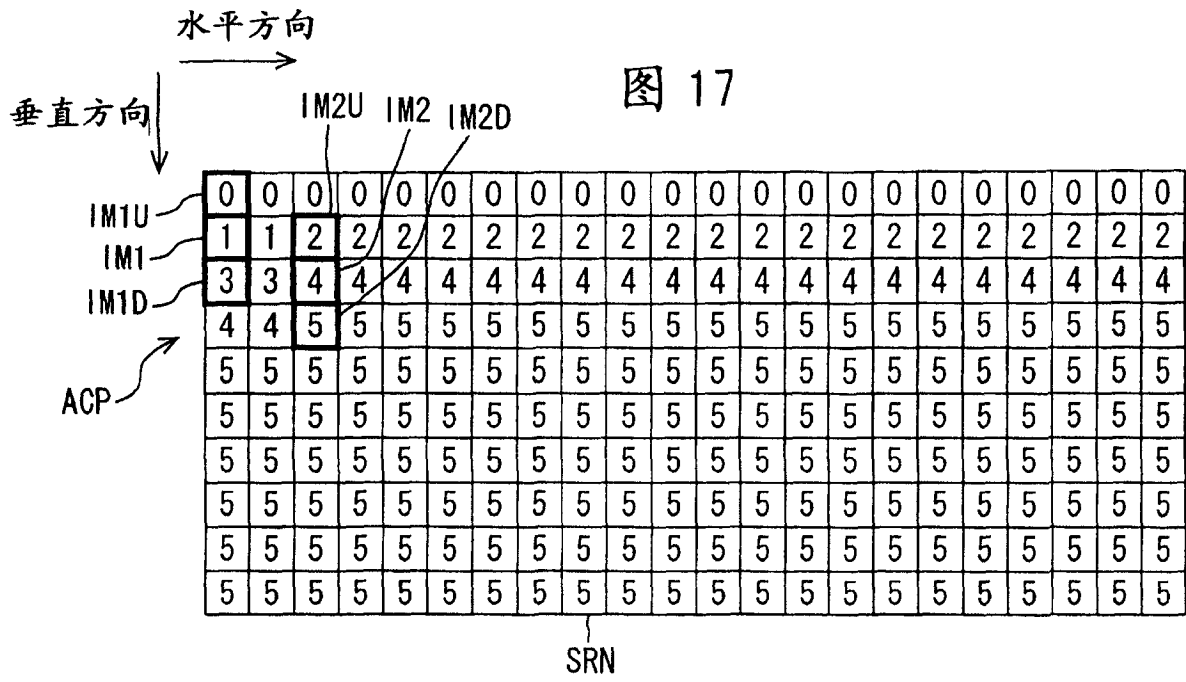
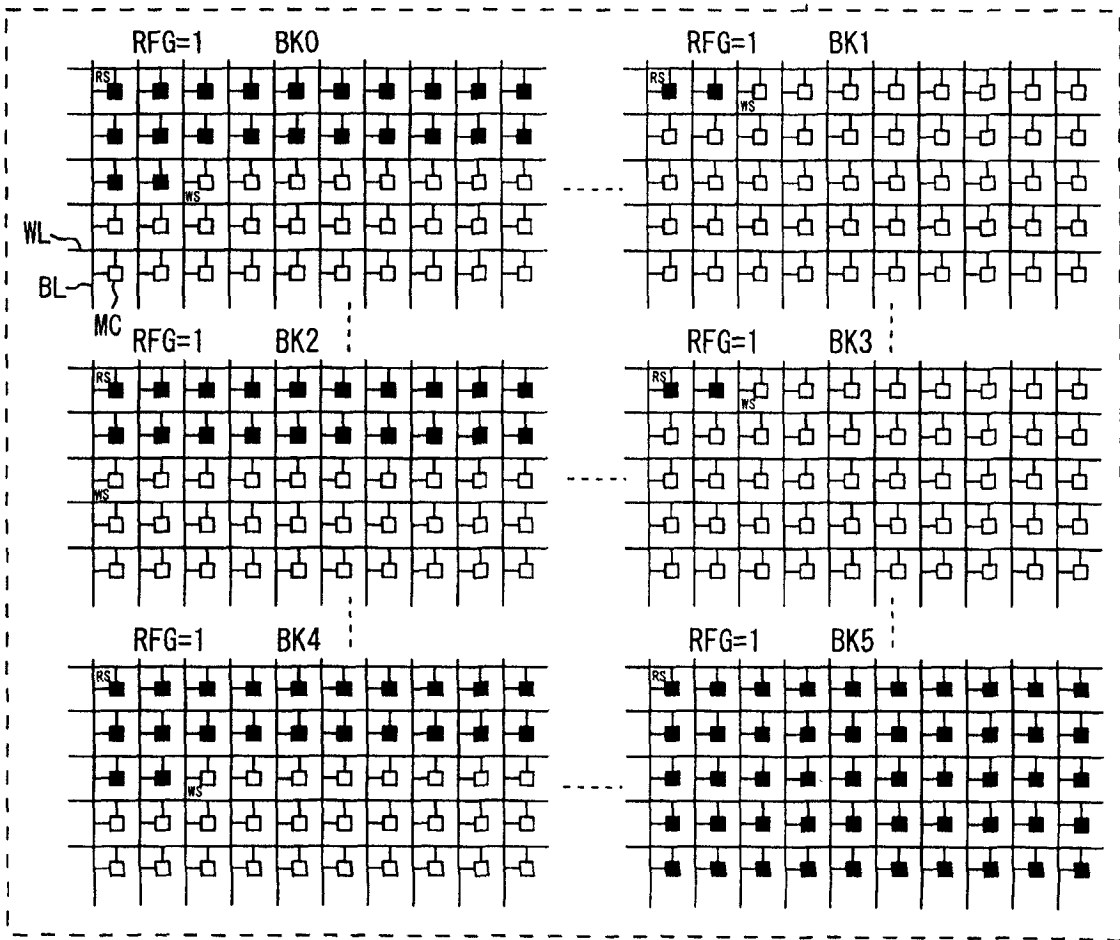


图 18

110



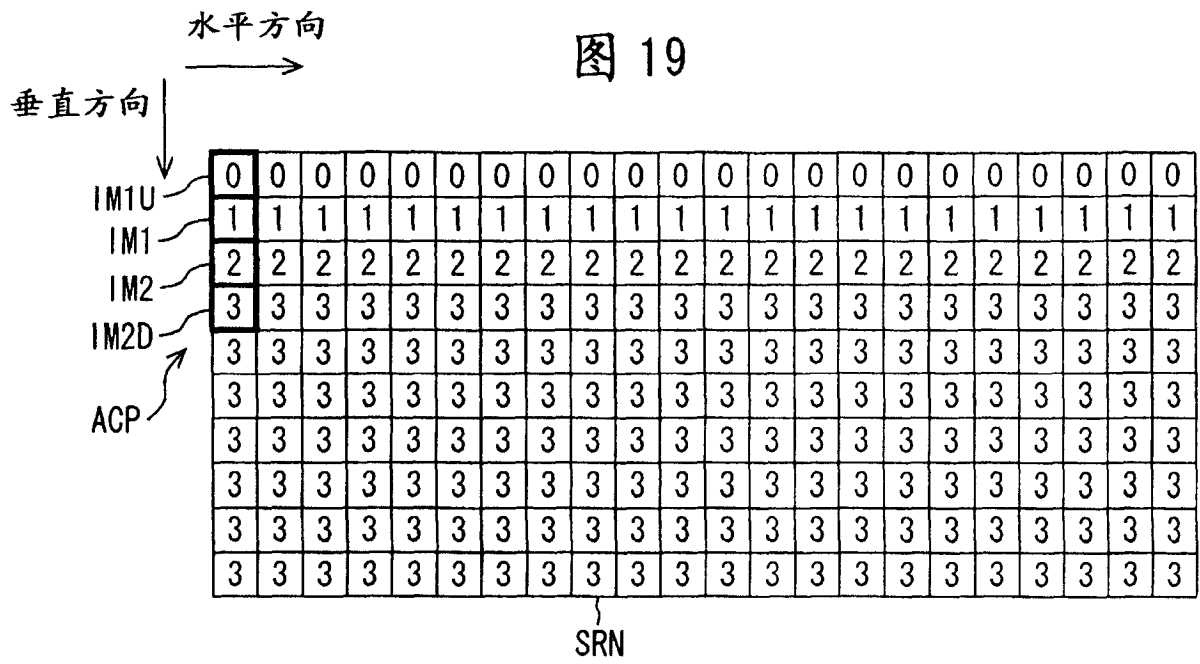
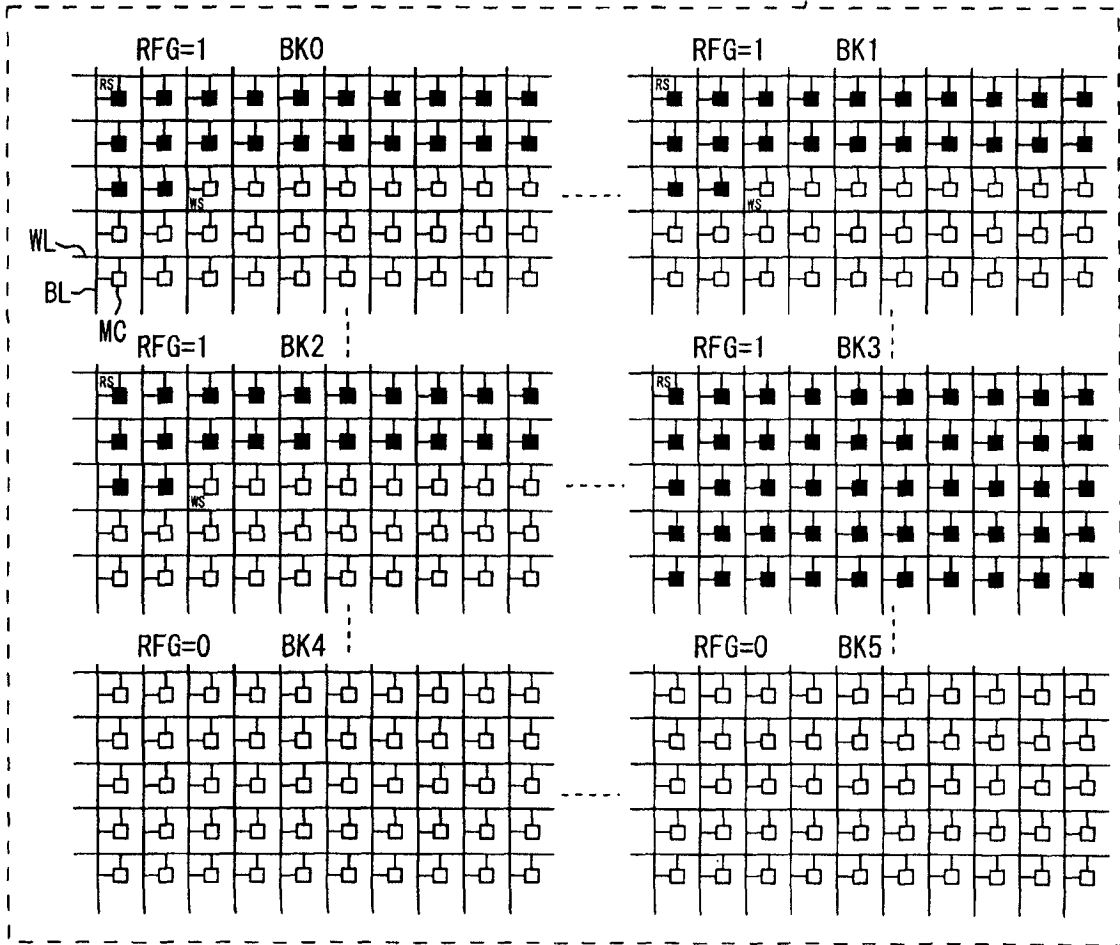


图 20 110



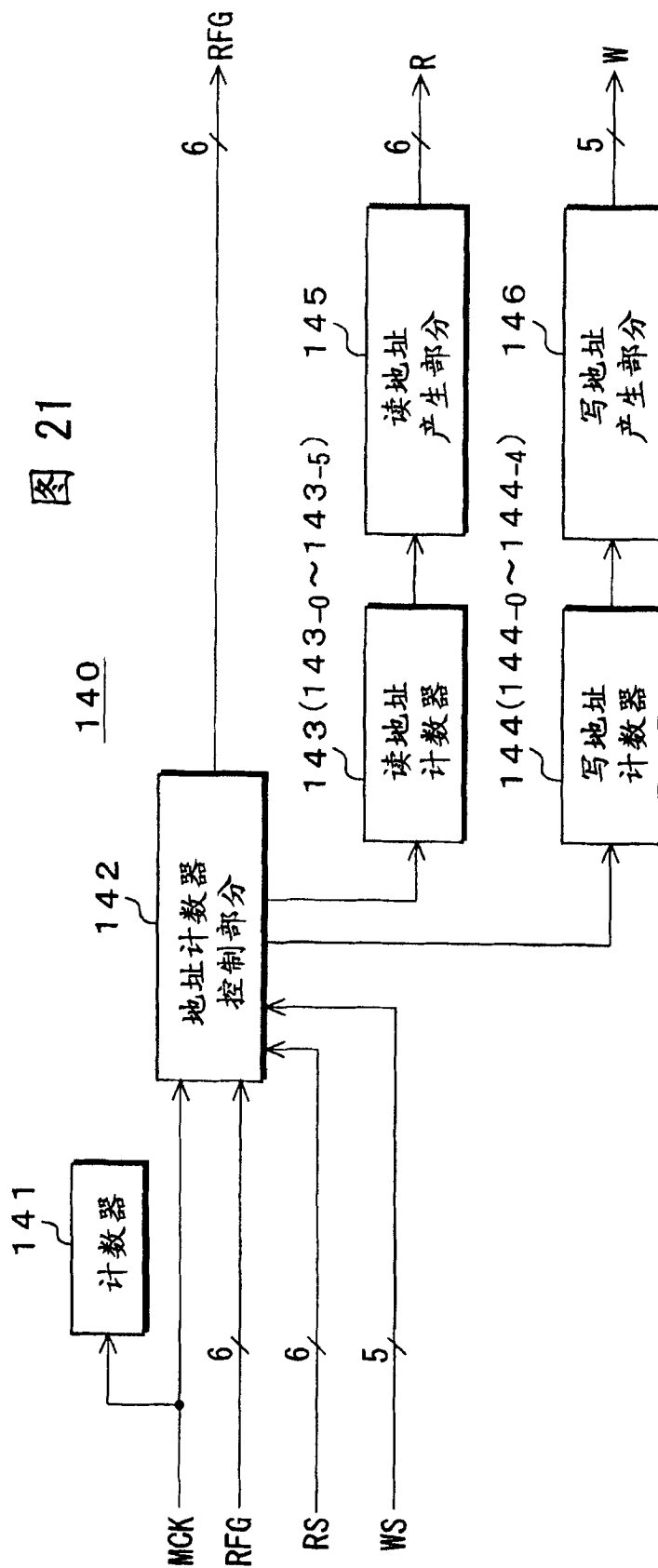
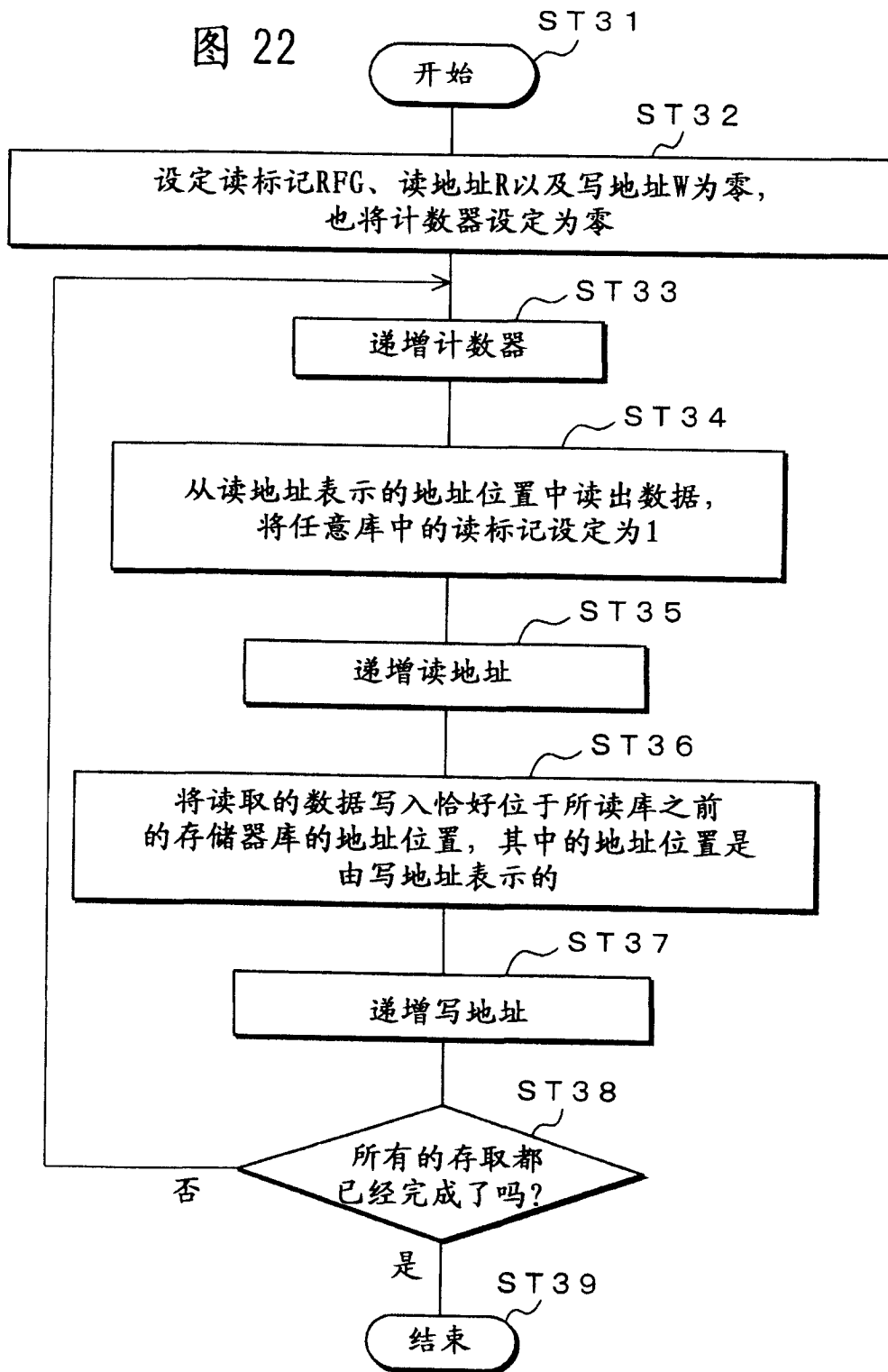


图 22



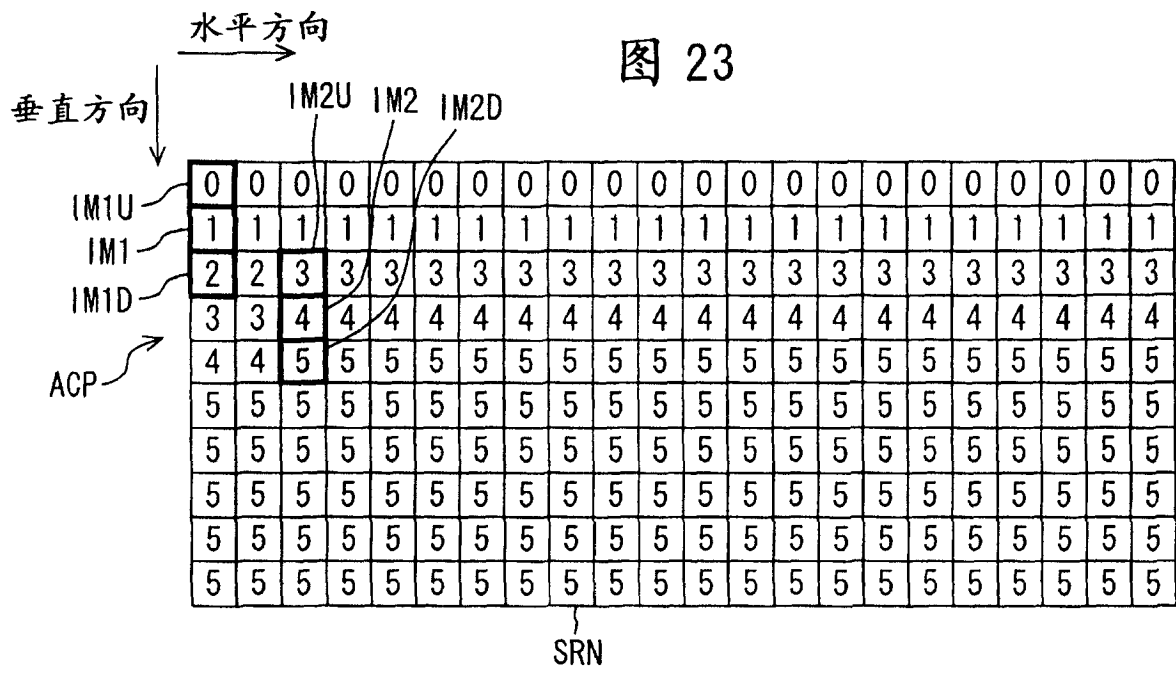


图 24

110

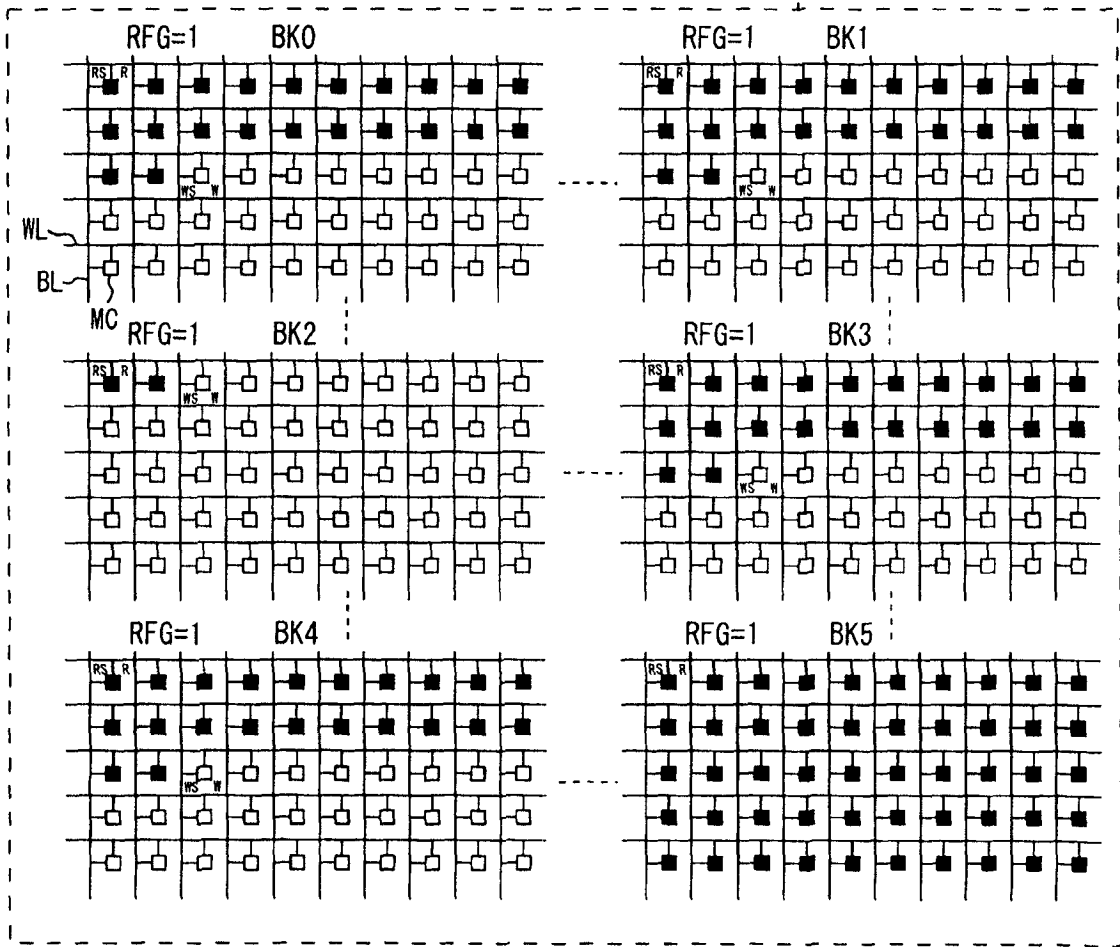


图 25

110

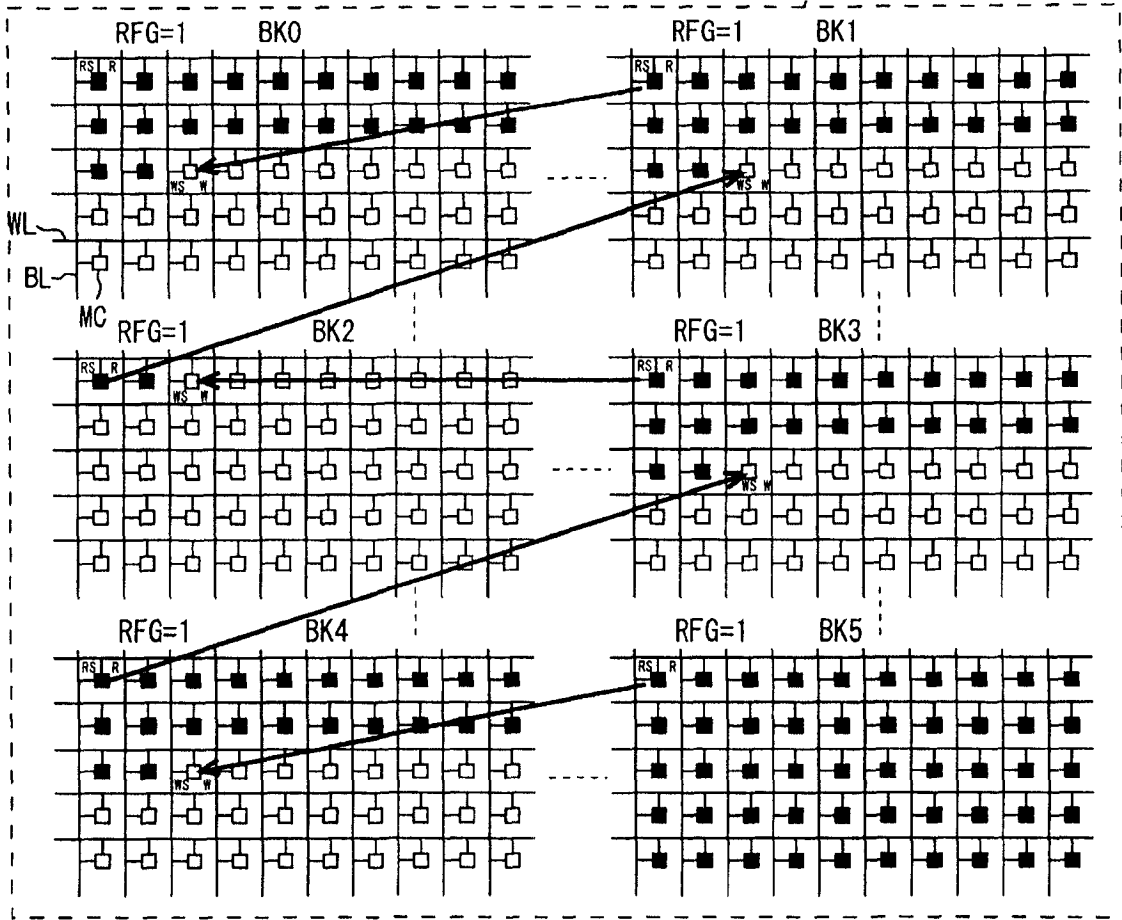
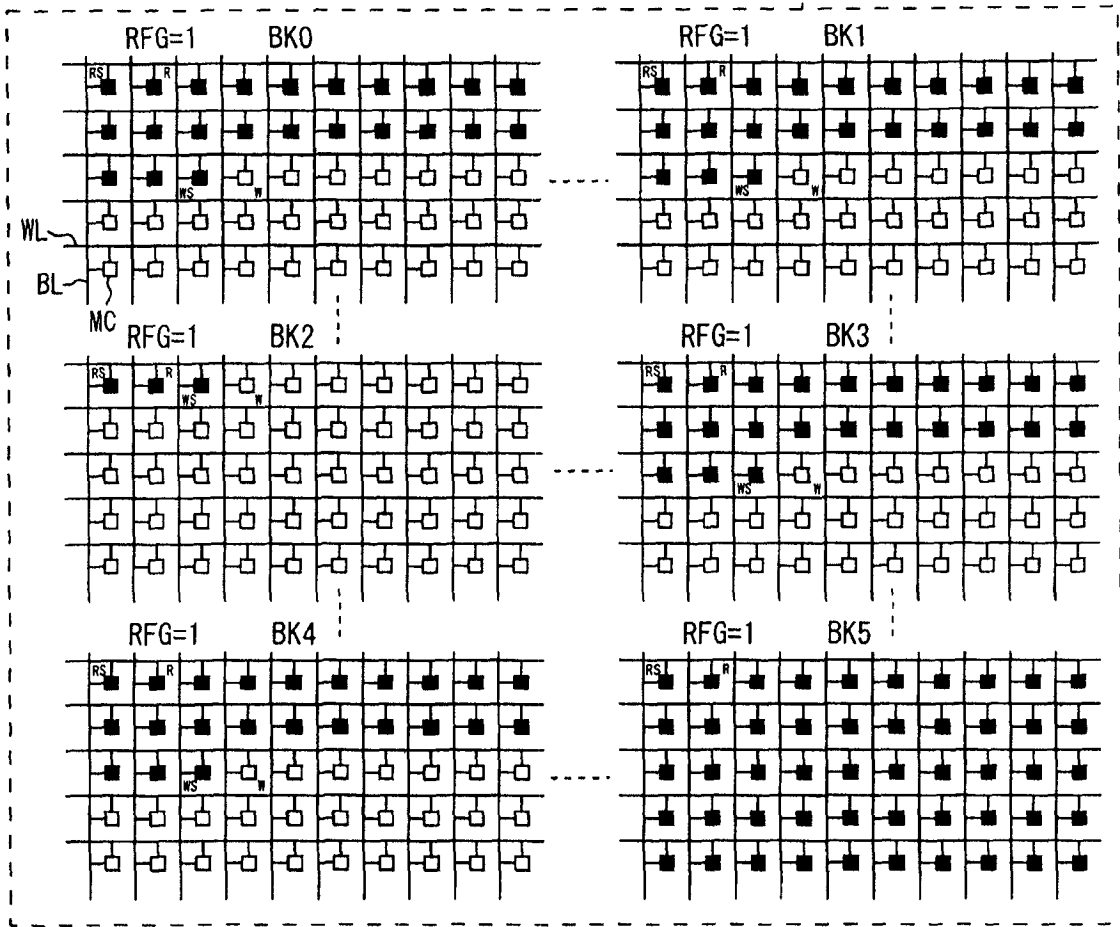


图 27

110



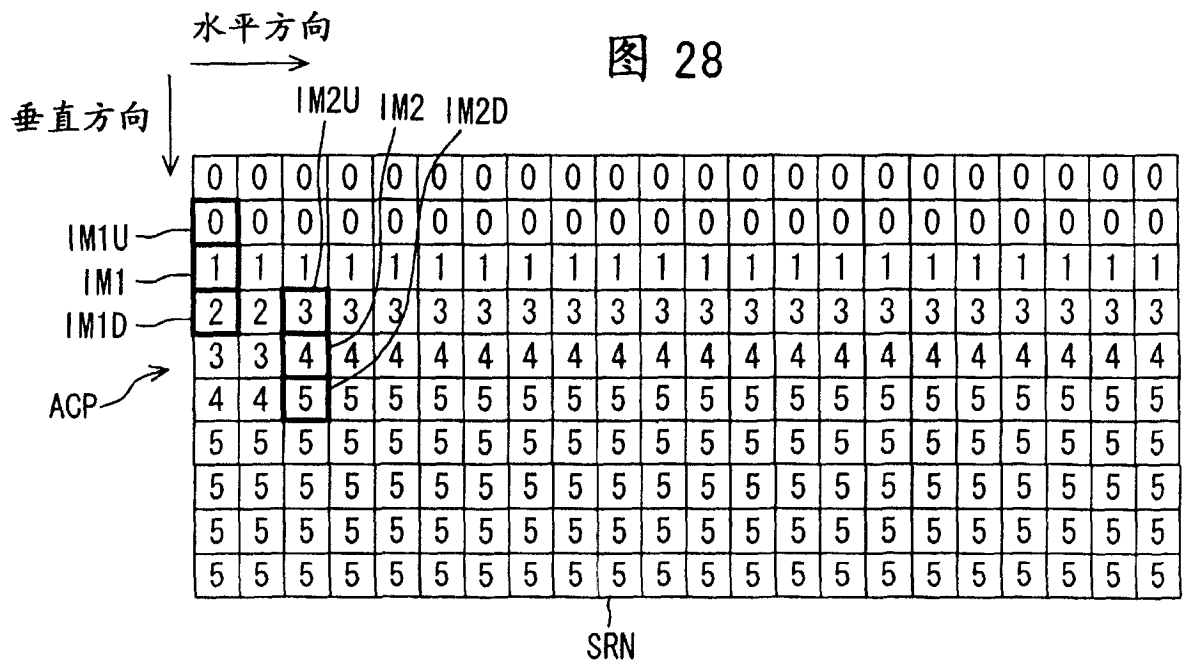
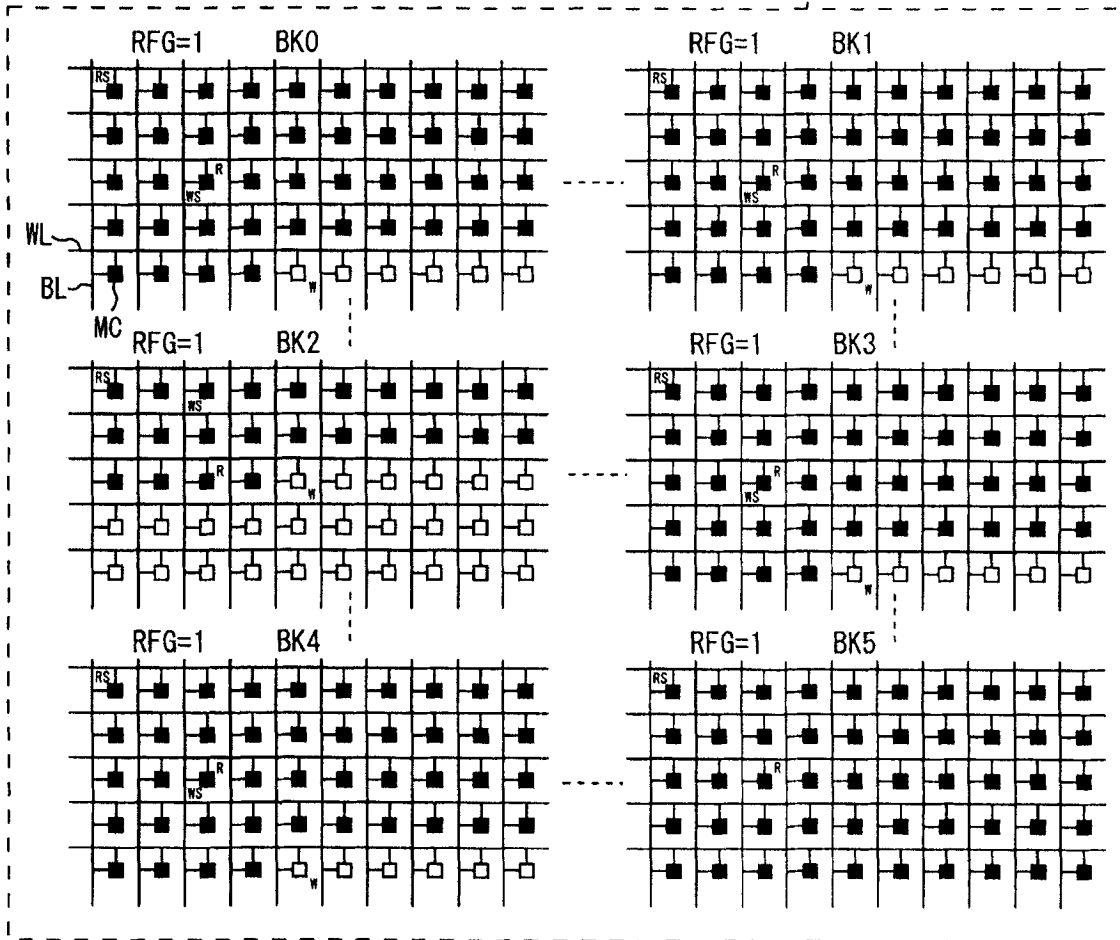


图 29

110



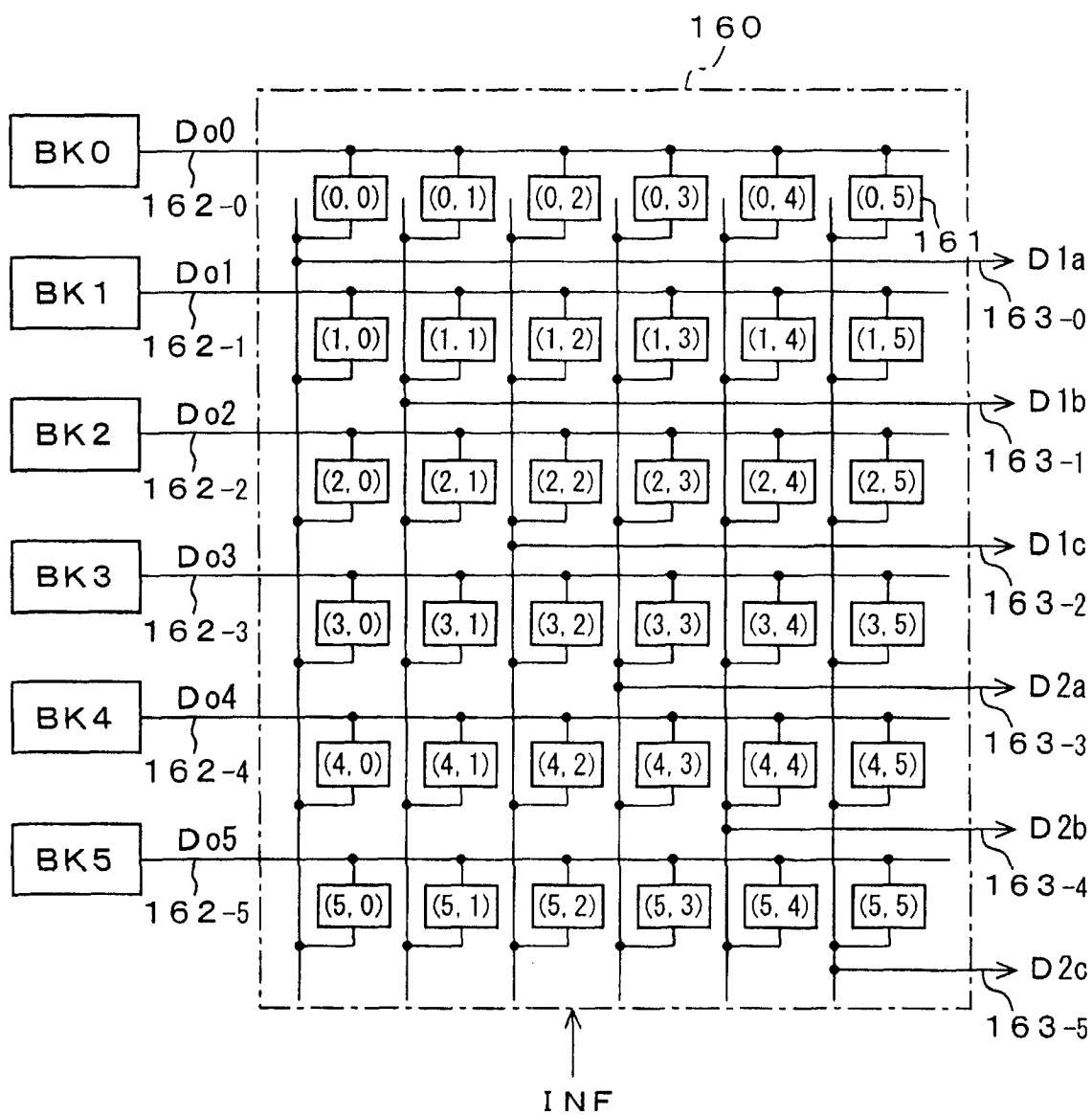


图 30

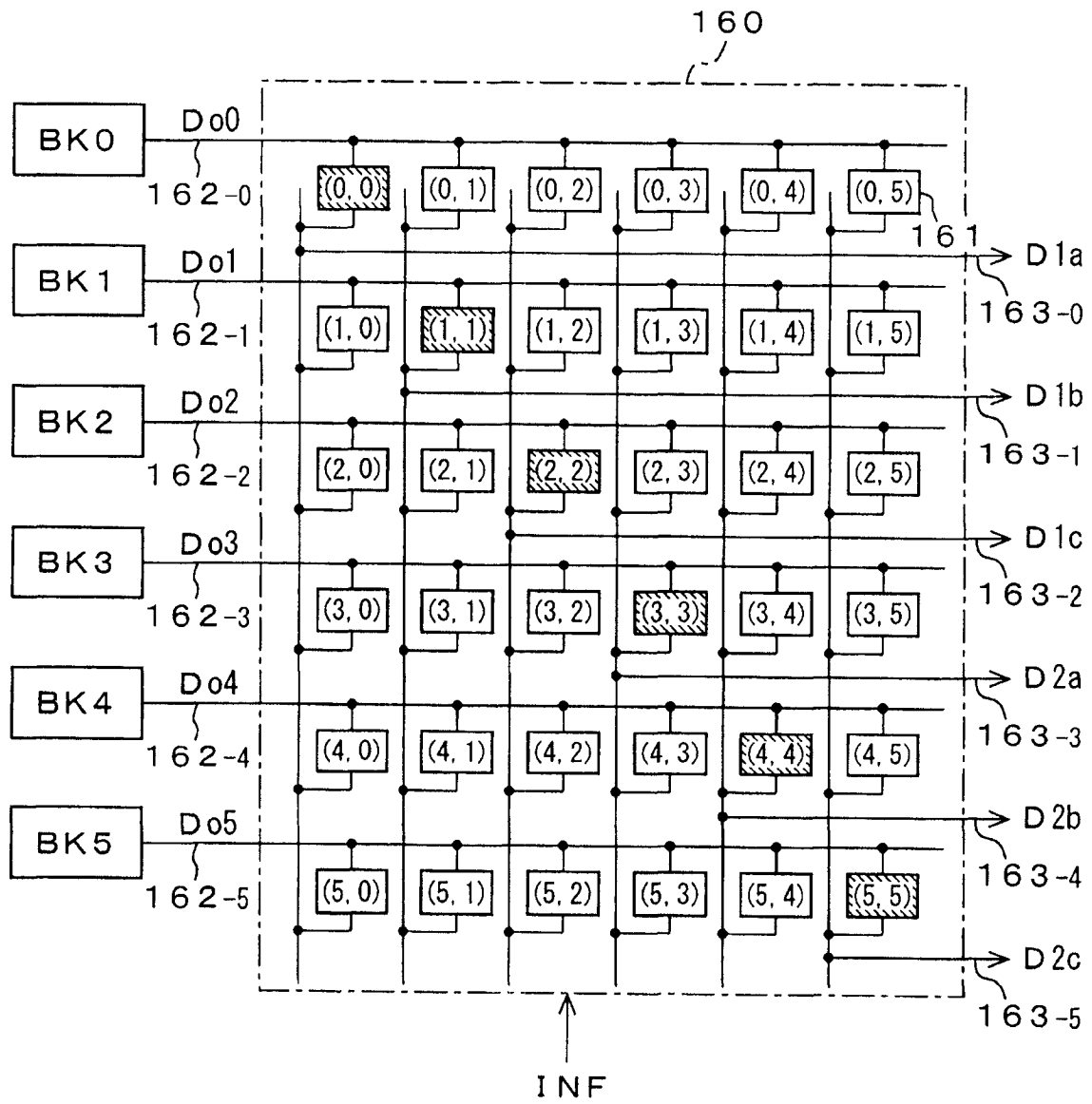


图 31

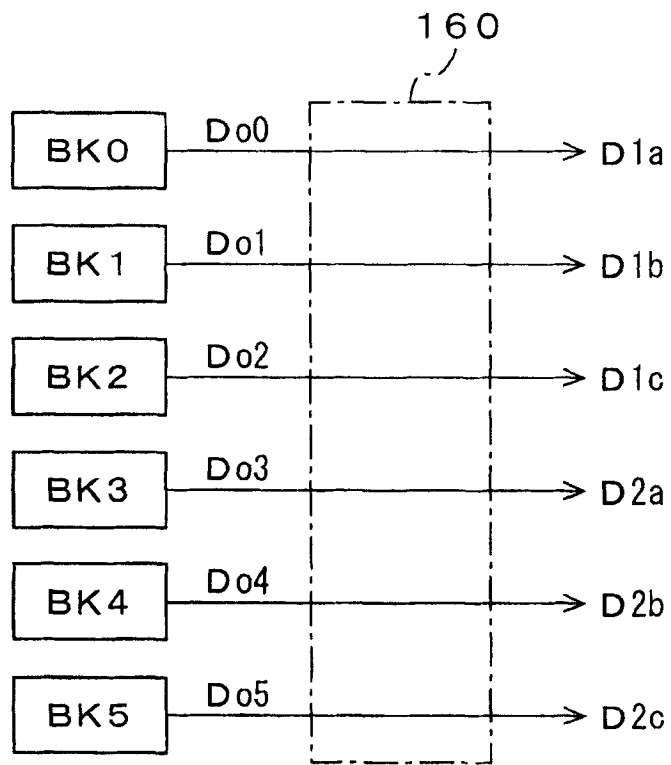


图 32

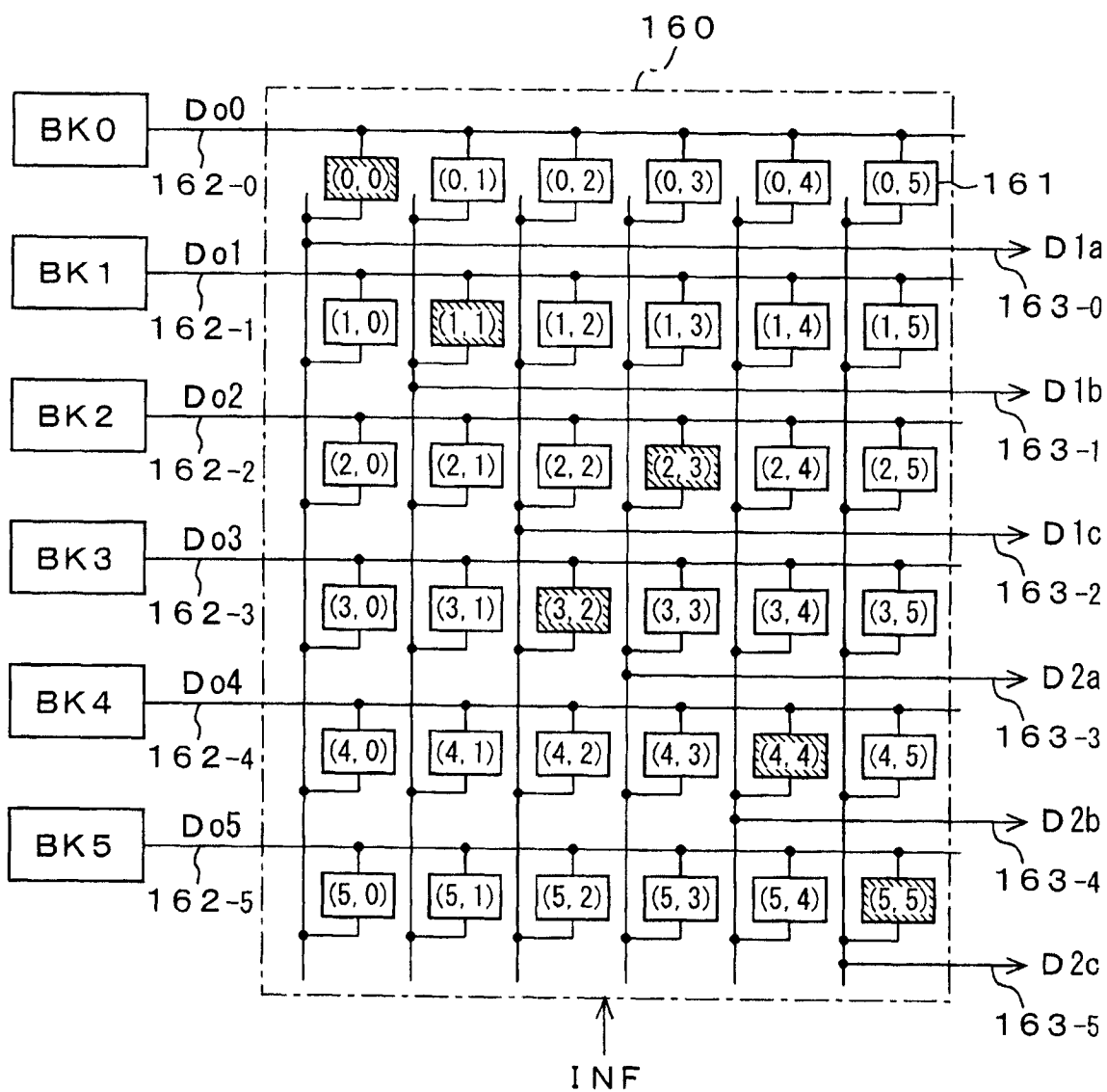


图 33

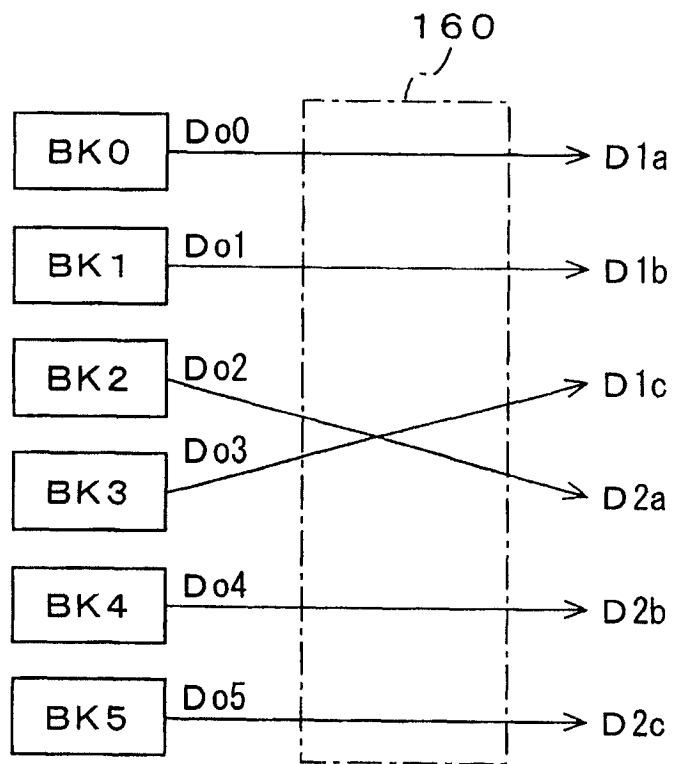


图 34

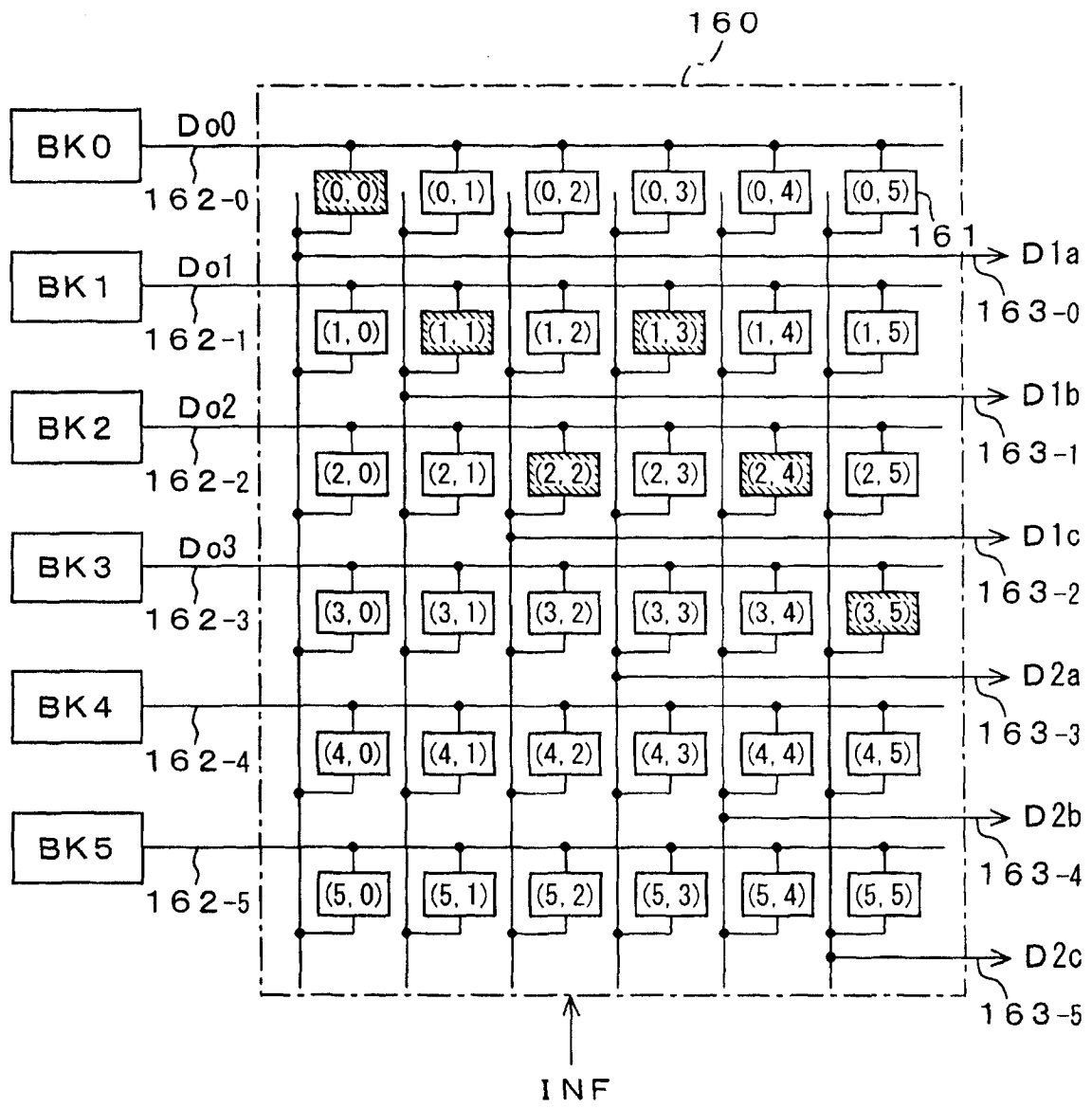


图 35

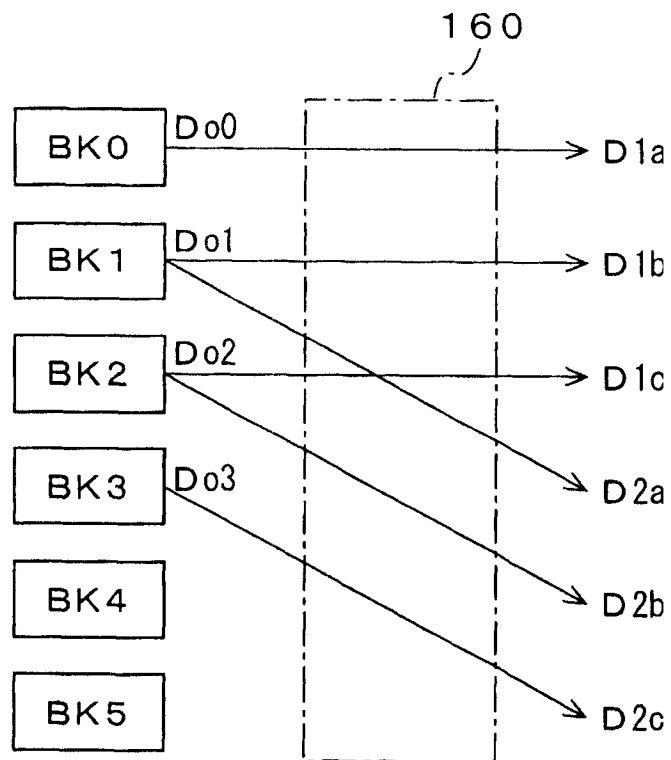


图 36

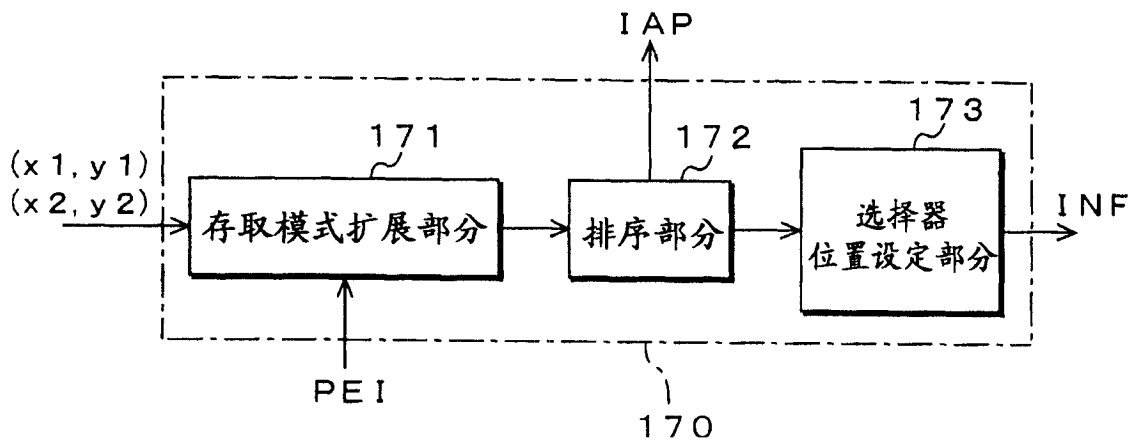


图 37

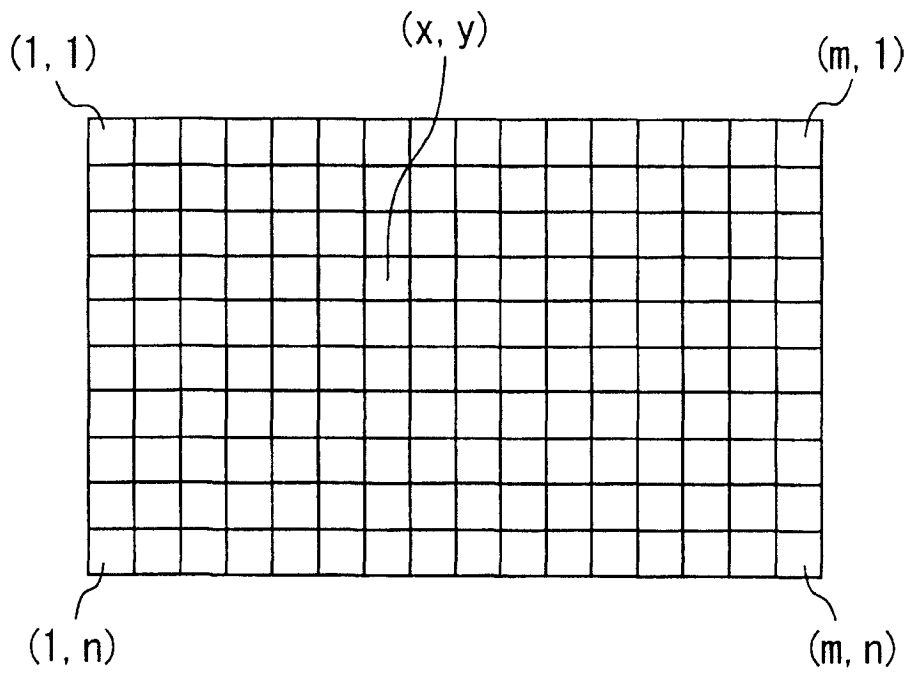


图 38