

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2014년 1월 23일 (23.01.2014)



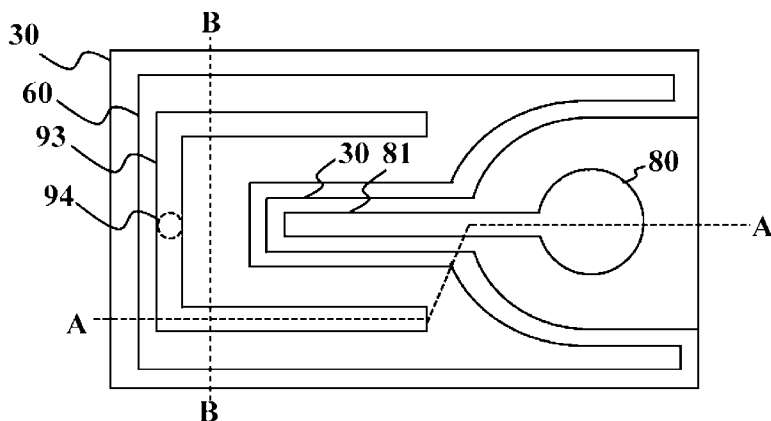
(10) 국제공개번호  
WO 2014/014298 A1

- (51) 국제특허분류: H01L 33/36 (2010.01) H01L 33/46 (2010.01)
- (21) 국제출원번호: PCT/KR2013/006457
- (22) 국제출원일: 2013년 7월 18일 (18.07.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
  - 10-2012-0078274 2012년 7월 18일 (18.07.2012) KR
  - 10-2012-0083092 2012년 7월 30일 (30.07.2012) KR
  - 10-2012-0098256 2012년 9월 5일 (05.09.2012) KR
  - 10-2012-0098261 2012년 9월 5일 (05.09.2012) KR
  - 10-2012-0098407 2012년 9월 5일 (05.09.2012) KR
  - 10-2012-0098411 2012년 9월 5일 (05.09.2012) KR
  - 10-2012-0098420 2012년 9월 5일 (05.09.2012) KR
  - 10-2012-0100793 2012년 9월 12일 (12.09.2012) KR
  - 10-2013-0002947 2013년 1월 10일 (10.01.2013) KR
- (71) 출원인: 주식회사 세미콘라이트 (SEMICON LIGHT CO.,LTD.) [KR/KR]; 446-901 경기도 용인시 기흥구 원고매로 2번길 49 3층, Gyeonggi-do (KR).
- (72) 발명자: 전수근 (JEON, Soo Kun); 446-901 경기도 용인시 기흥구 원고매로 2번길 49 3층, Gyeonggi-do (KR). 박은현 (PARK, Eun Hyun); 446-901 경기도 용인시 기흥구 원고매로 2번길 49 3층, Gyeonggi-do (KR). 김용덕 (KIM, Yong Deok); 446-901 경기도 용인시 기흥구 원고매로 2번길 49 3층, Gyeonggi-do (KR).
- (74) 대리인: 안상정 (AN, Sang Jeong); 443-270 경기도 수원시 영통구 광교로 145 차세대융합기술연구원 A동 7층 퍼스트앤드포에버, Gyeonggi-do (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-EMITTING ELEMENT

(54) 발명의 명칭 : 반도체 발광소자의 제조 방법



(57) Abstract: The present disclosure relates to a method for manufacturing a semiconductor light-emitting element, comprising the steps of: forming a branch electrode so as to communicate electrically with a second semiconductor layer; and forming a non-conductive reflective film, which is made from a plurality of dielectric films, on top of the branch electrode so as to reflect light from an active layer toward a first semiconductor layer that is on the side of a growth substrate, which comprises forming a bottom layer by means of chemical vapor deposition, and forming at least two layers by means of physical vapor deposition, wherein the thickness of the bottom layer is thicker than the thickness of each of the at least two layers which are laminated thereon; and forming an electric connection, which penetrates through the non-conductive reflective film, so as to connect electrically with the branch electrode.

(57) 요약서:

[다음 쪽 계속]



WO 2014/014298 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

---

본 개시는 제 2 반도체층과 전기적으로 연통하도록 가지 전극을 형성하는 단계; 활성층으로부터의 빛을 성장 기판 측인 제 1 반도체층 측으로 반사하도록, 가지 전극 위에, 다층의 유전체막으로 된 비도전성 반사막을 형성하는 단계;로서, 최하층의 두께가 그 위에 적층되는 적어도 두 개의 층의 각 두께보다 두꺼우며, 최하층을 화학 기상 증착법으로 형성하고, 적어도 두 개의 층을 물리 증착법으로 형성하는, 비도전성 반사막을 형성하는 단계; 그리고, 비도전성 반사막을 관통하여, 가지 전극과 전기적으로 연결되는 전기적 연결을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법에 관한 것이다.

## 명세서

### 발명의 명칭: 반도체 발광소자의 제조 방법

#### 기술분야

- [1] 본 개시(Disclosure)는 전체적으로 반도체 발광소자의 제조 방법에 관한 것으로, 특히 광 반사면을 구비하는 반도체 발광소자의 제조 방법에 관한 것이다.
- [2] 여기서, 반도체 발광소자는 전자와 정공의 재결합을 통해 빛을 생성하는 반도체 광소자를 의미하며, 3족 질화물 반도체 발광소자를 예로 들 수 있다. 3족 질화물 반도체는  $Al(x)Ga(y)In(1-x-y)N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )로 된 화합물로 이루어진다. 이외에도 적색 발광에 사용되는 GaAs계 반도체 발광소자 등을 예로 들 수 있다.

#### 배경기술

- [3] 여기서는, 본 개시에 관한 배경기술이 제공되며, 이들이 반드시 공지기술을 의미하는 것은 아니다(This section provides background information related to the present disclosure which is not necessarily prior art).
- [4] 도 1은 미국 등록특허공보 제7,262,436호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 기판(100), 기판(100) 위에 성장되는 위에 성장되는 n형 반도체층(300), n형 반도체층(300) 위에 성장되는 활성층(400), 활성층(400) 위에 성장되는 p형 반도체층(500), p형 반도체층(500) 위에 형성되는 반사막으로 기능하는 전극(901,902,903) 그리고 식각되어 노출된 n형 반도체층(300) 위에 형성되는 n측 본딩 패드(800)를 포함한다. n형 반도체층(300)과 p형 반도체층(500)은 그 도전성을 반대로 하여 좋다. 바람직하게는, 기판(100)과 n형 반도체층(300) 사이에 버퍼층(도시 생략)이 구비된다. 이러한 구조의 칩, 즉 기판(100)의 반대 측에 전극(901,902,903) 및 전극(800) 모두가 형성되어 있고, 전극(901,902,903)이 반사막으로 기능하는 형태의 칩을 플립 칩이라 한다. 전극(901,902,903)은 반사율이 높은 전극(901; 예: Ag), 본딩을 위한 전극(903; 예: Au) 그리고 전극(901) 물질과 전극(903) 물질 사이의 확산을 방지하는 전극(902; 예: Ni)으로 이루어진다. 이러한 금속 반사막 구조는 반사율이 높고, 전류 확산에 이점을 가지지만, 금속에 의한 빛 흡수라는 단점을 가진다.
- [5] 도 2는 일본 공개특허공보 제2006-120913호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 반도체 발광소자는 기판(100), 기판(100) 위에 성장되는 버퍼층(200), 버퍼층(200) 위에 성장되는 n형 반도체층(300), n형 반도체층(300) 위에 성장되는 활성층(400), 활성층(400) 위에 성장되는 p형 반도체층(500), p형 반도체층(500) 위에 형성되며, 전류 확산 기능을 하는 투광성 도전막(600), 투광성 도전막(600) 위에 형성되는 p측 본딩 패드(700) 그리고 식각되어 노출된 n형 반도체층(300) 위에 형성되는 n측 본딩 패드(800)를

포함한다. 그리고 투광성 도전막(600) 위에는 분포 브래그 리플렉터(900; DBR: Distributed Bragg Reflector)와 금속 반사막(904)이 구비되어 있다. 이러한 구성에 의하면, 금속 반사막(904)에 의한 빛 흡수를 감소하지만, 전극(901,902,903)을 이용하는 것보다 상대적으로 전류 확산이 원활치 못한 단점이 있다.

- [6] 도 12는 일본 공개특허공보 제2009-164423호에 제시된 반도체 발광소자의 일 예를 나타내는 도면으로서, 복수의 반도체층(300,400,500)에 분포 브래그 리플렉터(900)와 금속 반사막(904)이 구비되어 있으며, 그 대향하는 측에 형광체(1000)가 구비되어 있고, 금속 반사막(904)과 n층 본딩 패드(800)가 외부 전극(1100,1200)과 전기적으로 연결되어 있다. 외부 전극(1100,1200)은 패키지의 리드 프레임이거나 COB(Chip on Board) 또는 PCB(Printed Circuit Board)에 구비된 전기 패턴일 수 있다. 형광체(1000)는 컨포멀(conformal)하게 코팅될 수 있으며, 에폭시 수지에 혼합되어 외부 전극(1100,1200)을 덮는 형태여도 좋다. 형광체(1000)는 활성층(400)에서 발생한 빛을 흡수하여, 이보다 긴 파장 또는 짧은 파장의 빛으로 변환한다.

### 발명의 상세한 설명

#### 기술적 과제

- [7] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

#### 과제 해결 수단

- [8] 여기서는, 본 개시의 전체적인 요약(Summary)이 제공되며, 이것이 본 개시의 외연을 제한하는 것으로 이해되어서는 아니된다(This section provides a general summary of the disclosure and is not a comprehensive disclosure of its full scope or all of its features).

- [9] 본 개시에 따른 일 태양에 의하면(According to one aspect of the present disclosure), 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층을 준비하는 단계; 제2 반도체층과 전기적으로 연통하도록 가지 전극을 형성하는 단계; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록, 가지 전극 위에, 다층의 유전체막으로 된 비도전성 반사막을 형성하는 단계;로서, 최하층의 두께가 그 위에 적층되는 적어도 두 개의 층의 각 두께보다 두꺼우며, 최하층을 화학 기상 증착법으로 형성하고, 적어도 두 개의 층을 물리 증착법으로 형성하는, 비도전성 반사막을 형성하는 단계; 그리고, 비도전성 반사막을 관통하여, 가지 전극과 전기적으로 연결되는 전기적 연결을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법이 제공된다.

#### 발명의 효과

- [10] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

## 도면의 간단한 설명

- [11] 도 1은 미국 등록특허공보 제7,262,436호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,
- [12] 도 2는 일본 공개특허공보 제2006-120913호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,
- [13] 도 3 내지 도 5는 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면,
- [14] 도 6은 본 개시에 따른 반도체 발광소자의 다른 예를 나타내는 도면,
- [15] 도 7은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [16] 도 8은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [17] 도 9 및 도 10은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [18] 도 11은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [19] 도 12는 일본 공개특허공보 제2009-164423호에 제시된 반도체 발광소자의 일 예를 나타내는 도면,
- [20] 도 13은 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면,
- [21] 도 14는 도 13의 A-A 라인을 따라 취한 단면도,
- [22] 도 15는 도 13의 B-B 라인을 따라 취한 단면도,
- [23] 도 16은 도 13의 반도체 발광소자에서 p측 전극 및 n측 전극과 비도전성 반사막을 제거한 상태를 나타내는 도면,
- [24] 도 17은 본 개시에 따른 반도체 발광소자의 다른 일 예를 나타내는 도면,
- [25] 도 18은 도 17의 D-D 라인을 따라 취한 단면도,
- [26] 도 19는 도 17의 E-E 라인을 따라 취한 단면도,
- [27] 도 20은 반도체 발광소자 제조 공정 도중에 두 개의 반도체 발광소자가 독립된 반도체 발광소자로 분리되기 이전 상태를 나타낸 도면,
- [28] 도 21은 반도체 발광소자 제조 공정 도중에 두 개의 반도체 발광소자가 독립된 반도체 발광소자로 분리된 상태를 나타낸 도면,
- [29] 도 22는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [30] 도 23은 도 22의 A-A' 라인을 따른 단면도,
- [31] 도 24는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [32] 도 25는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [33] 도 26은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [34] 도 27은 전기적 연결이 형성된 영역을 확대한 도면,
- [35] 도 28은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [36] 도 29는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면,
- [37] 도 30은 알루미늄(Al), 은(Ag), 금(Au)의 파장에 따른 반사율을 나타내는 도면,
- [38] 도 31은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [39] 도 32는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [40] 도 33은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,

- [41] 도 34 및 도 35은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [42] 도 36 내지 도 38은 도 34에 도시된 반도체 발광소자를 제조하는 방법의 일 예를 나타내는 도면,
- [43] 도 39는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [44] 도 40는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [45] 도 41은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [46] 도 42은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [47] 도 43은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [48] 도 44는 도 7에 도시된 반도체 발광소자에서 유전체 막, 분포 브래그 리플렉터, 그리고 전극의 관계를 나타내는 도면,
- [49] 도 45은 도 7에 도시된 반도체 발광소자에서 광 웨이브가이드를 도입한 유전체 막, 분포 브래그 리플렉터, 그리고 전극의 관계를 나타내는 도면,
- [50] 도 46은 도 45에 설명된 광 웨이브가이드가 도입된 반도체 발광소자의 일 예를 나타내는 도면,
- [51] 도 47는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자를 개념적으로 나타내는 도면,
- [52] 도 48은 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [53] 도 49는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면,
- [54] 도 50는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면.

### 발명의 실시를 위한 형태

- [55] 도 3 내지 도 5는 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면으로서, 도 3은 도 4의 A-A 라인을 따라 취한 단면도이다. 도 5는 도 4의 B-B 라인을 따라 취한 단면도이다. 도 4에는 설명을 위해 비도전성 반사막(91)과 전극(92)이 도시되어 있지 않다.
- [56] 반도체 발광소자는 기판(10), 기판(10)에 성장되는 버퍼층(20), 버퍼층(20)위에 성장되는 n형 반도체층(30), n형 반도체층(30) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40), 활성층(40) 위에 성장되는 p형 반도체층(50)을 구비한다. 기판(10)으로 주로 사파이어, SiC, Si, GaN 등이 이용되며, 기판(10)은 최종적으로 제거될 수 있고, 버퍼층(20)은 생략될 수 있다. 기판(10)이 제거되거나 도전성을 가지는 경우에 전극(80)은 기판(10)이 제거된 n형 반도체층(30) 측 또는 도전성 기판(10) 측에 형성될 수 있다. n형 반도체층(30)과 p형 반도체층(50)은 그 위치가 바뀔 수 있으며, 3족 질화물 반도체 발광소자에 있어서 주로 GaN으로 이루어진다. 각각의

반도체층(20,30,40,50)이 다층으로 구성될 수 있으며, 추가의 층이 구비될 수도 있다. 또한 n형 반도체층(30)으로 전자를 공급하는 전극(80) 및 p형 반도체층(50)으로 정공을 공급하는 전극(92)이 구비된다. n형 반도체층(30) 내로 뻗어 있는 가지 전극(81)이 전극(80)의 일부를 형성한다. 전극(80)은 별도의 범프를 이용하여 패키지와 결합할 정도의 높이를 가져도 좋고, 도 2에서와 같이 자체가 패키지와 결합될 정도의 높이로 증착되어도 좋다. 활성층(40)으로부터의 빛을, 성장에 사용되는 기판(10) 측 또는 기판(10)이 제거된 경우에 n형 반도체층(30) 측으로 반사하도록 p형 반도체층(50) 위에 비도전성 반사막(91)이 구비된다. 비도전성 반사막(91)은 식각되어 노출된 n형 반도체층(30) 및 전극(80) 일부의 위에 형성될 수 있다. 비도전성 반사막(91)이 기판(10) 반대 측의 반도체층(30,50) 위의 모든 영역을 반드시 덮어야 하는 것은 아니라는 점을 당업자는 염두에 두어야 한다. 비도전성 반사막(91)은 반사막으로 기능하되, 빛의 흡수를 방지하도록 투광성 물질로 구성되는 것이 바람직하며, 예를 들어,  $\text{SiO}_x$ ,  $\text{TiO}_x$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{MgF}_2$ 와 같은 투광성 유전체 물질로 구성될 수 있다. 비도전성 반사막(91)이  $\text{SiO}_x$ 로 이루어지는 경우에, p형 반도체층(50; 예: GaN)에 비해 낮은 굴절률을 가지므로, 임계각 이상의 빛을 반도체층(30,40,50) 측으로 일부 반사시킬 수 있게 된다. 한편, 비도전성 반사막(91)이 분포 브래그 리플렉터(DBR: Distributed Bragg Reflector; 예:  $\text{SiO}_2$ 와  $\text{TiO}_2$ 의 조합으로 된 DBR)로 이루어지는 경우에, 보다 많은 양의 빛을 반도체층(30,40,50) 측으로 반사시킬 수 있게 된다. 도 7에는, 비도전성 반사막(91)이 분포 브래그 리플렉터(91a)와 p형 반도체층(50)보다 낮은 굴절률을 가지는 유전체 막(91b)으로 된 이중 구조를 가진다. 정밀성을 요하는 분포 브래그 리플렉터(91a)의 증착에 앞서, 일정 두께의 유전체 막(91b)을 형성함으로써, 반도체층(30,40,50) 위에 존재하는 이질적이면서 이형(異形)을 가지는 증착물(50,60,80,81,93)에도 불구하고, 분포 브래그 리플렉터(91a)를 안정적으로 제조할 수 있게 되며, 빛의 반사에도 도움을 줄 수 있다. 유전체 막(91b)의 경우에 물질은  $\text{SiO}_2$ 가 적당하며, 그 두께는 0.2 $\mu\text{m}$  ~ 1.0 $\mu\text{m}$ 가 적당하다. 분포 브래그 리플렉터(91a)의 경우에  $\text{TiO}_2/\text{SiO}_2$ 로 구성되는 경우 각 층은 주어진 파장의 1/4의 광학 두께를 가지도록 설계되며, 그 조합의 수는 4 ~ 20 페어(pairs)가 적합하다. 또한 가지 전극(93)의 높이는 0.5 $\mu\text{m}$  ~ 4.0 $\mu\text{m}$ 가 적당하다. 너무 얇은 두께의 경우 동작전압의 상승을 야기하며, 너무 두꺼운 가지 전극은 공정의 안정성과 재료비 상승을 야기할 수 있기 때문이다. 전극(92)은 활성층(30)으로부터의 빛을, 기판(10) 측 또는 n형 반도체층(30) 측으로 반사하는데 일조한다는 관점에서 p형 반도체층(50) 위에서 비도전성 반사막(91)의 전부 또는 거의 대부분을 덮는 도전성 반사막인 것이 바람직하다. 이때 반사율이 높은 Al, Ag와 같은 금속이 사용될 수 있다. 비도전성 반사막(91)과 p형 반도체층(50) 사이에는 전극(92)으로부터 p형 반도체층(50)으로 전류 공급(엄밀하게는 정공의 공급)을 위해 길게 뻗어 있는 가지 전극(93)이 구비되어 있다. 가지 전극(93)을

도입함으로써, 도 1에 제시된 플립 칩과 도 2에 제시된 플립 칩의 문제점을 모두 개선한 플립 칩을 구현할 수 있는 기초가 마련된다. 비도전성 반사막(91)을 개재한 전극(92)과 가지 전극(93)의 전기적 연통을 위해, 수직 방향으로 비도전성 반사막(91)을 관통한 전기적 연결(94)이 마련되어 있다. 가지 전극(93)이 없다면, 많은 수의 전기적 연결(94)을 형성하여 p형 반도체층(50)의 거의 전면에 마련된 투광성 도전막(60)에 직접 연결해야 하지만, 이 경우에, 전극(92)과 투광성 도전막(60) 사이에 좋은 전기적 접촉을 형성하기가 쉽지 않을 뿐만 아니라, 제조 공정상 많은 문제점을 야기한다. 본 개시는 가지 전극(93)을 비도전성 반사막(91) 및 전극(92)의 형성에 앞서, p형 반도체층(50) 또는 바람직하게는 투광성 도전막(60) 위에 형성하고, 열처리함으로써, 양자 간에 안정적인 전기적 접촉을 만들어낼 수 있게 된다. 또한, 전극(92)의 재질로 반사율이 좋은 Al, Ag 등이 적합하지만, 안정적 전기적 접촉에는 Cr, Ti Ni 또는 이들의 합금 등의 물질이 적합하며, 따라서 가지 전극(93)을 도입함으로써, 필요한 설계 사양에 대응하는 것이 보다 용이해지게 된다. 당업자는 가지 전극(93)에도 반사율이 좋은 Al, Ag 등을 사용할 수 있음을 염두에 두어야 한다. 전술한 바와 같이, 바람직하게는 투광성 도전막(60)이 구비된다. 특히 p형 GaN의 경우에 전류 확산 능력이 떨어지며, p형 반도체층(50)이 GaN으로 이루어지는 경우에, 대부분 투광성 도전막(60)의 도움을 받아야 한다. 예를 들어, ITO, Ni/Au와 같은 물질이 투광성 도전막(60)으로 사용될 수 있다. 가지 전극(93)의 높이가 전극(92)에까지 이르는 경우에는 가지 전극(93) 자체가 전기적 연결(94)을 형성한다. 전극(92)을 도 2의 p측 본딩 패드(700)와 같은 방식으로 구성하는 것을 배제할 필요는 없으나, p측 본딩 패드(700)에 의해 빛이 흡수되고, 비도전성 반사막(91)의 면적이 줄어드는 등 바람직하다고 할 수 없다. 당업자는 전극(92)이 칩의 제조 이후 패키지 레벨에서 장착면에 의해 구성될 수 있음을 배제하여서는 안 된다. 여기까지의 구성요소들로 본 개시에 따른 반도체 발광소자가 구성될 수 있음을 밝혀 둔다. 그러나 가지 전극(93) 자체에서도 활성층(40)에서 생성된 빛의 흡수가 일부 있으므로, 바람직하게는 이를 방지하기 위하여, 가지 전극(93) 아래에 광 흡수 방지막(95)이 구비된다. 광 흡수 방지막(95)은 활성층(40)에서 발생된 빛의 일부 또는 전부를 반사하는 기능만을 가져도 좋고, 가지 전극(93)으로부터의 전류가 가지 전극(93)의 바로 아래로 흐르지 못하도록 하는 기능만을 가져도 좋고, 양자의 기능을 모두 가져도 좋다. 이들의 기능을 위해, 광 흡수 방지막(95)은 p형 반도체층(50)보다 굴절률이 낮은 투광성 물질로 된 단일층(예: SiO<sub>2</sub>) 또는 다층막(예: SiO<sub>2</sub>/TiO<sub>2</sub>/SiO<sub>2</sub>) 또는 분포 브래그 리플렉터 또는 단일층과 분포 브래그 리플렉터의 결합 등으로 이루어질 수 있다. 또한 광 흡수 방지막(95)은 비도전성 물질(예: SiO<sub>x</sub>, TiO<sub>x</sub>와 같은 유전체막)로 이루어질 수 있다. 따라서, 광 흡수 방지막(95)이 반드시 투광성 물질로 구성될 필요는 없으며, 또한 반드시 비도전성 물질로 구성될 필요도 없다. 다만 투광성 유전체막을 이용함으로써, 보다 그 효과를 높일 수 있게 된다.



- [57] 도 6은 본 개시에 따른 반도체 발광소자의 다른 예를 나타내는 도면으로서, 투광성 도전막(60)에 비도전성 반사막(91)이 p형 반도체층(50)과 접하도록 개구(96)가 구비되어 있다. 개구(96)는 복수의 섬 형태, 띠 형태 등 다양한 형상을 가질 수 있다. 투광성 도전막(60)으로 가장 일반적인 ITO의 경우에도 활성층(40)에서 발생한 빛의 일부를 흡수하므로, 개구(96)를 형성함으로써 투광성 도전막(60)에 의한 빛을 흡수를 줄일 수 있게 된다. 이때 p형 반도체층(50) 전체로의 부족한 전류 확산은 가지 전극(93)에 의해 보완될 수 있다. 미설명 동일부호에 대한 설명은 생략한다.
- [58] 도 8은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 기판(10), 버퍼층(20) 및 n형 반도체층(30)을 관통하여 전기적 연결(82)이 마련되어 있으며, 기판(10) 또는 기판(10)이 제거된 경우에 n형 반도체층(30)에, 즉 n형 반도체층(30) 측에 전극(83)이 마련되어 있다. 이러한 구성을 통해 기판(10) 반대 측의 복수의 반도체층(30,50) 전체에 비도전성 반사막(91) 및 전극(92)을 형성할 수 있게 된다.
- [59] 도 9 및 도 10은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 투광성 도전막(60)이 제거되어 가지 전극(93)이 직접 광 흡수 방지막(95)과 접촉하는 구조를 제시하고 있다.
- [60] 도 11은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 도 5와 달리 광 흡수 방지막(95)이 구비되어 있지 않다.
- [61] 도 13은 본 개시에 따른 반도체 발광소자의 일 예를 나타내는 도면이고, 도 14는 도 13의 A-A 라인을 따라 취한 단면도이며, 도 15은 도 13의 B-B 라인을 따라 취한 단면도이며, 도 16은 도 13의 반도체 발광소자에서 p측 전극 및 n측 전극과 비도전성 반사막을 제거한 상태를 나타내는 도면이다.
- [62] 반도체 발광소자(1)는 기판(10), 기판(10)에 성장되는 버퍼층(20), 버퍼층(20)위에 성장되는 n형 반도체층(30), n형 반도체층(30) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40), 활성층(40) 위에 성장되는 p형 반도체층(50)을 구비한다.
- [63] 기판(10)으로 주로 사파이어, SiC, Si, GaN 등이 이용되며, 기판(10)은 최종적으로 제거될 수 있고, 버퍼층(20)은 생략될 수 있다. 기판(10)이 제거되거나 도전성을 가지는 경우에 n측 전극(80)은 기판(10)이 제거된 n형 반도체층(30) 측 또는 도전성 기판(10) 측에 형성될 수 있다. n형 반도체층(30)과 p형 반도체층(50)은 그 위치가 바뀔 수 있으며, 3족 질화물 반도체 발광소자에 있어서 주로 GaN으로 이루어진다. 각각의 반도체층(20,30,40,50)이 다층으로 구성될 수 있으며, 추가의 층이 구비될 수도 있다.
- [64] 메사식각 공정을 통해 p형 반도체층(50)과 활성층(40)이 부분적으로 제거되어 n형 반도체층(30)이 노출되는 2개의 n측 접촉영역(31)이 형성되며, 각 n측 접촉영역(31) 내의 n형 반도체층(30) 위에 n측 가지 전극(81)이 형성된다. n측 접촉영역(31)은 반도체 발광소자의 일 측면(C)과 나란하도록 길게 연장된다. n측

접촉영역(31)은 반도체 발광소자의 측면 방향으로 개방될 수도 있지만, 어느 한 측면으로도 개방되지 않고 그 둘레가 활성층(40)과 p형 반도체층(50)으로 둘러싸여 막혀 있는 것이 바람직하다. n층 접촉영역(31)의 수는 증가하거나 감소할 수 있으며, 배열 형태는 변경될 수 있다. n층 가지 전극(81)은 길게 연장되는 가지부(88)와 가지부(88)의 일측단부에 넓은 폭을 갖도록 형성되는 연결부(89)를 구비하는 것이 바람직하다. 이에 대응하여, n층 접촉영역(31)은 n층 가지 전극(81)의 가지부(88)가 위치하는 부분에서 좁은 폭으로 형성되고, n층 가지 전극(81)의 연결부(89)가 위치하는 부분에서 넓은 폭으로 형성된다.

[65] p형 반도체층(50) 위에 3개의 p층 가지 전극(93)이 형성된다. p층 가지 전극(93)은 n층 가지 전극(81)과 나란하게 형성되며, 2개의 n층 가지 전극(81) 사이 및 양 측부에 각각 배열된다. 따라서, 3개의 p층 가지 전극(93) 사이사이에 각각 n층 가지 전극(81)이 위치하게 된다. p층 가지 전극(93) 또한 길쭉하게 연장되는 가지부(98)와 가지부(98)의 일측단부에 넓은 폭을 갖도록 형성되는 연결부(99)를 구비하는 것이 바람직하다. 다만, 도 13에 도시된 것과 같이, p층 가지 전극(93)의 연결부(99)는, 반도체 발광소자를 위에서 봤을 때, n층 가지 전극(81)의 연결부(89) 반대 측에 위치한다. 즉, p층 가지 전극(93)의 연결부(99)는 좌측에 위치하고, n층 가지 전극(81)의 연결부(89)는 우측에 위치한다. p층 가지 전극(93)은 반도체 발광소자의 일 측면(C) 방향을 따라 길게 뻗어 있다. 예를 들어, 도 13 및 도 16에서, 좌측에서 우측으로 길게 뻗어 있다. 이렇게 길게 뻗어 있는 복수의 p층 가지 전극(93)에 의해 소자가 뒤집혀 탑재부(예: 서브마운트, 패키지, COB(Chip on Board))에 놓였을 때, 기울어짐 없이 놓이게 할 수 있다. 이러한 관점에서, p층 가지 전극(93)은 가능한 한 길게 형성하는 것이 바람직하다.

[66] p층 가지 전극(93)과 n층 가지 전극(81)의 높이는  $2\mu\text{m} \sim 3\mu\text{m}$ 가 적당하다. 너무 얇은 두께의 경우 동작전압의 상승을 야기하며, 너무 두꺼운 가지 전극은 공정의 안정성과 재료비 상승을 야기할 수 있기 때문이다.

[67] 바람직하게, p층 가지 전극(93)의 형성에 앞서, 광 흡수 방지막(95)이 p층 가지 전극(93) 아래에 해당하는 p형 반도체층(50) 위에 형성된다. 광 흡수 방지막(95)은 p층 가지 전극(93)보다 조금 넓은 폭으로 형성된다. 광 흡수 방지막(95)은 활성층(40)에서 생성된 빛이 p층 가지 전극(93)에 의해 흡수되는 것을 방지한다. 광 흡수 방지막(95)은 활성층(40)에서 발생한 빛의 일부 또는 전부를 반사하는 기능만을 가져도 좋고, p층 가지 전극(93)으로부터의 전류가 p층 가지 전극(93)의 바로 아래로 흐르지 못하도록 하는 기능만을 가져도 좋으며, 양자의 기능을 모두 가져도 좋다. 이들의 기능을 위해, 광 흡수 방지막(95)은 p형 반도체층(50)보다 굴절률이 낮은 투광성 물질로 된 단일층(예:  $\text{SiO}_2$ ) 또는 다층(예:  $\text{SiO}_2/\text{TiO}_2/\text{SiO}_2$ ), 또는 분포 브래그 리플렉터, 또는 단일층과 분포 브래그 리플렉터의 결합 등으로 이루어질 수 있다. 또한, 광 흡수 방지막(95)은 비도전성 물질(예:  $\text{SiO}_x$ ,  $\text{TiO}_x$ 와 같은 유전물질)로 이루어질 수 있다. 광 흡수 방지막(95)의

두께는 구조에 따라 0.2 $\mu\text{m}$  ~ 3.0 $\mu\text{m}$ 가 적당하다. 광 흡수 방지막(95)의 두께가 너무 얇으면 기능이 약하고, 너무 두꺼우면 광 흡수 방지막(95) 위에 형성되는 투광성 전도막(60)의 증착이 어려워질 수 있다. 광 흡수 방지막(95)이 반드시 투광성 물질로 구성될 필요는 없으며, 또한 반드시 비도전성 물질로 구성될 필요도 없다. 다만 투광성 유전체 물질을 이용함으로써, 보다 그 효과를 높일 수 있게 된다.

- [68] 바람직하게, 광 흡수 방지막(95)의 형성에 이어 p측 가지 전극(93)을 형성하기 이전에, 투광성 전도막(60)이 p형 반도체층(50) 위에 형성된다. 투광성 전도막(60)은 메사식각 공정을 통해 형성되는 n측 접촉영역(31)을 제외한 p형 반도체층(50) 위의 거의 대부분을 덮도록 형성된다. 따라서, 투광성 전도막(60)과 p형 반도체층(50) 사이에 광 흡수 방지막(95)이 놓이게 된다. 특히 p형 GaN의 경우에 전류 확산 능력이 떨어지며, p형 반도체층(50)이 GaN으로 이루어지는 경우에, 대부분 투광성 전도막(60)의 도움을 받아야 한다. 예를 들어, ITO, Ni/Au와 같은 물질이 투광성 전도막(60)으로 사용될 수 있다. 투광성 전도막(60) 형성에 이어 광 흡수 방지막(95)이 위치하는 투광성 전도막(60) 위에 상기한 p측 가지 전극(93)이 형성된다.
- [69] n측 가지 전극(81)과 p측 가지 전극(93)이 형성된 후, n측 가지 전극(81)을 포함한 n측 접촉영역(31)과 p측 가지 전극(93)을 포함한 p형 반도체층(50)을 전체적으로 덮도록 비도전성 반사막(91)이 형성된다. 비도전성 반사막(91)은 활성층(40)으로부터의 빛을, 성장에 사용되는 기관(10) 측 또는 기관(10)이 제거된 경우에 n형 반도체층(30) 측으로 반사하는 역할을 수행한다. 비도전성 반사막(91)은 p형 반도체층(50)의 상면과 n측 접촉영역(31)의 상면을 연결하는 p형 반도체층(50)과 활성층(40)의 노출된 측면을 또한 덮는 것이 바람직하다. 그러나, 비도전성 반사막(91)이 반드시 기관(10) 반대 측의 식각으로 노출된 n형 반도체층(30)과 p형 반도체층(50) 위의 모든 영역을 덮어야 하는 것은 아니라는 점을 당업자는 염두에 두어야 한다.
- [70] 비도전성 반사막(91)은 반사막으로 기능하되, 빛의 흡수를 방지하도록 투광성 물질로 구성되는 것이 바람직하며, 예를 들어,  $\text{SiO}_x$ ,  $\text{TiO}_x$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{MgF}_2$ 와 같은 투광성 유전체 물질로 구성될 수 있다. 비도전성 반사막(91)은, 예를 들어  $\text{SiO}_x$  등과 같은 투광성 유전체 물질로 구성되는 단일 유전체 막, 예를 들어  $\text{SiO}_2$ 와  $\text{TiO}_2$ 의 조합으로 된 단일의 분포 브래그 리플렉터, 이질적인 복수의 유전체 막 또는 유전체 막과 분포 브래그 리플렉터의 조합 등 다양한 구조로 이루어질 수 있으며, 예를 들어 3 ~ 8 $\mu\text{m}$ 의 두께로 형성될 수 있다. 유전체 막은 p형 반도체층(50; 예: GaN)에 비해 낮은 굴절률을 가지므로 임계각 이상의 빛을 기관(10) 측으로 일부 반사시킬 수 있게 되고, 분포 브래그 리플렉터는 보다 많은 양의 빛을 기관(10) 측으로 반사시킬 수 있으며 특정 파장에 대한 설계가 가능하여 발생하는 빛의 파장에 대응하여 효과적으로 반사시킬 수 있다.
- [71] 바람직하게, 도 14 및 도 15에 도시된 것과 같이, 비도전성 반사막(91)은 분포

브래그 리플렉터(91a)와 유전체 막(91b)으로 된 이중 구조를 가진다. 정밀성을 요하는 분포 브래그 리플렉터(91a)의 증착에 앞서, 일정 두께의 유전체 막(91b)을 형성함으로써, 분포 브래그 리플렉터(91a)를 안정적으로 제조할 수 있게 되며, 빛의 반사에도 도움을 줄 수 있다.

[72] 본 개시에 따라 반도체 발광소자를 형성함에 있어서, n층 접촉영역(31)을 형성하기 위한 메사식각으로 단차가 존재하게 되고, p층 가지 전극(93) 또는 n층 가지 전극(81)과 같은 단차를 수반하는 구성요소가 필요하며, 비도전성 반사막(91)을 형성한 후에도 이하에 상세히 설명되는 것과 같이 비도전성 반사막(91)에 구멍을 뚫는 공정을 필요로 하므로, 유전체 막(91b)을 형성할 때 특히 주의를 할 필요가 있다.

[73] 유전체 막(91b)의 재질은  $\text{SiO}_2$ 가 적당하며, 그 두께는 0.2 $\mu\text{m}$  ~ 1.0 $\mu\text{m}$ 가 바람직하다. 유전체 막(91b)의 두께가 너무 얇은 경우에는 높이가 2 $\mu\text{m}$  ~ 3 $\mu\text{m}$ 정도인 n층 가지 전극(81)과 p층 가지 전극(93)을 충분히 잘 덮기에 불충분할 수 있고, 너무 두꺼운 경우에는 후속하는 구멍 형성공정에 부담이 될 수 있다. 유전체 막(91b)의 두께는 그 뒤에 후속하는 분포 브래그 리플렉터(91a)의 두께보다 두꺼울 수도 있다. 또한, 유전체 막(91b)은 소자 신뢰성 확보에 보다 적합한 방법으로 형성할 필요가 있다. 예를 들어,  $\text{SiO}_2$ 로 된 유전체 막(91b)은 화학 기상 증착법(CVD; Chemical Vapor Deposition), 그 중에서도 플라즈마 화학 기상 증착법(PECVD; Plasma Enhanced CVD)에 의해 형성하는 것이 바람직하다. 메사식각으로 형성되는 n층 접촉영역(31), p층 가지 전극(93) 및 n층 가지 전극(81)을 형성함에 따라 단차가 존재하게 되고, 단차 영역을 덮는데(step coverage), 화학 기상 증착법이 전자선 증착법(E-Beam Evaporation) 등과 같은 물리 증착법(PVD; Physical Vapor Deposition)에 비해 유리하기 때문이다. 구체적으로, 전자선 증착법(E-Beam Evaporation)으로 유전체 막(91b)을 형성하면, 단차를 갖는 p층 가지 전극(93) 및 n층 가지 전극(81)의 측면이나 메사식각으로 인해 생성되는 경사진 단차면 등에서 유전체 막(91b)이 얇게 형성될 수 있고, 이와 같이 단차면에 유전체 막(91b)이 얇게 형성되면, 특히 p층 가지 전극(93)과 n층 가지 전극(81)이 이하에 설명되는 바와 같이 p층 전극(92)과 n층 전극(80) 아래에 놓이는 경우, 전극들 간에 단락(short)이 발생할 수 있기 때문에, 유전체 막(91b)은 확실한 절연을 위해 화학 기상 증착법으로 형성되는 것이 바람직하다. 따라서, 반도체 발광소자의 신뢰성을 확보하면서도 비도전성 반사막(91)으로서의 기능을 확보할 수 있게 된다.

[74] 분포 브래그 리플렉터(91a)는 유전체 막(91b) 위에 형성되어 유전체 막(91b)과 함께 비도전성 반사막(91)을 구성한다. 예를 들어,  $\text{TiO}_2/\text{SiO}_2$ 의 조합으로 이루어지는 반복 적층 구조의 분포 브래그 리플렉터(91a)는, 물리 증착법(PVD; Physical Vapor Deposition), 그 중에서도 전자선 증착법(E-Beam Evaporation) 또는 스퍼터링법(Sputtering) 또는 열 증착법(Thermal Evaporation)에 의해 형성하는 것이 바람직하다. 분포 브래그 리플렉터(91a)가  $\text{TiO}_2/\text{SiO}_2$ 의 조합으로 구성되는

경우, 각 층은 주어진 파장의 1/4의 광학 두께를 가지도록 설계되며, 그 조합의 수는 4 ~ 20 페어(pairs)가 적합하다. 조합의 수가 너무 적으면 분포 브래그 리플렉터(91a)의 반사효율이 떨어지고, 조합의 수가 너무 많으면 두께가 과도하게 두꺼워지기 때문이다.

- [75] 이와 같은 비도전성 반사막(91)의 형성으로 인해 p층 가지 전극(93)과 n층 가지 전극(81)은 비도전성 반사막(91)에 의해 완전히 덮이게 된다. p층 가지 전극(93) 및 n층 가지 전극(81)이 이하에 설명되는 p층 전극(92) 및 n층 전극(80)과 전기적으로 연통될 수 있도록 하기 위해, 비도전성 반사막(91)을 관통하는 형태의 구멍이 형성되고, 구멍 내에 전극 물질로 채워진 형태의 전기적 연결(94,82)이 형성된다. 이러한 구멍은 건식 식각 또는 혹은 습식 식각, 또는 이 둘을 병행하는 방법으로 형성되는 것이 바람직하다. p층 가지 전극(93) 및 n층 가지 전극(81) 각각의 가지부(98,88)는 좁은 폭으로 형성되기 때문에, 전기적 연결(94)은 p층 가지 전극(93) 및 n층 가지 전극(81) 각각의 연결부(99,89) 위에 위치하는 것이 바람직하다. p층 가지 전극(93)이 없다면 많은 수의 전기적 연결(94)을 형성하여 p형 반도체층(50)의 거의 전면에 마련된 투광성 전도막(60)에 직접 연결해야 하고, n층 가지 전극(81)이 없다면 많은 수의 전기적 연결(82)을 형성하여 n층 접촉영역(31)에 직접 연결해야 하지만, p층 전극(92)과 투광성 전도막(60) 사이 및 n층 전극(80)과 n형 반도체층(30) 사이에 좋은 전기적 접촉을 형성하기가 쉽지 않을 뿐만 아니라, 제조 공정상 많은 문제점을 야기한다. 본 개시는 비도전성 반사막(91) 형성에 앞서, n층 가지 전극(81)을 n층 접촉영역(31) 위에 형성하고, p층 가지 전극(93)을 p형 반도체층(50) 또는 바람직하게는 투광성 전도막(60) 위에 형성한 다음 열처리함으로써, 양자 간에 안정적인 전기적 접촉을 만들어낼 수 있게 된다.

- [76] 전기적 연결(94, 82)의 형성에 이어, 비도전성 반사막(91) 위에 p층 전극(92)과 n층 전극(80)이 형성되는 것이 바람직하다. p층 전극(92)과 n층 전극(80)은, 활성층(40)으로부터의 빛을 기관(10) 층으로 반사하는데 일조한다는 관점에서, 비도전성 반사막(91) 위의 전부 또는 거의 대부분을 덮도록 넓은 면적에 걸쳐 형성되어, 도전성 반사막의 역할을 수행한다. 다만, p층 전극(92)과 n층 전극(80)은 단락을 방지하기 위해 비도전성 반사막(91) 위에서 서로 거리를 두고 떨어져 있는 것이 바람직하며, 따라서 비도전성 반사막(91) 위에 p층 전극(92) 또는 n층 전극(80)으로 덮이지 않는 부분이 존재하게 된다. p층 전극(92)과 n층 전극(80)의 재질은 반사율이 좋은 Al, Ag 등이 적합하지만, 안정적 전기적 접촉에는 Cr, Ti, Ni, Au 또는 이들의 합금 등의 물질들과 조합으로 Al, Ag 등과 같은 고반사 금속이 사용되는 것이 바람직하다. 이와 같은 p층 전극(92)과 n층 전극(80)은 p층 가지 전극(93) 및 n층 가지 전극(81)에 전류를 공급하는 역할, 반도체 발광소자를 외부 기기와 연결하는 기능, 넓은 면적에 걸쳐 형성되어, 활성층(40)으로부터의 빛을 반사하는 기능 및/또는 방열 기능을 수행한다. 이와 같이 p층 전극(92)과 n층 전극(80)이 모두 비도전성 반사막(91) 위에 형성됨에

따라, p층 전극(92) 층과 n층 전극(80) 층의 높이 차가 최소화되며, 따라서 본 개시에 따른 반도체 발광소자를 탑재부(예: 서브마운트, 패키지, COB)에 결합할 때 이점을 가지게 된다. 이러한 이점은 유테틱 본딩(eutectic bonding) 방식의 결합을 이용하는 경우에 특히 커진다.

- [77] 이와 같이 p층 전극(92)과 n층 전극(80)이 비도전성 반사막(91) 위에 넓게 형성됨에 따라, p층 가지 전극(93)과 n층 가지 전극(81)은 모두 비도전성 반사막(91)의 아래에 놓이게 되며, p층 가지 전극(93)은 비도전성 반사막(91)의 위에 놓이는 n층 전극(80) 아래를 통과하여 길게 뻗게 되고, n층 가지 전극(81)은 비도전성 반사막(91)의 위에 놓이는 p층 전극(92) 아래를 통과하여 길게 뻗게 된다. p층 전극(92) 및 n층 전극(80)과 p층 가지 전극(93) 및 n층 가지 전극(81) 사이에 비도전성 반사막(91)이 존재함에 따라, 전극(92,80)과 가지 전극(93,81) 간의 단락이 방지된다. 또한 이상과 같은 p층 가지 전극(93)과 n층 가지 전극(81)을 도입함으로써, 플립 칩을 구성함에 있어서, 제약 없이 요구되는 반도체층 영역에 전류를 공급할 수 있게 된다.
- [78] 일반적으로, p층 전극(92), n층 전극(80), p층 가지 전극(93) 및 n층 가지 전극(81)은 복수의 금속 층으로 구성된다. p층 가지 전극(93)의 경우 최하층은 투광성 전도막(60)과 결합력이 높아야 하며, Cr, Ti와 같은 물질이 주로 사용되며, Ni, Ti, TiW 등도 사용될 수 있으며, 특별히 제한되는 것은 아니다. 당업자는 p층 가지 전극(93)과 n층 가지 전극(81)에도 반사율이 좋은 Al, Ag 등을 사용할 수 있음을 염두에 두어야 한다. p층 전극(92)과 n층 전극(80)의 경우 최상층은 와이어 본딩 또는 외부 전극과 연결을 위해, Au이 사용된다. 그리고, Au의 양을 줄이고, 상대적으로 무른 Au의 특성을 보완하기 위해, 최하층과 최상층 사이에, 요구되는 사양에 따라, Ni, Ti, TiW, W 등이 사용되거나, 높은 반사율이 요구되는 경우에, Al, Ag 등이 사용된다. 본 개시에 있어서, p층 가지 전극(93) 및 n층 가지 전극(81)은 전기적 연결(94,82)과 전기적으로 연결되어야 하므로, 최상층으로 Au를 고려할 수 있을 것이다. 그러나 본 발명자들은 p층 가지 전극(93) 및 n층 가지 전극(81)의 최상층으로서 Au을 사용하는 것이 부적합하다는 것을 알게 되었다. Au 위에 비도전성 반사막(91) 증착시에 양자 간의 결합력이 약해서 쉽게 벗겨지는 문제가 있었다. 이러한 문제점을 해결하기 위해, Au 대신에 Ni, Ti, W, TiW, Cr, Pd, Mo와 같은 물질로 가지 전극의 최상층을 구성하게 되면 그 위에 증착될 비도전성 반사막(91)과의 접착력이 유지되어 신뢰성이 향상될 수 있다. 또한 비도전성 반사막(91)에 전기적 연결(94)을 위한 구멍을 형성하는 공정에서 위 금속이 디퓨전 장벽(diffusion barrier) 역할을 충분히 하여 후속공정 및 전기적 연결(94,82)의 안정성을 확보하는데 도움이 된다.
- [79] 도 17은 본 개시에 따른 반도체 발광소자의 다른 일 예를 나타내는 도면이고, 도 18는 도 17의 D-D 라인을 따라 취한 단면도이며, 도 19는 도 17의 E-E 라인을 따라 취한 단면도이다.
- [80] 본 개시에 따른 반도체 발광소자(2)에서, 도 18 및 도 19에 도시된 것과 같이,

비도전성 반사막(91)은 유전체 막(91b)과 분포 브래그 리플렉터(91a)에 더하여 분포 브래그 리플렉터(91a) 위에 형성되는 클래드 막(91f)을 더 포함한다. 활성층(40)에서 발생한 빛은 많은 부분이 유전체 막(91b)과 분포 브래그 리플렉터(91a)에서 의해 n형 반도체층(30) 측으로 반사되지만, 유전체 막(91b)과 분포 브래그 리플렉터(91a)도 일정한 두께를 가지므로, 일부의 빛이 그 내부에 갇히거나, 유전체 막(91b)과 분포 브래그 리플렉터(91a) 측면을 통해 방출된다. 본 발명자들은 유전체 막(91b), 분포 브래그 리플렉터(91a), 및 클래드 막(91f)의 관계를 광 웨이브가이드(optical waveguide)의 관점에서, 분석해 보았다. 광 웨이브가이드는 빛의 전파부를 그 보다 굴절률이 낮은 물질로 둘러싸서, 전반사를 이용하여, 빛을 안내하는 구조물이다. 이러한 관점에서, 분포 브래그 리플렉터(91a)를 전파부로 보면, 유전체 막(91b)과 클래드 막(91f)은 전파부를 둘러싸는 구성의 일부로 볼 수 있다. 분포 브래그 리플렉터(91a)가  $\text{SiO}_2/\text{TiO}_2$ 로 구성되는 경우에,  $\text{SiO}_2$ 의 굴절률이 1.46이고,  $\text{TiO}_2$ 의 굴절률이 2.4이므로, 분포 브래그 리플렉터(91a)의 유효 굴절률(여기서, 유효 굴절률은 서로 다른 굴절률을 가진 물질들로 이루어진 도파로에서 진행할 수 있는 빛이 가지는 등가 굴절률을 의미하며, 1.46과 2.4 사이의 값을 가진다.)이  $\text{SiO}_2$ 로 된 유전체 막(91b)의 경우보다 높은 굴절률을 갖게 된다. 클래드 막(91f) 또한 분포 브래그 리플렉터(91a)의 유효 굴절률보다 낮은 물질로 구성된다. 바람직하게는, 클래드 막(91f)은  $\lambda/4n$  내지  $3.0\mu\text{m}$ 의 두께를 가지는 것이 바람직하다(여기서  $\lambda$ 는 활성층(40)에서 생성된 빛의 파장이고,  $n$ 은 클래드 막(91f)을 이루는 물질의 굴절률이다). 예를 들어, 클래드 막(91f)을 1.46의 굴절률을 가지는 유전체인  $\text{SiO}_2$ 로 형성할 수 있다.  $\lambda$ 가  $450\text{nm}(4500\text{\AA})$ 인 경우에,  $4500/4 \times 1.46 = 771\text{\AA}$  이상의 두께로 형성할 수 있다. 다수 쌍의  $\text{SiO}_2/\text{TiO}_2$ 로 이루어지는 분포 브래그 리플렉터(91a)의 최상층이  $\lambda/4n$ 의 두께를 가지는  $\text{SiO}_2$ 층으로 이루어질 수 있다는 것을 고려하여, 클래드 막(91f)은 아래에 위치하게 되는 분포 브래그 리플렉터(91a)의 최상층과 차별되도록  $\lambda/4n$ 보다 두꺼운 것이 바람직하며, 후속하는 구멍 형성공정에 부담이 될 뿐만 아니라 두께 증가가 효율 향상에 기여하지 못하고 재료비만 증가시킬 수 있기 때문에  $3.0\mu\text{m}$  이상으로 너무 두꺼운 것은 바람직하지 않지만, 경우에 따라  $3.0\mu\text{m}$  이상으로 형성되는 것이 불가능한 것은 아니다. 분포 브래그 리플렉터(91a)와 p측 전극(92) 및 n측 전극(80)이 바로 접촉하는 경우에는 분포 브래그 리플렉터(91a)를 통해서 진행되는 빛의 일부가 p측 전극(92)과 n측 전극(80)에 영향을 받으면서 흡수가 일어날 수 있는데, 이때 p측 전극(92) 및 n측 전극(80)과 분포 브래그 리플렉터(91a) 사이에 분포 브래그 리플렉터(91a)보다 낮은 굴절율을 가지는 클래드 막(91f)을 삽입하게 되면, 분포 브래그 리플렉터(91a)를 통해 진행되는 빛의 일부가 p측 전극(92) 및 n측 전극(80)에서 흡수되는 것을 최소화할 수 있으므로, 빛의 효율을 증가시키는 장점이 있다. 따라서, 일반적으로 빛의 파장에 대응하는 두께 이상이 되어야 전술한 바와 같은 효과를 거둘 수가

있으므로, 클래드 막(91f)의 두께는  $\lambda/4n$  이상인 것이 바람직한 것이다. 하지만, 분포 브래그 리플렉터(91a)와 클래드 막(91f) 간의 굴절률의 차이가 크면 빛이 분포 브래그 리플렉터(91a)에 의해 좀 더 강하게 구속되기 때문에 얇은 두께의 클래드 막(91f)을 사용할 수 있지만, 그 굴절률의 차이가 작으면 클래드 막(91f)의 두께는 충분히 두꺼워져야 전술한 효과를 얻을 수 있다. 따라서 클래드 막(91f)의 두께는 클래드 막(91f)을 이루는 물질의 굴절률 및 분포 브래그 리플렉터(91a)의 유효굴절률 간의 차이가 얼마인가를 충분히 고려를 해야 한다. 예를 들어, 클래드 막(91f)이  $\text{SiO}_2$ 로 이루어지고 분포 브래그 리플렉터(91a)가  $\text{SiO}_2/\text{TiO}_2$ 로 이루어져 있다면,  $\text{SiO}_2$ 로 이루어진 분포 브래그 리플렉터(91a)의 최상층과 구별될 수 있도록 클래드 막(91f)의 두께는  $0.3\mu\text{m}$  이상인 것이 적당할 것이다. 하지만 후속 구멍 형성공정에 부담을 주지 않기 위해, 클래드 막(91f) 두께의 최대치는  $1\mu\text{m} \sim 3\mu\text{m}$  이내로 형성되는 것이 적당할 것이다.

- [81] 클래드 막(91f)은 분포 브래그 리플렉터(91a)의 유효 굴절률보다 낮은 굴절률을 가지면 특별히 제한되지 않으며,  $\text{Al}_2\text{O}_3$ 와 같은 금속 산화물,  $\text{SiO}_2$ ,  $\text{SiON}$  와 같은 유전체 막,  $\text{MgF}$ ,  $\text{CaF}$ , 등의 물질로 이루어질 수 있다. 굴절률의 차이가 작은 경우에, 그 두께를 두껍게 하여 효과를 거둘 수 있다. 또한  $\text{SiO}_2$ 를 사용하는 경우에, 1.46보다 낮은 굴절률을 가지는  $\text{SiO}_2$ 를 사용함으로써 효율을 높일 수 있게 된다.
- [82] 유전체 막(91b)이 생략되는 경우를 생각해 볼 수 있으며, 광 웨이브가이드의 관점에서는 바람직하지 않지만, 본 개시의 전체 기술사상의 관점에서, 분포 브래그 리플렉터(91a)와 클래드 막(91f)으로 된 구성을 배제할 이유는 없다. 분포 브래그 리플렉터(91a) 대신에 유전체인  $\text{TiO}_2$  재질의 유전체 막을 포함하는 경우를 생각해 볼 수도 있을 것이다. 분포 브래그 리플렉터(91a)가 가장 위층에  $\text{SiO}_2$  층을 구비하는 경우, 클래드 막(91f)을 생략하는 경우 또한 생각해 볼 수 있을 것이다.
- [83] 비도전성 반사막(91)은 높은 유효 굴절률의 분포 브래그 리플렉터(91a) 및 분포 브래그 리플렉터(91a)를 사이에 두고 위아래에 위치하는 낮은 굴절률의 유전체 막(91b)과 클래드 막(91f)으로 이루어져 광 웨이브가이드의 역할을 수행하며, 전체 두께가  $3 \sim 8\mu\text{m}$ 인 것이 바람직하다. 또한, 비도전성 반사막(91)은 가장자리에 경사면(91m)을 갖는 것이 바람직하다. 이와 같은 가장자리의 경사면(91m)은 예를 들어 건식 식각 공정을 통해 형성될 수 있다. 광 웨이브가이드의 역할을 수행하는 비도전성 반사막(91)으로 입사하는 빛 중에서, 수직 또는 수직에 가까운 각도로 비도전성 반사막(91)으로 입사하는 빛은 기판(10) 측으로 잘 반사되지만, 비스듬한 각도로 비도전성 반사막(91)으로 입사하는 빛을 포함하는 일부의 빛은 기판(10) 측으로 반사되지 못하고 전파부 역할의 분포 브래그 리플렉터(91a) 내에 갇혀 측면으로 전파될 수 있다. 이와 같이, 분포 브래그 리플렉터(91a)의 측면으로 전파되는 빛은 비도전성 반사막(91) 가장자리의 경사면(91m)에서 외부로 방출되거나 기판(10) 측으로



반사된다. 즉, 비도전성 반사막(91) 가장자리의 경사면(91m)은 코너 리플렉터(corner reflector) 역할을 수행하며, 반도체 발광소자의 휘도 향상에 기여하게 된다. 경사면(91m)은 원활한 기관(10) 측으로의 반사를 위해 50°~70°범위 이내의 각도를 가지는 것이 적당하다. 경사면(91m)은 습식 식각 또는 건식 식각, 또는 이 둘을 병행한 방법에 의해서 용이하게 형성될 수 있다.

[84] 도 20은 반도체 발광소자 제조 공정 도중에 두 개의 반도체 발광소자가 독립된 반도체 발광소자로 분리되기 이전 상태를 나타낸 도면이고, 도 21는 반도체 발광소자 제조 공정 도중에 두 개의 반도체 발광소자가 독립된 반도체 발광소자로 분리된 상태를 나타낸 도면이다. 참고로, 도 20 및 도 21는 제조 공정을 설명하기 위해 p측 전극(92), n측 전극(80) 및 본딩 패드(97)가 형성되지 않은 상태의 반도체 발광소자(3)를 나타내고 있다.

[85] 반도체 발광소자는 다수의 반도체 발광소자를 포함하는 웨이퍼 형태로 제작된 다음, 브레이킹, 쏘잉, 또는 스크라이빙&브레이킹 등과 같은 방법으로 절단하여 개별적인 반도체 발광소자로 분리된다. 스크라이빙&브레이킹에서, 스크라이빙 공정은 레이저를 이용하며, 반도체 발광소자의 기관 표면과 기관 내부를 포함하는 기관측에 초점을 맞춰 레이저를 적용하는 방식으로 수행될 수 있다. 레이저를 이용한 스크라이빙 공정에서, 반도체 발광소자(3)의 가장자리 경계선(G), 즉 반도체 발광소자(3)와 반도체 발광소자(3) 사이의 경계선(G)을 따라 반도체 발광소자가 예비적으로 절단된다. 스크라이빙 공정에 이어 수행되는 브레이킹 공정을 통해 예비적으로 절단된 반도체 발광소자가 개별적인 반도체 발광소자로 완전히 분리된다. 브레이킹 공정은, 예를 들어 도 20에 화살표(F)로 지시되는 기관(10) 방향이나 그 반대 방향에서, 반도체 발광소자(3)와 반도체 발광소자(3) 사이의 경계선(G)을 따라 외력을 가하는 방식으로 수행된다. 이와 같은 브레이킹 공정에서, 기관(10)과 반도체층들(20,30,40,50)은 결정질임에 따라 경계선(G)을 따라 정확하게 절단될 수 있지만, p형 반도체층(50) 위의 비도전성 반사막(91)은 비정질임에 따라 경계선(G)을 따라 정확하게 절단되지 못하고, 비도전성 반사막(91)의 가장자리 주변 영역에 균열(crack)이 발생하는 등 손상되기 쉽다. 이와 같은 비도전성 반사막(91)의 가장자리 주변 영역의 손상은 외관불량에 따른 수율저하를 초래하는 문제가 있었다. 바람직하게, 반도체 발광소자 제조시 복수의 반도체 발광소자를 포함하는 웨이퍼 형태로 제작된 다음 개별적인 반도체 발광소자로 분리하기 위한 레이저를 이용한 스크라이빙 공정 및 브레이킹 공정 이전에, 반도체 발광소자와 반도체 발광소자 사이의 경계선(G) 주변의 비도전성 반사막(91)의 일부 영역(H)이 제거된다. 반도체 발광소자(3)의 경계선(G)을 따라 제거되는 비도전성 반사막(91)의 일부 영역(H)은 개별적인 반도체 발광소자의 관점에서는 비도전성 반사막(91)의 가장자리 영역에 대응한다. 경계선(G) 주변의 비도전성 반사막(91)의 일부 영역(H)이 제거된다는 것은 개별적인 반도체 발광소자로 분리되기 이전에, 하나의 반도체 발광소자에 구비되는

비도전성 반사막(91)과 인접한 다른 하나의 반도체 발광소자에 구비되는 비도전성 반사막(91)이 경계선(G) 영역에서 서로 떨어지게 된다는 것을 의미하기도 한다. 비도전성 반사막(91)의 가장자리 영역을 부분적으로 제거함으로써, 이후 레이저를 이용한 스크라이빙 공정 및 브레이킹 공정을 수행하더라도, 각 반도체 발광소자의 비도전성 반사막(91) 가장자리가 손상되어 외관이 불량해지는 것을 방지할 수 있으며, 따라서 수율 향상 효과를 얻을 수 있다. 비도전성 반사막(91)의 일부 영역(H)의 제거는 건식 식각 등의 방법으로 수행될 수 있으며, 전체 반도체 제조 공정 중 브레이킹 공정을 수행하기 이전에 수행되면 된다. 그러나, 전기적 연결(94,82)을 형성하기 위해 비도전성 반사막(91)을 관통하는 형태의 구멍을 건식 식각 등의 방법으로 형성할 때, 함께 형성되는 것이 바람직하다. 코너 리플렉터 역할을 수행하는 상기한 경사면(91m)은 별도의 식각 공정을 통해 형성될 수 있지만, 손상 방지를 위해 비도전성 반사막(91)의 가장자리 영역을 제거하는 공정에서 개별적인 반도체 발광소자의 비도전성 반사막(91) 가장자리 부분이 경사면(91m)이 되도록 식각함으로써 동시에 형성될 수도 있다.

- [86] 도 17 및 도 19에 도시된 것과 같이, p층 전극(92) 및 n층 전극(80) 위에 각각 p층 전극(92)과 n층 전극(80)의 일부로서 본딩 패드(97)가 구비될 수 있다. p층 전극(92) 위의 본딩 패드(97)의 상면과 n층 전극(80) 위의 본딩 패드(97)의 상면은 동일한 높이를 가진다. 즉, p층 전극(92) 위의 본딩 패드(97)의 상면과 n층 전극(80) 위의 본딩 패드(97)의 상면은 동일한 평면상에 놓이게 된다. 이와 같은 본딩 패드(97)는, 반도체 발광소자를 예를 들어 유테틱 본딩 방식으로 외부기와 결합할 때, p층 전극(92) 층 및 n층 전극(80) 층이 동일한 최종 높이를 가지도록 하여 탑재부 위에서의 기울어짐을 방지하고, 넓고 평평한 결합면을 제공하여 양호한 결합력을 얻을 수 있도록 하며, 반도체 발광소자 내부의 열을 외부로 방출하는 기능을 수행한다. 본딩 패드(97)는 p층 전극(92) 및 n층 전극(80) 위에 각각 복수개로 구비될 수 있으며, p층 전극(92) 및 n층 전극(80) 위에서도 n층 가지 전극(81) 및 p층 가지 전극(93)과 중첩되지 않는 위치, 즉 n층 가지 전극(81)과 p층 가지 전극(93) 사이사이의 위치에 형성되는 것이 바람직하다. 달리 표현하면, 본딩 패드(97)는 가장 위로 돌출하는 부분인 p층 가지 전극(93) 부분과 가장 아래로 움푹 들어가는 부분인 n층 가지 전극(81) 부분을 제외한 영역에 형성된다. 또한, 본딩 패드(97)는 아래의 스페이서층(97a)과 스페이서층(97a) 위의 접합층(97b)을 포함하는 복층 구조로 형성될 수 있으며, 예를 들어 5 ~ 6um의 전체 두께를 가진다. 예를 들어, 스페이서층(97a)은 Ni, Cu 및 이들의 조합 등과 같은 금속층으로 이루어지며, 접합층(97b)은 대략 수um 정도 두께를 갖도록 Ni/Sn, Ag/Sn/Cu, Ag/Sn, Cu/Sn, Au/Sn 조합 등으로 이루어지는 유테틱 본딩층으로 이루어질 수 있다. 스페이서층(97a)은 유테틱 본딩에 사용되는 솔더에 대한 디퓨전 배리어(Diffusion Barrier) 및 윌렛(wetting)층으로서의 기능을 수행하며, 본딩 패드(97)를 전체적으로 고가의

Au를 포함하는 유테틱 본딩층(97b)으로 형성하는 것에 비해 원가부담을 줄여주기도 한다. 본딩 패드(97)는, 본딩(예: 유테틱 본딩) 시 접합면의 최종 높이를 맞추기 위해, p측 전극(92) 및 n측 전극(80) 중 가장 위로 돌출하게 되는 부분, 즉 p측 가지 전극(93) 위의 부분의 높이보다 1 ~ 3 $\mu$ m 더 높게 형성되는 것이 바람직하다. 따라서, 본딩 시에, 반도체 발광소자와 탑재부 간의 양호한 결합을 얻을 수 있고, 반도체 발광소자의 열 방출을 돕게 된다. 이때 스페이서층(97a)과 접합층(97b)은 도금, 전자선 증착법(E-Beam Evaporation), 열 증착법(Thermal Evaporation) 등의 다양한 방법에 의해서 형성될 수 있다.

- [87] 도 14 및 도 15에 나타낸 것과 같이, n형 반도체층(30)은 n측 접촉영역(31)을 제외한 모든 영역이 활성층(40)과 p형 반도체층(50)에 의해 덮여 있는 것이 바람직하다. 즉, 반도체 발광소자(100)에서 식각되는 영역은 n측 접촉영역(31)으로 제한되고, 가장자리 등에 식각되는 다른 부분이 존재하지 않으며, 반도체 발광소자(100) 둘레의 측면들은 모두 스크라이빙 및 브레이킹 공정 등에 의한 절단면으로 이루어진다. 이로 인해, 빛을 생성하는 활성층(40)의 면적이 증가하여 광 추출 효율이 향상된다. 또한, 식각 공정에서 생성되는 단차면은, 즉 p형 반도체층(50)의 상면과 n측 접촉영역(31)의 상면을 연결하는 활성층(40)과 p형 반도체층(50)의 노출된 측면으로 최소화된다. 활성층(40)과 p형 반도체층(50)의 노출된 측면은, 비도전성 반사막(91)을 형성할 때, 특히 비도전성 반사막(91)을 구성하는 분포 브래그 리플렉터(91a)의 증착이 어려운 부분이다. 따라서, 활성층(40)과 p형 반도체층(50)의 노출된 측면 영역의 분포 브래그 리플렉터(91a)는 반사효율이 상대적으로 낮을 수 있다. 활성층(40)과 p형 반도체층(50)의 노출된 측면이 최소화됨에 따라, 분포 브래그 리플렉터(91a) 중에서 반사효율이 낮은 영역이 최소화되어, 전체적으로 반사효율이 향상될 수 있다.

- [88] 도 22는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면이고, 도 23은 도 22의 A-A'라인을 따른 단면도이다. 이 실시예의 첫 번째 특징은 p형 반도체층(50) 상의 가지 전극(93)이 서로 분리되어 있으며, 각각의 전기적 연결(94)을 통한 다음, 전극(92)에 의해 서로 연결되어 있다. 전극(92)은 가지 전극(93)에 전류를 공급하는 역할, 빛을 반사하는 기능, 방열 기능 및/또는 소자와 외부를 연결하는 기능을 가진다. 가지 전극(93) 모두가 분리되어 있는 것이 가장 바람직하지만, 둘 이상의 가지 전극(93)이 분리됨으로써, 가지 전극(93)을 서로 연결하는 가지 부분을 제거함으로써, 소자 상부에서 높이가 불균일하게 되는 것을 감소시킬 수 있게 된다. 이 실시예의 두 번째 특징은 가지 전극(93)이 소자의 일 측면(C) 방향을 따라 길게 뻗어 있다는 것이다. 예를 들어, 도 22에서, 전극(92) 측으로부터 전극(80)을 향하여 길게 뻗어 있다. 이렇게 길게 뻗어 있는 가지 전극(93)에 의해 소자가 뒤집혀 탑재부(예: 서브마운트, 패키지, COB(Chip on Board))에 놓였을 때, 기울어짐 없이 놓이게 할 수 있다. 이러한 관점에 소자의 구성이 허락하는 한 가지 전극(93)을 길게 하는 것이 바람직하다. 본 개시에서,

가지 전극(93)이 비도전성 반사막(91)의 아래 놓이므로, 전극(80)을 지나서 길게 뻗는 것도 가능하다. 이 실시예의 세 번째 특징은 전극(80)이 비도전성 반사막(91) 위에 위치하는 것이다. 전극(80)은 전기적 연결(82)을 통해 가지 전극(81)과 연결된다. 전극(80)은 전극(92)과 동일한 기능을 가진다. 이러한 구성을 통해, 도 3과 비교할 때, 전극(80)이 위치하는 층의 높이가 높아져, 소자를 탑재부와 결합 때, 전극(92) 층과 전극(80) 층의 높이 차가 감소하여, 결합에 이점을 가지게 되며, 이러한 이점은 유테틱 본딩을 이용하는 경우에, 특히 커진다. 이 실시예의 네 번째 특징은 가지 전극(81)을 가지 전극(93)과 마찬가지로의 방식으로 배치할 수 있다는 것이다. 이 실시예의 다섯 번째 특징은 보조 방열 패드(97)를 구비하는 것이다. 보조 방열 패드(97)는 소자 내의 열을 외부로 방출하는 기능 및/또는 빛의 반사 기능을 가지는 한편, 전극(92) 및/또는 전극(80)과 전기적으로 분리됨으로써, 전극(92)과 전극(80) 간의 전기적 접촉을 방지하는 기능을 한다. 보조 방열 패드(93)가 본딩에 이용되어도 좋다. 특히, 전극(92) 및 전극(80) 모두와 전기적으로 분리되어 있는 경우에, 전극(92) 및 전극(80) 중 어느 한쪽과 보조 방열 패드(93)가 우발적으로 전기적으로 접촉되더라도, 소자 전체의 전기적 동작에는 문제를 야기하지 않는다. 이 실시예가 위 다섯 특징 모두를 구비해야 하는 것은 아님을 당업자는 염두에 두어야 한다.

- [89] 도 24는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 전극(92)과 전극(80) 사이에, 보조 방열 패드(121,122,123,124)의 예들이 도시되어 있다. 바람직하게는 보조 방열 패드(121,122,123,124)가 가지 전극(92) 사이 또는 가지 전극(92)과 가지 전극(81) 사이에 위치한다. 보조 방열 패드(121,122,123,124)를 가지 전극(92) 위에 형성하지 않음으로써, 본딩(예: 유테틱 본딩) 시에, 소자 전면이 탑재부와 잘 붙을 수 있게 되어, 소자의 열방출을 돕게 된다. 보조 방열 패드(121)와 보조 방열 패드(122)는 전극(92)과 전극(80)으로부터 분리되어 있고, 보조 방열 패드(123)는 전극(92)과 연결되어 있으며, 보조 방열 패드(124)는 전극(80)과 연결되어 있다.
- [90] 도 25는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 가지 전극(93)이 전극(80)의 아래에 까지(참고선(B)를 지나서) 뻗어 있다. p형 반도체층(50) 상에 가지 전극(93)을 도입함으로써, 플립 칩을 구성함에 있어서, 제약 없이 요구되는 소자 영역에 전류를 공급할 수 있게 된다. 두 개의 전기적 연결이(94,94)이 구비되어 있으며, 전류 확산에 요구되는 조건에 따라 필요한 곳에 전기적 연결(94)을 위치시킬 수 있다. 좌측의 전기적 연결(94)이 생략되어도 좋다. 전극(92)이 보조 방열 패드(97; 도 22 참조)의 기능을 겸하고 있다. 가지 전극(93)이 없는 경우에라도, 투광성 도전막(60)에 전기적 연결(94)을 직접 연결하여, 전류를 공급할 수 있으나, 전극(80) 아래의 p형 반도체(50)에는 직접 전류를 공급할 수 없으며, 가지 전극(93)을 도입함으로써, n형 반도체층(30)에 전류를 공급하는 전극(80) 아래로도 전류를 공급할 수 있게 된다. 전기적

연결(82)의 경우에도 마찬가지다.

[91] 도 26은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 비도전성 반사막(91)이 다층의 유전체 막(91c,91d,91e)으로 되어 있다. 예를 들어, 비도전성 반사막(91)을  $\text{SiO}_2$ 로 된 유전체 막(91c),  $\text{TiO}_2$ 로 된 유전체 막(91d) 및  $\text{SiO}_2$ 로 된 유전체 막(91e)으로 구성하여 반사막의 역할을 할 수 있다.

바람직하게는 비도전성 반사막(91)이 DBR 구조를 포함하도록 형성된다. 본 개시에 따라 반도체 발광소자를 형성함에 있어서, 가지 전극(93) 또는 가지 전극(81)과 같은 구조물을 필요로 하고, 비도전성 반사막(91)을 형성한 후에도 전기적 연결(94) 또는 전기적 연결(82)을 형성하는 공정을 필요로 하므로, 반도체 발광소자의 제조 후에, 누설 전류의 발생 등, 소자 신뢰성에 영향을 줄 수

있으므로,  $\text{SiO}_2$ 로 된 유전체 막(91c)을 형성함에 있어서, 특히 주의를 할 필요가 있다. 이를 위해, 첫째로, 유전체 막(91c)의 두께를 그 뒤에 후속하는 유전체 막(91d,91e)의 두께보다 두껍게 형성할 필요가 있다. 둘째로, 유전체 막(91c)을 소자 신뢰성 확보에 보다 적합한 방법으로 형성할 필요가 있다. 예를 들어,  $\text{SiO}_2$ 로 된 유전체 막(91c)을 화학 기상 증착법(CVD; Chemical Vapor Deposition), 그 중에서도(바람직하게는) 플라즈마 화학 기상 증착법(PECVD; Plasma Enhanced CVD)에 의해 형성하고,  $\text{TiO}_2/\text{SiO}_2$  DBR로 된 유전체 막(91d)/유전체 막(91e) 반복 적층 구조를 물리 증착법(PVD; Physical Vapor Deposition), 그

중에서도(바람직하게는) 전자선 증착법(Electron Beam Evaporation) 또는 스퍼터링법(Sputtering) 또는 열 증착법(Thermal Evaporation)에 의해 형성함으로써, 본 개시에 따른 반도체 발광소자의 신뢰성을 확보하면서도 비도전성 반사막(91)으로서의 기능을 확보할 수 있게 된다. 메사식각된 영역 등의 단차 영역을 덮는데(step coverage), 화학 기상 증착법이 물리 증착법, 특히 전자선 증착법에 비해 유리하기 때문이다.

[92] 도 27은 전기적 연결이 형성된 영역을 확대한 도면으로서, 투광성 전도막(60), 투광성 전도막(60) 위에 놓인 가지 전극(93), 가지 전극(93)을 둘러싸고 있는 비도전성 반사막(91), 전극(92), 그리고 가지 전극(93)을 전극(92)과 연결하는 전기적 연결(94)이 도시되어 있다. 일반적으로 반도체 발광소자에 전극, 가지 전극, 본딩 패드를 형성할 때, 복수의 금속 층으로 구성된다. 최하층은 투광성 전도막(60)과 결합력이 높아야 하며, Cr, Ti와 같은 물질이 주로 사용되며, Ni, Ti, TiW 등도 사용될 수 있으며, 특별히 제한되는 것은 아니다. 최상층으로는 와이어 본딩 또는 외부 전극과 연결을 위해, Au이 사용된다. 그리고, Au의 양을 줄이고, 상대적으로 무른 Au의 특성을 보완하기 위해, 최하층과 최상층 사이에, 요구되는 사양에 따라, Ni, Ti, TiW, W 등이 사용되거나, 높은 반사율이 요구되는 경우에, Al, Ag 등이 사용된다. 본 개시에 있어서, 가지 전극(93)은 전기적 연결(94)과의 전기적으로 연결되어야 하므로, 최상층으로 Au를 고려할 수 있을 것이다. 그러나 본 발명자들은 가지 전극(93)의 최상층으로서 Au를 사용하는 것이 부적합하다는 것을 알게 되었다. Au 위에 비도전성 반사막(91) 증착시에

양자 간의 결합력이 약해서 쉽게 벗겨지는 문제가 있었다. 이러한 문제점을 해결하기 위해, Au 대신에 Ni, Ti, W, TiW, Cr, Pd, Mo와 같은 물질로 가지 전극의 최상층을 구성하게 되면 그 위에 증착될 비도전성 반사막(91)과의 접착력이 유지되어 신뢰성이 향상될 수 있다. 또한 비도전성 반사막(91)에 전기적 연결(94)을 위한 구멍을 형성하는 공정(습식 또는 건식 식각)에서 위 금속이 장벽(barrier) 역할을 충분히 하여 후속공정 및 전기적 연결의 안정성을 확보하는데 도움이 된다.

- [93] 도 28은 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 반도체 발광소자는 형광체(220)를 더 구비한다. 형광체(220)는 에폭시 수지와 혼합되어 봉지재(230)를 형성하고 있으며, 반도체 발광소자가 반사컵(210)에 놓여 있다. 전극(80)과 전극(92)이 도전성 접합제(240,250)를 통해 외부와 전기적으로 연결된다. 형광체(220)는 도 12에서와 같이 컨포멀(conformal) 코팅되어도 좋고, 직접 도포되어도 좋고, 반도체 발광소자로부터 약간 거리를 두고 위치되어 좋다. 활성층(40)에서 나온 빛은 형광체(220)에 흡수되어, 장파장 또는 단파장의 빛(L1)으로 변환되어 외부로 나가지만, 일부의 빛(L2)은 반도체 발광소자 내에 머무르거나, 반사컵(210)에서 반사되어 반도체 발광소자 내부로 다시 돌아오게 되며, 소멸되어 반도체 발광소자의 효율을 떨어뜨리게 된다. 비도전성 반사막(91)이 분포 브래그 리플렉터(91-1)를 가지는 경우에, 분포 브래그 리플렉터(91-1)의 반사 효율은 파장에 의존하게 된다. 예를 들어, 활성층(40)에서 나오는 빛이 청색인 경우에 파장은 450nm이고, 분포 브래그 리플렉터(91-1)가 SiO<sub>2</sub>/TiO<sub>2</sub>의 조합으로 이루어지는 경우에, SiO<sub>2</sub>의 굴절률이 n<sub>1</sub>이고, TiO<sub>2</sub>의 파장이 n<sub>2</sub>라면, SiO<sub>2</sub>의 두께는 450nm/4n<sub>1</sub>을 기준으로 맞추어지고, TiO<sub>2</sub>의 두께는 450nm/4n<sub>2</sub>를 기준으로 맞추어지게 된다. 그러나 형광체(220)가 황색 형광체(예: YAG:Ce, (Sr,Ca,Ba)<sub>2</sub>SiO<sub>4</sub>:Eu)인 경우에, 형광체(220)의 파장은 560nm이 되므로, 청색 빛에 맞추어진 분포 브래그 리플렉터(91-1)는 효율이 크게 떨어지게 된다. 이러한 문제는 비도전성 반사막(91) 내에 반도체 발광소자에 구비된 형광체(220)의 파장에 맞추어진 분포 브래그 리플렉터(91-2)를 더 도입함으로써, 개선할 수 있게 된다. 이를 일반화하면, 분포 브래그 리플렉터(91-1)는  $\lambda_{Active}$ 의  $4n_1$ ,  $\lambda_{Active}/4n_2$ (여기서,  $\lambda_{Active}$ 는 활성층(40)의 파장, n<sub>1</sub>, n<sub>2</sub>는 분포 브래그 리플렉터(91-1) 물질들의 굴절률)를 기준으로 설계되며, 분포 브래그 리플렉터(91-2)는  $\lambda_{Phosphor}$ 의  $4n_1$ ,  $\lambda_{Phosphor}/4n_2$ (여기서,  $\lambda_{Phosphor}$ 는 형광체(220)의 파장, n<sub>1</sub>, n<sub>2</sub>는 분포 브래그 리플렉터(91-2) 물질들의 굴절률)를 기준으로 설계된다. 여기서 기준으로 설계된다는 것의 의미는 분포 브래그 리플렉터(91-1)가 반드시 이 기준에 맞는 두께로 가져야 한다는 것을 의미하는 것은 아니다. 분포 브래그 리플렉터(91-1)는 필요에 따라 기준 두께보다 약간 두껍거나 얇게 형성하는 것이 가능하다. 그러나 이러한 필요가 분포 브래그 리플렉터(91-1)가  $\lambda_{Active}/4n_1$ ,  $\lambda_{Active}/4n_2$ 를 기준으로 설계되어야 한다는 사실을 변경하는 것은 아니다. 형광체(220)가 청색, 녹색, 오렌지색, 적색 등의 여러

파장들로 구성되면, 분포 브래그 리플렉터(91-2)도 이들에 맞추어서 추가될 수 있다. 분포 브래그 리플렉터(91-1)를 구성하는 물질과 분포 브래그 리플렉터(91-2)를 구성하는 물질의 일부 또는 전부를 달리할 수 있음은 물론이다. 분포 브래그 리플렉터(91-1)와 분포 브래그 리플렉터(91-2)를 각각 2주기에서 10주기 사이에 형성함으로써, 원하는 파장에 대응할 수 있으며, 그 이하 또는 그 이상의 주기로 형성하더라도 기능을 하지 않는 것은 아니다.

- [94] 도 29는 본 개시에 따른 반도체 발광소자의 또다른 예를 나타내는 도면으로서, 반도체 발광소자는 분포 브래그 리플렉터(91-3)가 더 구비되어 있다. 형광체(220)가 파장이 다른 두 개의 물질을 포함하는 경우이다. 분포 브래그 리플렉터(91-2)는  $\lambda_{\text{Phosphor1}}/4n_1$ ,  $\lambda_{\text{Phosphor1}}/4n_2$ 를 기준으로 설계되고, 분포 브래그 리플렉터(91-3)는  $\lambda_{\text{Phosphor2}}/4n_1$ ,  $\lambda_{\text{Phosphor2}}/4n_2$ 를 기준으로 설계된다. 일반화하여, ( $\lambda_{\text{Phosphor1}} > \dots > \lambda_{\text{PhosphorM}}$ ; 여기서 n은 양의 정수)일 때, 분포 브래그 리플렉터(91) 내에서 이들의 배치가 문제된다. p형 반도체층(50)으로부터 파장이 짧은 순으로 배치하는 것과 파장이 긴 순으로 배치하는 것 등 다양한 배치가 가능하다. 또한 더 일반화하면, 활성층(40)으로부터 빛 및/또는 형광체의 파장을 고려하여, 여러 파장 대역의 분포 브래그 리플렉터를 설계하는 것이 가능하다. p형 반도체층(50)에 가까운 측에 상대적으로 짧은 파장을 기준으로 설계된 분포 브래그 리플렉터를 배치함으로써, 이 짧은 파장의 빛이 가지 전극(93), 전극(92)으로부터 멀리 위치하게 되게, 가지 전극(3) 및 전극(92)에 의한 짧은 파장의 빛의 흡수를 근원적으로 차단할 수 있게 된다. p형 반도체층(50)에 가까운 측에 상대적으로 긴 파장을 기준으로 설계된 분포 브래그 리플렉터를 배치함으로써, 분포 브래그 리플렉터에 대해 수직 입사하는 것이 아니라, 사선 입사하는 빛에 대한 반사율을 향상을 고려할 수 있는 등의 이점을 가지게 된다.
- [95] 또한 가장 짧은 파장을 기준으로 만들어진 분포 브래그 리플렉터를 p형 반도체(50)에 가장 가까이 또는 가장 멀리 배치한 다음, 나머지 두 개의 분포 브래그 리플렉터를 교차하여 또는 섞어서 배치하는 것도 가능하며, 필요에 따라 다양한 배치가 가능하다.
- [96] 또한 여러 파장별로 분포 브래그 리플렉터를 구비하면, 비도전성 반사막(91)의 두께가 지나치게 두꺼워질 수 있으므로, 형광체(220)를 이루는 두 개의 물질의 파장의 차이가 크지 않을 경우에, 이들 모두를 고려한 분포 브래그 리플렉터를 설계하는 것도 가능하다. 예를 들어,  $((\lambda_{\text{Phosphor1}} + \lambda_{\text{Phosphor2}})/2)/4n_1$ ,  $((\lambda_{\text{Phosphor1}} + \lambda_{\text{Phosphor2}})/2)/4n_2$ 를 기준으로 분포 브래그 리플렉터를 설계하는 것이 가능하다. 형광체가 550nm, 580nm, 600nm의 파장으로 이루어지는 경우에, 파장의 차가 작은 580nm와 600nm에 대해 이러한 설계가 가능하다.
- [97] 또한 형광체가 560nm, 580nm, 600nm의 파장으로 이루어지는 경우에, 두꺼운 파장인 580nm와 600nm에 대해 함께 분포 브래그 리플렉터를 설계함으로써, 전체적인 비도전성 반사막(91)의 두께를 감소시키는 것이 가능하다.
- [98] 또한 전술한 바와 같이, 분포 브래그 리플렉터를 설계함에 있어서,  $\lambda/4n_1$ ,  $\lambda/4n_2$

에 정확히 맞추는 것이 아니라,  $\lambda$ 보다 약간 길게, 즉, 기준보다 약간 두껍게 분포 브래그 리플렉터를 설계할 수 있는데, 분포 브래그 리플렉터가 플립 칩 내부로 도입되면, 비도전성 반사막(91)의 두께를 두껍게 하게 되고, 전기적 연결(94)을 구비하는 경우에, 전기적 연결(94)의 형성을 어렵게 할 수 있다. 이러한 문제점을 개선하기 위해,  $\lambda/4n_1$ 의 두께 및  $\lambda/4n_2$ 의 두께 모두가 아니라,  $\lambda/4n_2$ 만을 두껍게 설계할 수 있다. 또한  $\lambda/4n_1$ 의 두께 및  $\lambda/4n_2$ 의 두께 모두를 두껍게 하더라도,  $\lambda/4n_2$ 의 두께를 상대적으로 더 두껍게 하는 것이 가능하다. 예를 들어, 활성층(40)에서 나오는 빛이 청색인 경우에 파장은 450nm이고, 분포 브래그 리플렉터가  $\text{SiO}_2/\text{TiO}_2$ 의 조합으로 이루어지는 경우에,  $\text{SiO}_2$ 의 굴절률이  $n_1(=1.46)$ 이고,  $\text{TiO}_2$ 의 파장이  $n_2(=2.4)$ 라면,  $\text{SiO}_2$ 의 두께는  $450\text{nm}/4n_1$ 을 기준으로 맞추어지고,  $\text{TiO}_2$ 의 두께는  $450\text{nm}/4n_2$ 를 기준으로 맞추어지게 된다. 450nm로부터 500nm로 파장을 변경하는 경우에(장 파장쪽으로 분포 브래그 리플렉터를 설계하는 경우에), 굴절률이 큰 쪽이 적은 두께 변화를 가져오기 때문이다. 이는 양쪽의 두께 모두를 500nm에 맞춘 경우보다 반사율의 향상을 작게 가져오지만, 비도전성 반사막(91)의 두께 증가를 상대적으로 줄이면서 반사율을 향상시키는 효과를 가져온다. 이 실시예는 형광체(220)의 도입이 없는 경우에도 적용이 가능하며, 형광체(220)가 도입된 분포 브래그 리플렉터(91-2)에 대해서도 적용이 가능하다.

- [99] 도 30은 알루미늄(Al), 은(Ag), 금(Au)의 파장에 따른 반사율을 나타내는 도면으로서, Al, Ag의 반사율이 낮은 파장 대역에서 우수한 것을 알 수 있지만, 600nm이상의 파장 대역에서 Au의 파장이 더 우수함을 알 수 있다. 이를 도 28 및 도 29에 도시된 본 개시에 따른 반도체 발광소자에 적용하면, 형광체(220)가 적색 형광체를 함유하는 경우에, 이보다 짧은 파장의 빛은 비도전성 반사막(91)에 의해서 처리하고, 적색 발광 또는 600nm이상의 파장 대역은 전극(92)의 최하층 또는 하부 영역에 Au를 구비하여, 이 Au를 이용하여, 반사시키는 것이 가능하다. 물론 이와 함께, 비도전성 반사막(91) 내에 적색광에 맞추어진 분포 브래그 리플렉터를 구비하는 것도 가능하다. 또한 전극(80), 가지 전극(81), 가지 전극(93)의 최하층 또는 하부 영역에 Au를 구비하는 것도 가능하다. 여기서 하부 영역이 의미하는 것은 Au보다도 상대적으로 접착력이 우수한 Cr, Ti와 같은 금속을 최하층에 아주 얇게 첨가할 수 있음을 의미하며, 이 경우에 Au는 반사 기능을 여전히 유지할 수 있다. 도 28 내지 도 30에 제시된 본 개시에 따른 기술 사상은 가지 전극(93)이 구비되지 않은 경우에도 적용이 가능하며, 본 개시가 본 개시에 제시된 여러 특징들의 총합으로서만 이해되어서는 안 된다. 도 22 및 도 24에 도시된 보조 방열 패드(97), 보조 방열 패드(121,122,123,124)도 상기 전극들과 함께, 또는 이들에 대해서만, 상기와 같이 구성하는 것이 가능함은 물론이다. p형 반도체(50)과 마주하는 측에 Au가 함유된 전극(92), 보조 방열 패드(97), 보조 방열 패드(121,122,123,124), 가지 전극(93), 전극(80), 가지 전극(81) 등을 반사 금속층이라 한다.

- [100] 도 31은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서,



반도체 발광소자는 기판(10), 기판(10)에 성장되는 버퍼층(20), 버퍼층(20)위에 성장되는 n형 반도체층(30), n형 반도체층(30) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40), 활성층(40) 위에 성장되는 p형 반도체층(50)을 구비한다. 그리고, p형 반도체층(50) 위에 형성되는 투광성 전도막(60), 성장에 사용되는 기판(10) 측 또는 기판(10)이 제거된 경우에 n형 반도체층(30) 측으로 활성층(40)으로부터의 빛을 반사하도록 투광성 전도막(60) 위에 형성되는 비도전성 반사막(91), n형 반도체층(30)으로 전자를 공급하는 전극(80) 및 p형 반도체층(50)으로 정공을 공급하는 전극(92), 전극(80)과 전기적으로 연결되며 n형 반도체층(30) 내로 뺏어 있는 가지 전극(81)을 구비한다. 또한, 비도전성 반사막(91)을 관통하여 전극(92)과 투광성 전도막(60)을 연결하는 전기적 연결(94), 그리고 활성층(40)으로부터의 빛을 n형 반도체층(30) 측으로 반사하도록 전기적 연결(94) 아래의 투광성 전도막(60)과 p형 반도체층(50) 사이의 위치에 개재되는 비도전성 반사막(191)을 구비한다.

- [101] 비도전성 반사막(91)은 식각되어 노출된 n형 반도체층(30) 및 전극(80) 일부의 위에 형성될 수 있다.
- [102] 전기적 연결(94) 아래의 투광성 전도막(60)과 p형 반도체층(50) 사이의 위치에 개재되는 비도전성 반사막(191)을 구비함으로써, 비도전성 반사막(91)이 전기적 연결(94) 부분을 덮지 못함에 따라 광효율이 감소할 수 있는 가능성을 방지하여, 광효율을 개선할 수 있다.
- [103] 비도전성 반사막(91)과 비도전성 반사막(191)은 반사막으로 기능하되, 빛의 흡수를 방지하도록 투광성 물질로 구성되는 것이 바람직하며, 예를 들어,  $\text{SiO}_x$ ,  $\text{TiO}_x$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{MgF}_2$ 와 같은 투광성 유전체 물질로 구성될 수 있다. 비도전성 반사막(91)과 비도전성 반사막(191)이  $\text{SiO}_x$ 로 이루어지는 경우에, p형 반도체층(50; 예: GaN)에 비해 낮은 굴절률을 가지므로, 임계각 이상의 빛을 반도체층(30,40,50) 측으로 일부 반사시킬 수 있게 된다. 한편, 비도전성 반사막(91)과 비도전성 반사막(191)은 분포 브래그 리플렉터로 구성될 수 있으며, 이 경우에, 보다 많은 양의 빛을 반도체층(30,40,50) 측으로 반사시킬 수 있게 된다.
- [104] 투광성 전도막(60)은, 특히 p형 반도체층(50)이 GaN으로 이루어지는 경우에, 전류 확산 능력을 향상시키기 위한 것으로서, 예를 들어, ITO, Ni/Au와 같은 물질로 구성될 수 있다.
- [105] 도 32는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 비도전성 반사막(91)과 투광성 전도막(60)과 사이에 전극(92)으로부터 p형 반도체층(50)으로 원활한 전류 공급(엄밀하게는 정공의 공급)을 위해 길게 뺏어 있는 가지 전극(93)이 구비된다. 가지 전극(93)은 수직 방향으로 비도전성 반사막(91)을 관통한 전기적 연결(94)에 의해 전극(92)과 전기적으로 연결된다. 가지 전극(93)이 없다면, 많은 수의 전기적 연결(94)을 형성하여 p형 반도체층(50)의 거의 전면에 마련된 투광성 전도막(60)에 직접 연결해야 하지만,

이 경우에, 전극(92)과 투광성 전도막(60) 사이에 좋은 전기적 접촉을 형성하기가 쉽지 않을 뿐만 아니라, 제조 공정상 문제점을 야기할 수 있다.

- [106] 도 33은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 비도전성 반사막(191)이 전기적 연결(94)의 아래뿐만 아니라 가지 전극(93) 아래에 위치하도록 투광성 전도막(60)과 p형 반도체층(50) 사이에서 길게 연장된다. 가지 전극(93) 아래에 위치하도록 비도전성 반사막(191)이 길게 연장됨에 따라, 가지 전극(93)에 의한 빛의 흡수를 또한 방지할 수 있으며, 따라서 광효율을 개선할 수 있다.
- [107] 도 34 및 도 35은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 도 13에 도시된 반도체 발광소자와 달리, 비도전성 반사막(19)이 기관(10)의 측면(11)에까지 형성되어 있다. 도 35에 도시된 바와 같이, 반도체 발광소자를 리드 프레임 또는 PCB(2000)에 장착한 때에, 주로 금속으로 되어 불투명한 본딩 물질(111)이 기관 또는 성장 기관(10)의 측면(11)에까지 이른 경우에도, 비도전성 반사막(91)이 기관(10)의 측면(11)에까지 형성됨으로써, 본딩 물질(111)에 의한 광 흡수를 방지할 수 있게 된다. 이러한 구조는 도 13에 도시된 반도체 발광소자에 제한되는 것이 아니라, 도 2 및 도 18에 도시된 반도체 발광소자를 포함하여, 비도전성 반사막(91)을 이용하는 반도체 발광소자에 적용될 수 있다.
- [108] 도 36 내지 도 38은 도 34에 도시된 반도체 발광소자를 제조하는 방법의 일 예를 나타내는 도면으로서, 먼저 도 36에서와 같이, 비도전성 반사막(91)이 형성되기 이전까지의 공정을 진행한다. 기관(10) 위에, 복수의 반도체층(30,40,50)을 형성한 다음, 아이솔레이션 공정을 거쳐, 개별의 반도체 발광소자(A,B)로 분리한 다음, 통상의 반도체 제조 공정을 거쳐, 광 흡수 방지막(95), 투광성 전도막(50), 가지 전극(81,93)을 형성한다. 필요에 따라, 개별의 반도체 발광소자(A,B)로 분리하는 공정은 생략될 수 있으며, 후술하는 바와 같이, 아이솔레이션 공정은 기관(10)에 홈(12)을 형성하는 공정 자체일 수 있다. 또한 필요에 따라, 반도체 공정들의 순서는 바뀔 수 있다.
- [109] 다음으로, 도 37에서와 같이, 기관(10)에 홈(12)을 형성하여, 기관(10)의 측면(11)을 노출시킨다. 이러한 공정은, 식각, 쏘잉, 레이저 스크라이빙 등의 방법으로 형성될 수 있다. 예를 들어, 깊이 10~50um 정도의 홈(12)을 형성할 수 있다.
- [110] 다음으로, 도 38에서와 같이, 비도전성 반사막(91)을 전술한 방법에 의해 형성한다. 필요에 따라, 전기적 연결(82,94), 전극(80,92) 그리고 보조 방열 패드(97)를 형성한다. 이후, 브레이킹, 쏘잉, 또는 스크라이빙&브레이킹 등의 방법으로 도 34에 도시된 것과 같은 형태로 개별의 반도체 발광소자(A,B)를 분리한다.
- [111] 복수의 반도체층(30,40,50)을 형성한 다음, 바로 홈(12)을 형성하는 공정을 시행하여도 좋다. 이 경우에, 별도의 아이솔레이션 공정은 생략될 수 있다.

따라서, 홈(12)을 형성하는 공정은 비도전성 반사막(91)을 형성하기 이전이라면 언제든지 가능하다.

- [112] 도 39는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 본딩 물질(111)이 반도체 발광소자로 타고 올라오는 것을 방지하기 위하여, 전극(80,92)에 추가적으로 도금 막(112)이 구비되어 있다. 바람직하게는 10um이상의 높이를 가진다. 더욱 바람직하게는 20um이상의 높이를 가진다. 이러한 높이는 전극(80,92)을 형성하는데 주로 사용되는 스퍼터링법, 전자선 증착법으로는 상용적으로 구현하기가 쉽지 않다. 성장 기관(10)의 측면(11)에 비도전성 반사막(91)이 형성되는 경우에는, 도금 막(112)의 높이가 낮아질 수 있다. 또한 Ni과 같은 금속을 이용함으로써, 유테틱 본딩에 사용되는 솔더에 대한 디퓨전 배리어(Diffusion Barrier)로서의 기능을 향상시킬 수 있게 된다. 전극(80,92)이 생략되는 경우에, 전기적 연결(82,94)을 씨드(seeds)로 하여 도금 막(112)을 형성할 수 있다. 도금은 비전해 도금법 또는 전해 도금법으로 가능하다.
- [113] 도 40는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 전극(92) 측의 도금 막(112)이 전극(80) 측의 도금 막(112)보다 넓게 형성되어 있다.
- [114] 도 41은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 도 3에 도시된 반도체 발광소자에 도금 막(112)이 적용되어 있으며, 전극(80) 측의 도금 막(112)을 높게 형성하여, 플립 칩 본딩시에 전극(92) 측과 전극(80) 측의 높이가 맞지 않는 문제점도 해소하는 것이 가능하다. 한 번의 도금으로도 전극(92) 측의 도금 막(112)의 높이와 전극(80) 측의 도금 막(112)의 높이를 어느 정도 맞출 수 있지만, 필요한 경우에, 전극(92) 측과 전극(80) 측을 별도로 도금하는 것도 가능하다.
- [115] 도 42은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 도 8에 도시된 반도체 발광소자에 도금 막(112)이 적용되어 있으며, 하나의 도금 막(112)이 구비되어 있다. 도금 막(112)은 전극(92) 전체에 형성되어도 좋다.
- [116] 도 43은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 반도체 발광소자는 형광체(220)를 더 구비한다. 형광체(220)는 에폭시 수지와 혼합되어 봉지재(230)를 형성하고 있으며, 반도체 발광소자가 반사컵(210)에 놓여 있다. 전극(80)과 전극(92)이 도전성 접합체(240,250)를 통해 외부와 전기적으로 연결된다. 형광체(220)는 도 18에서와 같이 컨포멀(conformal) 코팅되어도 좋고, 직접 도포되어도 좋고, 반도체 발광소자로부터 약간 거리를 두고 위치되어 좋다. 이때, 통상 50~180um 두께의 기관(50)이 아래에 놓이는 정선-업(junction-up) 형태의 레터럴 칩(Lateral Chip)과 달리, 활성층(40)의 아래 쪽에 위치하게 되므로, 활성층(40)에 발생한 빛이 반사컵(210)의 중앙에 가깝게 위치하지 못함으로써, 형광체(220) 변환 효율이 떨어질 수 있는 한편, 반사컵(210)에 의한 빛 흡수도 문제가 될 수 있다. 도 39 내지 도 42에 도시된 도금

막(112)을 구비함으로써, 이러한 문제점을 해소할 수 있게 된다. 이러한 관점에서 도 44는 도 7에 도시된 반도체 발광소자에서 유전체 막, 분포 브래그 리플렉터, 그리고 전극의 관계를 나타내는 도면으로서, 유전체 막(91b), 분포 브래그 리플렉터(91a), 그리고 전극(92)이 순차로 적층되어 있다. 활성층(40; 이하, 도 7 참조)에서 발생된 빛은 많은 부분이 유전체 막(91b)과 분포 브래그 리플렉터(91a)에서 의해 n형 반도체층(30) 측으로 반사되지만, 유전체 막(91b)과 분포 브래그 리플렉터(91a)도 일정한 두께를 가지므로, 일부의 빛이 그 내부에 갇히거나, 유전체 막(91b)과 분포 브래그 리플렉터(91a) 측면을 통해 방출되거나, 금속으로 된 전극(92)에 의해 흡수된다. 본 발명자들은 유전체 막(91b), 분포 브래그 리플렉터(91a), 그리고 전극(92)의 관계를 광 웨이브가이드(optical waveguide)의 관점에서, 분석해 보았다. 광 웨이브가이드는 빛의 전파부를 그보다 굴절률이 낮은 물질로 둘러싸서, 전반사를 이용하여, 빛을 안내하는 구조물이다. 이러한 관점에서, 분포 브래그 리플렉터(91a)를 전파부로 보면, 유전체 막(91b)은 전파부를 둘러싸는 구성의 일부로 볼 수 있다. 분포 브래그 리플렉터(91a)가  $\text{SiO}_2/\text{TiO}_2$ 로 구성되는 경우에,  $\text{SiO}_2$ 의 굴절률이 1.46이고,  $\text{TiO}_2$ 의 굴절률이 2.4이므로, 분포 브래그 리플렉터(91a)의 유효 굴절률(여기서, 유효 굴절률은 서로 다른 굴절률을 가진 물질들로 이루어진 도파로에서 진행할 수 있는 빛이 가지는 등가 굴절률을 의미하며, 1.46과 2.4 사이의 값을 가진다.)이  $\text{SiO}_2$ 로 된 유전체 막(91b)의 경우보다 높은 굴절률을 갖게 된다. 그러나, 그 반대 측에는 금속으로 된 전극(92)이 존재하므로, 전극(92)이 분포 브래그 리플렉터(91a)의 측면 방향으로 광 전파됨에 있어서, 빛의 흡수가 일어날 수 있다.

[117] 도 44는 도 7에 도시된 반도체 발광소자에서 유전체 막, 분포 브래그 리플렉터, 그리고 전극의 관계를 나타내는 도면으로서, 유전체 막(91b), 분포 브래그 리플렉터(91a), 그리고 전극(92)이 순차로 적층되어 있다. 활성층(40; 이하, 도 7 참조)에서 발생된 빛은 많은 부분이 유전체 막(91b)과 분포 브래그 리플렉터(91a)에서 의해 n형 반도체층(30) 측으로 반사되지만, 유전체 막(91b)과 분포 브래그 리플렉터(91a)도 일정한 두께를 가지므로, 일부의 빛이 그 내부에 갇히거나, 유전체 막(91b)과 분포 브래그 리플렉터(91a) 측면을 통해 방출되거나, 금속으로 된 전극(92)에 의해 흡수된다. 본 발명자들은 유전체 막(91b), 분포 브래그 리플렉터(91a), 그리고 전극(92)의 관계를 광 웨이브가이드(optical waveguide)의 관점에서, 분석해 보았다. 광 웨이브가이드는 빛의 전파부를 그보다 굴절률이 낮은 물질로 둘러싸서, 전반사를 이용하여, 빛을 안내하는 구조물이다. 이러한 관점에서, 분포 브래그 리플렉터(91a)를 전파부로 보면, 유전체 막(91b)은 전파부를 둘러싸는 구성의 일부로 볼 수 있다. 분포 브래그 리플렉터(91a)가  $\text{SiO}_2/\text{TiO}_2$ 로 구성되는 경우에,  $\text{SiO}_2$ 의 굴절률이 1.46이고,  $\text{TiO}_2$ 의 굴절률이 2.4이므로, 분포 브래그 리플렉터(91a)의 유효 굴절률(여기서, 유효 굴절률은 서로 다른 굴절률을 가진 물질들로 이루어진 도파로에서 진행할 수 있는 빛이 가지는 등가 굴절률을 의미하며, 1.46과 2.4 사이의 값을 가진다.)이  $\text{SiO}_2$ 로 된 유전체 막(91b)의 경우보다 높은 굴절률을 갖게 된다. 그러나, 그 반대 측에는 금속으로 된 전극(92)이 존재하므로, 전극(92)이 분포 브래그 리플렉터(91a)의 측면 방향으로 광 전파됨에 있어서, 빛의 흡수가 일어날 수 있다.

[118] 도 45은 도 7에 도시된 반도체 발광소자에서 광 웨이브가이드를 도입한 유전체 막, 분포 브래그 리플렉터, 그리고 전극의 관계를 나타내는 도면으로서, 유전체 막(91b), 분포 브래그 리플렉터(91a), 그리고 전극(92)이 순차로 적층되어 있지만, 분포 브래그 리플렉터(91a)와 전극(92) 사이에 분포 브래그 리플렉터(91a)의 유효 굴절률보다 낮은 물질로 된 투광성 막(91f)이 구비되어 있다. 바람직하게는 투광성 막(91f)은  $\lambda/4n$ 이상의 두께를 가진다(여기서  $\lambda$ 는 활성층(40)에서 생성된 빛의 파장이고,  $n$ 은 투광성 막(91f)을 이루는 물질의 굴절률이다). 예를 들어, 투광성 막(91f)을 1.46의 굴절률을 가지는 유전체인  $\text{SiO}_2$ 로 형성할 수 있다.  $\lambda$ 가 450nm(4500Å)인 경우에,  $4500/4 \times 1.46 = 771\text{Å}$  이상의 두께로 형성할 수 있다. 광 웨이브가이드의 효율은 투광성 막(91f)의 굴절률과 분포 브래그 리플렉터(91a)의 유효 굴절률의 차가 클수록 높아지므로, 이러한 물질을 사용함으로써 효율을 높일 수 있게 된다. 투광성 막(91f)은 분포 브래그 리플렉터(91a)의 유효 굴절률보다 낮은 굴절률을 가지면 특별히 제한되지 않으며,  $\text{Al}_2\text{O}_3$ 와 같은 금속 산화물,  $\text{SiO}_2$ ,  $\text{SiON}$ 와 같은 유전체 막,  $\text{MgF}$ ,  $\text{CaF}$ , 등의 물질로 이루어질 수 있다. 굴절률의 차이가 작은 경우에, 그 두께는 두껍게 하여 효과를 거둘 수 있다. 또한

SiO<sub>2</sub>를 사용하는 경우에, 1.46보다 낮은 굴절률을 가지는 SiO<sub>2</sub>를 사용함으로써 효율을 높일 수 있게 된다.

- [119] 도 46은 도 45에 설명된 광 웨이브가이드가 도입된 반도체 발광소자의 일 예를 나타내는 도면으로서, 분포 브래그 리플렉터(91a) 위에, 분포 브래그 리플렉터(91a)의 유효 굴절률보다 낮은 굴절률의 가지는 투광성 막(91f)이 도입되어 있다. 즉, 비도전성 반사막(91)이 투광성 막(91f)을 더 포함한다. 다만, 투광성 막(91f)이 금속 산화물과 같은 도전성 물질로 이루어지는 경우에는 투광성 막(91f)은 비도전성 반사막(91)의 일부를 이루는 것은 아니다. 유전체 막(91b)이 생략되는 경우를 생각해 볼 수 있으며, 광 웨이브가이드의 관점에서는 바람직하지 않지만, 본 개시의 전체 기술사상의 관점에서, 분포 브래그 리플렉터(91a)와 투광성 막(91f)으로 된 구성을 배제할 이유는 없다. 전극(92)은 투광성 막(91f)의 전체에 형성되어도 좋고, 도시와 같이 일부에만 형성되어도 좋고, 생략될 수 있다.
- [120] 도 47는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자를 개념적으로 나타내는 도면으로서, n형 반도체층(30), 활성층(40), p형 반도체층(50)이 구비되어 있으며, 복수의 반도체층(30,40,50)의 일측에 분포 브래그 리플렉터(91a)와, 분포 브래그 리플렉터(91a)를 개재하여 분포 브래그 리플렉터(91a)보다 낮은 굴절률을 가지는 두 개의 투광성 막(91f,91f)이 구비되어 있다. n형 반도체층(30)과 p형 반도체층(50)의 도전성은 바뀔 수 있다.
- [121] 도 48은 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 투광성 막(91f) 아래에 금속 막(3000)이 형성되어 있다. 금속 막(3000)은 단순히 반사 막으로 기능할 수 있지만, 전극으로서 기능할 수 있다. 금속 막(3000)이 전극으로 기능하는 경우에, 필요에 따라 복수의 반도체층(30,40,50)으로 전류를 공급하도록 전기적 연결(4000)이 구비될 수 있다.
- [122] 도 49는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 도 48에 도시된 반도체 발광소자와 달리, n형 반도체층(30)과 투광성 막(91f) 사이에 투광성인 기관 또는 성장 기관(10)이 구비되어 있다. 전극(70)이 p형 반도체층(50) 위에 형성되어 있으며, 전극(80)이 식각되어 노출된 n형 반도체층(30) 위에 형성되어 있다. 분포 브래그 리플렉터(91a)는 활성층(40)에서 생성된 빛을, 활성층(40)을 기준으로 기관(10)의 반대 측, 즉 p형 반도체층(50) 측으로 반사하는 한편, 투광성 막(91f,91f)과 광 웨이브가이드를 형성하여, 일부의 빛을 그 측면으로 방출한다.
- [123] 도 50는 본 개시에 따른 광 웨이브가이드가 적용된 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 투광성 기관(10)이 투광성 막(91f)의 기능을 겸하고 있다. 예를 들어, 사파이어로 된 기관(10)의 경우에, 굴절률이 대략 1.8이고, 그 두께가 50um~180um이므로, SiO<sub>2</sub>/TiO<sub>2</sub>로 된 분포 브래그 리플렉터(91a)에 대해, 투광성 막(91f)으로 기능하는 것이 가능하다. 이때, 분포 브래그 리플렉터(91a) 아래의 투광성 막(91f)은 SiO<sub>2</sub>와 같은 유전체 물질 또는 금속 산화물을

증착함으로써, 칩 레벨에서 제조하는 것이 가능하다. 이와 같이, 칩 레벨에서 분포 브래그 리플렉터(91a)의 특성에 맞추어 투광성 막(91f)을 형성할 수 있으며, 칩 레벨에서 투광성 막(91f)에 반사막(3000)을 부착할 수 있게 된다.

- [124] 도 51는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 반도체 발광소자는 기판(10), 기판(10)에 성장되는 버퍼층(20), 버퍼층(20)위에 성장되는 n형 반도체층(30), n형 반도체층(30) 위에 성장되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층(40), 활성층(40) 위에 성장되는 p형 반도체층(50)을 구비한다. 그리고, p형 반도체층(50) 위에 형성되는 투광성 전도막(60), 성장에 사용되는 기판(10) 측 또는 기판(10)이 제거된 경우에 n형 반도체층(30) 측으로 활성층(40)으로부터의 빛을 반사하도록 투광성 전도막(60) 위에 형성되는 비도전성 반사막(91), n형 반도체층(30)으로 전자를 공급하는 전극(80) 및 비도전성 반사막(91) 위에 형성되어 p형 반도체층(50)으로 정공을 공급하는 전극(92), 전극(80)과 전기적으로 연결되며 n형 반도체층(30) 내로 뺀어 있는 가지 전극(81), 그리고 비도전성 반사막(91)을 관통하여 전극(92)과 투광성 전도막(60)을 연결하는 전기적 연결(94)을 구비한다.
- [125] 비도전성 반사막(91)은 식각되어 노출된 n형 반도체층(30) 및 전극(80) 일부의 위에 형성될 수 있다.
- [126] 비도전성 반사막(91)은 제2 반도체층 위에 형성되는 유전체 막(91b) 및 유전체 막(91b) 위에 형성되는 분포 브래그 리플렉터(91a)를 포함하며, 통상의 유전체 막과 비교하여 계면에서의 반사효율을 높이기 위한 것으로서, 유전체 막(91b)은 1.4 보다 작은 굴절률(n)을 갖는다.
- [127] 구체적으로, 유전체 막(91b)을 이루는 물질은  $\text{SiO}_2$ 가 적당하고, 전자선 증착법 등에 의해 형성될 수 있으며, 증기 흐름(vapor flux)이 수직에 대해 경사진 각도를 갖도록 하는 방식으로 증착된다. 이와 같이 증착된 유전체 막(91b)은 1.4 보다 작은 굴절률(n)을 가질 수 있다. 굴절률(n)은 수직 방향에 대한 증기 흐름의 입사각으로 정의될 수 있는, 증착 각도에 따라 변화될 수 있다. 대략  $50^\circ$ 이상의 증착 각도에서 1.4 보다 작은 굴절률을 달성할 수 있으며, 대략  $68^\circ$  증착 각도에서 1.25 정도의 낮은 굴절률을 달성할 수 있으며, 대략  $85^\circ$ 의 증착 각도에서 1.05 정도의 더욱 낮은 굴절률을 달성할 수 있다.
- [128] 예를 들어, 제2 반도체층이 굴절률이 3인 GaN으로 이루어지는 경우, 유전체 막(91b)의 굴절률이 대략 1.3 정도일 때 임계각이 10% 정도 감소하고, 대략 1.17 정도일 때 임계각이 20% 정도 감소하여 유전체 막(91b)에서의 반사효율을 향상시킨다.
- [129] 이와 같이, 1.4 보다 작은 낮은 굴절률의 유전체 막을 포함함으로써, 반도체층과의 계면에서 반사효율을 높일 수 있다. 즉, 통상적인 유전체 막과 비교하여 비도전성 반사막(91)으로 입사하는 활성층(40)으로부터의 빛 중 더 많은 부분이 1차적으로 유전체 막(91b)에서 n형 반도체층(30) 측으로 반사될 수 있고, 따라서 더 적은 양의 투과되는 나머지 빛은 2차적으로 분포 브래그

리플렉터(91a)에서 반사된다. 이로 인해, 분포 브래그 리플렉터(91a)의 설계와 제작이 용이해진다.

- [130] 투광성 전도막(60)은, 특히 p형 반도체층(50)이 GaN으로 이루어지는 경우에, 전류 확산 능력을 향상시키기 위한 것으로서, 예를 들어, ITO, Ni/Au와 같은 물질로 구성될 수 있다.
- [131] 도 52은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 비도전성 반사막(91)과 투광성 전도막(60)과 사이에 전극(92)으로부터 p형 반도체층(50)으로 원활한 전류 공급(엄밀하게는 정공의 공급)을 위해 길게 뻗어 있는 가지 전극(93)이 구비된다. 가지 전극(93)은 수직 방향으로 비도전성 반사막(91)을 관통한 전기적 연결(94)에 의해 전극(92)과 전기적으로 연결된다. 가지 전극(93)이 없다면, 많은 수의 전기적 연결(94)을 형성하여 p형 반도체층(50)의 거의 전면에 마련된 투광성 전도막(60)에 직접 연결해야 하지만, 이 경우에, 전극(92)과 투광성 전도막(60) 사이에 좋은 전기적 접촉을 형성하기가 쉽지 않을 뿐만 아니라, 제조 공정상 문제점을 야기할 수 있다.
- [132] 도 53은 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 가지 전극(93) 아래에 위치하도록 투광성 전도막(60)과 제2 반도체층(50) 사이에 개재되는 광 흡수 방지막(95)이 구비된다.
- [133] 가지 전극(93) 아래에 위치하도록 광 흡수 방지막(95)이 길게 연장됨에 따라, 가지 전극(93)에 의한 빛의 흡수를 효과적으로 방지할 수 있으며, 따라서 광효율을 개선할 수 있다.
- [134] 도 54는 본 개시에 따른 반도체 발광소자의 또 다른 예를 나타내는 도면으로서, 도 34와 달리 전극(92)이 제2 반도체층(50)과 직접 접촉하도록 배치되며, 제2 반도체층(50) 위의 나머지 영역에 유전체 막(91b)과 분포 브래그 리플렉터(91a)를 포함하는 비도전성 반사막(91)이 배치된다.
- [135] 투광성 전도막(60)은, 특히 p형 반도체층(50)이 GaN으로 이루어지는 경우에, 전류 확산 능력을 향상시키기 위한 것으로서, ITO로 이루어지는 것이 바람직하다.
- [136] 위 실시예에 더하여 또는 독립적으로 통상의 투광성 전도막과 비교하여 계면에서의 반사효율을 높이기 위한 것으로서, 투광성 전도막(60)은 2.0 보다 작은 굴절률( $n_1$ )을 가지도록 설계할 수 있다.
- [137] 구체적으로, 투광성 전도막(60)은 전자선 증착법 등에 의해 형성될 수 있으며, 증기 흐름(vapor flux)이 수직에 대해 경사진 각도를 갖도록 하는 방식으로 증착된다. 통상적인 ITO의 굴절률은 대략 2.1 정도이지만, 증기 흐름이 경사진 각도를 갖도록 증착함으로써 투광성 전도막(60)은 1.17 내지 2.0의 낮은 굴절률( $n_1$ )을 갖게 된다. 굴절률( $n_1$ )은, 수직 방향에 대한 증기 흐름의 입사각으로 정의될 수 있는 증착 각도에 따라 변화될 수 있다. 대략 40°이상의 증착 각도에서 2.0 보다 작은 굴절률을 달성할 수 있으며, 대략 80°의 증착 각도에서 1.3 정도의 낮은 굴절률을 낮은 굴절률을 달성할 수 있고, 대략 85°의 증착 각도에서 1.17 정도의

더욱 낮은 굴절률을 달성할 수 있다.

- [138] 예를 들어, 제2 반도체층(50)이 굴절률이 3인 GaN으로 이루어지는 경우, 투광성 전도막(60)의 굴절률이 대략 1.74 정도일 때 임계각이 20% 정도 감소하고, 대략 1.35 정도일 때 임계각이 40% 정도 감소하여 투광성 전도막(60)에서의 반사효율을 향상시킨다.
- [139] 그러나, 반사효율의 측면에서 투광성 전도막(60)의 굴절률이 낮을수록 좋으나, 굴절률이 낮다는 것은 ITO 밀도가 낮다는 것이고 이로 인해 동일한 두께에서 전도도가 과도하게 낮아질 수 있기 때문에, 재현성 및 전도도 등을 고려하여, 투광성 전도막(60)의 굴절률( $n_1$ )은 1.3 이상인 것이 바람직하다. 즉, 투광성 전도막(60)의 굴절률( $n_1$ )은 1.3 내지 2.0의 범위 이내인 것이 바람직하다.
- [140] 이와 같이, 2.0 보다 작은 낮은 굴절률의 투광성 전도막(60)을 포함함으로써, 투광성 전도막(60)이 전류 확산 능력을 향상시키는 본래의 역할 뿐만 아니라, 비도전성 반사막(91)을 돕는 역할을 또한 수행할 수 있다. 즉, 활성층(40)으로부터의 빛 중 일정 부분을 1차적으로 투광성 전도막(60)과 p형 반도체층(50) 사이의 계면에서 반사시킬 수 있다.
- [141] 구체적으로, 통상적인 투광성 전도막(60)과 비교하여 활성층(40)으로부터의 빛 중 더 많은 부분이 1차적으로 투광성 전도막(60)에서 n형 반도체층(30) 측으로 반사될 수 있고, 따라서 2차적으로 비도전성 반사막(91)에서 반사되는 투과되는 나머지 빛은 더 적어진다. 따라서, 비도전성 반사막(91)에 의한 반사 의존도를 줄일 수 있으며, 비도전성 반사막(91)의 설계와 제작이 용이해진다.
- [142] 이하 본 개시의 다양한 실시 형태에 대하여 설명한다.
- [143] (1) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층;으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층; 제1 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록 제2 반도체층 위에 형성되는 비도전성 반사막; 그리고, 복수의 반도체층과 비도전성 반사막 사이에 형성되며, 제2 반도체층으로 전자와 정공 중의 나머지 하나를 공급하도록 뻗어 있고, 제2 반도체층과 전기적으로 연통하며, 전자와 정공 중의 나머지 하나를 공급받기 위한 전기적 연결을 구비하는 가지 전극;을 포함하는 것을 특징으로 하는 반도체 발광소자. 여기서, 전기적 연결은 도 3에서와 같이 별도 구성을 가질 수 있으며, 가지 전극(92)이 전극(93)과 직접 접촉하는 경우에, 가지 전극(92)가 전기적 연결을 구성할 수도 있음을 염두에 두어야 한다.
- [144] (2) 비도전성 반사막은 분포 브래그 리플렉터를 포함하는 것을 특징으로 하는 반도체 발광소자.
- [145] (3) 전기적 연결과 연결되어, 제2 반도체층으로 전자와 정공 중의 나머지 하나를 공급하는 제2 전극;을 포함하는 것을 특징으로 하는 반도체 발광소자.



- [146] (4) 전기적 연결은 제2 전극으로부터 가지 전극으로 비도전성 반사막을 관통하여 형성되는 것을 특징으로 하는 반도체 발광소자.
- [147] (5) 가지 전극의 아래에서 가지 전극과 복수의 반도체층 사이에 형성되며, 활성층에서 생성된 빛이 가지 전극에 의해 흡수되는 것은 막는 광 흡수 방지막;을 포함하는 것을 특징으로 하는 반도체 발광소자.
- [148] (6) 광 흡수 방지막은 제2 반도체층보다 굴절률이 낮은 투광성 물질로 이루어지는 것을 특징으로 하는 반도체 발광소자.
- [149] (7) 광 흡수 방지막은 비도전성 물질로 이루어지는 것을 특징으로 하는 반도체 발광소자.
- [150] (8) 광 흡수 방지막은 제2 반도체층보다 굴절률이 낮은 투광성 유전체막인 것을 특징으로 하는 반도체 발광소자.
- [151] (9) 비도전성 반사막과 제2 반도체층 사이에 형성되어, 가지 전극과 제2 반도체층을 전기적으로 연동시키는 투광성 도전막;을 포함하는 것을 특징으로 하는 반도체 발광소자.
- [152] (10) 투광성 도전막이 광 흡수 방지막을 덮고 있고, 가지 전극은 투광성 도전막 위에 놓이는 것을 특징으로 하는 반도체 발광소자.
- [153] (11) 투광성 도전막은 비도전성 반사막이 복수의 반도체층과 접하도록 개구를 가지는 것을 특징으로 하는 반도체 발광소자.
- [154] (12) 가지 전극이 광 흡수 방지막에 접촉하고 있는 것을 특징으로 하는 반도체 발광소자. 도 10의 실시예에서, 투광성 도전막이 제거되어 가지 전극이 광 흡수 방지막과 직접 접촉하고 있다.
- [155] (13) 비도전성 반사막은 분포 브래그 리플렉터 아래에서 제2 반도체층보다 낮은 굴절률을 가지는 유전체막을 포함하는 것을 특징으로 하는 반도체 발광소자.
- [156] (14) 제2 반도체층은 p형 3족 질화물 반도체로 이루어지는 것을 특징으로 하는 반도체 발광소자. 본 개시는 p형 GaN의 전류 확산 능력이 좋지 못하고, 투광성 도전막(예: ITO)의 도움을 받아야 하는 3족 질화물 반도체 발광소자에 특히 적합하다.
- [157] (15) 가지 전극은 투광성 도전막 위에 놓이는 것을 특징으로 하는 반도체 발광소자.
- [158] (16) 제1 전극이 제1 전극으로부터 제1 반도체층을 따라 뻗어 있는 가지 전극을 구비하는 것을 특징으로 하는 반도체 발광소자.
- [159] (17) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층을 준비하는 단계; 제2 반도체층과 전기적으로 연동하도록 가지 전극을 형성하는 단계; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록, 가지

전극 위에, 다층의 유전체막으로 된 비도전성 반사막을 형성하는 단계;로서, 최하층의 두께가 그 위에 적층되는 적어도 두 개의 층의 각 두께보다 두꺼우며, 최하층을 화학 기상 증착법으로 형성하고, 적어도 두 개의 층을 물리 증착법으로 형성하는, 비도전성 반사막을 형성하는 단계; 그리고, 비도전성 반사막을 관통하여, 가지 전극과 전기적으로 연결되는 전기적 연결을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법. 또한 가지 전극이 생략된 반도체 발광소자로의 본 개시에 따른 제조 방법의 확장.

- [160] (18) 화학 기상 증착법은 플라즈마 화학 기상 증착법인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [161] (19) 물리 증착법은 전자선 증착법 및 스퍼터링법 중에서 선택되는 하나인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [162] (20) 최하층은  $\text{SiO}_2$ 인 것 특징으로 하는 반도체 발광소자의 제조 방법.
- [163] (21) 적어도 두 개의 층은  $\text{TiO}_2$ 를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [164] (22) 적어도 두 개의 층은  $\text{SiO}_2$ 와  $\text{TiO}_2$ 로 이루어지는 분포 브래그 리플렉터인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [165] (23) 비도전성 반사막 위에 전기적 연결과 연결되는 금속층을 형성하는 단계;를 포함하는 것을 특징으로 반도체 발광소자의 제조 방법. 금속층은 전극(92)이거나, 전극(92)과 연결된 보조 방열 패드(97)일 수 있다.
- [166] (24) 비도전성 반사막을 형성하는 단계에 앞서, 식각되어 노출된 제1 반도체층 위에 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [167] (25) 가지 전극을 형성하는 단계에서, 가지 전극의 최상층을 Au이 아닌 금속으로 형성하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [168] (26) 가지 전극을 형성하는 단계에서, 가지 전극의 최상층을 Ni, Ti, W, TiW, Cr, Pd, Mo 중에서 선택되는 하나의 금속으로 형성하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [169] (27) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층;으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층; 제1 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 제2 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극; 그리고, 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록 제2 반도체층 위에 형성되는 비도전성 반사막;으로서, 제1 굴절률( $n_1$ )을 가지는 제1 층과 제1 굴절률보다 큰 제2 굴절률( $n_2$ )을 가지는 제2 층이 교번 적층되며, 제2 층이 제1 층이 설계되는 파장에 비해 장 파장에 대해 설계된 두께를 가지는 분포 브래그 리플렉터를 구비하는 비도전성 반사막;을 포함하는 것을 특징으로 하는 반도체 발광소자가 제공된다.

제1 반도체층은 n형 도전성, 제2 반도체층은 p형 도전성을 가질 수 있으며, 이들의 도전성을 바꿀 수 있다. 제1 전극은 도 3의 전극(80), 도 8의 전극(83)의 형태를 가질 수 있으며, 기판(10)이 제거된 경우에는 제1 반도체층에 직접 형성될 수 있는 다양한 형태를 가질 수 있다. 제2 전극은 도 3의 전극(92) 및/또는 전기적 연결(94)의 형태를 가질 수 있으며, 이외에도 다양한 형태를 가질 수 있다.

[170] (28) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층; 제2 반도체층 위에 형성되는 투광성 전도막; 활성층으로부터의 빛을 제1 반도체층 측으로 반사하도록 투광성 전도막 위에 형성되는 제1 비도전성 반사막; 복수의 반도체층에 전자와 정공 중의 하나를 공급하며, 제1 반도체층과 전기적으로 연결되는 제1 전극; 복수의 반도체층에 전자와 정공 중의 나머지 하나를 공급하며, 제2 반도체층과 전기적으로 연결되고, 제1 비도전성 반사막 위에 위치하는 제2 전극; 제1 비도전성 반사막을 관통하여 제2 전극과 투광성 전도막을 연결하는 전기적 연결; 그리고 활성층으로부터의 빛을 제1 반도체층 측으로 반사하도록 전기적 연결 아래의 투광성 전도막과 제2 반도체층 사이의 위치에 개재되는 제2 비도전성 반사막;을 포함하는 것을 특징으로 하는 반도체 발광소자. 제1 반도체층은 n형 도전성, 제2 반도체층은 p형 도전성을 가질 수 있으며, 이들의 도전성은 바꿀 수 있다. 제1 전극은 도 3의 전극(80), 도 8의 전극(83)의 형태를 가질 수 있으며, 기판(10)이 제거된 경우에는 제1 반도체층에 직접 형성될 수 있는 다양한 형태를 가질 수 있다. 제2 전극은 도 3의 전극(92)의 형태를 가질 수 있으며, 이외에도 다양한 형태를 가질 수 있다.

[171] (29) 성장 기판; 성장 기판 위에 형성되며, 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층; 활성층으로부터의 빛을 성장 기판 측으로 반사하도록 제2 반도체층 위에 형성되며, 성장 기판의 측면에까지 이어지는 비도전성 반사막; 제1 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 그리고, 제2 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극;을 포함하는 것을 특징으로 하는 반도체 발광소자.

[172] (30) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층;으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록 제2 반도체층 위에 형성되는 비도전성 반사막; 복수의 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 및 복수의 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극;으로서, 제1 전극 중 제2 전극 중의 적어도 하나는 비도전성 반사막을

기준으로 복수의 반도체층의 반대측에서 구비되는 제1 전극; 및 제2 전극; 그리고, 비도전성 반사막을 기준으로 복수의 반도체층의 반대측에서 구비되며, 제1 전극 및 제2 전극 중의 적어도 하나에 결합되어 있는 도금 막;을 포함하는 것을 특징으로 하는 반도체 발광소자.

- [173] (31) 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층;으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층; 복수의 반도체층에 전자와 정공 중의 하나를 공급하는 제1 전극; 복수의 반도체층에 전자와 정공 중의 나머지 하나를 공급하는 제2 전극; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록 제2 반도체층 위에 형성되며, 제2 반도체층 측으로부터 유전체 막과 분포 브래그 리플렉터를 순차로 구비하는 비도전성 반사막; 그리고, 비도전성 반사막의 일부로서 또는 별개로서, 분포 브래그 리플렉터 위에 구비되며, 분포 브래그 리플렉터의 유효 굴절률보다 낮은 굴절률을 가지는 투광성 막;을 포함하는 것을 특징으로 하는 반도체 발광소자.
- [174] 본 개시에 따른 하나의 반도체 발광소자에 의하면, 새로운 형태의 반사막 구조를 구현할 수 있게 된다.
- [175] 또한 본 개시에 따른 다른 반도체 발광소자에 의하면, 새로운 형태의 플립 칩을 구현할 수 있게 된다.
- [176] 또한 본 개시에 따른 또다른 반도체 발광소자에 의하면, 가지 전극을 도입한 반사막 구조를 구현할 수 있게 된다.
- [177] 또한 본 개시에 따른 또다른 반도체 발광소자에 의하면, 가지 전극을 도입한 플립 칩을 구현할 수 있게 된다.

## 청구범위

- [청구항 1] 제1 도전성을 가지는 제1 반도체층, 제1 도전성과 다른 제2 도전성을 가지는 제2 반도체층 및 제1 반도체층과 제2 반도체층 사이에 개재되며 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 가지는 복수의 반도체층으로서, 성장 기판을 이용해 순차로 성장되는 복수의 반도체층을 준비하는 단계; 제2 반도체층과 전기적으로 연통하도록 가지 전극을 형성하는 단계; 활성층으로부터의 빛을 성장 기판 측인 제1 반도체층 측으로 반사하도록, 가지 전극 위에, 다층의 유전체막으로 된 비도전성 반사막을 형성하는 단계;로서, 최하층의 두께가 그 위에 적층되는 적어도 두 개의 층의 각 두께보다 두꺼우며, 최하층을 화학 기상 증착법으로 형성하고, 적어도 두 개의 층을 물리 증착법으로 형성하는, 비도전성 반사막을 형성하는 단계; 그리고, 비도전성 반사막을 관통하여, 가지 전극과 전기적으로 연결되는 전기적 연결을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 2] 청구항 1에 있어서, 화학 기상 증착법은 플라즈마 화학 기상 증착법인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 3] 청구항 1에 있어서, 물리 증착법은 전자선 증착법, 스퍼터링법 및 열 증착법 중에서 선택되는 하나인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 4] 청구항 1에 있어서, 최하층은  $\text{SiO}_2$ 인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 5] 청구항 1에 있어서, 적어도 두 개의 층은  $\text{TiO}_2$ 를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 6] 청구항 1에 있어서, 적어도 두 개의 층은  $\text{SiO}_2$ 와  $\text{TiO}_2$ 로 이루어지는 분포 브래그 리플렉터인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 7] 청구항 2에 있어서, 적어도 두 개의 층은  $\text{SiO}_2$ 와  $\text{TiO}_2$ 로 이루어지는 분포 브래그 리플렉터인 것을 특징으로 하는 반도체 발광소자의 제조 방법.
- [청구항 8] 청구항 7에 있어서,

화학 기상 증착법은 플라즈마 화학 기상 증착법이며,  
물리 증착법은 전자선 증착법 및 스퍼터링법 중에서 선택되는  
하나인 것을 특징으로 하는 반도체 발광소자의 제조 방법.

[청구항 9]

청구항 1 내지 청구항 8항 중의 어느 한 항에 있어서,  
비도전성 반사막 위에 전기적 연결과 연결되는 금속층을 형성하는  
단계;를 포함하는 것을 특징으로 반도체 발광소자의 제조 방법.

[청구항 10]

청구항 9에 있어서,  
비도전성 반사막을 형성하는 단계에 앞서, 식각되어 노출된 제1  
반도체층 위에 전극을 형성하는 단계;를 포함하는 것을 특징으로  
하는 반도체 발광소자의 제조 방법.

[청구항 11]

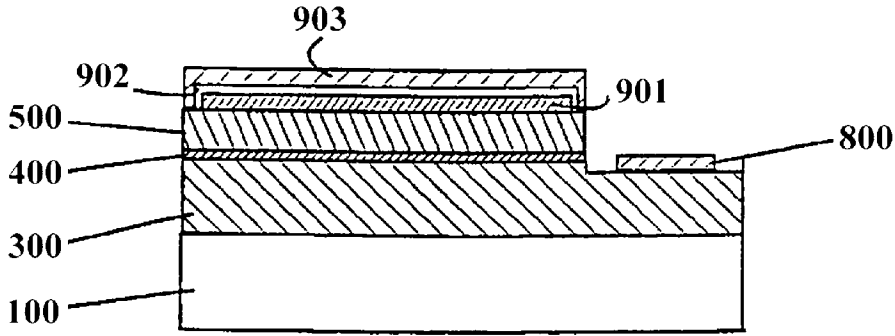
청구항 1에 있어서,  
가지 전극을 형성하는 단계에서, 가지 전극의 최상층을 Au이 아닌  
금속으로 형성하는 것을 특징으로 하는 반도체 발광소자의 제조  
방법.

[청구항 12]

청구항 1에 있어서,  
가지 전극을 형성하는 단계에서, 가지 전극의 최상층을 Ni, Ti, W,  
TiW, Cr, Pd, Mo 중에서 선택되는 하나의 금속으로 형성하는 것을  
특징으로 하는 반도체 발광소자의 제조 방법.

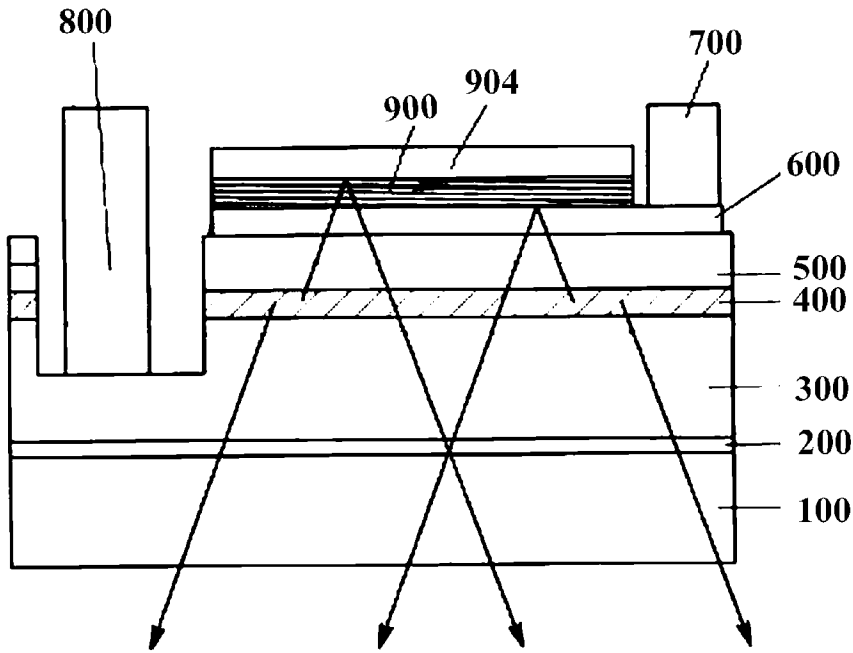
[Fig. 1]

**Prior Art**

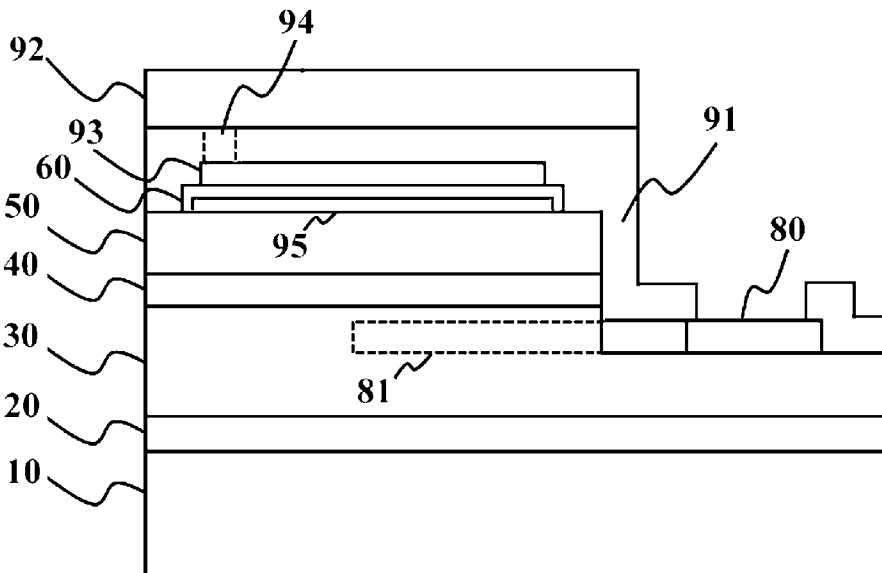


[Fig. 2]

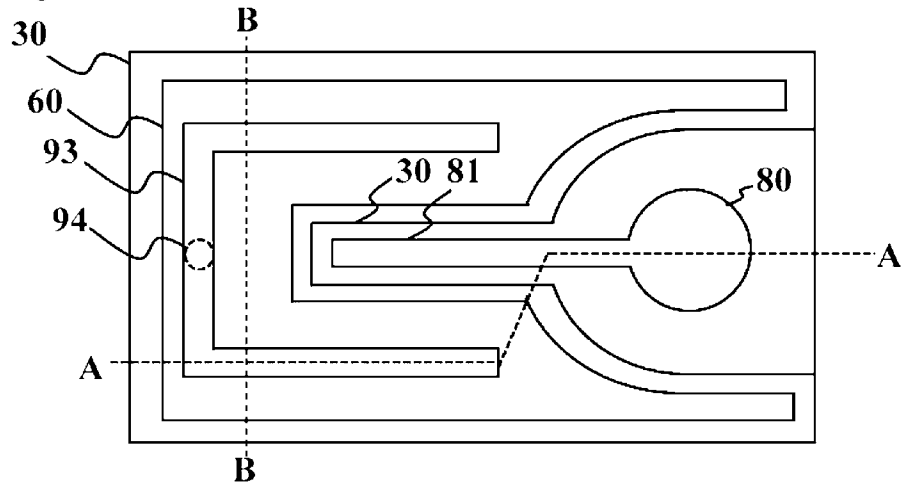
**Prior Art**



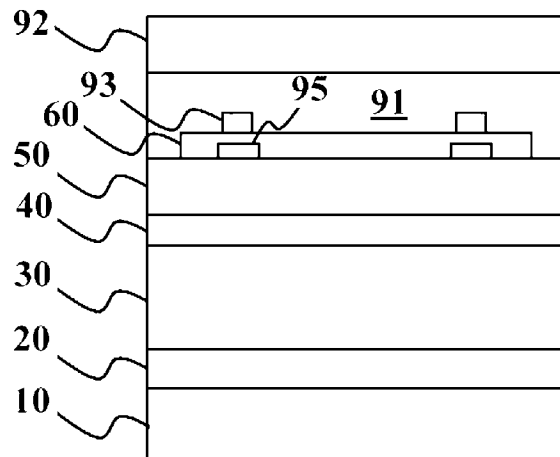
[Fig. 3]



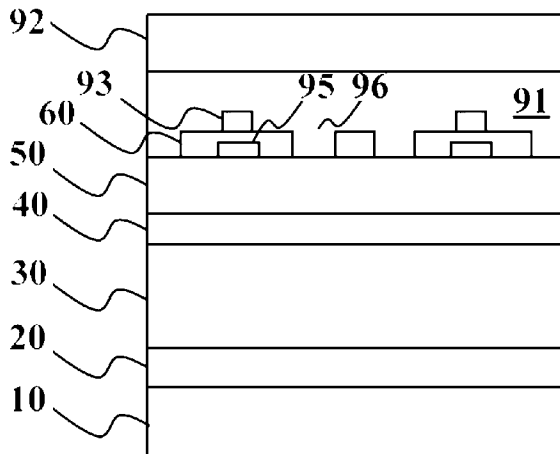
[Fig. 4]



[Fig. 5]

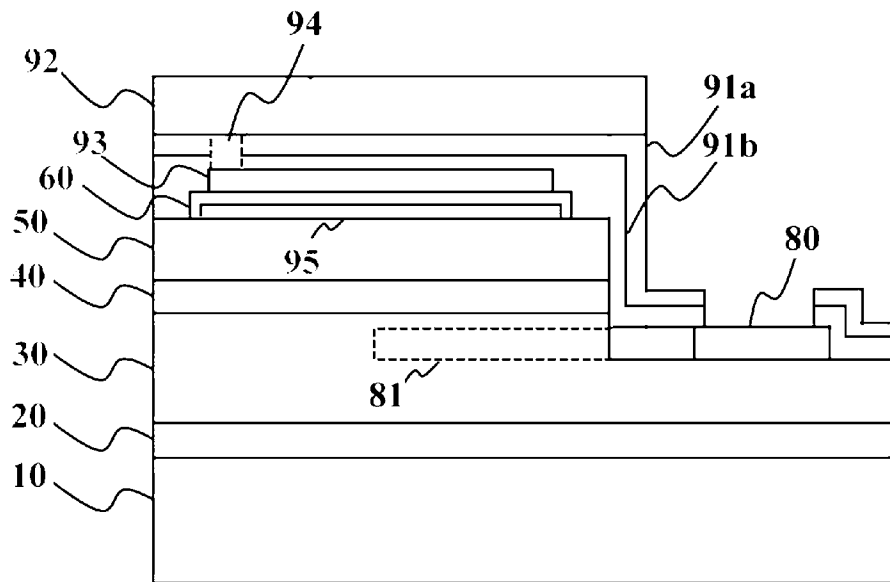


[Fig. 6]

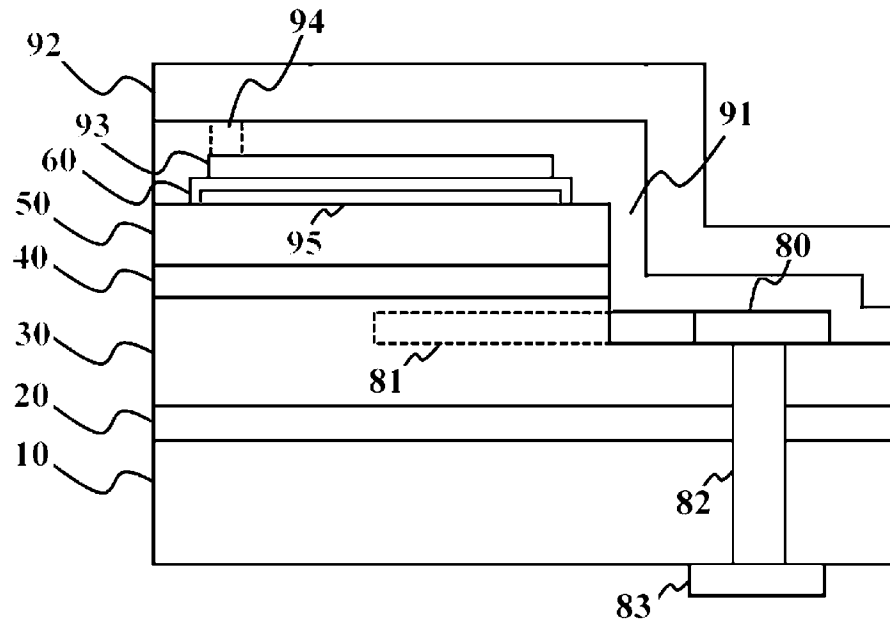




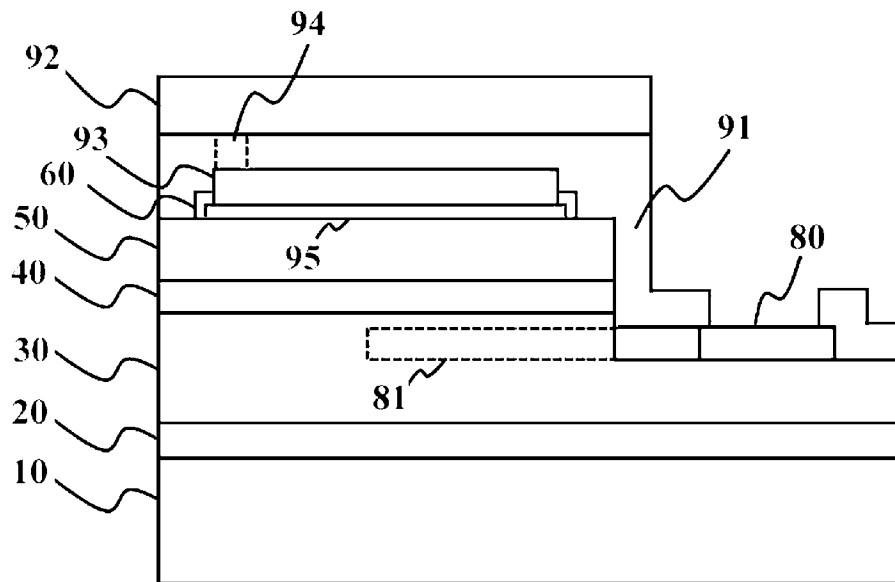
[Fig. 7]



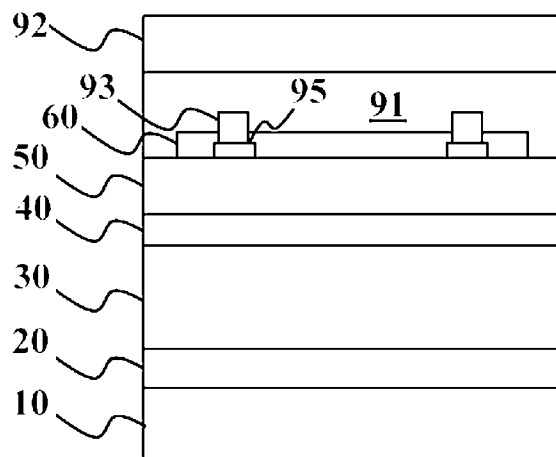
[Fig. 8]



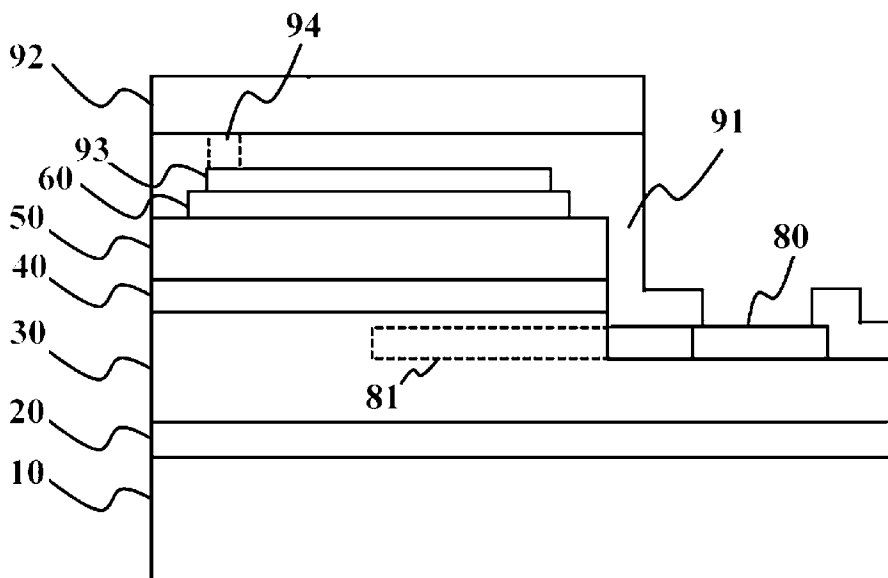
[Fig. 9]



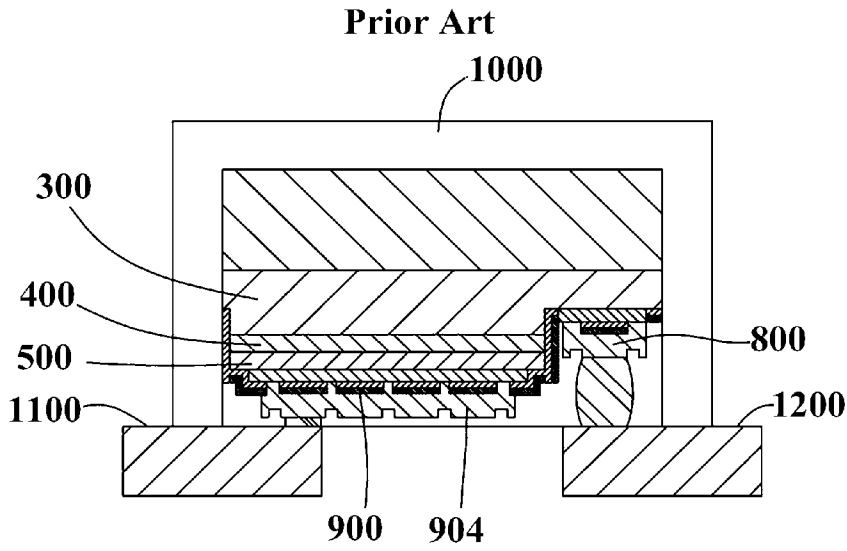
[Fig. 10]



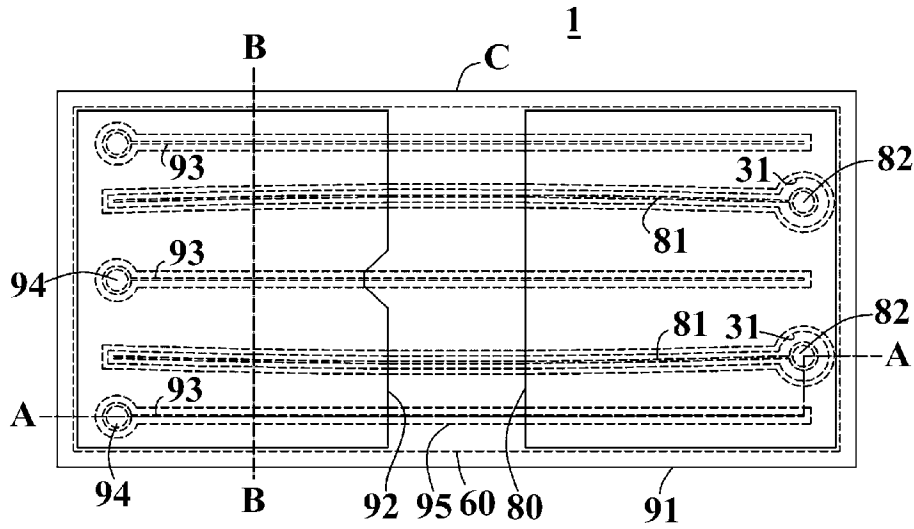
[Fig. 11]



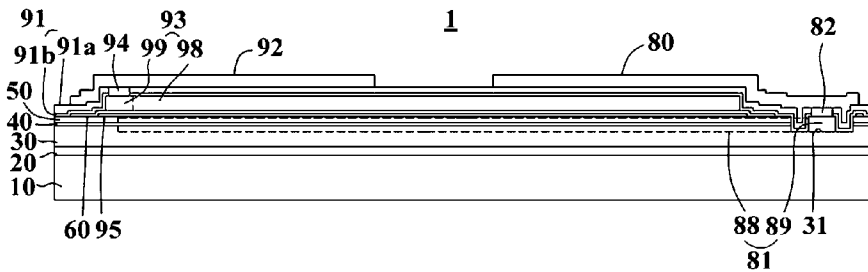
[Fig. 12]



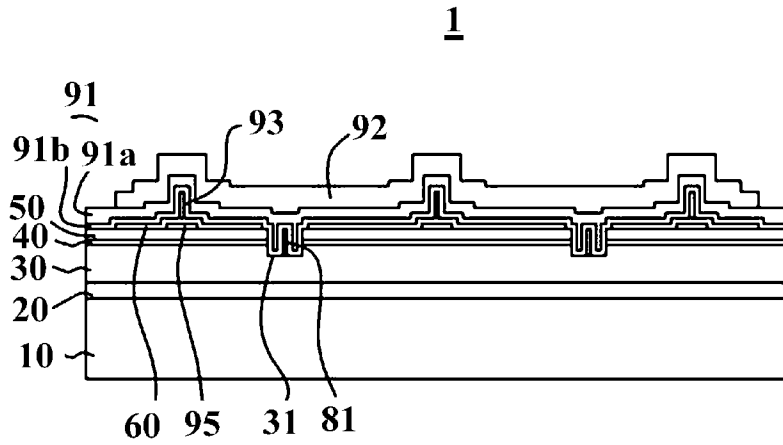
[Fig. 13]



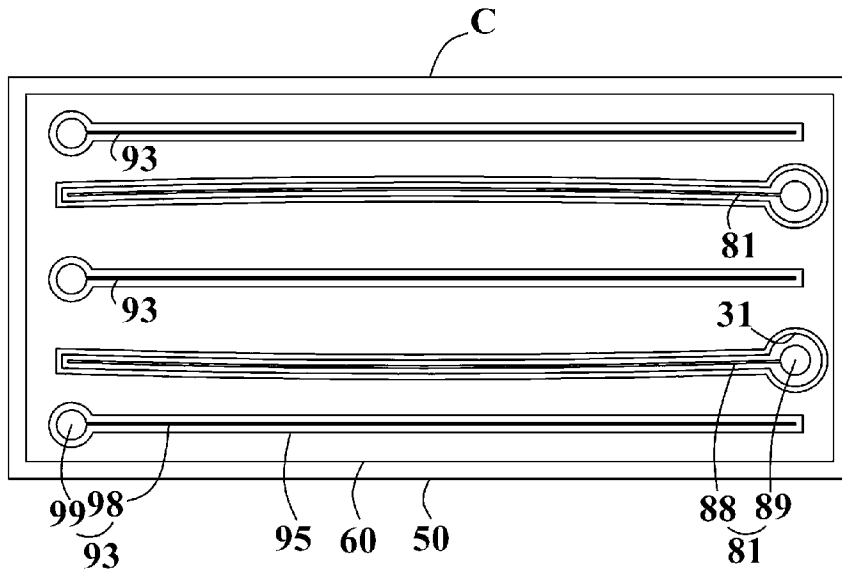
[Fig. 14]



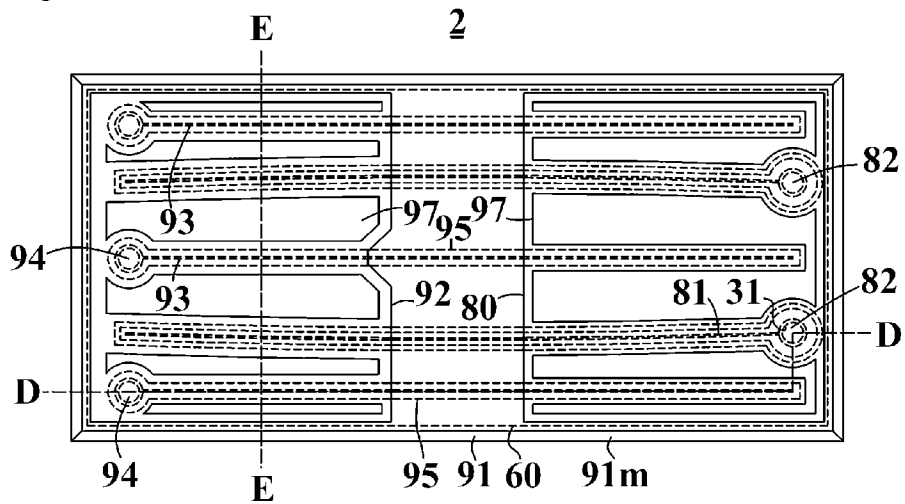
[Fig. 15]



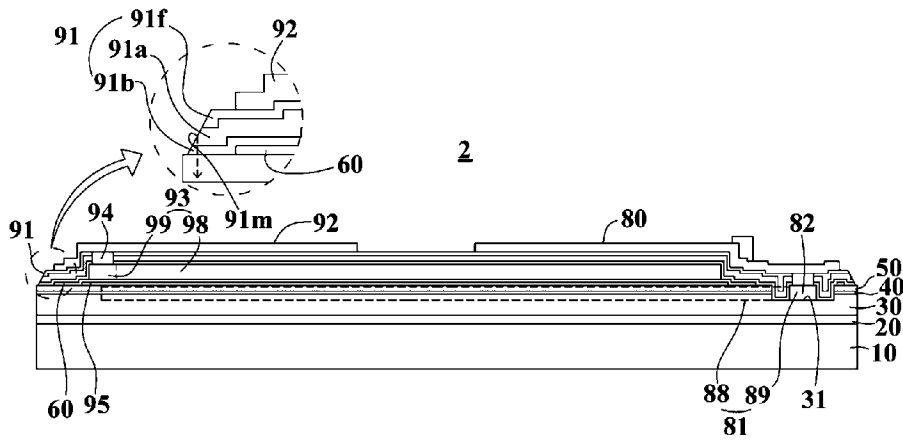
[Fig. 16]



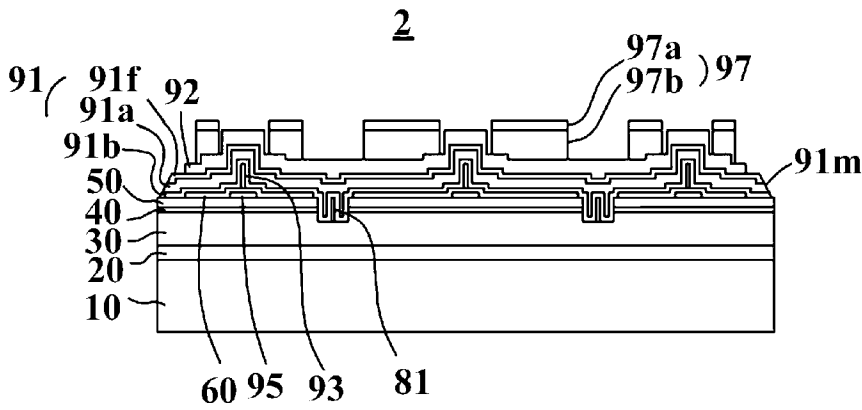
[Fig. 17]



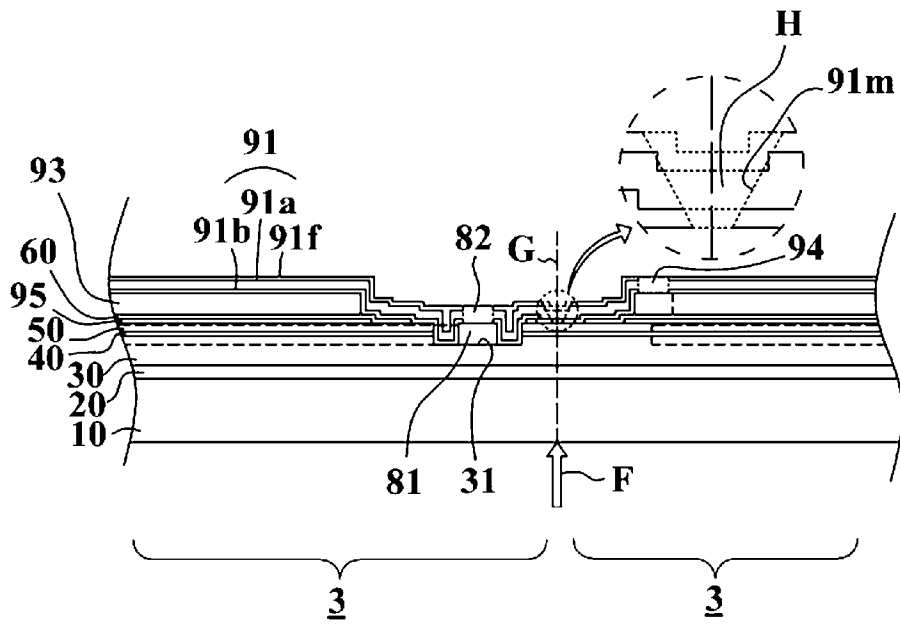
[Fig. 18]



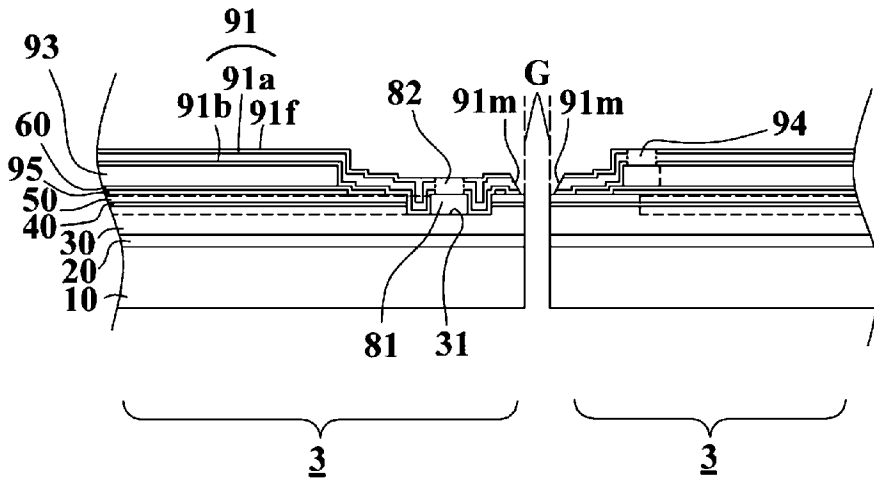
[Fig. 19]



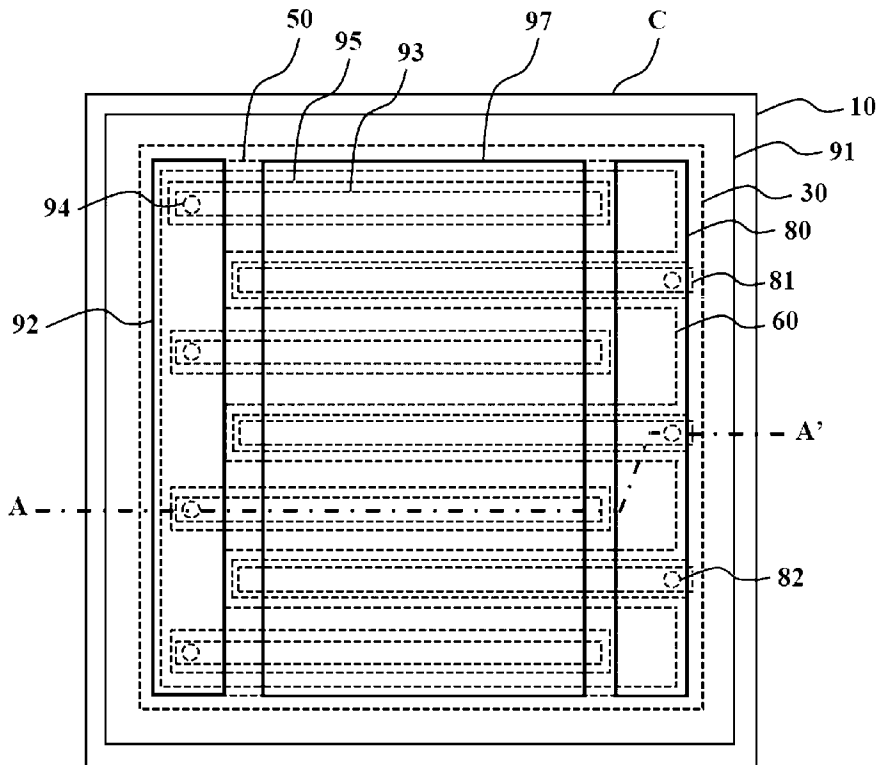
[Fig. 20]



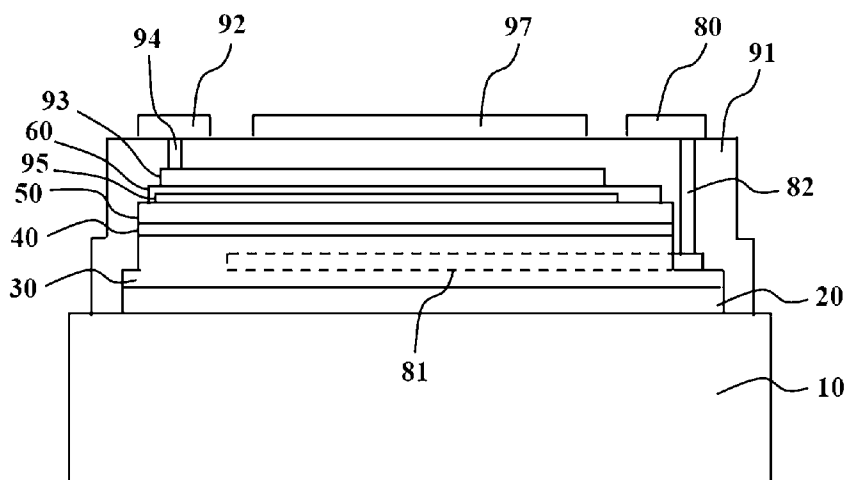
[Fig. 21]



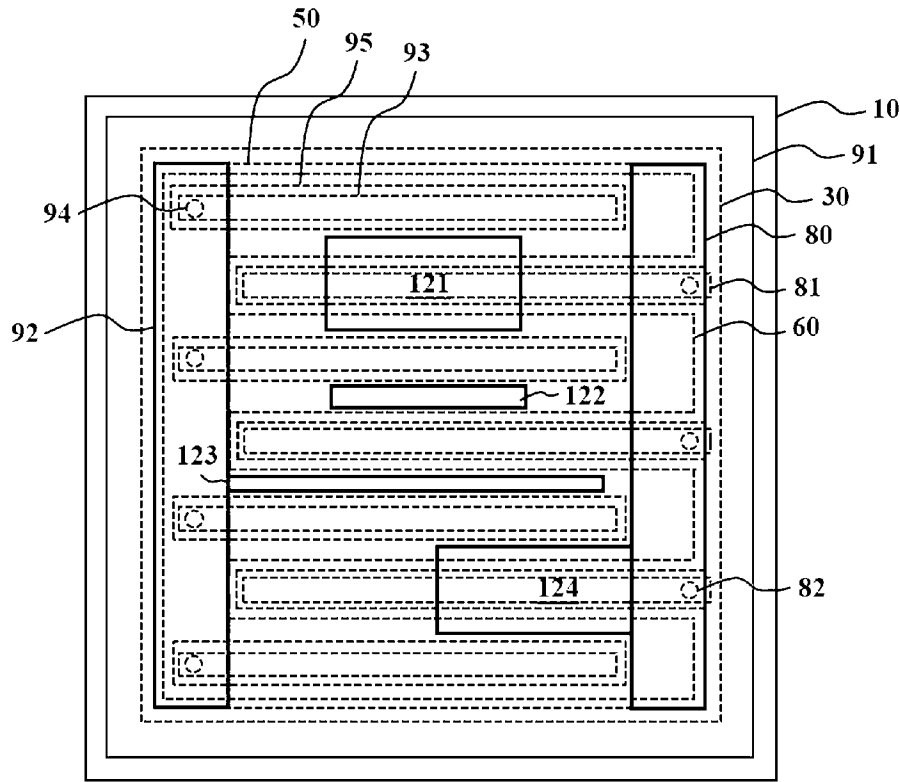
[Fig. 22]



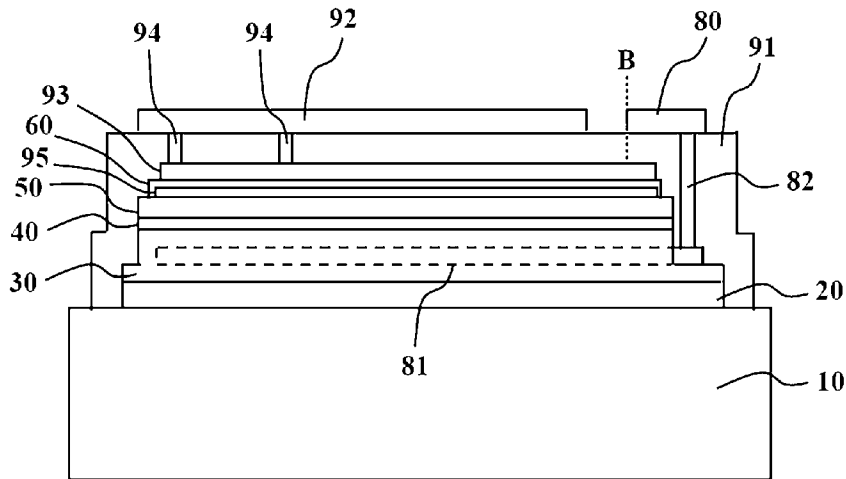
[Fig. 23]



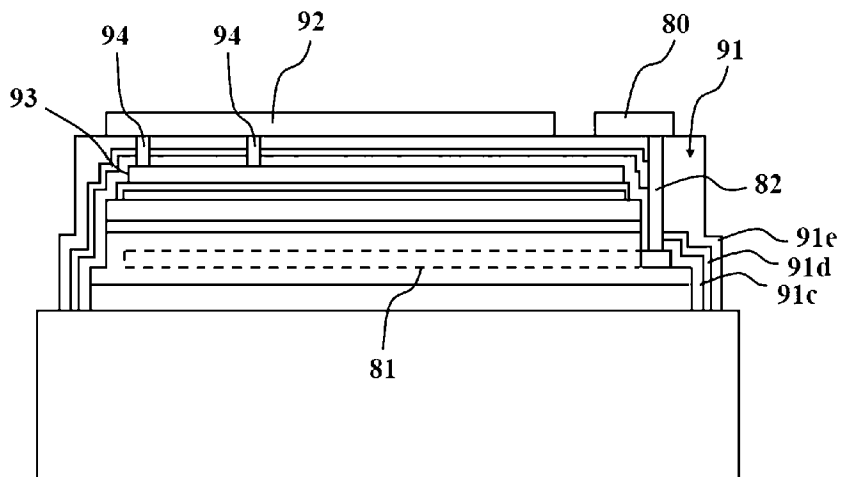
[Fig. 24]



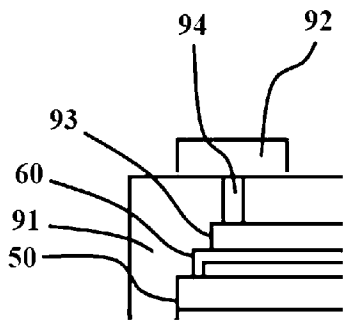
[Fig. 25]



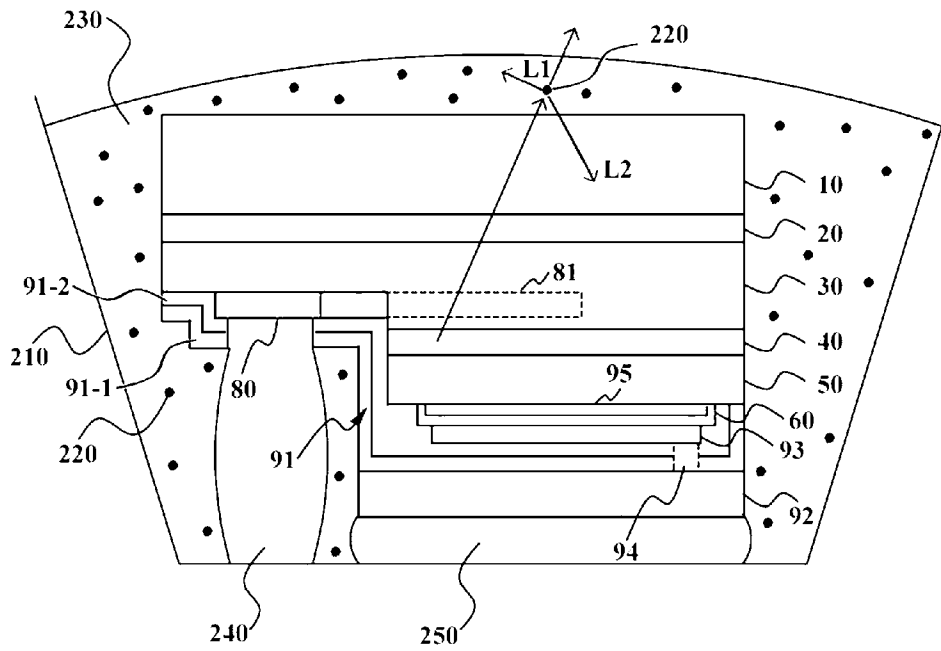
[Fig. 26]



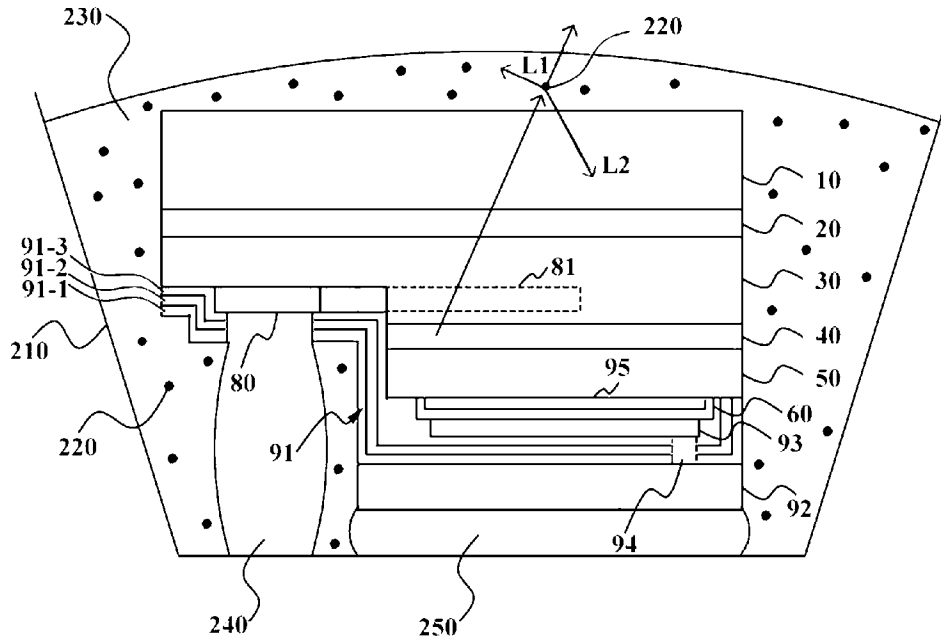
[Fig. 27]



[Fig. 28]

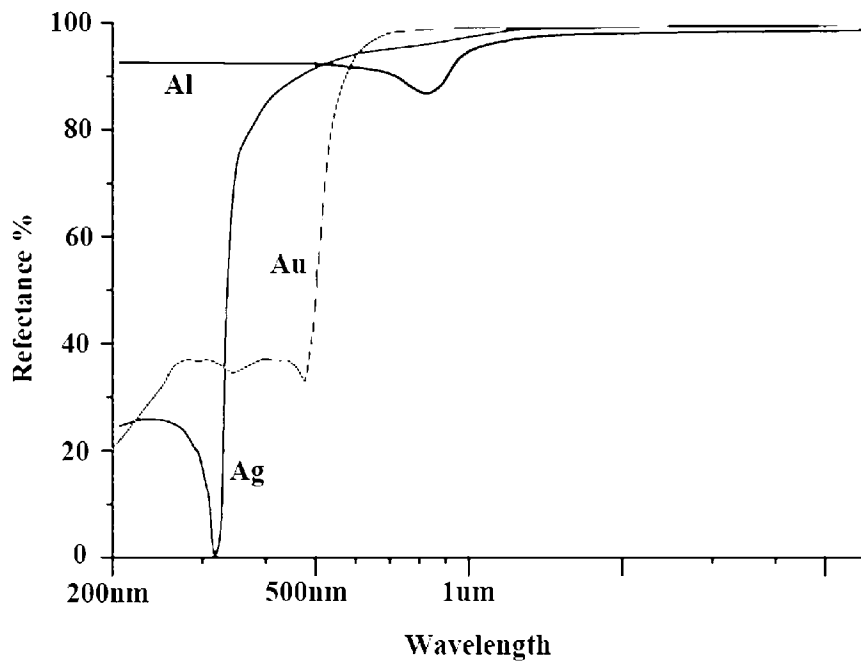


[Fig. 29]

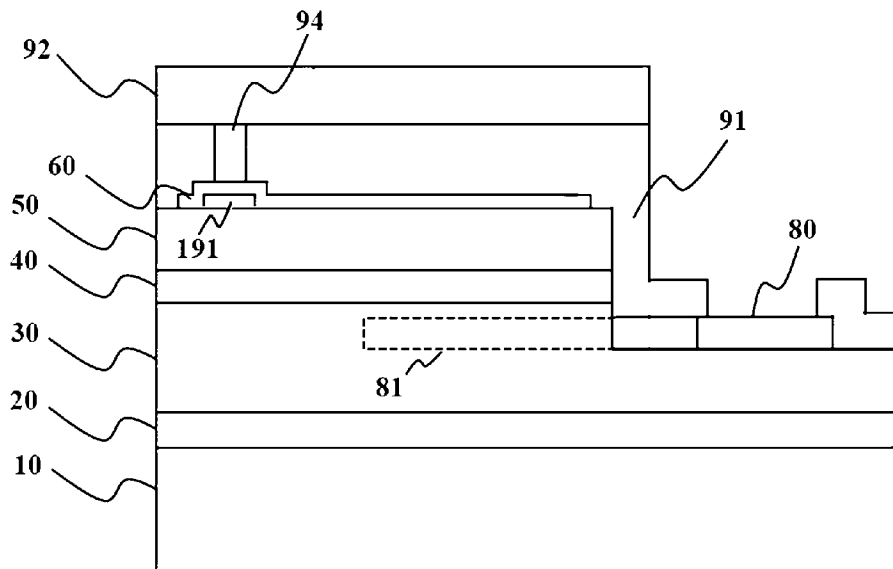




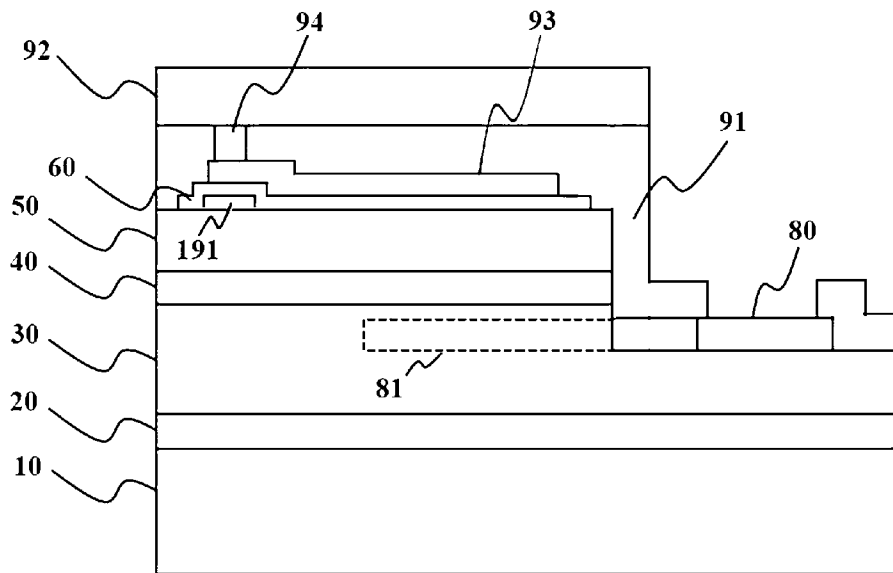
[Fig. 30]



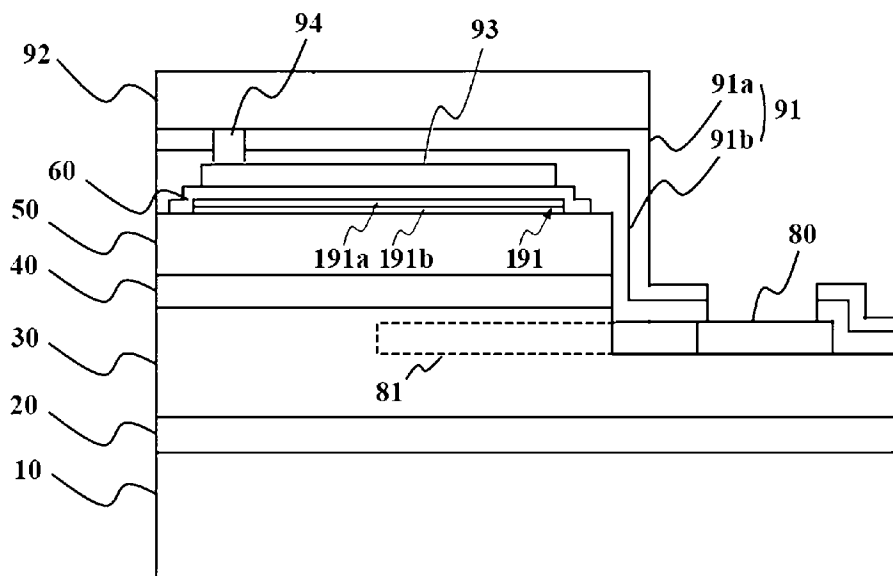
[Fig. 31]



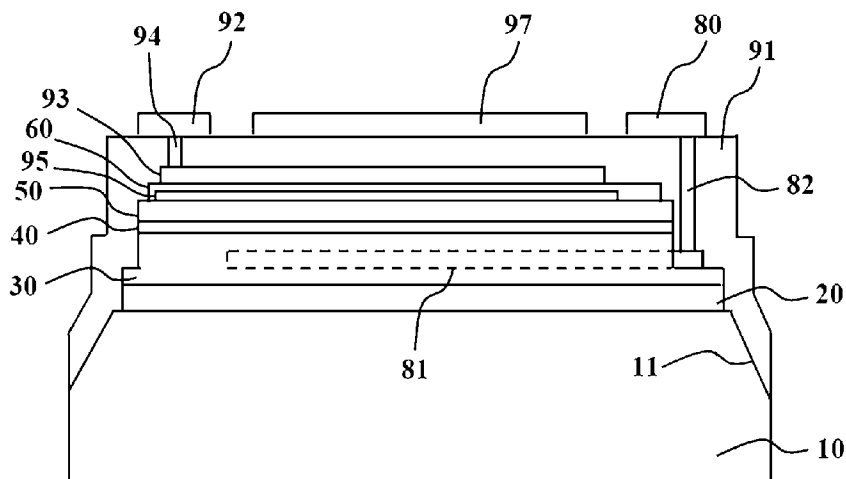
[Fig. 32]



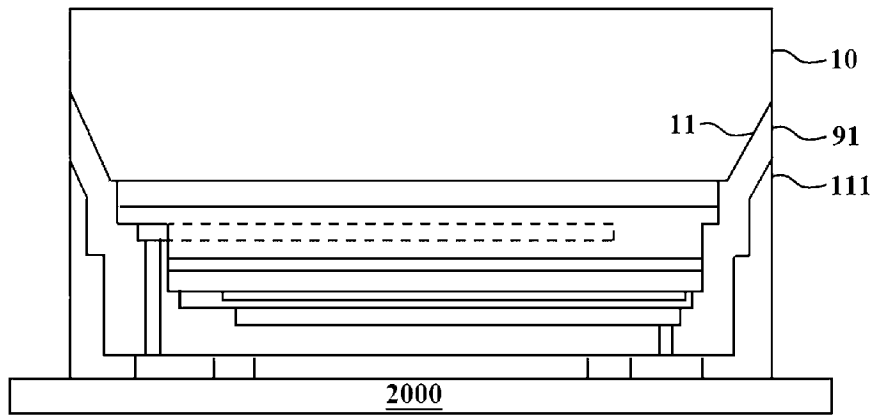
[Fig. 33]



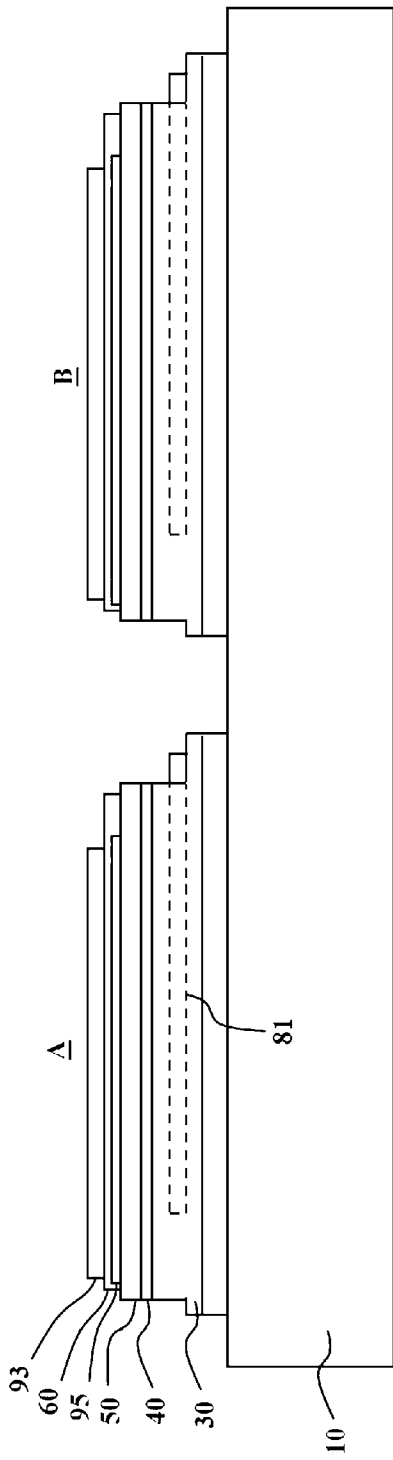
[Fig. 34]



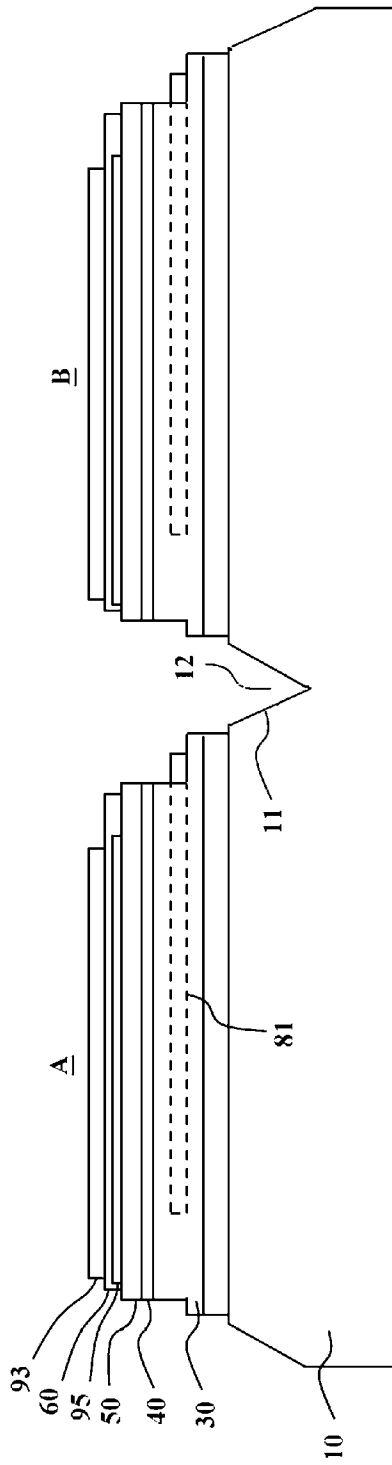
[Fig. 35]



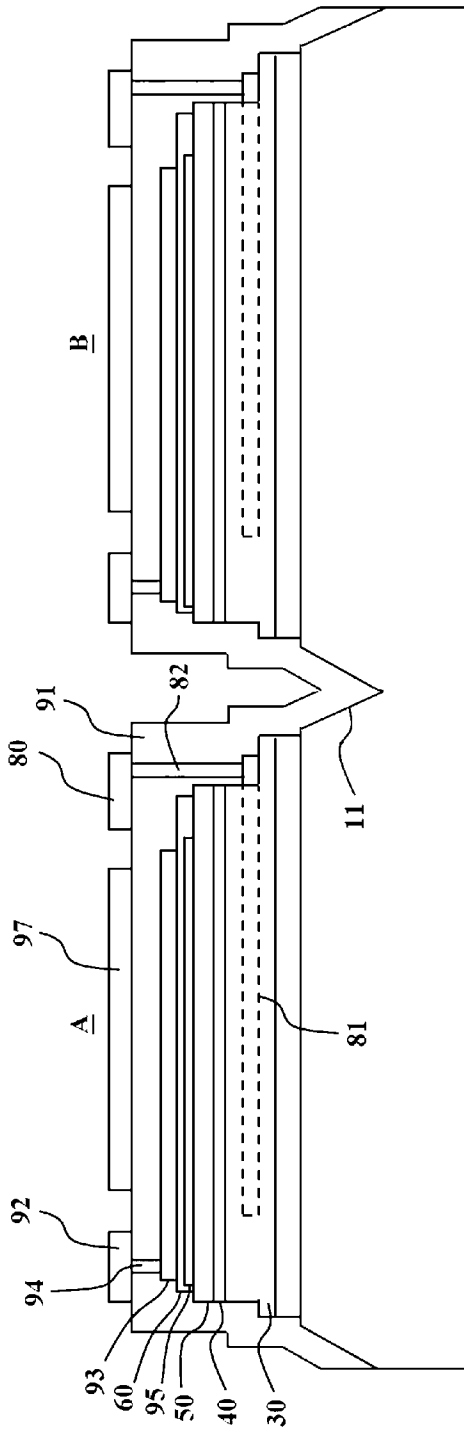
[Fig. 36]



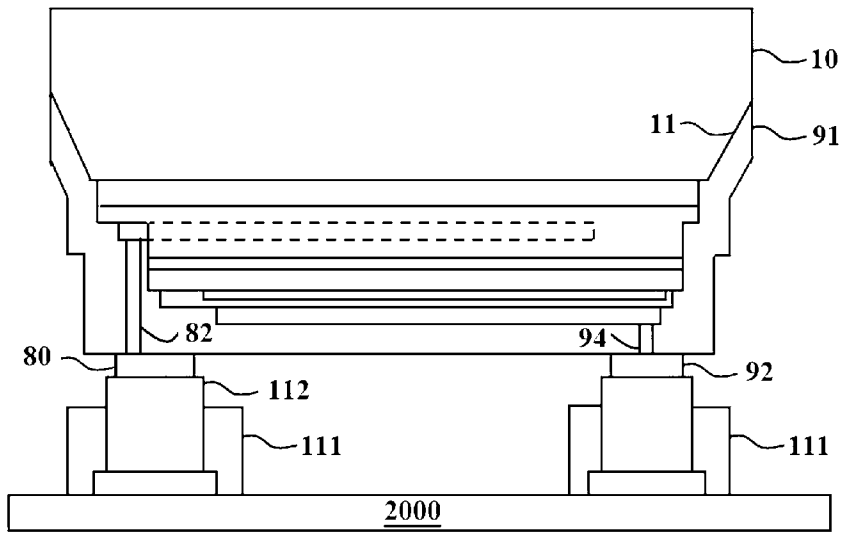
[Fig. 37]



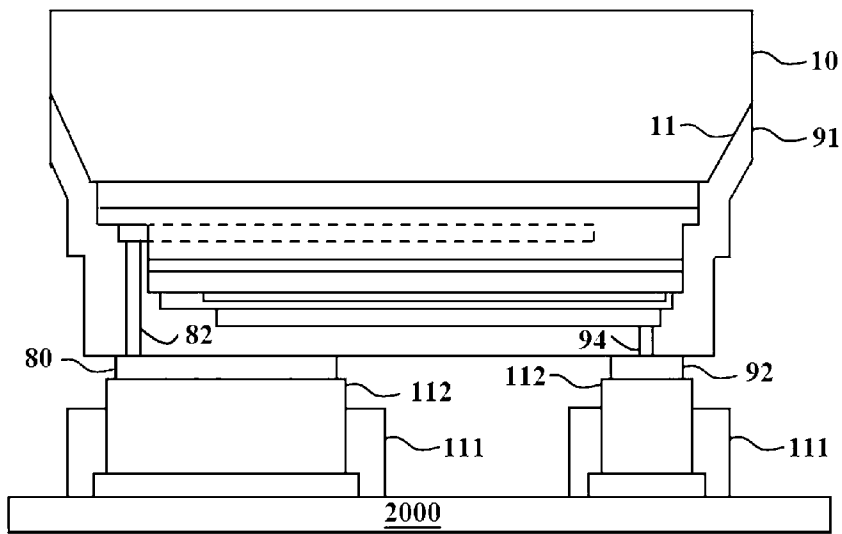
[Fig. 38]



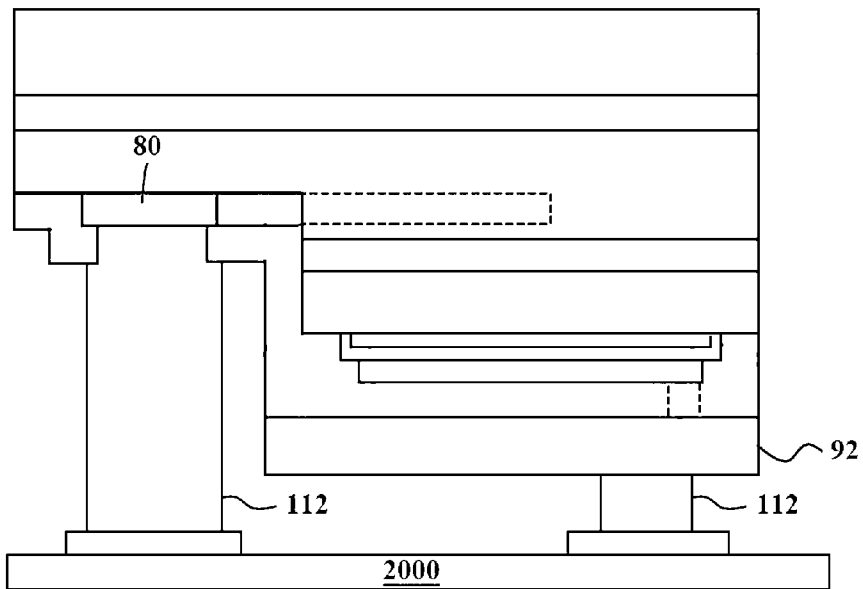
[Fig. 39]



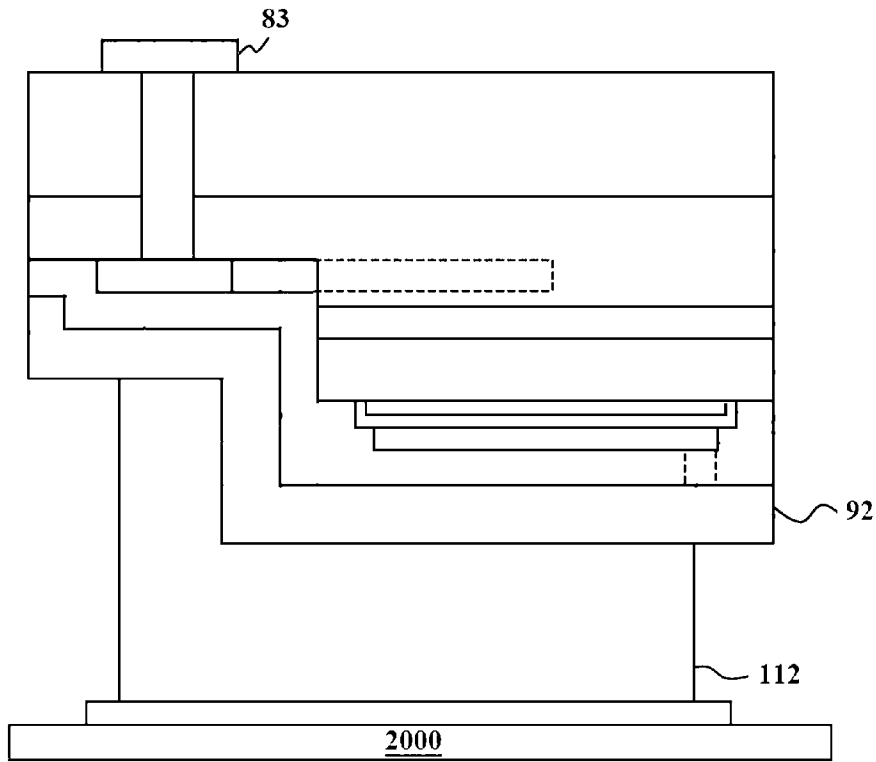
[Fig. 40]



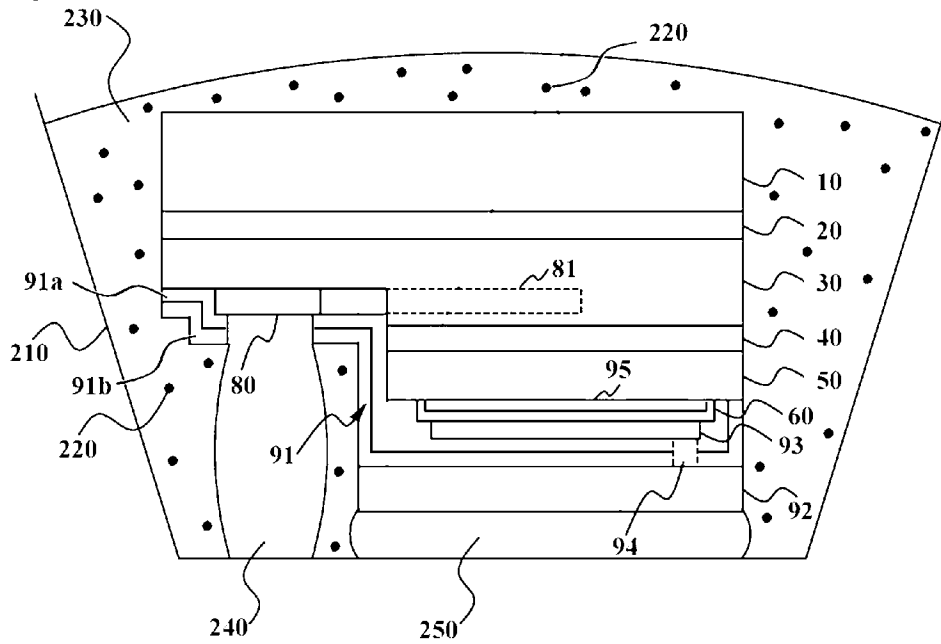
[Fig. 41]



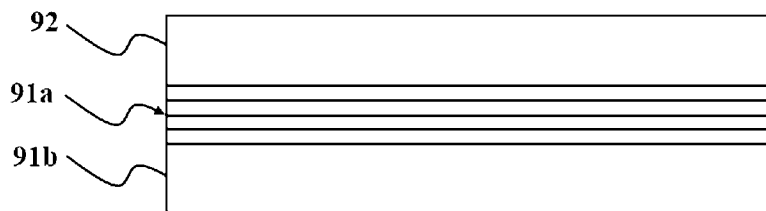
[Fig. 42]



[Fig. 43]

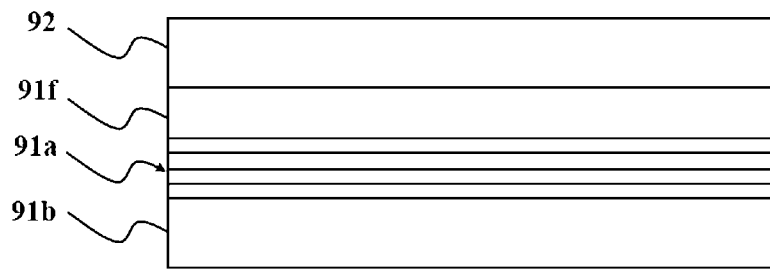


[Fig. 44]

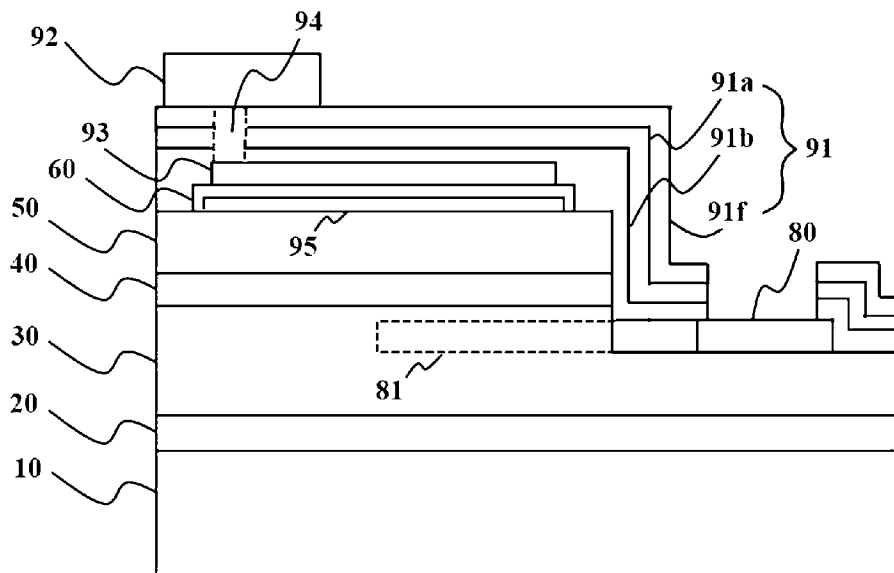




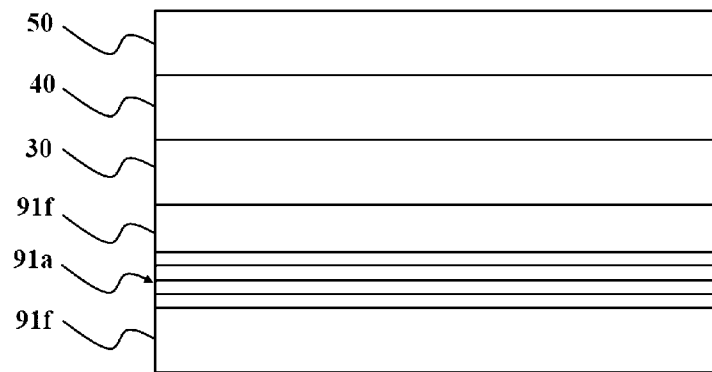
[Fig. 45]



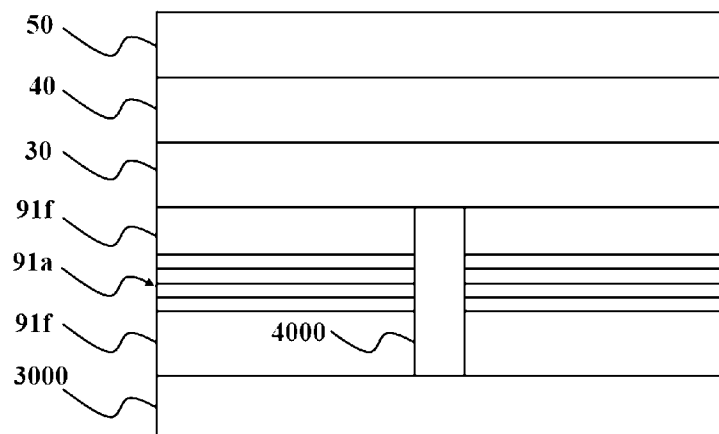
[Fig. 46]



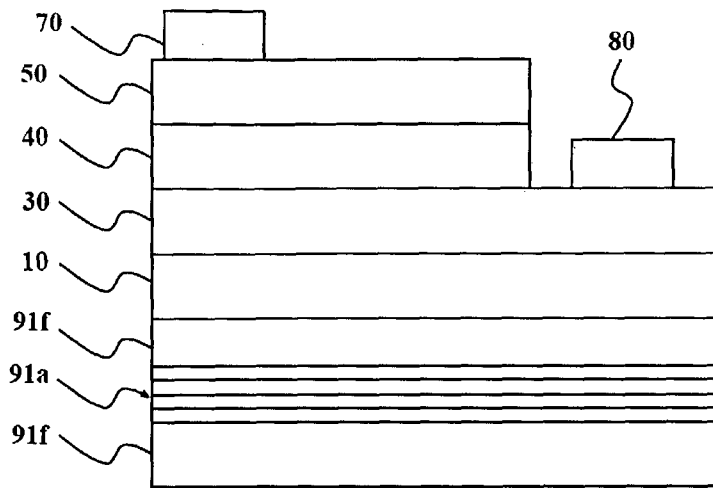
[Fig. 47]



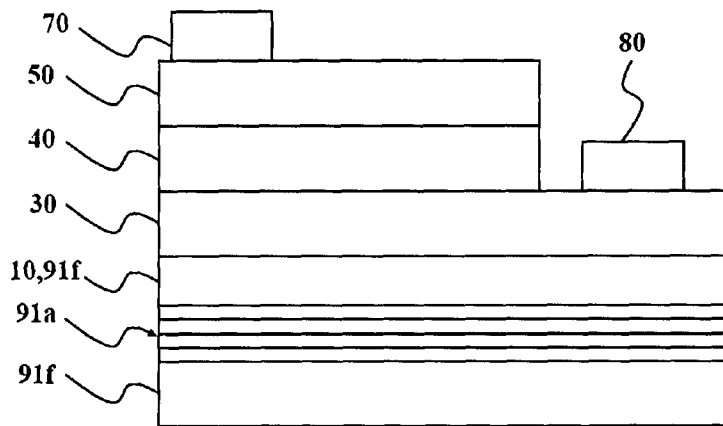
[Fig. 48]



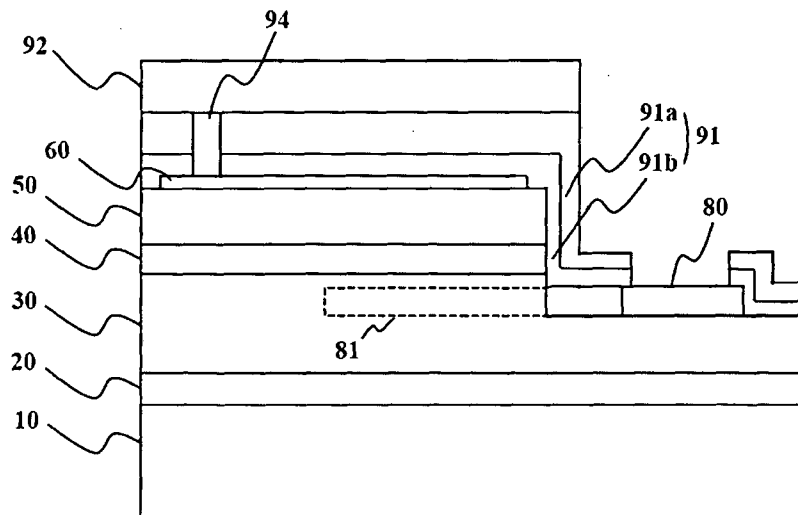
[Fig. 49]



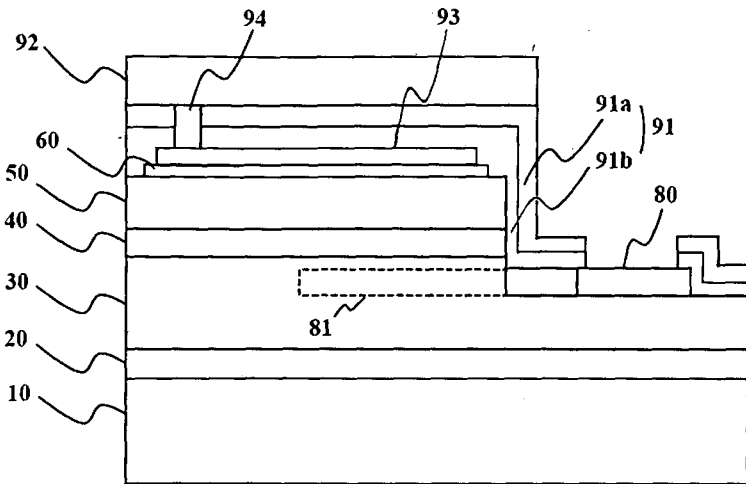
[Fig. 50]



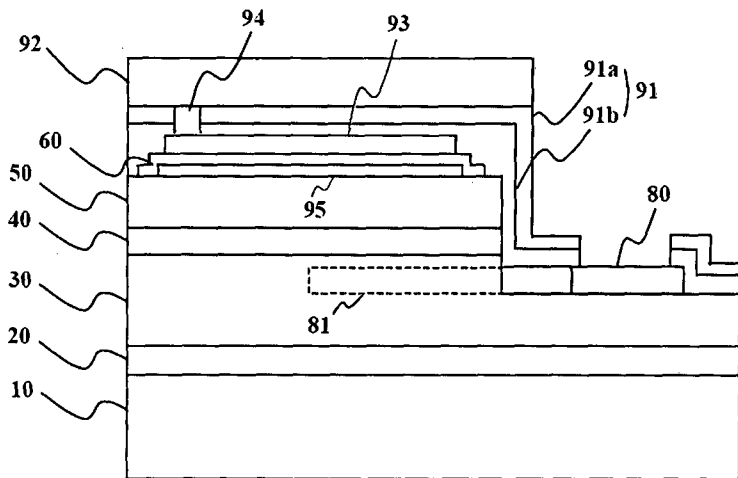
[Fig. 51]



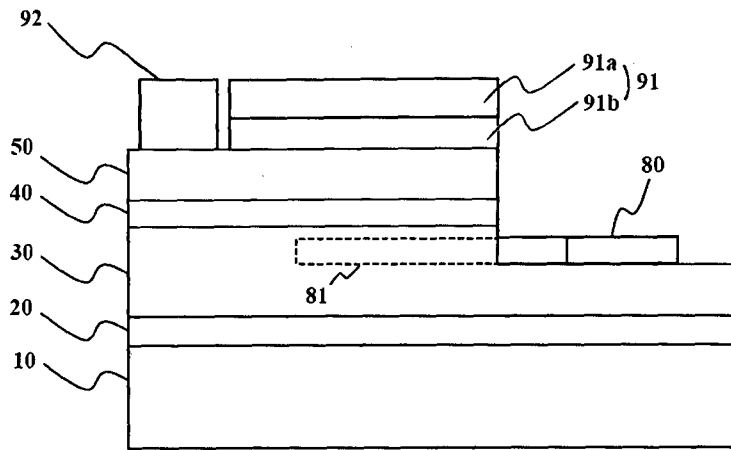
[Fig. 52]



[Fig. 53]



[Fig. 54]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2013/006457**

## A. CLASSIFICATION OF SUBJECT MATTER

**H01L 33/36(2010.01)i, H01L 33/46(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/10; H01L 33/60; H01L 33/00; H01L 33/62; H01L 33/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) &amp; Keywords: branched finger electrode, dielectric layer, reflective film, chemical vapor deposition, physical vapor deposition.

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2011-0095177 A (TOYODA GOSEI CO., LTD) 24 August 2011 See abstract, paragraphs [0044]-[0050], figure 1.	1-12
A	JP 2009-188422 A (STANLEY ELECTRIC CO LTD) 20 August 2009 See abstract, paragraphs [00024]-[00047], figures 1, 6.	1-12
A	KR 10-2007-0041847 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 20 April 2007 See abstract, pages 4-5, figure 3.	1-12
A	KR 10-2012-0014750 A (SEOUL OPTO DEVICE CO., LTD.) 20 February 2012 See abstract, claims 1-11, figures 3-4.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

21 NOVEMBER 2013 (21.11.2013)

Date of mailing of the international search report

**22 NOVEMBER 2013 (22.11.2013)**

Name and mailing address of the ISA/KR

Korean Intellectual Property Office  
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,  
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2013/006457**

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2011-0095177 A	24/08/2011	CN102169940 A	31/08/2011
		JP 2011-192960A	29/09/2011
		US 2011-0198641 A1	18/08/2011
		US 8552447 B2	08/10/2013
JP 2009-188422 A	20/08/2009	JP 5021693 B2	12/09/2012
KR 10-2007-0041847 A	20/04/2007	CN1953225 A	25/04/2007
		CN1953225 C0	25/04/2007
		JP 04-620027B2	26/01/2011
		JP 2007-116158A	10/05/2007
		US 2007-0096115 A1	03/05/2007
KR 10-2012-0014750 A	20/02/2012	KR 10-2012-0011172 A	07/02/2012
		US 2012-0025244 A1	02/02/2012
		US 2013-0146925 A1	13/06/2013
		US 8373188 B2	12/02/2013
		WO 2012-015153 A2	02/02/2012
		WO 2012-015153 A3	19/04/2012

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**

H01L 33/36(2010.01)i, H01L 33/46(2010.01)i

**B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/10; H01L 33/60; H01L 33/00; H01L 33/62; H01L 33/46

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC  
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 가지전극, 유전체막, 반사막, 화학기상증착, 물리증착.

**C. 관련 문헌**

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2011-0095177 A (도요다 고세이 가부시킴이샤) 2011.08.24 요약, 문단번호 [0044]-[0050], 도면 1 참조.	1-12
A	JP 2009-188422 A (STANLEY ELECTRIC CO LTD) 2009.08.20 요약, 문단번호 [00024]-[00047], 도면 1,6 참조.	1-12
A	KR 10-2007-0041847 A (삼성전기주식회사) 2007.04.20 요약, 페이지 4-5, 도면 3 참조.	1-12
A	KR 10-2012-0014750 A (서울옵토디바이스주식회사) 2012.02.20 요약, 청구항 1-11, 도면 3-4 참조.	1-12

추가 문헌이 C(계속)에 기재되어 있습니다.

대응특허에 관한 별지를 참조하십시오.

\* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 11월 21일 (21.11.2013)

국제조사보고서 발송일

2013년 11월 22일 (22.11.2013)

ISA/KR의 명칭 및 우편주소

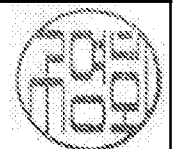
대한민국 특허청  
(302-701) 대전광역시 서구 청사로 189,  
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

구영희

전화번호 +82-42-481-8376



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0095177 A	2011/08/24	CN102169940 A JP 2011-192960A US 2011-0198641 A1 US 8552447 B2	2011/08/31 2011/09/29 2011/08/18 2013/10/08
JP 2009-188422 A	2009/08/20	JP 5021693 B2	2012/09/12
KR 10-2007-0041847 A	2007/04/20	CN1953225 A CN1953225 C0 JP 04-620027B2 JP 2007-116158A US 2007-0096115 A1	2007/04/25 2007/04/25 2011/01/26 2007/05/10 2007/05/03
KR 10-2012-0014750 A	2012/02/20	KR 10-2012-0011172 A US 2012-0025244 A1 US 2013-0146925 A1 US 8373188 B2 WO 2012-015153 A2 WO 2012-015153 A3	2012/02/07 2012/02/02 2013/06/13 2013/02/12 2012/02/02 2012/04/19