



(12) 发明专利申请

(10) 申请公布号 CN 104951594 A

(43) 申请公布日 2015. 09. 30

(21) 申请号 201510281035. 1

(22) 申请日 2015. 05. 28

(71) 申请人 格科微电子(上海)有限公司

地址 201203 上海市浦东新区盛夏路 560 号  
2 号楼 11 楼

(72) 发明人 高凯乐 俞大立 庄群锋

(51) Int. Cl.

G06F 17/50(2006. 01)

H01L 27/02(2006. 01)

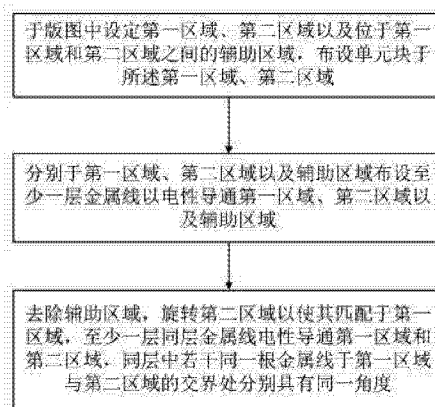
权利要求书1页 说明书4页 附图3页

(54) 发明名称

集成电路的布线方法以及集成电路结构

(57) 摘要

本发明的一个方面提供一种集成电路的布线方法,包括如下步骤:于版图中设定第一区域、第二区域以及位于第一区域和第二区域之间的辅助区域;布设单元块于所述第一区域、第二区域;分别于第一区域、第二区域以及辅助区域布设至少一层金属线以电性导通第一区域、第二区域以及辅助区域;去除辅助区域,旋转第二区域以使其匹配于第一区域,至少一层同层金属线电性导通第一区域和第二区域,同层中若干同一根金属线于第一区域与第二区域的交界处分别具有同一角度。本发明通过这种方式的调整,可以将第二区域内的布线资源充分利用,降低布线难度,提高单元块的分布密度,从而减少芯片面积,降低生产成本。



1. 一种集成电路的布线方法,其特征在于,包括如下步骤:

于版图中设定第一区域、第二区域以及位于第一区域和第二区域之间的辅助区域,布设单元块于所述第一区域、第二区域;

分别于第一区域、第二区域以及辅助区域布设至少一层金属线以电性导通第一区域、第二区域以及辅助区域;

去除辅助区域,旋转第二区域以使其匹配于第一区域,至少一层同层金属线电性导通第一区域和第二区域,同层中若干同一根金属线于第一区域与第二区域的交界处分别具有同一角度。

2. 如权利要求 1 所述的集成电路的布线方法,其特征在于,旋转第二区域的步骤之前还包括:所述辅助区域中的金属线分别与第一区域中靠近辅助区域的金属线,以及第二区域中靠近辅助区域的金属线的延伸方向一致。

3. 如权利要求 1 所述的集成电路的布线方法,其特征在于,旋转第二区域的步骤之后还包括:使得第一区域中靠近辅助区域的金属线与第二区域中靠近辅助区域的金属线匹配以构成同层的同一根金属线。

4. 如权利要求 1 所述的集成电路的布线方法,其特征在于,旋转后所述单元块于第一区域中的排列方向与第二区域中的排列方向具有所述同一角度。

5. 如权利要求 1 或 4 所述的集成电路的布线方法,其特征在于,所述同一角度为 45-135 度。

6. 如权利要求 5 所述的集成电路的布线方法,其特征在于,所述同一角度为 90 度。

7. 如权利要求 1 所述的集成电路的布线方法,其特征在于,所述单元块为组合逻辑门或时序逻辑门。

8. 一种集成电路结构,其特征在于,包括:

第一区域,第一区域包括若干单元块;

第二区域,第二区域包括若干单元块,第二区域匹配于第一区域;

分别布设于第一区域、第二区域的至少一层金属线,其中至少一层同层金属线电性导通第一区域和第二区域,同层中若干同一根金属线于第一区域与第二区域的交界处分别具有同一角度。

9. 如权利要求 8 所述的集成电路结构,其特征在于,所述单元块于第一区域中的排列方向与第二区域中的排列方向具有所述同一角度。

10. 如权利要求 8 或 9 所述的集成电路结构,其特征在于,所述同一角度为 45-135 度。

11. 如权利要求 10 所述的集成电路结构,其特征在于,所述同一角度为 90 度。

12. 如权利要求 8 所述的集成电路结构,其特征在于,所述单元块为组合逻辑门或时序逻辑门。

## 集成电路的布线方法以及集成电路结构

### 技术领域

[0001] 本发明涉及集成电路设计领域,具体涉及一种集成电路的布线方法以及集成电路结构。

### 背景技术

[0002] 面对 EDA (电子设计自动化) 工具对集成电路设计带来的巨大便利性,设计者在集成电路设计过程中已经无法完全脱离 EDA 工具环境。尽管 EDA 工具已经提供了非常强大的解决方案,但是仍然在某些应用领域无法满足设计者的要求。

[0003] 目前,在集成电路版图的布局中,一般遵循 L 型、U 型布局的规则。然而,EDA 工具在集成电路的布线中并没有特别针对 L 型、U 型布局而采用特殊的解决方案,所以在 L 型、U 型布局中会造成布线难,密度低的窘迫状况。造成这种情况的原因是由于 EDA 工具的在布线过程中同一层金属线的走线方向要保持一致,不能在 L 型、U 型布局的拐角处改变走线方向,也不能改变单元块的排列方向,因此在一些采用较少布线金属层的设计中,会造成布线资源短缺的区域布线拥塞严重,单元块分布过于稀疏。假设走线金属只有三层,通常第一层金属 M1 和第三层金属 M3 可以应用于水平方向走线,但是只有第二层金属 M2 可以应用于垂直方向走线,这种布线方法虽然可以使得集成电路获得较佳的信号传输的匹配性,但在数字后端做布局布线时,容易造成垂直方向走线资源紧张,所以 EDA 工具在这种情况下无法达到一个令设计者满意的效果,造成芯片面积的浪费,进而导致生产成本提升。

### 发明内容

[0004] 本发明的目的在于提供一种集成电路的布线方法以及集成电路结构,以充分利用布线资源,降低布线难度,提高单元块的分布密度,从而减少芯片面积,降低生产成本。

[0005] 为实现上述目的,本发明采用如下技术方案:

本发明的一个方面提供一种集成电路的布线方法,包括如下步骤:于版图中设定第一区域、第二区域以及位于第一区域和第二区域之间的辅助区域,布设单元块于所述第一区域、第二区域;分别于第一区域、第二区域以及辅助区域布设至少一层金属线以电性导通第一区域、第二区域以及辅助区域;去除辅助区域,旋转第二区域以使其匹配于第一区域,至少一层同层金属线电性导通第一区域和第二区域,同层中若干同一根金属线于第一区域与第二区域的交界处分别具有同一角度。

[0006] 其中,旋转第二区域的步骤之前还包括:所述辅助区域中的金属线分别与第一区域中靠近辅助区域的金属线,以及第二区域中靠近辅助区域的金属线的延伸方向一致。

[0007] 其中,旋转第二区域的步骤之后还包括:使得第一区域中靠近辅助区域的金属线与第二区域中靠近辅助区域的金属线匹配以构成同层的同一根金属线。

[0008] 其中,旋转后所述单元块于第一区域中的排列方向与第二区域中的排列方向具有所述同一角度。

[0009] 其中,所述同一角度为 45-135 度。

[0010] 其中,所述同一角度为 90 度。

[0011] 其中,所述单元块为组合逻辑门或时序逻辑门。

[0012] 本发明的另一方面提供一种集成电路结构,包括:第一区域,第一区域包括若干单元块;第二区域,第二区域包括若干单元块,第二区域匹配于第一区域;分别布设于第一区域、第二区域的至少一层金属线,其中至少一层同层金属线电性导通第一区域和第二区域,同层中若干同一根金属线于第一区域与第二区域的交界处分别具有同一角度。

[0013] 其中,所述单元块于第一区域中的排列方向与第二区域中的排列方向具有所述同一角度。

[0014] 其中,所述同一角度为 45-135 度。

[0015] 其中,所述同一角度为 90 度。

[0016] 其中,所述单元块为组合逻辑门或时序逻辑门。

[0017] 与现有技术相比,本发明具有如下技术效果:

本发明先将第一区域、第二区域扁平化,以便分别在第一区域、第二区域中进行同一方向的单元块放置和布线,待到布线流程完毕之后,再通过旋转第二区域来改变第二区域中的单元块的排列方向以及金属线的走向。通过这种方式的调整,可以将第二区域内的布线资源充分利用,降低布线难度,提高单元块的分布密度,从而减少芯片面积,降低生产成本。

## 附图说明

[0018] 通过说明书附图以及随后与说明书附图一起用于说明本发明某些原理的具体实施方式,本发明所具有的其它特征和优点将变得清楚或得以更为具体地阐明。

[0019] 图 1 为本发明集成电路的布线方法的流程图;

图 2、图 3 为本发明集成电路的布线方法的过程示意图;

图 4 为本发明集成电路结构的一个金属层的局部放大图;

图 5 为现有技术集成电路结构的单元块的分布示意图;

图 6 为本发明集成电路结构的单元块的分布示意图。

## 具体实施方式

[0020] 下面结合本发明的说明书附图及如下若干实施例对本发明进行具体阐述。

[0021] 针对现有技术在 L 型、U 型布局中布线资源短缺、布线难度大、单元块密度低的问题,本发明先将第一区域、第二区域扁平化,以便分别在第一区域、第二区域中进行同一方向的单元块放置和布线,待到布线流程完毕之后,再通过旋转第二区域来改变第二区域中的单元块的排列方向以及金属线的走向。通过这种方式的调整,可以将第二区域内的布线资源充分利用,降低布线难度,提高单元块的分布密度,从而减少芯片面积,降低生产成本。

[0022] 参见图 1- 图 3,本发明的一个方面提供一种集成电路的布线方法,包括如下步骤:于版图中设定第一区域 1、第二区域 2 以及位于第一区域 1 和第二区域 2 之间的辅助区域 3,布设单元块 7 于第一区域 1、第二区域 2;分别于第一区域 1、第二区域 2 以及辅助区域 3 布设至少一层金属线(金属线 4 位于辅助区域 3 中,金属线 6 位于第一区域 1、第二区域 2 中)以电性导通第一区域 1、第二区域 2 以及辅助区域 3;去除辅助区域 3,旋转第二区域 2 以使其匹配于第一区域 1,至少一层同层金属线 6 电性导通第一区域 1 和第二区域 2,同层中若

干同一根金属线 6 于第一区域 1 与第二区域 2 的交界处(交界线 5 附近)分别具有同一角度  $\alpha$  ,该同一角度  $\alpha$  优选为 45-135 度。对于 L 型布局来说,该同一角度  $\alpha$  为 90 度。对于 U 型布局来说,可以看做两个 L 型布局的组合,分别通过上述方法实现。

[0023] 通过图 3 还可以看出,旋转后单元块 7 于第一区域 1 中的排列方向与第二区域 2 中的排列方向也具有相同的角度  $\alpha$  。该角度  $\alpha$  优选为 45-135 度。在本实施例中, $\alpha$  为 90 度。

[0024] 本领域技术人员可以理解,本发明的集成电路结构中,单元块 7 可以为组合逻辑门或时序逻辑门。图 2、图 3 仅示意性地示出单元块 7 在第一区域 1、第二区域 2 中的排列方向,其中单元块 7 的数量、大小、形状、连接方式等均可根据电路设计需要进行改变。

[0025] 由于目前的 EDA 工具无法做到在一个布线模块内直接实现不同方向的单元块放置以及不同方向的布线,因此本发明的方法是先将第一区域、第二区域扁平化,以便分别在第一区域、第二区域中进行同一方向的单元块放置和布线,待到布线流程完毕之后,再通过旋转第二区域来改变第二区域中的单元块的排列方向以及金属线的走向。通过这种方式的调整,可以将第二区域内的布线资源充分利用,降低布线难度,提高单元块的分布密度。

[0026] 在辅助区域 3 中进行布线的过程中,需要考虑如下两方面的问题:

首先,由于辅助区域 3 中的金属线 4 最终要被移除,辅助区域 3 中的金属线 4 应当分别与第一区域 1 中靠近辅助区域 3 的金属线 6,以及第二区域 2 中靠近辅助区域 3 的金属线 6 的延伸方向一致,如此才能保证在移除辅助区域 3 并且旋转第二区域 2 之后,第一区域 1 中靠近辅助区域 3 的金属线 6 与第二区域 2 中靠近辅助区域 3 的金属线 6 准确对接、相互匹配以构成同层的同一根金属线 6。具体来说,在如图 2 所示的情况下,辅助区域 3 中的金属线 4 必须水平,不允许有任何垂直方向的偏移,如此才能保证旋转后第一区域 1 和第二区域 2 中金属线 6 的准确对接(如图 3 所示)。实现过程中可以人为利用脚本程序干预添加布线约束,从而杜绝辅助区域 3 中的金属线 4 在水平方向上的任何偏移。

[0027] 其次,如果辅助区域 3 中的金属线 4 存在电阻和电容,将会导致沿辅助区域 3 的边界处插入大量的逻辑缓冲单元,最终导致面积的浪费和布线拥塞,并且辅助区域 3 中的金属线 4 的延时信息无法计算,因为最终该区域内的金属线 4 将会被移除。因此,辅助区域 3 中的金属线 4 应当为虚拟金属线,因此 EDA 几乎可以不考虑该区域金属线对于时序的影响,也就不会因为金属线 4 的属性导致线上延迟造成辅助区域 3 边沿处添加额外的单元块,并且没有该区域的额外时序信息。为了确保最终的时序结果满足要求,特别需要做最终的评估签收,将原先的虚拟金属线 4 移除,模拟出实际的电路版图,利用该版图进行静态时序分析,以确保时序的准确性。

[0028] 图 4 为本发明集成电路结构的一个金属层(例如 M1 层)的局部放大图,其中,若干由第一区域 1 中靠近辅助区域 3 的金属线 6 与第二区域 2 中靠近辅助区域 3 的金属线 6 匹配对接构成的同层同一根金属线 6 分别于第一区域 1 与第二区域 2 的交界线 5 附近具有相同的角度  $\alpha$  ,在本实施例中, $\alpha$  为 90 度。

[0029] 通过图 5、图 6 的比较可知,与现有技术集成电路结构中单元块 7' 的分布情况相比,采用本发明布线方法形成的集成电路结构中,大大提高了单元块 7 的分布密度,从而减少了芯片面积,降低了生产成本。

[0030] 本发明的另一方面还提供一种集成电路结构,包括:第一区域 1,第一区域 1 包括

若干单元块 7 ;第二区域 2,第二区域 2 包括若干单元块 7,第二区域 2 匹配于第一区域 1 ;分别布设于第一区域 1、第二区域 2 的至少一层金属线 6,其中至少一层同层金属线 6 电性导通第一区域 1 和第二区域 2,同层中若干同一根金属线 6 于第一区域 1 与第二区域 2 的交界处分别具有同一角度  $\alpha$ 。

[0031] 根据本发明的一个实施例,单元块 7 于第一区域 1 中的排列方向与第二区域 2 中的排列方向具有所述同一角度  $\alpha$ 。优选地,该同一角度  $\alpha$  为 45-135 度,更优选地,该同一角度  $\alpha$  为 90 度。

[0032] 根据本发明的一个实施例,单元块 7 为组合逻辑门或时序逻辑门。

[0033] 本发明先将第一区域、第二区域扁平化,以便分别在第一区域、第二区域中进行同一方向的单元块放置和布线,待到布线流程完毕之后,再通过旋转第二区域来改变第二区域中的单元块的排列方向以及金属线的走向。通过这种方式的调整,可以将第二区域内的布线资源充分利用,降低布线难度,提高单元块的分布密度,从而减少芯片面积,降低生产成本。

[0034] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。



图 1

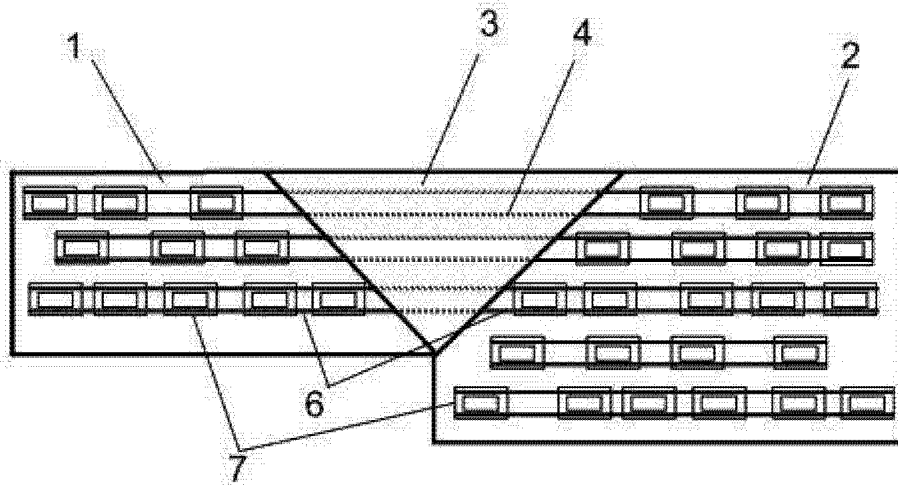


图 2

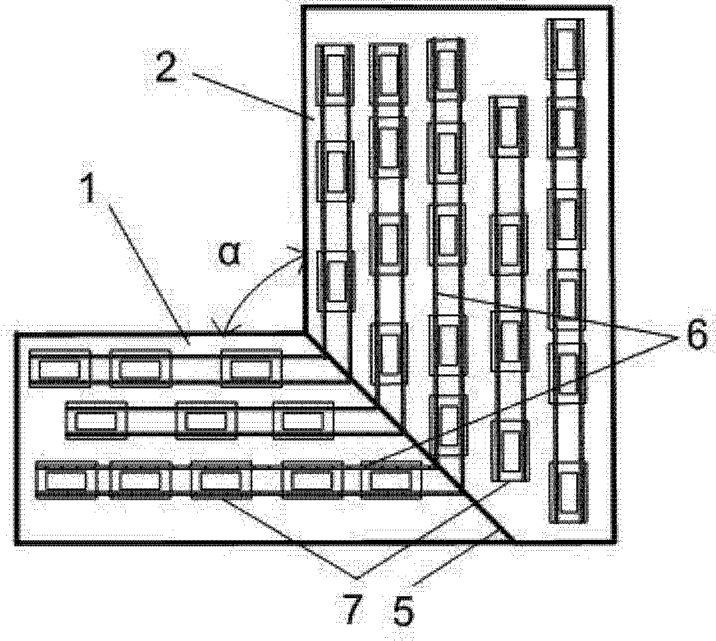


图 3

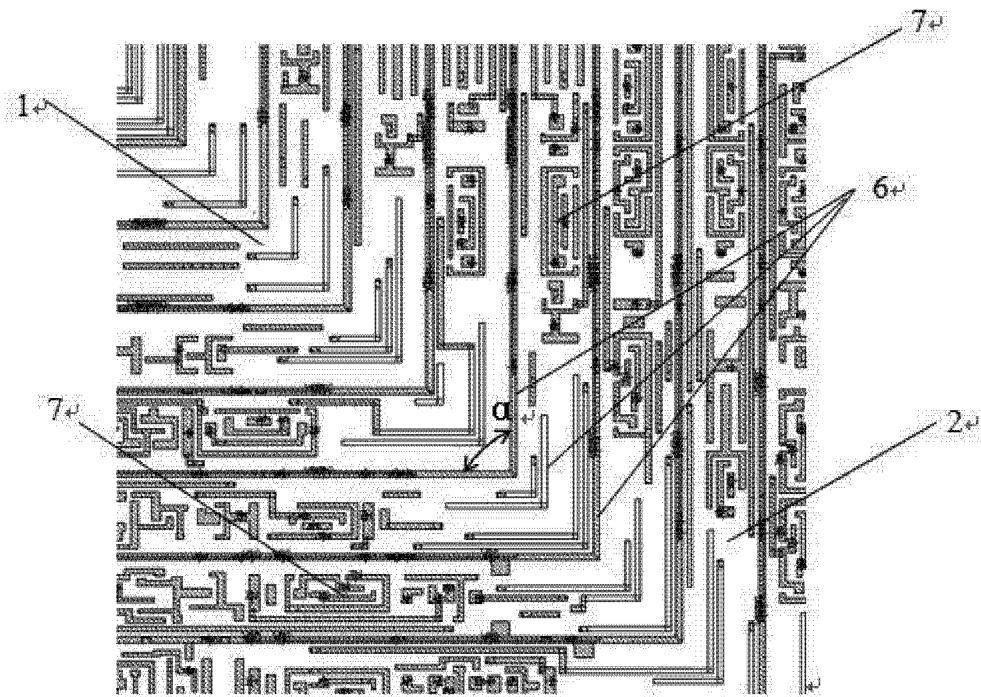


图 4



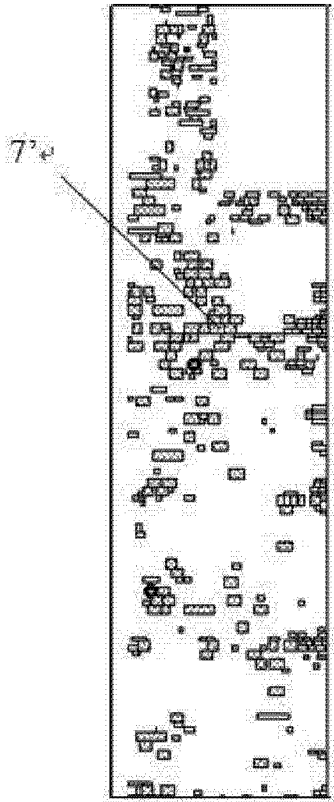


图 5

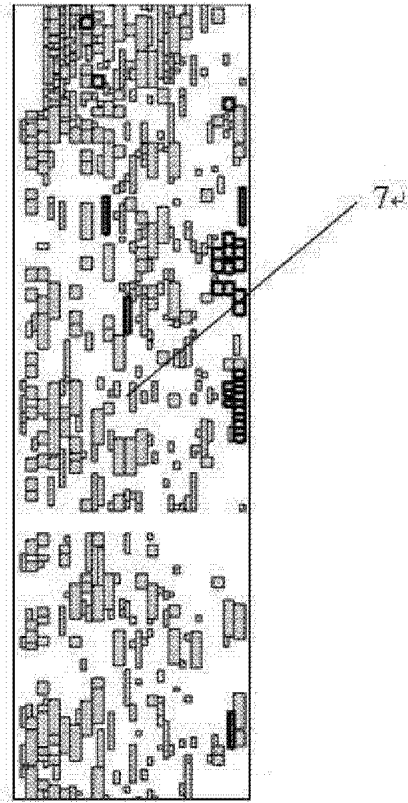


图 6