

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-245287

(P2010-245287A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.		F I	テーマコード (参考)
HO 1 L	25/04	(2006.01)	HO 1 L 25/04 Z
HO 1 L	25/18	(2006.01)	HO 1 L 23/12 D
HO 1 L	23/12	(2006.01)	HO 1 L 23/12 Z
HO 1 L	23/52	(2006.01)	HO 1 L 23/52 D

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2009-92316 (P2009-92316)  
 (22) 出願日 平成21年4月6日 (2009.4.6)

(71) 出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100126240  
 弁理士 阿部 琢磨  
 (74) 代理人 100124442  
 弁理士 黒岩 創吾  
 (72) 発明者 米原 隆夫  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内  
 (72) 発明者 坂口 清文  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内

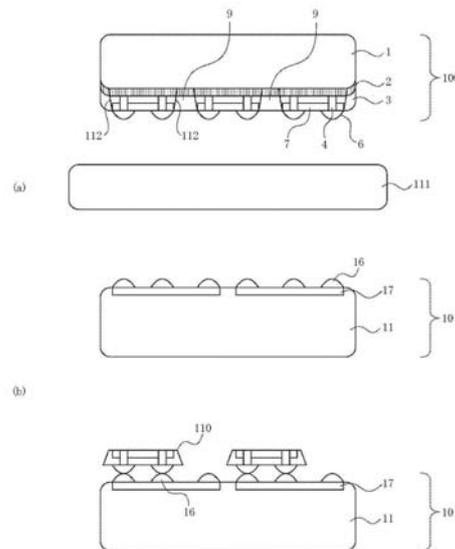
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 従来の転写技術には分離層での分離において効率が低く、コストがかかる。

【解決手段】 分離層上に形成された半導体層を有する半導体基板を用意する工程と、前記分離層の端面が傾斜面又は曲面となるように、少なくとも前記半導体層を各領域毎に分離独立させる分離独立工程と、分離独立された複数の前記半導体層を、支持基板に貼り合わせることにより、貼り合わせ構造体を得る工程と、前記傾斜面又は前記曲面に露出する前記分離層の少なくとも一部を除去して、前記貼り合わせ構造体を前記分離層に沿って分離することにより、前記半導体層が移設された支持基板を得る工程とを含む半導体装置の製造方法。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

分離層上に形成された半導体層を有する半導体基板を用意する工程と、  
前記分離層の端面が傾斜面又は曲面となるように、少なくとも前記半導体層を各領域毎に分離独立させる分離独立工程と、

分離独立された複数の前記半導体層を、支持基板に貼り合わせることにより、貼り合わせ構造体を得る工程と、

前記傾斜面又は前記曲面に露出する前記分離層の少なくとも一部を除去して、前記貼り合わせ構造体を前記分離層に沿って分離することにより、前記半導体層が移設された支持基板を得る工程と、

を含む半導体装置の製造方法。

10

**【請求項 2】**

前記端面にある前記分離層の少なくとも一部を除去した後、加圧された流体を付与して、前記半導体層を前記半導体基板から剥離する請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記支持基板を貫通する貫通溝を介して、エッチング液又は加圧された流体を付与して、前記半導体層を前記半導体基板から剥離する請求項 1 に記載の半導体装置の製造方法。

**【請求項 4】**

前記支持基板に移設された前記半導体層を、更に別の基板に移設する工程を含む請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

20

**【請求項 5】**

前記半導体層には集積回路が作製されており、前記支持基板には前記集積回路よりチップサイズの大きな別の集積回路が作製されており、それら集積回路の接合パッド同士を接合する工程を含む請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 6】**

前記半導体層に作製された集積回路は、前記集積回路の接合パッドに接続された貫通電極を有する請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、DRAM、フラッシュメモリ等の半導体メモリや、CPUやDSP等の論理ICに好適に用いられる半導体装置の製造方法に関する。特に集積回路(IC)が作製されたチップを複数積層してパッケージ化した、いわゆる3次元実装された半導体装置の製造方法に関する。

30

**【背景技術】****【0002】**

CMOS回路が作製された半導体層を、ハンドル基板に転写して3次元実装されたICを製造する方法は、非特許文献1に記載されている。一例を挙げると、シリコンウエハの表面に多孔質シリコンからなる分離層を形成し、その上に単結晶シリコンからなる半導体層をエピタキシャル成長させ、その半導体層にCMOS回路を作製する。

40

**【0003】**

続いて、CMOS回路が作製された半導体層をハンドル基板に貼り合わせ、分離層において分離を行い、半導体層をハンドル基板に転写する。この工程を複数回繰り返すことにより、CMOS回路が作製された半導体層を複数、ハンドル基板上に、積層する。

**【0004】**

特許文献1には、バックサイドリセスが形成させたハンドル基板に、トランジスタが作製された半導体層をポリマーフィルムを介して接着し、当該半導体層をハンドル基板に転写するプロセスが記載されている。そして、このプロセスを繰り返して積層されたトランジスタを得ている。

**【先行技術文献】**

50

## 【特許文献】

【0005】

【特許文献1】米国特許第6638835号明細書

## 【非特許文献】

【0006】

【非特許文献1】Proceeding of International Electron Device Meeting, Washington DC, USA, Dec. 2005, Hiroyuki Sanda et al. 「Fabrication and Characterization of CMOSFETs on Porous Silicon for Novel Device Layer Transfer」

10

## 【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の転写技術には未だに改善の余地があり、特にチップサイズの大きな集積回路チップ上に、チップサイズの小さな集積回路チップ或いは機能素子を積層させた構造の半導体装置の製造方法の技術分野においては、転写技術の改善は重要である。

【0008】

本発明は、このような背景技術に鑑みてなされたものであり、転写技術を改良し、低コストで3次元実装された半導体装置を提供することを目的とする。

20

【課題を解決するための手段】

【0009】

本発明の骨子は、分離層2上に形成された半導体層3を有する半導体基板1を用意する工程と、前記分離層の端面112が傾斜面又は曲面となるように、少なくとも前記半導体層を各領域毎に分離独立させる分離独立工程と、分離独立された複数の前記半導体層を、支持基板111に貼り合わせ貼り合わせ構造体を得る工程と、前記傾斜面又は前記曲面に露出する前記分離層の少なくとも一部を除去して、前記貼り合せ構造体を前記分離層に沿って分離することにより、前記半導体層が移設された支持基板を得る工程と、を含む半導体装置の製造方法である。

【発明の効果】

30

【0010】

本発明によれば、共通の支持基板に、複数の半導体層と複数の分離層と少なくとも1つの半導体基板が貼り合わされて作製された貼り合わせ構造体を、各分離層において、順次または同時に効率よく分離することができる。こうして、低コストで3次元実装された半導体装置を製造できる。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態による半導体装置の製造方法を説明するための模式的断面図である。

【図2】別の実施形態による半導体装置の製造方法を説明する為の模式的断面図である。

40

【図3】積層チップの模式的断面図である。

【発明を実施するための形態】

【0012】

まず、図1を参照して、本発明の半導体装置の製造方法に用いられる分離独立方法とその後の貼り合わせ工程を説明する。

【0013】

第1の基板については後述するものとし、第2の半導体基板1の表面には、分離層2と、転写される半導体層3とが形成される。半導体層3としては、単結晶半導体が好ましく用いられ、必要に応じて、第1の半導体基板と同様に半導体層3に、第2の集積回路7と、接合パッド6とが作製される。

50

## 【 0 0 1 4 】

第2の集積回路7が作製された半導体層3を有する半導体基板1に、ダイとなる島状領域の少なくとも1側面(端面)112が傾斜するように溝を形成する分離独立工程を施す。具体的には、ダイシングブレードを、半導体層3の表面側から、切断すべき基板の表面に対して45度乃至80度程度に斜めに配置し、半導体層を削りながらカットする。傾斜の向きは、貼り合わせ面側に向かって小さくなる向きでも大きくなる向きでもよい。また、全て同じ傾斜(同じ向き)でダイシングしても良い。全てを同じ傾斜でダイシングすることにより、無駄領域を最小限に抑えられる。

## 【 0 0 1 5 】

支持基板111は、後に半導体層3が一時的に転写される支持基板であり、シリコンウエハ、ガラス、樹脂フィルム、金属フィルムなどであり得る。

10

## 【 0 0 1 6 】

基板11は、後に半導体層3が永久的に転写される半導体基板であり、シリコンウエハ、ガラス、樹脂フィルム、金属フィルムなどであり得る。好ましくは、基板11として第1の半導体基板を用意し、その半導体基板11の表面側に第1の集積回路17を周知の半導体製造プロセスにより作製する。ここでは、MOSトランジスタなどの機能素子を作製した後、絶縁層の成膜とエッチング、配線となる金属層の成膜とCMPにより、配線パターンを形成しておく。そして、外部と電気的の接続を得るための接合パッド16を最表面に形成する。こうして、第1の集積回路17を作製しておく。図1(a)に示すように、傾斜した端面112を有する集積回路チップの島状領域を半導体層3が内側になるように、支持基板111の表面と貼り合わせる。この時、必要に応じて、接着剤を介して、半導体層3の表面側と基板111の表面側とを貼り合わせることも好ましいものである。分離独立工程は、貼り合わせ面側に向かってチップサイズが小さくなるように半導体層を有する半導体基板に溝を形成する。半導体基板の少なくとも一部と分離層と半導体層からなるダイシング端面を傾斜させるように溝を形成すると良い。

20

## 【 0 0 1 7 】

そして、半導体基板1に、貼り合わせ構造体を分離層2において分離するために、分離作用が生じる方向に力を加える。こうすると、分離層2に亀裂が生じ、半導体基板1が剥離し、集積回路が作製された半導体層3が支持基板111側に残る。

## 【 0 0 1 8 】

ここで、分離層2にシリコンなどの多孔質体からなる層を用いた場合には、陽極化成により形成された細孔が傾斜面に開口を持つので、この開口からエッチング液が多孔質体内に浸透し選択的にエッチングが進行する。こうして、チップの傾斜した端面112においては、分離層となる多孔質体の一部除去され凹部が形成されるので、そこに加圧された流体を付与すると流体の楔作用で、多孔質層内に多孔質層に沿って亀裂が生じ半導体基板1と半導体層3とが分離される。この際、チップを飛散させないためにパネルを接着したり、チップの形状に合わせたくぼみを形成したパネルを押し当てる等のチップ保持板を用いることが効果的である。水流を阻害しないようメッシュ状のチップ保持板であるとなお良い。

30

## 【 0 0 1 9 】

また、分離層が異なる孔密度を持つ複数の多孔質層からなる場合は、加圧された流体を付与すると、異なる孔密度の境界面で分離される。分離された半導体チップの裏面と基板表面には、夫々、多孔度の異なる多孔質層が残存し、それが保護層となって、流体分離中にクラックが素子、回路内へ進行、伝播するのを阻止することが可能となる。

40

## 【 0 0 2 0 】

シリコンなどの多孔質体は陽極化成によって、ウエハ全面に表面に垂直方向に電流を化成溶液中で流すことにより形成される。陽極化成を行う際には、P<sup>+</sup>型又はN<sup>+</sup>型の基板を用いるか、少なくとも陽極化成する領域がP<sup>+</sup>型又はN<sup>+</sup>型となるようにP型又はN型の不純物をドーピングしておくことが好ましい。本発明においては特にP<sup>+</sup>型の基板を用いるか、少なくとも陽極化成する領域がP<sup>+</sup>型となるようにP型の不純物をドーピングしておくこ

50

とが好ましい。また、上記 P<sup>+</sup> 型又は N<sup>+</sup> 型の領域抵抗率を調整して導電性を高め、必要に応じて多孔質層の一部を残存させて、チップ化した際に電磁波等のノイズに対するシールドとして機能させることもできる。その孔は表面から先端まで連続に連結され、その形成方向は電流の流通方向を一致する。即ち、多孔質層の孔はウエハ表面に垂直の方向に成長するため、細孔の成長方向には、著しいエッチング速度の増速現象が観察され、その加速されたエッチング速度は HF 溶液を用いると孔の無い結晶シリコンに対して、十万倍に達することが、発明者等によって発見されている。

【0021】

しかしながら、孔に垂直方向、即ち、ウエハの端面への方向には、孔壁が存在し、その孔壁は結晶シリコンで形成されているため、殆どエッチングが進行しない。つまり、このエッチング速度の著しい異方性は、分離層の端面を傾斜して一部の多孔質層の孔の先端を傾斜面に露出させることにより極めて重要な役割を果たす。流体を複数の多孔質層界面へ導入するためには、接着層に接合する界面を分離すること避け、そのトリガーを与える、導入空隙を形成することが最も効果的であることを見出した。よって、この流体の初期導入のための空隙形成に、傾斜面への多孔質層の選択的エッチングが有効である。

10

【0022】

或いは、流体を用いなくとも傾斜面 112 にある多孔質体からなる分離層を横方向に選択的にエッチングして半導体層 3 と基板 1 とを分離してもよい。

【0023】

以下、実施形態を参照して本発明の半導体装置の製造方法について説明する。

20

【0024】

(実施形態 1)

第 1 の半導体基板 11 としてバルクシリコンウエハ、エピタキシャルシリコンウエハのような半導体基板を用意する。そして、図 1 (a) の符号 10 に示すように周知の製造プロセスにより半導体基板 11 の表面側に、複数の第 1 の集積回路 17 を作製する。ここで云う、第 1 の集積回路とは、後にチップ (ダイ) となる一つの集積回路部分である。例えば、CPU や DSP などの論理 IC である。

【0025】

一方、図 1 (a) の符号 100 に示すように、第 2 の半導体基板として、バルクシリコンウエハのような第 2 の半導体基板 1 に多孔質シリコンのような分離層 2 を形成し、分離層 2 上に複数、好ましくは 3 つ以上の第 2 の集積回路 7 を作製したウエハを用意する。ここで云う第 2 の集積回路とは、DRAM やフラッシュメモリなどの半導体メモリであり得る。半導体メモリであれば、第 2 の集積回路は、多数のメモリセルと、メモリセルを選択する選択回路、メモリセルから信号を読み出したり、メモリセルに信号を書き込むための信号処理回路等を含む。

30

【0026】

また、MOS トランジスタのような能動素子及び多数の MOS トランジスタを接続する多層配線を形成した後、半導体層にスルーホールやビアホールと呼ばれる貫通孔を形成する。その貫通孔の内壁表面に絶縁膜を形成して絶縁性内壁表面とし、貫通孔内に導電体を充填して、貫通電極を形成する (スルーシリコンビア技術)。この時、エッチング時間を調整して、溝の深さ  $D_t$  を半導体層 3 の厚さ  $t_3$  よりも小さくする。  $D_t < t_3$ 、つまり、溝 4 内の導電層の底が分離層 2 に到達しない程度に浅く形成する。半導体層 3 の厚さ  $t_3$  は  $1.0 \mu\text{m}$  以上  $20 \mu\text{m}$  以下、より好ましくは  $1.0 \mu\text{m}$  以上  $10 \mu\text{m}$  以下の範囲から選択しうる。例えば、CMOS 回路を作製する場合には、 $1.0 \mu\text{m}$  以上、 $2.0 \mu\text{m}$  以下であり、メモリ構造を作製する場合には、種々の記憶電荷を保持する容量によって異なるが、 $1.0 \mu\text{m}$  以上、 $10.0 \mu\text{m}$  以下である。穴又は溝の深さ  $D_t$  は、半導体層 3 の厚さの半分以上であって、溝の下方に半導体層 3 の  $20$  分の  $1$  以下厚さの残留部を残すことが好ましいものである。つまり、 $t_3 / 2 > D_t > t_3 / 20 \times 1$  を満足するように設計するとよい。導電体としては、スズ (Sn)、ニッケル (Ni)、銅 (Cu)、金 (Au) 及びアルミニウム (Al) のうちのいずれか一つ、またはこれらのうちの少なくとも

40

50

も一つ以上で作製された合金で形成すると良い。

【0027】

その後、はんだや金からなる接合パッドを形成する。こうして、図1(a)に示す構造体100が得られる。図では判りやすいように、貫通電極や接合パッドの位置を集積回路のチップの内側に描いているが、通常、貫通電極や接合パッドは、集積回路のチップの周辺部分に複数設けられる。本発明において貫通電極とは、各チップの集積回路の配線と接続されており、チップ同士を積層した場合は、配線と電氣的に接続できる機能を有するものを示す。具体的には、電源供給ライン、入出力ライン、クロック信号ライン、グランドラインになり得る。

【0028】

そして、ダイシングソーを用いて隣接する集積回路7の間に溝9を形成するダイシングにより、各集積回路チップの島状領域毎に分離独立させる。この時、ダイシングブレードを半導体層の表面、つまり半導体基板の表面に対して斜めに傾斜させた姿勢でダイシングを行う。こうして、第2の集積回路のチップサイズ対応したダイであって、端面112が傾斜したダイを複数得ることができる。また、分離層2の端面は、曲面であってもよい。

【0029】

一方、支持基板111の表面に接着材を付与しておき、支持基板111と島状の半導体層3の接合パッド6側を、向かい合わせにする。そして、間に接着剤を介在させて、半導体層3と支持基板111とを接着する。

【0030】

本発明において用いることができる好ましい接着剤としては、低粘度、低不純物、高耐候性、低脱ガス、低収縮性、160における耐熱性、高接着力、低熱膨張率、高熱伝導率、高体積抵抗率を満たす接着剤を選択することが好ましい。これらの条件を満たす接着剤としては、例えば、アクリル系、メタクリル系(アクリレート系)、エポキシ系(酸無水物硬化剤)、ポリイミド系、ポリイミドアミド系(ポロイミド=ナイロン変性系)の接着剤を挙げることができる。そしてこれらの接着剤を接合表面(基板又はチップ表面)に塗布し、一定のタック性を残した状態で乾燥した後、所定の荷重をかけて、所定の温度で熱処理を行う。また、接着剤の代わりまたは接着剤に加えて、接着剤として機能するフィルム(ホットメルトシート)を用いて接着することも可能である。本発明においては例えば日立化成工業株式会社製のダイボンディングフィルム、FHシリーズ、DFシリーズ、HSシリーズ、アンダーフィル用フィルム、UFシリーズ等を使用することができる。

【0031】

また、貼りあわせの接着剤と導通の両方を兼ねるものとして、厚さ方向に対しては電氣的に短絡して、横方向に対しては隣接する接合パッド間を絶縁する異方性導電フィルムやペーストを用いてもよい。

【0032】

2つの基板1、111が接合された構造体の側面、具体的には第1の半導体基板と分離層と半導体層とからなる島状領域の傾斜した側面112において、分離層の露出部を部分的に除去する。

【0033】

続いて、エッチング液又は研磨粒子を含まない高圧の水流を吹き付ける。そして、分離層2において、半導体層3を第2の半導体基板1から剥離する。こうして、半導体基板1が除去され、集積回路7が作製された半導体層3が、半導体基板1から支持基板111上に転写される。

【0034】

分離方法は、上述したようないわゆるウォータージェット法に限らず、窒素等の高圧ガスを吹き付けるガスジェット法でもよく、要するに楔の作用をもつ流体を吹き付ければよい。或いは、金属などの固体からなる楔を2枚の半導体基板間に打ち込んで機械的に分離してもよい。図に示すようにダイの端面は傾斜面になっているので、分離層としてシリコンの多孔質体を用いる場合には、分離層の露出した側面には多数の開口が存在するため、

10

20

30

40

50

エッチングが選択的に進行する。半導体層と支持基板との間には窪み（凹部）が形成されている。よって、この部分に楔を挿入することにより、2枚の半導体基板が互いに離れるような方向の力ベクトルを加えれば、両者は機械的強度の低い分離層2において分離される。勿論、始めに、固体の楔で貼り合わせ構造体の分離を開始し、次いで、流体の楔で貼り合わせ構造体を完全に分離してもよい。

#### 【0035】

ここで、分離後の分離層2は、半導体基板1側、又は支持基板111上に移設された半導体層3側、或いは両者の側に残留し得る。特に、分離層として多孔質体の多孔度が異なる少なくとも2つの多孔質層の積層体を用いれば、多孔質層の界面に近い部分であって相対的に多孔度の高い多孔質層に亀裂が形成され、当該多孔質層の界面に沿って分離がなされる。これにより、残留多孔質層の厚さは、集積回路が作製される半導体基板表面部分の全体に亘って均一な厚さとなる。

10

#### 【0036】

エッチング液の例としては、フッ化水素と過酸化水素とを含む混合溶液、フッ化水素とフッ化アンモニウムと過酸化水素とを含む混合溶液が挙げられる。流体の楔作用を用いることなくエッチングのみで分離する手法を用いることもできる。この場合には、転写された半導体層3の露出面には多孔質体からなる分離層は殆ど残留しないこともありうる。

#### 【0037】

分離層2が残留する場合には、必要に応じて、上述した混合溶液を用いてエッチング等により残留分離層を除去し、半導体層の裏面を露出させる。そして、貫通電極が露出するまで、半導体層の裏面をエッチングし、貫通電極を露出させた後、はんだや金などにより接合パッドを形成する。

20

#### 【0038】

その後、支持基板111から更に半導体3を構造体10上に移設する。図1(b)に示すように、大小2つのチップサイズの集積回路7、17が積層された積層チップが得られる。この方法では、一旦、支持基板111に移設された半導体層3が、更に構造体10上に移設される。よって、小チップの裏面と大チップの表面側が向き合って接合され、それらの面における接合パッド同士が接合されている。また、半導体基板11では、図に示すように隣接する領域にも同様の構造体が形成される。集積回路の積層数が2層でよい場合には、この構造体を垂直配置されたダイシングソーにより、隣接する集積回路間の領域に溝を形成して貼り合わせ構造体を切断し、各集積回路をチップ状に分離独立させるダイシングを行う。

30

#### 【0039】

こうして、少なくともチップサイズの小さい第1の集積回路7とチップサイズの大きい第2の集積回路17とを有する積層チップ、即ち3次元実装された半導体装置が製造できる。

#### 【0040】

##### （実施形態2）

本実施形態は、第2の半導体基板1を共通とし、その基板上に形成された分離層2と分離層上の半導体層3とを含むチップ領域の端面を傾斜面112にする。そして、そこに露出する分離層3の露出部を部分的に除去した後、支持基板に形成された貫通溝19から流体を吹き付けて分離を行う形態である。

40

#### 【0041】

図2(a)に示すように、分離層2と半導体層3とを形成した後、角度可変スピンドルモーター314によりダイシングブレード315を図中右方向に倒して溝を形成した後、図中左方向に倒して溝を形成することにより、傾斜面112を有する分離溝を形成する。この際、分離溝によって形成される端面は曲面であってもよい。

#### 【0042】

こうして、半導体層3と分離層2とを、各島状の領域毎に分離独立させる。図2(b)に示すように、分離溝からエッチング液を導入し、傾斜面112に露出した分離層を部分

50

的に除去する。エッチングは分離層を選択的にエッチングするため横方向に進行する。図2(c)に示すように、半導体層3の表面に、間に熱エネルギーや光エネルギーにより剥離可能となる両面接着性シートを介して、支持基板11と貼り合わせる。図2(d)に示すように、支持基板11に貫通溝19を形成し、そこを介して加圧された流体を分離層の露出部分に向けて付与する。図2(e)に示すように、流体の楔作用により、貼り合わせ構造体を分離層2において分離する。こうして、始め半導体基板1の表面に形成されていた半導体層は、支持基板11側に転写される。

#### 【0043】

この後、支持基板に形成された分離溝19を利用して支持基板をダイシングする。分離後に半導体層3に残留する分離層2は、必要に応じて、支持基板のダイシングの前又は後にエッチング等で除去することができる。

10

#### 【0044】

こうしてダイシングされた半導体層3を有する支持基板11には、紫外線などのエネルギー照射により分離可能な接着シートが含まれているので、この支持基板11に移設された半導体層3は、更に別の基板に移設可能である。

#### 【0045】

(実施形態3)

まず、前述した実施形態2において得られる図2(e)の構造体と同じ構造体を、前述した図1(b)の符号10に示すような、集積回路が作製された半導体基板11に更に移設することも可能である。

20

#### 【0046】

この後、金属や、セラミックスや、金属配線が作成された絶縁性シートなどからなる実装基板上にダイシングされた積層チップは、ダイボンディングされ、パッケージ化される。

#### 【0047】

いずれの図も、縦方向を拡大して描いているが、実際には厚さ(図中縦方向の長さ)より、チップサイズ(図中横方向の長さ)の方がかなり大きい。

#### 【0048】

以上の実施形態において、第1の半導体基板11や、各半導体層3に作製される集積回路7、17は、同一の回路でもよく、別の回路でもよい。より好ましくは集積回路17を相対的に回路規模の大きな別の回路とする。集積回路7としては、DRAMのような記憶保持動作が必要な半導体メモリや、フラッシュメモリと称されるEEPROM、MRAM等の不揮発性半導体メモリが好ましく用いられる。また、積層数も、図示した2層に限らず、8層以上、より好ましくは12層以上であり得る。一方、集積回路17は、集積回路7又は27より回路規模の大きな上述した論理ICであることが好ましいものである。更に、半導体基板11を薄層化することもできる。

30

#### 【0049】

(実施形態4)

図3は、本発明の半導体装置の製造方法により得られた積層チップの一部拡大図である。この実施形態では、上述した集積回路が作製された半導体層を3回以上、移設して積層チップを製造する。

40

#### 【0050】

図3は、そのうち、チップサイズの小さい3つの集積回路が積層された部分の断面を示している。図3の下方には、不図示のチップサイズの大きな集積回路チップがあり、それに図3に示す構造体が積層されたものが、本実施形態の積層チップである。

#### 【0051】

半導体メモリなどの小チップサイズの集積回路7が作製された半導体層3には、貫通電極4と接合パッドとしてのはんだバンプ8が形成されている。その上には、同じ半導体メモリからなる集積回路27が作製された半導体層23が積層され、半導体層23には、貫通電極24と接合パッドとしてのはんだバンプ28が形成されている。

50

## 【 0 0 5 2 】

更にその上に、半導体メモリからなる集積回路 3 7 が作製された半導体層 3 3 が積層されている。貫通電極 3 4 は、下方の貫通電極 2 4、4 上に積層されるように配置され、互いに導通をとるように短絡している。それぞれの半導体層 3、2 3、3 3 の部分では、貫通孔内壁が絶縁膜で形成されているので、各半導体層と貫通孔内部でショートすることはない。一方、残留させた多孔質体からなる分離層 3 2 は、高濃度のほう素を含むシリコンからなる低抵抗層であるため、分離層と貫通電極 3 4 とを互いに短絡させることにより、分離層として用いた多孔質体からなる低抵抗層 3 2 を、電気シールド層として利用することにより、積層チップの誤動作や静電破壊等を防止することができる。貫通電極 3 4 とそれに繋がる貫通電極 4、2 4 は、各半導体層の P 型ボディ部分を相互に電氣的に短絡させるボディコンタクトである。このボディコンタクトは、p M O S トランジスタの N 型半導体ウエルが形成されるところの P 型のボディ部分（分離された半導体層の共通部分）を、不図示の配線層を通じて電氣的に互いに短絡させるとともに、接地される。この多孔質体からなる層 3 2 に代えて、高濃度ドーブの P<sup>+</sup> 半導体層又は金属層を設けることもできる。

10

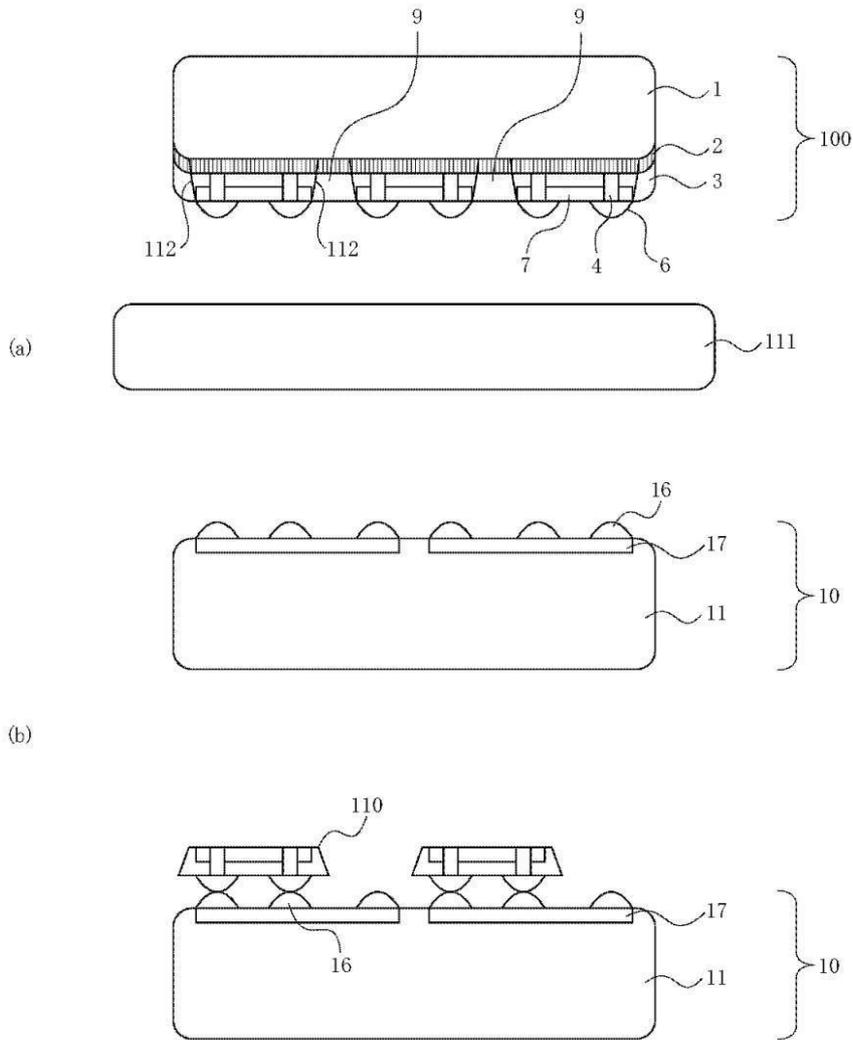
## 【 符号の説明 】

## 【 0 0 5 3 】

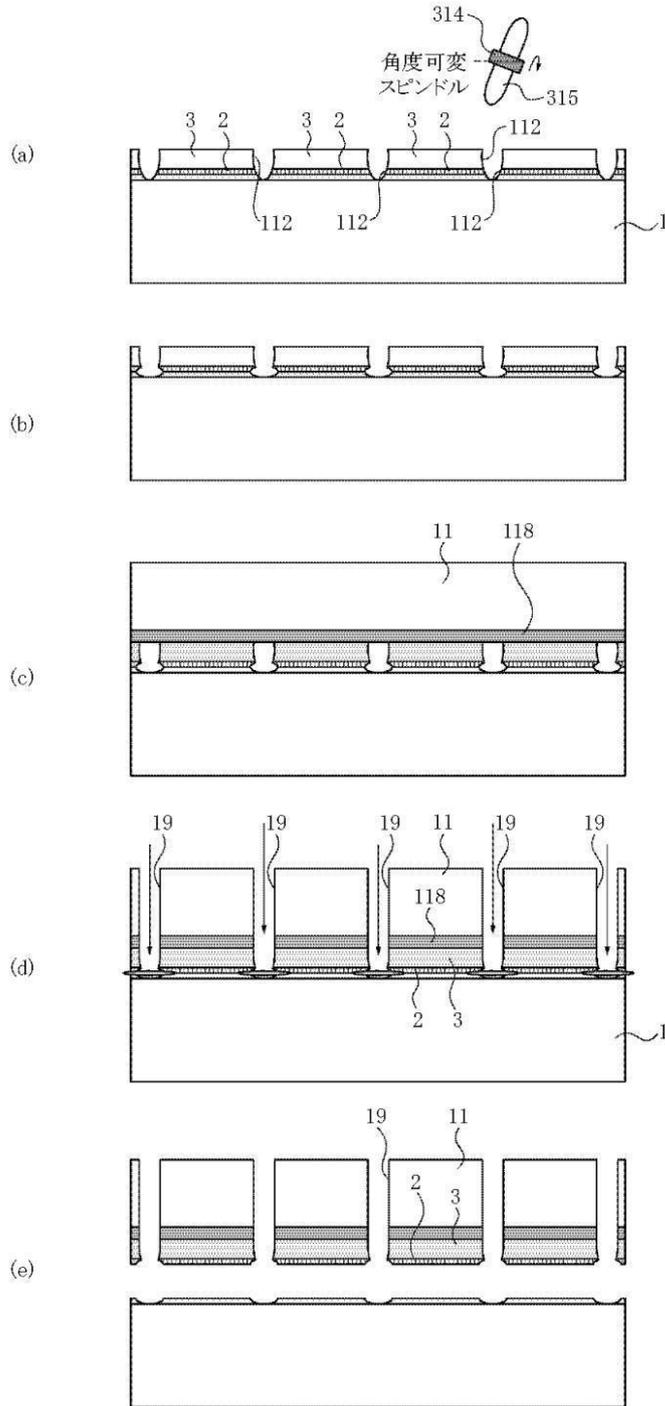
- 1 半導体基板
- 2 分離層
- 3 半導体層
- 1 1 1 支持基板
- 1 1 2 端面

20

【 図 1 】



【図 2】



【 図 3 】

