

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4968681号
(P4968681)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl.	F I				
H03K 3/356 (2006.01)	H03K	3/356	B		
G09G 3/36 (2006.01)	G09G	3/36			
G09G 3/20 (2006.01)	G09G	3/20	6 2 2 E		
G02F 1/133 (2006.01)	G09G	3/20	6 2 1 A		
G11C 19/00 (2006.01)	G09G	3/20	6 1 1 J		
請求項の数 23 (全 41 頁) 最終頁に続く					

(21) 出願番号 特願2007-185974 (P2007-185974)
 (22) 出願日 平成19年7月17日(2007.7.17)
 (65) 公開番号 特開2009-27265 (P2009-27265A)
 (43) 公開日 平成21年2月5日(2009.2.5)
 審査請求日 平成22年6月11日(2010.6.11)

(73) 特許権者 303018827
 N L Tテクノロジー株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 音瀬 智彦
 神奈川県川崎市中原区下沼部1753番地
 N E C液晶テクノロジー株式会社内
 (72) 発明者 下田 雅通
 神奈川県川崎市中原区下沼部1753番地
 N E C液晶テクノロジー株式会社内
 審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 半導体回路とそれを用いた表示装置並びにその駆動方法

(57) 【特許請求の範囲】

【請求項1】

それぞれが単位レジスタを複数有する第1の走査回路と第2の走査回路を備え、
 前記第1の走査回路と前記第2の走査回路の対応する単位レジスタの出力同士が互いに
 接続され、

前記第1の走査回路と前記第2の走査回路の前記単位レジスタは、
 制御信号に基づき、出力信号を出力する状態又は出力しない状態に、出力の状態を切り
 替える回路要素を備えている、ことを特徴とする半導体回路。

【請求項2】

前記第1及び第2の走査回路の一方が出力信号を出力している期間、他方は出力信号を
 出力しない状態とされる、ことを特徴とする請求項1記載の半導体回路。 10

【請求項3】

前記第1の走査回路の走査方向と、前記第2の走査回路の走査方向とが相反しているこ
 とを特徴とする請求項1記載の半導体回路。

【請求項4】

前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成
 された信号を、前記制御信号として入力し、オン・オフ制御される第1のスイッチ回路と
 第2のスイッチ回路を備え、

前記第1のスイッチ回路は、前記単位レジスタ内において、前記出力信号を発生する出
 力用トランジスタのゲート電極と、前記ゲート電極を制御する配線との間に配置され、 20

前記第2のスイッチ回路は、前記第1のスイッチ回路と、前記出力用トランジスタとの間のノードと、前記出力用トランジスタをオフ状態とし得る信号線との間に配置されていることを特徴とする請求項1記載の半導体回路。

【請求項5】

前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によって、オン・オフ制御される第1乃至第4のスイッチ回路を備え、

前記第1のスイッチ回路は、前記単位レジスタ内において、

前記出力信号を発生する第1の出力用トランジスタのゲート電極と、前記ゲート電極を制御する配線との間に配置され、

前記第2のスイッチ回路は、前記第1のスイッチ回路と、前記第1の出力用トランジスタとの間のノードと、前記第1の出力用トランジスタをオフ状態とし得る信号線との間に配置され、

前記第3のスイッチ回路が、前記単位レジスタ内の、前記第1の出力用トランジスタとは異なる電位の制御信号を発生する第2の出力用トランジスタのゲート電極と、前記ゲート電極を制御する配線との間に配置され、

前記第4のスイッチ回路が、前記第3のスイッチ回路と、前記第2の出力用トランジスタとの間のノードと、前記第2の出力用トランジスタをオフ状態とし得る信号線との間に配置されている、ことを特徴とする請求項1記載の半導体回路。

【請求項6】

前記回路要素が、

走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってゲート制御される第1のスイッチ回路、及び第2のスイッチ回路と、

前記出力信号を発生する第1の出力用トランジスタ、及び第2の出力用トランジスタと、

、

前記第1の出力用トランジスタをオフ状態とする第1の信号線と、

前記第2の出力用トランジスタをオフ状態とする第2の信号線と、

前記単位レジスタの出力信号を転送する出力信号線とを備え、

前記第1のスイッチ回路は、前記出力信号線と、前記第1の制御信号線との間に設置され、

前記第2のスイッチ回路が、前記出力信号線と、前記第2の制御信号線との間に設置されていることを特徴とする請求項1記載の半導体回路。

【請求項7】

前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御されるスイッチ回路と、

逆導電型の2つのトランジスタを含むインバータ回路と、

高電位電源線、及び低電位電源線と、

前記単位レジスタの出力信号を転送する出力信号線と、

を備え、

前記スイッチ回路が、前記低電位電源線と前記出力信号線との間、又は、前記高電位電源線と前記出力信号線との間に、配置されている、

ことを特徴とする請求項1記載の半導体回路。

【請求項8】

前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってゲート制御される第1のスイッチ回路、および第2のスイッチ回路と、

、

逆導電型の2つのトランジスタを含むインバータ回路と、

高電位電源線、及び低電位電源と、

前記単位レジスタの出力信号を転送する出力信号線とを備え、

前記第1のスイッチ回路が、前記低電位電源線と前記出力信号線との間に設置され、

前記第2のスイッチ回路が、前記高電位電源線と前記出力信号線との間に設置されてい

10

20

30

40

50

ることを特徴とする請求項 1 記載の半導体回路。

【請求項 9】

前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御されるスイッチ回路を備え、

前記出力信号を発生する回路が、

逆導電型の 2 つのトランジスタを含むインバータ回路を備え、

前記スイッチ回路が、前記出力信号配線と前記インバータ回路の出力ノードとの間に配置されていることを特徴とする請求項 1 記載の半導体回路。

【請求項 10】

前記第 1 の走査回路を構成する前記単位レジスタと、前記第 2 の走査回路を構成する前記単位レジスタの回路構成及び回路配置が、回路動作に影響する範囲において等しいことを特徴とする請求項 1 記載の半導体回路。

10

【請求項 11】

前記第 1 の走査回路及び前記第 2 の走査回路が、それぞれ、NMOS トランジスタで形成されていることを特徴とする請求項 1 記載の半導体回路。

【請求項 12】

前記第 1 の走査回路及び前記第 2 の走査回路が、それぞれ、PMOS トランジスタで形成されていることを特徴とする請求項 1 記載の半導体回路。

【請求項 13】

前記第 1 の走査回路及び前記第 2 の走査回路が、それぞれ、CMOS で形成されていることを特徴とする請求項 1 記載の半導体回路。

20

【請求項 14】

前記単位レジスタが、

ゲートとドレインが第 2 のクロック端子に接続された第 1 のトランジスタと、

ドレインが前記第 1 のトランジスタのソースに接続され、ゲートが入力端子に接続されソースが第 1 の電源に接続された第 2 のトランジスタと、

ゲートとドレインが前記入力端子に接続された第 3 のトランジスタと、

ドレインが前記第 3 のトランジスタのソースに接続され、ゲートが前記第 2 のトランジスタのドレインに接続され、ソースが第 1 の電源に接続された第 4 のトランジスタと、

ドレインが第 1 のクロック端子に接続され、ゲートが前記第 3 のトランジスタのソースに接続され、ドレインが出力端子に接続された第 5 のトランジスタと、

30

ドレインが前記出力端子に接続され、ソースが前記第 1 の電源に接続された第 6 のトランジスタと、

前記第 1 のトランジスタのソースと前記第 2 のトランジスタのドレインの接続点と、前記第 6 のトランジスタのゲート間に接続され、ゲートが第 1 の制御端子に接続された第 7 のトランジスタと、

ドレインが前記第 6 のトランジスタのゲートに接続されゲートが第 2 の制御端子に接続されソースが第 1 の電源に接続された第 8 のトランジスタと、

を備えている、ことを特徴とする請求項 1 記載の半導体回路。

【請求項 15】

40

前記単位レジスタは、3 相クロックで駆動され、

前記各走査回路を構成する複数の前記単位レジスタは縦列に接続され、初段の単位レジスタに入力されたパルスの位相を単位レジスタでシフトさせながら後段の単位レジスタに伝達する構成とされ、

前記第 1、第 2 のクロック端子には、3 相クロックのうち、相隣る位相のクロックが入力され、

初段の単位レジスタの入力信号端子には、パルスが入力され、

単位レジスタの出力端子は対応するゲートラインに接続されるとともに、後段の単位レジスタの入力端子に接続され、

前記第 1 の走査回路の単位レジスタにおいて、前記第 1、第 2 の制御端子には、順方向

50

シフト、逆方向シフトのときに活性化する信号がそれぞれ入力され、

前記第 2 の走査回路の単位レジスタにおいて、前記第 1、第 2 の制御端子には、逆方向シフト、順方向シフトのときに活性化する信号がそれぞれ入力される、ことを特徴とする、請求項 14 記載の半導体回路。

【請求項 16】

前記単位レジスタが、

ドレインとゲートが第 2 のクロック端子に接続された第 1 のトランジスタと、

ドレインが前記第 1 のトランジスタのソースに接続され、ゲートが入力端子に接続され、ソースが第 1 電源に接続された第 2 のトランジスタと、

ドレインとゲートが前記入力端子に接続された第 3 のトランジスタと、

ドレインが前記第 3 のトランジスタのソースに接続され、ゲートが前記第 1 のトランジスタのソースと前記第 2 のトランジスタのドレインの接続点に接続され、ソースが第 1 電源に接続された第 4 のトランジスタと、

ドレインが第 1 のクロック端子に接続されソースが出力端子に接続された第 5 のトランジスタと、

ドレインが前記出力端子にドレインが接続されソースが第 1 電源に接続された第 6 のトランジスタと、

前記第 1 のトランジスタのソースと前記第 2 のトランジスタのドレインの接続点と、前記第 6 のトランジスタのゲート間に接続され、ゲートが前記第 1 の制御端子に接続された第 7 のトランジスタと、

前記第 6 のトランジスタのゲートと第 1 の電源間に接続され、ゲートが第 2 の制御端子に接続された第 8 のトランジスタと、

前記第 3 のトランジスタのソースと前記第 4 のトランジスタのドレインの接続点と、前記第 5 のトランジスタのゲート間に接続され、ゲートが第 1 の制御端子に接続された第 9 のトランジスタと、

前記第 5 のトランジスタのゲートにドレインが接続され、ソースが第 1 電源に接続され、ゲートが前記第 2 の制御端子に接続された第 10 のトランジスタと、

を備えている、ことを特徴とする、請求項 1 記載の半導体回路。

【請求項 17】

前記単位レジスタは、3 相クロックで駆動され、

前記各走査回路を構成する複数の前記単位レジスタは縦列に接続され、初段の単位レジスタに入力されたパルスの位相を単位レジスタでシフトさせながら後段の単位レジスタに伝達する構成とされ、

前記第 1、第 2 のクロック端子には、3 相クロックの相隣る位相のクロックが入力され、

初段の単位レジスタの入力信号端子には、パルスが入力され、前記単位レジスタの出力端子は対応するゲートラインに接続されるとともに、後段の単位レジスタの入力端子に接続され、

前記第 1 の走査回路の単位レジスタにおいて、前記第 1、第 2 の制御端子には、順方向シフト、逆方向シフトのときに活性化する信号がそれぞれ入力され、

前記第 2 の走査回路の単位レジスタにおいて、前記第 1、第 2 の制御端子には、逆方向シフト、順方向シフトのときに活性化する信号がそれぞれ入力される、ことを特徴とする、請求項 16 記載の半導体回路。

【請求項 18】

前記単位レジスタが、

ドレインとゲートが第 2 のクロック端子に接続された第 1 のトランジスタと、

ドレインが前記第 1 のトランジスタのソースに接続され、ゲートが入力端子に接続され、ソースが第 1 電源に接続された第 2 のトランジスタと、

ドレインとゲートが前記入力端子に接続された第 3 のトランジスタと、

ドレインが前記第 3 のトランジスタのソースに接続され、ゲートが前記第 1 のトランジ

10

20

30

40

50

スタのソースと前記第 2 のトランジスタのドレインの接続点に接続され、ソースが第 1 電源に接続された第 4 のトランジスタと、

ドレインが第 1 のクロック端子に接続され、ソースが出力端子に接続された第 5 のトランジスタと、

ドレインが前記出力端子にドレインが接続され、ゲートが前記第 1 のトランジスタのソースと前記第 2 のトランジスタのドレインの接続点と前記第 4 のトランジスタのゲートに接続された第 6 のトランジスタと、

ドレインが前記第 6 のトランジスタのソースに接続され、ゲートが第 1 の制御端子に接続され、ソースが前記第 1 電源に接続された第 7 のトランジスタと、

を備えている、ことを特徴とする、請求項 1 記載の半導体回路。

10

【請求項 19】

前記単位レジスタは、3 相クロックで駆動され、

前記各走査回路を構成する複数の前記単位レジスタは縦列に接続され、初段の単位レジスタに入力されたパルスの位相を単位レジスタでシフトさせながら後段の単位レジスタに伝達する構成とされ、

前記第 1、第 2 のクロック端子には、3 相クロックの相隣る位相のクロックが入力され、

初段の単位レジスタの入力信号端子には、パルスが入力され、前記単位レジスタの出力端子は対応するゲートラインに接続されるとともに、後段の単位レジスタの入力端子に接続され、

20

前記第 1 の走査回路の単位レジスタにおいて、前記第 1 の制御端子には、順方向シフトのときに活性化する信号が入力され、

前記第 2 の走査回路の単位レジスタにおいて、前記第 1 の制御端子には、逆方向シフトのときに活性化する信号が入力される、ことを特徴とする、請求項 18 記載の半導体回路。

【請求項 20】

前記単位レジスタが、前記第 1 のクロック端子と前記第 5 のトランジスタのドレインの間に、ゲートが前記第 1 の制御端子に接続された第 8 のトランジスタをさらに備えている、ことを特徴とする請求項 18 記載の半導体回路。

【請求項 21】

前記単位レジスタが、入力信号をクロック信号に応答してラッチするラッチ回路と、

前記ラッチ回路の出力を受け、第 1 の制御信号に基づき、出力がオン・オフ制御される出力回路を備えていることを特徴とする請求項 1 記載の半導体回路。

30

【請求項 22】

複数の画素が配列された画素アレイと、前記画素を活性化する半導体回路とを具備した表示装置において、

前記半導体回路は、請求項 1 乃至 21 のいずれか一項に記載の半導体回路よりなり、

前記画素は、前記第 1 の走査回路、又は前記第 2 の走査回路を構成する単位レジスタから出力された出力信号によって制御されることを特徴とする表示装置。

【請求項 23】

複数の画素が配列された表示部を間に対向配置され、走査信号をラインごとに供給する第 1、第 2 の走査回路を備えた表示装置の駆動方法であって、

前記第 1 の走査回路が出力信号を出力している期間、前記第 2 の走査回路は出力信号を出力しない状態とされ、

前記第 2 の走査回路が出力信号を出力している期間、前記第 1 の走査回路は出力信号を出力しない状態とされ、

前記第 2 の走査回路の走査方向は前記第 1 の走査回路の走査方向と逆方向であり、双方向走査を行う、ことを特徴とする表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、半導体回路、及びそれを用いた半導体装置に関し、特に、走査回路に用いて好適なシフトレジスタ回路、及びそれを用いた表示装置、及び表示装置の駆動方法に関する。

【 背景技術 】

【 0 0 0 2 】

近年、液晶表示装置に代表される平面表示装置は、薄型・軽量、かつ低消費電力であることから、各種機器の表示装置として用いられている。最近では、更なる薄型・軽量化や低コスト化を実現するために、従来のアモルファスシリコン薄膜トランジスタに比べ、電子移動度が高い低温ポリシリコン薄膜トランジスタを用いて駆動回路を構成し、この駆動回路をガラス基板上に一体的に形成する技術が確立されている。

10

【 0 0 0 3 】

近年、TFTのチャネル層として、多結晶シリコンを用いることによって、マトリクス表示部と、周辺駆動回路部を、同一基板上に形成した駆動回路一体型のLCD(Liquid Crystal Display)が開発されている。

【 0 0 0 4 】

一般に、多結晶シリコンはアモルファスシリコンに比べて移動度が高い。このため、TFTを小型にすることができるため、高精細化が実現される。

【 0 0 0 5 】

また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、NMOSトランジスタと、PMOSトランジスタとからなるCMOSトランジスタを形成することにより、LCDモジュールの小型化が実現される。

20

【 0 0 0 6 】

近年の液晶表示装置の高解像度の要求は日増しに高まっている。解像度が上がることによって一度に表示される情報量が多くなるため、液晶表示装置の付加価値の向上に寄与する。また、表示装置の走査方向を双方向に対応させることにより、液晶表示装置の向きに応じて柔軟に対応できる液晶表示装置が可能となる。

【 0 0 0 7 】

したがって、高解像度の表示領域と、双方向走査回路を有する高付加価値の液晶表示装置を実現することが望まれている。

30

【 0 0 0 8 】

例えば特許文献1には、単チャネルのトランジスタで構成された双方向シフトレジスタが開示されている。図27～図30を用いて説明する。

【 0 0 0 9 】

図27は、特許文献1に開示されている平面表示装置の概略図、図28は、特許文献1に開示されている3位相双方向シフトレジスタの一つの構成を示す図である。図29は、特許文献1に開示されている3位相双方向シフトレジスタの順方向パルスシフト時の動作を説明するためのタイミングチャートである。図30は、特許文献1に開示されている3位相双方向シフトレジスタの逆方向パルスシフト時の動作を説明するためのタイミングチャートである。なお、3位相双方向シフトレジスタは、複数の同一構成のシフトレジスタを縦列に接続し、位相の異なる3つのクロック信号を用いることによって、初段のシフトレジスタに入力されたパルスの位相を各シフトレジスタでシフトさせながら後段のシフトレジスタへ伝搬させる3位相シフトレジスタを、順方向パルスシフトと逆方向のパルスシフトの双方を可能としたものである。

40

【 0 0 1 0 】

図27を参照すると、この従来の平面表示装置は、アレイ基板101上に走査線駆動回路102、信号線駆動回路103、及び複数(m×n)のスイッチング素子110が設置されている。

【 0 0 1 1 】

走査線G1～Gnは、走査線駆動回路102の出力を、スイッチング素子110の制御

50

信号として転送するための配線である。また、信号線 $S_1 \sim S_m$ は、信号線駆動回路 103 からの出力を、スイッチング素子 110 のソース、ドレインへ転送するための配線である。

【0012】

また、図 28 を参照すると、3 位相双方向シフトレジスタは、第 1 クロック端子 INP 、逆方向パルス入力端子 INN 、出力端子 OUT 、シフト方向制御信号 P 、及び N を備え、トランジスタ $Tr_1 \sim$ トランジスタ Tr_{17} のトランジスタで構成されている。

【0013】

図 29、及び図 30 に示すように、双方向シフトレジスタは、順方向シフト（図 29）と逆方向シフト（図 30）の双方に対応している。

10

【0014】

次に、特許文献 2 に開示された双方向シフトレジスタについて説明する。図 31 は、特許文献 2 に開示されたシフトレジスタの構成を示すブロック図である。図 31 を参照すると、このシフトレジスタは、単位レジスタ Res_1 、 Res_2 、 \dots と、トランジスタ Tr_{4-1} 、トランジスタ Tr_{4-2} 、 \dots と、トランジスタ Tr_{5-1} 、トランジスタ Tr_{5-2} 、 \dots と、トランジスタ Tr_{6-1} 、トランジスタ Tr_{6-2} 、 \dots とを備えている。

【0015】

トランジスタ Tr_4 は、それぞれの順方向シフトモードでオンになるトランジスタであり、左から N 番目の単位レジスタ Res_N から出力される論理値を $(N+1)$ 番目の単位レジスタ $Res_{(N+1)}$ に伝える。トランジスタ Tr_5 は、それぞれ逆方向シフトモードでオンになるトランジスタであり、単位レジスタ Res_N から出力される論理値を単位レジスタ $Res_{(N-1)}$ に伝える。トランジスタ Tr_6 は、それぞれ単位レジスタの入力 In とトランジスタ Tr_4 及びトランジスタ Tr_5 との間に設けられ、当該単位レジスタの順方向シフト動作の前にオンになり逆方向シフト動作時はオフになるように、当該単位レジスタの動作クロックとは逆相のクロック信号によりオン・オフする。図中の $Norm$ 信号及び Rev 信号は、外部から順方向シフトか、逆方向シフトかを指定するための信号であり何れか一方がハイレベルに指定される。順方向シフトでは $Norm$ 信号がハイレベル、逆方向シフトでは Rev 信号がハイレベルである。 CLK_1 信号と CLK_2 信号は、それぞれ位相が異なるクロック信号であり、奇数番目の各単位レジスタと、偶数番目の各単位レジスタとが交互に入力信号を取り込む動作をするように供給される。

20

30

【0016】

図 31 に示したシフトレジスタの動作について、図 32 (a)、図 32 (b) を用いて説明する。図 32 (a) は、順方向シフト動作時のタイムチャートである。図 32 (a) を参照すると、単位レジスタ Res_1 は、 CLK_1 信号に同期して、ハイレベル状態の入力信号 In_1 を昇圧して内部に保持する。これと同時に画素選択信号として Out_1 信号を出力し、 $Next_1$ 信号をハイレベルにする。

【0017】

図 32 (b) は、逆方向シフト動作時のタイムチャートである。図 32 (b) を参照すると、逆方向シフトでは、 $Norm$ 信号、 Rev 信号は、ローレベル、ハイレベルにそれぞれ設定される。これにより、トランジスタ Tr_4 がオフ状態に、トランジスタ Tr_4 がオン状態になる。これにより、図 32 (b) におけるトランジスタ Tr_4 の代わりに、トランジスタ Tr_5 を介して、順方向では後段の単位レジスタの出力信号 $Next$ がその前段の単位レジスタの入力信号 In として入力されることになる。

40

【0018】

このような逆方向シフトの動作は、双方向シフトレジスタが固体撮像装置の行を選択する場合には、固体撮像装置は上下反転画像を出力することになる。

【0019】

例えば、カメラにおいて回転可能な表示パネルを有している場合は、表示パネルが正面方向を向いている場合には順方向シフト、表示パネルが正面とは反対の方向を向いている

50

場合は、逆方向シフトを行うことにより利用することができる。

【0020】

特許文献1及び特許文献2は、共に単チャネルのトランジスタで構成された双方向シフトレジスタを挙げたが、例えば特許文献3には、CMOS構成の双方向シフトレジスタが開示されている。

【0021】

図33(a)は、特許文献3に開示されている単一シフト方向のシフトレジスタの構成、図33(b)は、特許文献3の双方向シフトレジスタの構成をそれぞれ示している。

【0022】

図33(a)に示した単一シフト方向のシフトレジスタは、DXより入力されたパルスを相補クロック信号(C1、C2)で制御されることにより、S1、S2へ順次パルスを出力していく動作を行う。

10

【0023】

一方、図33(b)に示した双方向シフトレジスタは、シフト方向制御信号(L、R)を用いてシフト方向を制御することにより双方向走査を可能としている。

【0024】

【特許文献1】特開2004-185684号公報(第17~18頁 図1、図4、図5、図6)

【特許文献2】特開2004-288697号公報(第10頁 図1、図2(a)、図2(b))

20

【特許文献3】特開2004-134053号公報(第24頁 図15(a)、図15(b))

【発明の開示】

【発明が解決しようとする課題】

【0025】

しかしながら、上記した従来の構成を用いて、高付加価値の液晶表示装置を実現しようとした場合、それぞれ以下のような問題がある。

【0026】

例えば特許文献1に開示された構成では、双方向走査を実現するために同じ機能を有する回路要素を重複して設置する必要がある。つまり、図27に示すとおり、トランジスタTr11、トランジスタTr3と、トランジスタTr12、トランジスタTr4は、それぞれ信号N、P、及びINN、INPで制御されているが、これらは、各々走査方向により一方が活性化され、他方が動作停止の状態である。同様に、トランジスタTr3とトランジスタTr14、及び、トランジスタTr15、トランジスタTr6と、トランジスタTr16、トランジスタTr7の組み合わせも、走査方向により、一方が活性化され、他方が動作停止の状態である。従って、この従来のシフトレジスタは、1ビット当たりの回路規模が大きくなる傾向にある。

30

【0027】

この問題は、特許文献2に開示された構成でも、同様に起こりうる。特許文献2に開示された構成の場合、図31に示したとおり、シフトレジスタ1ビット(Regn)当たり、3個のトランジスタ(トランジスタTr4-n、トランジスタTr5-n、トランジスタTr6-n)が配設される。さらに、各々の配線も増大するため、特許文献1に開示された構成と同様、1ビットあたりの回路規模が大きくなる。

40

【0028】

さらに、特許文献3に開示された構成においても、同様に、図33(b)中のシフト方向制御信号(L、R)が入力されるクロックインバータ回路は、順方向シフト用と逆方向シフト用で1出力につき、2個配置する必要がある。従って、特許文献3に開示された構成においても、1ビットあたりの回路規模が大きくなる、という問題が起こりうる。

【0029】

ここで、走査回路と表示装置の構成は、一般的に、表示装置を構成している画素の配置

50

ピッチと、走査回路を構成しているシフトレジスタの配置ピッチとが、同じ長さであることが望ましい。図34(A)は、配置ピッチが画素ピッチと同じ長さのシフトレジスタの配置例を示したものである。

【0030】

配置ピッチとシフトレジスタの配置ピッチを同じ長さとするのは、走査回路から出力される信号を伝達する電気配線のレイアウトの観点から明らかである。すなわち、表示装置の高解像度化に伴い、画素ピッチとシフトレジスタの最小構成単位の配置ピッチは共に狭ピッチ化していく。

【0031】

図34(B)に示すように、画素21の狭ピッチ化に伴い、シフトレジスタ1の回路幅Lは増大する。図34(B)のシフトレジスタ1の回路素子数(面積)が、図34(A)の回路素子数(面積)と同じであるとした場合、シフトレジスタ1の寸法の1つ(高さ)の減少は、他の寸法(幅)の増大をもたらす。

10

【0032】

回路幅Lが増大することにより、表示装置における、走査回路が配置される側の額縁が大きくなってしまふ問題がある。

【0033】

この非対称性は、表示装置の設計にも影響を及ぼし、この非対称性を解消するには、走査回路を配置しない側の額縁を、上記Lと同じ値に広げる必要がある。

【0034】

20

従って上記した従来の双方向走査回路においては、狭ピッチと狭額縁との両立が極めて困難である、といえる。

【0035】

また、シフトレジスタ内部に、双方向機能を持たせる構成の問題として走査方向によって回路の動作マージンが異なってしまう問題が挙げられる。

【0036】

これは、シフトレジスタ内に双方向機能を持たせるために、重複して回路要素を配置している都合上、各々の回路要素や配線のレイアウトが複雑化することによる。従って、シフトレジスタ内に双方向機能を持たせるには、レイアウトを対称にすることが困難である。

30

【0037】

レイアウトが非対称の場合、順方向走査と逆方向走査とで、回路動作マージンが異なるため、双方向走査回路の特性は、異なった動作マージンの内、動作マージンの小さい方が双方向走査回路の動作マージンとなってしまう。

【0038】

この問題は、高精細化に伴って、動作周波数が増大することにより顕在化する。特にシフトレジスタを狭ピッチ化させる場合、上記問題を回避するには図34に示す回路の長さLが長くなり、狭額縁化が困難となる。

【0039】

したがって、本発明の主たる目的は、走査方向によって回路動作マージンに差が生じる問題を解消した双方向走査回路を提供することにある。本発明の他の目的は、狭ピッチと狭額縁を両立し、走査方向によって表示性能が劣化することを防止した表示装置を提供することにある。

40

【課題を解決するための手段】

【0040】

本願で開示される発明は、前記課題を解決するため概略以下の構成とされる。

【0041】

本発明に係る半導体回路は、それぞれが単位レジスタを複数有する第1の走査回路と第2の走査回路を備え、前記第1の走査回路と前記第2の走査回路の対応する単位レジスタの出力同士が互いに接続され、前記第1の走査回路と前記第2の走査回路の前記単位レジ

50

スタは、制御信号に基づき、出力信号を出力する状態又は出力しない状態に、出力の状態を切り替える回路要素を備えている。本発明において、前記第1及び第2の走査回路の一方が出力信号を出力している期間、他方は出力信号を出力しない状態とされる。

【0042】

本発明において、前記第1の走査回路の走査方向と、前記第2の走査回路の走査方向とが相反している。

【0043】

本発明において、前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号を、前記制御信号として入力し、オン・オフ制御される第1のスイッチ回路と第2のスイッチ回路を備え、前記第1のスイッチ回路は、前記単位レジスタ内において、前記出力信号を発生する出力用トランジスタのゲート電極と、前記ゲート電極を制御する配線との間に配置され、前記第2のスイッチ回路は、前記第1のスイッチ回路と、前記出力用トランジスタとの間のノードと、前記出力用トランジスタをオフ状態とし得る信号線との間に配置されている。

【0044】

本発明において、前記第1の走査回路を構成する前記単位レジスタと、前記第2の走査回路を構成する前記単位レジスタの回路構成及び回路配置が、回路動作に影響する範囲において等しい。

【0045】

本発明に係る表示装置は、複数の画素が配列された画素アレイと、前記画素を活性化する半導体回路とを具備し、前記半導体回路を、本発明に係る半導体回路で構成し、前記画素は、前記第1の走査回路、又は前記第2の走査回路を構成する単位レジスタから出力された出力信号によって制御される。

【0046】

本発明に係る駆動方法は、

複数の画素が配列された画素アレイと、前記画素アレイを間に相対して配置され、前記複数の画素に走査信号をラインごとに供給する第1、第2の走査回路を備えた表示装置の駆動方法であって、

前記第1の走査回路が出力信号を出力している期間、前記第2の走査回路は出力信号を出力しない状態とされ、

前記第2の走査回路が出力信号を出力している期間、前記第1の走査回路は出力信号を出力しない状態とされ、

前記第1の走査回路の走査方向と、前記第2の走査回路の走査方向とが相反していることを特徴とする。

【発明の効果】

【0047】

本発明によれば、走査方向によって回路動作マージンに差が生じる問題を解消した双方向走査回路を提供することができる。

【0048】

また、本発明によれば、狭ピッチと狭額縁を両立し、走査方向によって表示性能が劣化することを防止した表示装置を提供することができる。

【発明を実施するための最良の形態】

【0049】

上記した本発明についてさらに詳細に説明すべく添付図面を参照して説明する。本発明の半導体回路は、第1の走査回路（例えば図1の5）、及び第2の走査回路（図1の6）を含み、第1の走査回路と第2の走査回路の出力が互いに接続されており、第1の走査回路及び前記第2の走査回路を構成する単位レジスタ（例えば図3の1）が、出力信号を電氣的に出力状態、又は非出力状態にする回路要素を有している。一方の走査回路が出力動作している間に、他方の走査回路の出力動作を停止することが可能となり、第1の走査回路、及び第2の走査回路を用いた双方向走査回路が実現できる。

【 0 0 5 0 】

また、本発明の半導体回路は、第1の走査回路が出力信号を出力している期間において、第2の走査回路が出力信号を出力しない状態である、又は前記第2の走査回路が出力信号を出力している期間において、前記第1の走査回路が出力信号を出力しない状態である。一方の走査回路が出力動作している間に、他方の走査回路の出力動作を停止することが可能となり、第1の走査回路、及び第2の走査回路を用いた双方向走査回路を有する表示装置が実現できる。

【 0 0 5 1 】

本発明の半導体回路は、前記第1の走査回路の走査方向と、前記第2の走査回路の走査方向とが相反している。このため、第1の走査回路と第2の走査回路を用いて双方向走査回路を実現することが出来る。第1の走査回路と第2の走査回路を用いた双方向走査回路を有する表示装置が実現できる。

10

【 0 0 5 2 】

本発明の半導体回路は、前記回路要素が、走査方向を指定する信号（例えば図3のFW、RV）、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御される第1のスイッチ回路（例えば図4のTr7等）、及び第2のスイッチ回路（例えば図4のTr8）を備え、第1のスイッチ回路が、前記単位レジスタ内の、前記出力信号を発生する出力用トランジスタ（例えば図4のTr6）のゲート電極と、前記ゲート電極を制御する配線（例えば図4のノードB）との間に配置され、前記第2のスイッチ回路が、前記第1のスイッチ回路（Tr7）と前記出力用トランジスタ（Tr6）との間のノードと、前記出力用トランジスタ（Tr6）をオフ状態とし得る信号線（VSS）との間に配置されている。

20

【 0 0 5 3 】

このため、第1のスイッチ回路および第2のスイッチ回路をオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。第1のスイッチ回路（Tr7）がオン、第2のスイッチ回路（Tr8）がオフのとき出力信号を出力する状態、第1のスイッチ回路（Tr7）がオフ、第2のスイッチ回路（Tr8）がオンのとき出力しない状態とされる。

【 0 0 5 4 】

また、本発明の半導体回路は、前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御される第1乃至第4のスイッチ回路を備えている。

30

【 0 0 5 5 】

前記第1のスイッチ回路（例えば図10のTr7）は、前記単位レジスタ内の、前記出力信号を発生する第1の出力用トランジスタ（図10のTr6）のゲート電極と、前記ゲート電極を制御する配線（図10のTr1とTr2の接続点）との間に配置されている。

【 0 0 5 6 】

前記第2のスイッチ回路（図10のTr8）は、前記第1のスイッチ回路（Tr7）と、前記第1の出力用トランジスタ（図10のTr6）との間のノードと、前記第1の出力用トランジスタをオフ状態とし得る信号線（VSS）との間に配置されている。

40

【 0 0 5 7 】

前記第3のスイッチ回路（図10のTr9）は、前記単位レジスタ内の、前記第1の出力用トランジスタとは異なる電位の制御信号を発生する第2の出力用トランジスタ（Tr5）のゲート電極と、前記ゲート電極を制御する配線（Tr3とTr4の接続点）との間に配置されている。

【 0 0 5 8 】

前記第4のスイッチ回路（図10のTr10）は、前記第3のスイッチ回路（Tr9）と、前記第2の出力用トランジスタ（Tr5）との間のノードと、前記第2の出力用トランジスタをオフ状態とし得る信号線（VSS）との間に配置されている。かかる構成において、第1のスイッチ回路、第2のスイッチ回路、第3のスイッチ回路、および第4のス

50

イッチ回路をそれぞれオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。

【0059】

本発明の半導体回路は、前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御される第1のスイッチ回路（例えば図14のTr12）、及び第2のスイッチ回路（図14のTr11）と、

前記出力信号を発生する第1の出力用トランジスタ（図14のTr6）、及び第2の出力用トランジスタ（Tr5）と、

前記第1の出力用トランジスタ（Tr6）、及び第2の出力用トランジスタ（Tr5）をオフ状態とする第1の制御信号線（VSS）と、前記第1の制御信号線とは異なる電位の第2の制御信号線（CLK(n)）と、

前記単位レジスタの出力信号を転送する出力信号線（OUT）と、
を備えている。

【0060】

前記第1のスイッチ回路（Tr12）は、前記出力信号線（OUT）と、前記第1の制御信号線との間に設置されている。前記第2のスイッチ回路（Tr11）は、前記出力信号線（OUT）と、前記第2の制御信号線との間に設置されている。このため、第1のスイッチ回路、及び第2のスイッチ回路をそれぞれオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。

【0061】

また、本発明の半導体回路は、前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御されるスイッチ回路（図21のN3）と、

NMOSトランジスタ（N1）とPMOSトランジスタ（P1）から構成されたインバータ回路と、

高電位電源線、及び低電位電源線と、前記単位レジスタの出力信号を転送する出力信号線から構成されており、

前記スイッチ回路（N3）が、低電位電源線（VSS）と、出力信号線（OUT）との間、又は高電位電源線（VDD）と出力信号線（OUT）との間に配置されている。このため、スイッチ回路をオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。

【0062】

また、本発明の半導体回路は、前記回路要素が、走査方向を指定する信号、又は前記走査方向を指定する信号から生成された信号によってオン・オフ制御される第1のスイッチ回路（図25のN3）、および第2のスイッチ回路（図25のP3）と、

NMOSトランジスタ（N1）とPMOSトランジスタ（P1）とから構成されたインバータ回路と、

高電位電源線、及び低電位電源と、前記単位レジスタの出力信号を転送する出力信号線から構成されており、

前記第1のスイッチ回路（N3）が、低電位電源線（VSS）と、出力信号線（OUT）との間に設置され、

前記第2のスイッチ回路（P3）が、高電位電源線（VDD）と、出力信号線（OUT）との間に設置されている。

【0063】

このため、第1のスイッチ回路、及び第2のスイッチ回路をそれぞれオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。

【0064】

また、本発明の半導体回路は、前記回路要素が、走査方向を指定する信号、又は前記走

査方向を指定する信号から生成された信号によってオン・オフ制御されるスイッチ回路（P3、N3）を備え、前記出力信号を発生する回路が、NMOSトランジスタとPMOSトランジスタとから構成されたインバータ回路（P1とN1、P2とN2）を備え、前記スイッチ回路が、前記出力信号配線（OUT）と、前記インバータ回路の出力ノード（P2とN2の接続点）との間に配置されている。このため、スイッチ回路をオン状態、又はオフ状態とすることにより、走査回路の出力信号を出力する状態、又は出力しない状態に制御することが可能となる。

【0065】

また、本発明の表示装置は、複数の画素が配列された画素アレイと、前記画素を活性化する半導体回路とを具備した表示装置において、前記画素は、前記第1の走査回路（5）
10、前記第2の走査回路（6）を構成する単位レジスタから出力された出力信号によって制御され、前記第1の走査回路、及び前記第2の走査回路の出力が互いに共通であって、前記単位レジスタ内に、出力信号を出力する状態、又は出力しない状態とする回路要素を有する。このため、一方の走査回路が出力動作している間に、他方の走査回路の出力動作を停止することが可能となり、第1の走査回路、及び第2の走査回路を用いた表示装置が実現できる。

【0066】

また、本発明の半導体回路の駆動方法は、前記第1の走査回路が出力信号を出力している期間において、前記第2の走査回路が出力信号を出力しない状態である、又は前記第2
20の走査回路が出力信号を出力している期間において、前記第1の走査回路が出力信号を出力しない状態に制御する（図8）。このため、一方の走査回路が出力動作している間に、他方の走査回路の出力動作を停止することが可能となり、第1の走査回路、及び第2の走査回路を用いた走査回路が実現できる。

【0067】

また、本発明の表示装置の駆動方法は、前記第1の走査回路が出力信号を出力している期間において、前記第2の走査回路が出力信号を出力しない状態である、又は前記第2の
30走査回路が出力信号を出力している期間において、前記第1の走査回路が出力信号を出力しない状態である、ことを特徴としている。このため、一方の走査回路が出力動作している間に、他方の走査回路の出力動作を停止することが可能となり、第1の走査回路、及び第2の走査回路を用いた表示装置が実現できる。

【0068】

また、本発明の半導体回路、又は表示装置は、前記第1の走査回路を構成する前記単位
レジスタと、前記第2の走査回路を構成する前記単位レジスタの回路構成及び回路配置が、回路動作に影響する範囲において、ほぼ等しい。このため、第1の走査回路の動作特性と、第2の走査回路の動作特性に差が生じることを抑制することが可能となる。さらに、第1の走査回路と第2の走査回路を具備した表示装置においては、走査方向により、表示品質が劣化することを抑制できる。

【0069】

また、本発明の半導体回路、又は表示装置は、方向と、前記第2の走査回路の走査方向
40とが相反している。このため、第1の走査回路と第2の走査回路を用いて双方向走査回路を実現することが出来る。第1の走査回路と第2の走査回路を用いた双方向走査回路を有する表示装置が実現できる。

【0070】

また、本発明の半導体回路、又は表示装置は、前記第1の走査回路、及び前記第2の走
査回路がNMOSトランジスタ、又はPMOSトランジスタで形成してもよい。CMOSトランジスタの構成に比べて、トランジスタ基板の作製コストを抑制することができるため、低コストの半導体回路、又は表示装置を実現することができる。本発明において、走査回路のトランジスタ素子は、画素パネルの画素トランジスタ（TFET）と同一の製造工程で作製されるトランジスタを用いてもよい（アモルファスシリコンTFET、ポリシリコンTFET等）

10

20

30

40

50

【 0 0 7 1 】

また、本発明の半導体回路、又は表示装置は、前記第 1 の走査回路、及び前記第 2 の走査回路を CMOS で形成してもよい。このため、走査回路の出力が低電位電源から高電位電源までのフル振幅で行うことができる。以下実施例に即して説明する。

【 0 0 7 2 】

< 実施例 1 >

本発明の第 1 の実施例について説明する。図 1 は、本実施例の表示装置を示す構成を示す図である。図 2 は、図 1 の A - A ' 線の断面を模式的に示す図である。図 3 (a)、(b) は、本実施例の走査回路の構成を示すブロック図である。図 4 は、本実施例のシフトレジスタ (単位レジスタ) の構成を示す図である。図 5 は、本実施例の表示装置の画素部分の回路構成を示す図である。

10

【 0 0 7 3 】

図 1 を参照すると、本実施例の表示装置は、回路基板 3 上に、表示部 4、第 1 の走査回路 5、第 2 の走査回路 6、ゲートバスライン 7、ソース IC 8、端子列 9、データバスライン 10 が設置されている。表示部 4 は、図 5 に示す画素が複数配置されている。

【 0 0 7 4 】

図 2 を参照すると、本実施例の表示装置は、回路基板 3、対向基板 14、液晶層 (液晶部) 11 を備え、液晶層 11 は、回路基板 3、及び、対向基板 14、及び、図示されないギャップ制御手段等によって挟持されている。

【 0 0 7 5 】

第 1 の走査回路、及び第 2 の走査回路は、それぞれ図 3 (a)、図 3 (b) に示す構成である。それぞれの走査回路は、配線群 (CLK 1、CLK 2、CLK 3、ST 1 (又は ST 2)、FW、RV) で制御されている。

20

【 0 0 7 6 】

ゲートバスライン 7 は、第 1 の走査回路 5 の出力と、第 2 の走査回路 6 の出力とが互いに接続されている。

【 0 0 7 7 】

図 4 に示すとおり、本実施例のシフトレジスタ 1 は、トランジスタ Tr 1 ~ トランジスタ Tr 8 を備え、IN、CLK (n)、CLK (n + 1)、OUT、VSS、D 1、D 2 からなる端子を有する。

30

【 0 0 7 8 】

図 4 を参照すると、シフトレジスタ 1 (単位レジスタ) は、ゲートとドレインがクロック端子 CLK (n + 1) 端子に接続された NMOS トランジスタ Tr 1 と、NMOS トランジスタ Tr 1 のソースにドレインが接続されゲートが IN に接続されソースが VSS に接続された NMOS トランジスタ Tr 2 と、ゲートとドレインが端子 IN に接続された NMOS トランジスタ Tr 3 と、NMOS トランジスタ Tr 3 のソース (ノード A) にドレインが接続され、NMOS トランジスタ Tr 2 のドレイン (ノード B) にゲート接続されソースが VSS に接続された NMOS トランジスタ Tr 4 と、ドレインが CLK (n) 端子に接続され、NMOS トランジスタ Tr 3 のソース (ノード A) にゲートが接続され、ドレインが端子 OUT に接続された NMOS トランジスタ Tr 5 と、ドレインが端子 OUT に接続され、ソースが VSS に接続された NMOS トランジスタ Tr 6 と、NMOS トランジスタ Tr 2 のドレインと NMOS トランジスタ Tr 6 のゲート間に接続され、ゲートが端子 D 1 に接続された NMOS トランジスタ Tr 7 と、NMOS トランジスタ Tr 6 のゲートにドレインが接続され、ゲートが端子 D 2 に接続され、ソースが VSS に接続された NMOS トランジスタ Tr 8 を備えている。

40

【 0 0 7 9 】

トランジスタ Tr 1 は、CLK (n + 1) のハイレベル信号を受けて、ハイレベル (実際はハイレベルからトランジスタ Tr 1 のしきい値電圧分低下した電圧) を、ノード B へ転送する。

【 0 0 8 0 】

50

トランジスタ $T r 2$ は、端子 $I N$ (又は前段の $O U T$) の電位をゲートに受けてオンし、ノード B の電位を $V S S$ 電圧とする。

【0081】

トランジスタ $T r 3$ は、ゲートに端子 $I N$ (又は前段の $O U T$) の電位を受け、ノード A にハイレベル (実際はハイレベルからトランジスタ $T r 3$ のしきい値電圧分低下した電圧) を供給する。

【0082】

トランジスタ $T r 4$ は、ゲートにノード B の電位を受け、ノード B がハイレベルのとき (トランジスタ $T r 1$ がオンでトランジスタ $T r 2$ がオフのとき)、ノード A に $V S S$ 電圧を供給する。

10

【0083】

トランジスタ $T r 5$ は、ゲートにノード A の電位を受け、オンし、 $O U T$ へ $C L K (n)$ 信号を出力する。

【0084】

トランジスタ $T r 6$ は、ゲートにノード B の電位を受け、ノード B がハイレベルのとき $O U T$ の電位を $V S S$ 電圧にする。

【0085】

トランジスタ $T r 7$ はゲートに $D 1$ 信号を受けオン・オフ制御され、オフ時には、トランジスタ $T r 6$ のゲートと、ノード B (トランジスタ $T r 4$ のゲート、及びトランジスタ $T r 1$ のソースとトランジスタ $T r 2$ のドレインの接続点) を分離する。

20

【0086】

トランジスタ $T r 8$ は、ゲートに $D 2$ 信号を受けてオン・オフ制御され、オン時には、トランジスタ $T r 6$ のゲートと $V S S$ とを短絡する。

【0087】

1 段目のシフトレジスタ 1 の $C L K (n)$ 端子と $C L K (n+1)$ 端子は $C L K 1$ と $C L K 2$ に接続される。

【0088】

2 段目のシフトレジスタ 1 の $C L K (n)$ 端子と $C L K (n+1)$ 端子は $C L K 2$ と $C L K 3$ に接続される。

【0089】

30

3 段目のシフトレジスタ 1 の $C L K (n)$ 端子と $C L K (n+1)$ 端子は $C L K 3$ と $C L K 1$ に接続される。

【0090】

4 段目から 6 段目のシフトレジスタ 1 の $C L K (n)$ 端子と $C L K (n+1)$ 端子は、1 段目から 3 段目の接続が繰り返され、7 段目以降も同様とされる。

【0091】

$S T 1$ ($S T 2$) は、転送を開始するための制御信号であり、1 段目 (図 3 (a) 中の一番上にあるシフトレジスタ 1 又は図 3 (b) 中の一番下にあるシフトレジスタ) の $I N$ 端子に入力される。

【0092】

40

$S T 1$ は第 1 走査回路 5 に入力され、 $S T 2$ は第 2 走査回路 6 に入力される。

【0093】

次段以降のシフトレジスタ 1 の $I N$ 端子には、前段の $O U T$ が入力される。

【0094】

$F W$ 、及び $R V$ は走査方向を規定するための制御信号であり、それぞれシフトレジスタ 1 の $D 1$ 端子、及び $D 2$ 端子に接続される。ここで、第 1 の走査回路 5 と第 2 の走査回路 6 とでは接続が異なる。

【0095】

第 1 の走査回路 5 の $D 1$ 端子、 $D 2$ 端子は、 $F W$ 信号、 $R V$ 信号が接続され、第 2 の走査回路 6 の $D 2$ 端子、 $D 1$ 端子は、 $F W$ 信号、 $R V$ 信号が接続される。

50

【 0 0 9 6 】

第 1 の走査回路 5 と第 2 の走査回路 6 とは、走査方向が相反する。例えば図 1 に記載しているように、第 1 の走査回路 5 は、S T 1 が、シフトレジスタ 1 1 の I N に入力され、下方向へ走査していくのに対し、図 3 (b) の第 2 の走査回路 6 では、S T 2 がシフトレジスタ 1 の端子 (I N) に入力され、上方向へ走査していく。

【 0 0 9 7 】

図 5 に示す例では、画素は、スイッチトランジスタ 1 3、液晶部 (液晶部容量) 1 1、保持容量 1 2 を備えて構成されている。

【 0 0 9 8 】

スイッチトランジスタ 1 3 は、ゲート部にゲートバスライン 7 が接続され、ソース - ドレイン部にデータバスライン 1 0、及び液晶部容量 1 1 と保持容量 1 2 の電極がそれぞれ接続されている。

10

【 0 0 9 9 】

液晶部容量 1 1 と保持容量 1 2 のもう一方の電極は、対向基板と電氣的にそれぞれ接続されている。

【 0 1 0 0 】

ソース I C 8 は、図示されない外部接続機器から端子列 9 を経由して入力された映像表示用データ信号を受けて、データバスライン 1 0 へ供給するための回路である。

【 0 1 0 1 】

ソース I C 8 は、回路基板 3 とは別の基板上に形成されたトランジスタ回路チップが、回路基板 3 上に電氣的に C O G 実装されている。

20

【 0 1 0 2 】

このように、本実施例においては、表示部 4 の両側に第 1 の走査回路 5、及び第 2 の走査回路 6 を具備し、第 1 の走査回路 5 と第 2 の走査回路 6 とは、各々の走査方向が互いに相反している。

【 0 1 0 3 】

第 1 の実施例の動作について説明する。図 1 を用いて、本実施例の表示装置の動作について説明する。

【 0 1 0 4 】

第 1 の走査回路 5 と第 2 の走査回路 6 のいずれか一方が出力動作し、他方が出力停止する。

30

【 0 1 0 5 】

また、各々の走査回路の走査方向は、互いに相反している。例えば、第 1 の走査回路 5 の走査方向を図 1 の下方と設定した場合、第 2 の走査回路 6 の走査方向は図 1 の上方へ設定する。

【 0 1 0 6 】

走査回路の出力信号は対応するゲートバスライン 7 に転送され、表示部 4 の画素群のうち、当該ゲートバスライン 7 に接続されている画素が全て活性化状態となる。

【 0 1 0 7 】

図示されない外部接続機器より出力された映像信号が、端子列 9、ソース I C 8 を経由してデータバスライン 1 0 に転送されている。

40

【 0 1 0 8 】

この状態において、当該活性化された画素群に対して、対応するデータバスライン 1 0 から転送された映像信号が入力される。各画素は、入力された映像信号に従い、例えば図示されない光源の透過率を制御する。

【 0 1 0 9 】

上記動作を繰り返すことによって、走査回路は、順次、ゲートバスライン 7 を駆動する。このように、1 フレーム期間内に全ゲートバスライン 7 を選択し、各ゲートバスライン 7 に接続された画素に対応した映像信号を各画素に入力することにより、1 フレーム期間内に全ての画素の表示状態を変更することが可能となる。

50

【0110】

従って、表示部4は1フレーム期間毎に表示状態を遷移させることにより、表示装置の機能を果たすことが出来る。

【0111】

以下、走査回路の動作について、図4に示したNMOSトランジスタで構成されたシフトレジスタ1の動作について、図8を用いて説明する。

【0112】

図8は、本実施例の動作を示すタイミングチャートである。本実施例の表示装置は、第1の走査回路5がゲートバスライン7に画素のスイッチングトランジスタ13を駆動するゲート信号を供給している間は、第2の走査回路6は、ゲートバスライン7への出力を停止させる。

10

【0113】

逆に、第2の走査回路6が駆動中においては、第1の走査回路5は出力を停止している。この役割を果たすのは、トランジスタTr7及びトランジスタTr8とFW信号、及びRV信号である。

【0114】

図8に示したタイミングチャートは、第1の走査回路5が駆動している期間(T1)と、第2の走査回路が駆動している期間(T2)とに分かれている。

【0115】

期間T1において、FWはハイレベル、RVはローレベルを維持している。すなわち、第1の走査回路5の各シフトレジスタ1のトランジスタTr7がオン状態、トランジスタTr8はオフ状態を維持していることになる。

20

【0116】

この状態において、ST1のハイレベルが第1の走査回路5の1段目のシフトレジスタのIN端子に入力されると、トランジスタTr2のゲートがオン状態に遷移し、ノードBにローレベルが印加される。また同時にトランジスタTr3が活性化されるため、ノードAにはハイレベル(実際はハイレベルからトランジスタTr3のしきい値電圧分低下した電圧)が入力される。

【0117】

この状態において、ST1のレベルがローレベルに遷移し、CLK1がローレベルからハイレベルへ遷移すると、ブートストラップ効果によって、ノードAの電位が上昇し、CLK1のハイレベルが電位低下することなくOUT1(図3(a)の1番目のシフトレジスタの出力OUTをOUT1という)へ転送される。

30

【0118】

OUT1の配線は、2段目のシフトレジスタ1のIN端子に接続されているため、OUT1の出力がハイレベルに遷移されたことにより、ちょうど1段目にST1が入力されたことと同じ状態となる。

【0119】

OUT1のハイレベルがローレベルに遷移し、CLK2がローレベルからハイレベルに遷移すると、2段目のシフトレジスタ1のOUT2も同様にハイレベルへ遷移する。

40

【0120】

OUT2が3段目のスタート信号の役割を果たし、CLK3によってOUT3も同様にハイレベルへ遷移する。

【0121】

このように、順次シフトレジスタ1は端子(OUT)に出力するのと同時に、次段への転送も行うことにより、タイミングチャートに示すとおりOUT1、OUT2、OUT3、・・・の波形に示す駆動を行っていく。

【0122】

この間、第2走査回路6は、ST2がローレベル、FWがハイレベル、RVがローレベルに維持されているため、第2走査回路6内のシフトレジスタ1は、全て、非活性化状態

50

を維持することとなる。

【0123】

トランジスタTr7はオフ状態、トランジスタTr8はオン状態であるため、トランジスタTr6のゲートにはローレベルが印加され、トランジスタTr6はオフ状態となっている。

【0124】

また、トランジスタTr5は、ノードAがローレベルのため、オフ状態となっている。

【0125】

第1の走査回路5が駆動しているため、対応するシフトレジスタ1のOUT端子がハイレベルになると同時にOUT端子に接続されているゲートバスライン7もハイレベルに遷移する。

10

【0126】

このとき、共有している第2の走査回路6の対応するシフトレジスタ1のトランジスタTr6がオフ状態を維持している。このため、トランジスタTr6を経由してVSS電源側に、定常電流が流れることを防止することができる。

【0127】

期間T2では、第2の走査回路6がゲートバスライン7にゲート信号を供給する。また、第1の走査回路5はゲートバスライン7への出力を停止する。すなわち、T1期間における第1の走査回路5の駆動方法を、第2の走査回路6に適用し、T1期間における第2の走査回路6の駆動方法を、第1の走査回路5に適用すればよい。

20

【0128】

以上説明したとおり本実施例により、NMOSで構成されたトランジスタ回路を用いた双方向走査回路を有する表示装置を実現できる。

【0129】

<実施例2>

次に本発明の第2の実施例について説明する。本発明の第2の実施例の表示装置の構成は、第1の実施例と同様、図1、及び図2に示した構成とされる。ただし、表示部4を構成する画素は、図7に示したPMOSトランジスタの構成である。ゲートとドレインが端子CLK(n+1)端子に接続されたPMOSトランジスタTr1と、PMOSトランジスタTr1のソースにドレインが接続されゲートがINに接続されソースがVDDに接続されたPMOSトランジスタTr2と、ゲートとドレインが端子INに接続されたPMOSトランジスタTr3と、PMOSトランジスタTr3のソース(ノードA)にドレインが接続され、PMOSトランジスタTr2のドレイン(ノードB)にゲート接続されソースがVDDに接続されたPMOSトランジスタTr4と、ドレインがCLK(n)端子に接続され、PMOSトランジスタTr3のソース(ノードA)にゲートが接続され、ドレインが端子OUTに接続されたPMOSトランジスタTr5と、ドレインが端子OUTに接続され、ソースがVDDに接続されたPMOSトランジスタTr6と、PMOSトランジスタTr2のドレインとPMOSトランジスタTr6のゲート間に接続され、ゲートが端子D1に接続されたPMOSトランジスタTr7と、PMOSトランジスタTr6のゲートにドレインが接続され、ゲートが端子D2に接続され、ソースがVSSに接続されたPMOSトランジスタTr8を備えている。

30

40

【0130】

本実施例の走査回路の構成についても、前記第1の実施例と同様、図3(a)、(b)に示した構成とされる。

【0131】

本実施例は、走査回路を構成するシフトレジスタ1の構成が第1の実施例と異なるため、図6を用いて本実施例のシフトレジスタ1の構成について説明する。

【0132】

図6は、PMOSトランジスタで構成されたシフトレジスタ1の構成を示す回路図である。

50

【 0 1 3 3 】

図 6 に示すとおり、第 2 の実施例のシフトレジスタ 1 は、トランジスタ $T r 1 \sim$ トランジスタ $T r 8$ を備え、 $I N$ 、 $C L K (n)$ 、 $C L K (n + 1)$ 、 $O U T$ 、 $V S S$ 、 $D 1$ 、 $D 2$ からなる端子を有する。

【 0 1 3 4 】

ここで、トランジスタ $T r 1$ は、 $C L K (n + 1)$ のローレベル信号を受けてローレベル（実際はローレベルからトランジスタ $T r 1$ のしきい値電圧分上昇した電圧）を、ノード B へ転送する。

【 0 1 3 5 】

トランジスタ $T r 2$ は、 $I N$ （又は前段の $O U T$ ）を受けて $V D D$ 電圧をノード B へ供給する。

10

【 0 1 3 6 】

トランジスタ $T r 3$ は、 $I N$ （又は前段の $O U T$ ）を受けてノード A にローレベル（実際はローレベルからトランジスタ $T r 3$ のしきい値電圧分上昇した電圧）を供給する。

【 0 1 3 7 】

トランジスタ $T r 4$ は、ノード B の電位によってオン・オフ制御されることにより、ノード A に $V D D$ 電圧を供給する。

【 0 1 3 8 】

トランジスタ $T r 5$ はノード A の電位によって制御されることにより、 $O U T$ へ $C L K (n)$ 信号を出力する。

20

【 0 1 3 9 】

トランジスタ $T r 6$ は、ノード B の電位によって制御されることにより、 $O U T$ の電位を $V D D$ 電圧まで変更する。

【 0 1 4 0 】

トランジスタ $T r 7$ は $D 1$ 信号を受けて、トランジスタ $T r 6$ のゲートと、トランジスタ $T r 4$ のゲート、及びトランジスタ $T r 1$ 、トランジスタ $T r 2$ のソース・ドレインとを分離する。

【 0 1 4 1 】

トランジスタ $T r 8$ は $D 2$ 信号を受けてトランジスタ $T r 6$ のゲートと、 $V D D$ とを短絡する。

30

【 0 1 4 2 】

本発明の第 2 の実施例の表示装置の動作については、前記第 1 の実施例と同一である。以下、本実施例の走査回路の動作について、図 9 のタイミングチャートを用いて説明する。

【 0 1 4 3 】

図 9 に示すとおり、第 1 の走査回路 5 が駆動している期間（ $T 1$ ）と、第 2 の走査回路が駆動している期間（ $T 2$ ）とに分かれている。

【 0 1 4 4 】

期間 $T 1$ において、 $F W$ はローレベル、 $R V$ はハイレベルを維持している。すなわち、第 1 の走査回路 5 の各シフトレジスタ 1 のトランジスタ $T r 7$ がオン状態、トランジスタ $T r 8$ はオフ状態を維持していることになる。この状態において、 $S T 1$ のローレベルが第 1 の走査回路 5 の 1 段目のシフトレジスタの $I N$ 端子に入力されると、トランジスタ $T r 2$ のゲートがオン状態に遷移し、ノード B にハイレベルが印加される。また同時にトランジスタ $T r 3$ が活性化されるため、ノード A にはローレベル（実際はローレベルからトランジスタ $T r 3$ のしきい値電圧分上昇した電圧）が入力される。

40

【 0 1 4 5 】

この状態において、 $S T 1$ のレベルがローレベルに遷移し、 $C L K 1$ がハイレベルからローレベルへ遷移するとブートストラップ効果によって、ノード A の電位が低下し、 $C L K 1$ のローレベルが浮き上がりを伴うことなく、 $O U T 1$ へ転送される。

【 0 1 4 6 】

50

OUT 1の配線は、2段目のシフトレジスタ1のIN端子に接続されているため、OUT 1の出力がローレベルに遷移されたことにより、ちょうど1段目にST 1が入力されたことと同じ状態となる。OUT 1のローレベルがハイレベルに遷移し、CLK 2がハイレベルからローレベルに遷移すると、2段目のシフトレジスタ1のOUT 2も同様にローレベルへ遷移する。OUT 2が3段目のスタート信号の役割を果たし、CLK 3によってOUT 3も同様にローレベルへ遷移する。

【0147】

このように、順次シフトレジスタ1は端子(OUT)に出力すると同時に、次段への転送も行うことにより、タイミングチャートに示すとおりOUT 1、OUT 2、OUT 3、・・・の波形に示す駆動を行っていく。

10

【0148】

この間、第2走査回路6は、ST 2がハイレベル、FWがローレベル、RVがハイレベルに維持されているため、第2走査回路6内のシフトレジスタ1は全て非活性化状態を維持することとなる。特にトランジスタTr 7はオフ状態、トランジスタTr 8はオン状態を維持しているため、トランジスタTr 6のゲートには常にハイレベルが印加されている状態であるため、トランジスタTr 6は常にオフ状態となっている。

【0149】

また、ST 2がハイレベルで端子INにローレベルの入力が入ってこないためトランジスタTr 5のゲートは常にハイレベルが印加されている状態であるため、オフ状態となっている。

20

【0150】

第1の走査回路5が駆動しているため、対応するシフトレジスタ1のOUT端子がローレベルになると同時にそのOUT端子に接続されているゲートバスライン7もローレベルに遷移する。このとき、共有している第2の走査回路6の対応するシフトレジスタ1のトランジスタTr 6がオフ状態を維持しているため、トランジスタTr 6を経由してVDD電源側に定常電流が流れることを防止することができる。

【0151】

期間T 2では、逆に、第2の走査回路6を駆動し、第1の走査回路5を停止される。各々の内部の駆動方法については、T 1期間における第1の走査回路5の駆動方法を、第2の走査回路6に適用し、T 1期間における第2の走査回路6の駆動方法を、第1の走査回路5に適用すればよい。

30

【0152】

以上説明したとおり本実施例により、PMOSで構成されたトランジスタ回路を用いた双方向走査回路を有する表示装置を実現できる。

【0153】

<実施例3>

次に、本発明の第3の実施例を説明する。本実施例の表示装置の構成は、前記第1の実施例と同様、図1及び図2に示した構成とされるが、表示部4を構成する画素は、図5に示した構成である。また、走査回路の構成についても、第1の実施例と同様、図3(a)、図3(b)に示した構成とされる。

40

【0154】

ただし、スタート信号であるST 1、ST 2は、本実施例においては、好ましくは、ST 1とST 2は同じ信号STとさせる(STが共通にST 1、ST 2として用いられる)。

【0155】

本実施例は、走査回路を構成するシフトレジスタ1の構成が、第1の実施例と異なるため、図10を用いて本実施例のシフトレジスタ1の構成について説明する。

【0156】

図10は、NMOSトランジスタで構成されたシフトレジスタ1の構成を示す回路図である。図10を参照すると、シフトレジスタ1は、CLK(n+1)にドレインとゲート

50

が接続されたNMOSトランジスタTr1と、トランジスタTr1のソースにドレインが接続され、ゲートが端子INに接続され、ソースがVSSに接続されたNMOSトランジスタTr2と、端子INにドレインとゲートが接続されたNMOSトランジスタTr3と、トランジスタTr3のソースにドレインが接続され、ゲートがトランジスタTr1のソースとトランジスタTr2のドレインの接続点に接続され、ソースがVSSに接続されたトランジスタTr4と、CLK(n)端子にドレインが接続されソースが端子OUTに接続されたNMOSトランジスタTr5と、端子OUTにドレインが接続されソースがVSSに接続されたNMOSトランジスタTr6と、トランジスタTr3のソースとトランジスタTr5のゲート間に接続され、ゲートが端子D1に接続されたNMOSトランジスタTr9と、トランジスタTr1のソースとトランジスタTr2のドレインの接続点と、トランジスタTr6のゲート間に接続され、ゲートが端子D1に接続されたNMOSトランジスタTr7と、トランジスタTr6のゲート間に接続され、ゲートが端子D2に接続されたNMOSトランジスタTr8と、トランジスタTr5のゲートにドレインが接続され、ソースがVSSに接続され、ゲートが端子D2に接続されたNMOSトランジスタTr10と、を備えている。

10

【0157】

回路の構成上、トランジスタTr1～トランジスタTr8までは、前記第1の実施例の構成と同一である。トランジスタTr9は、ゲートにD1信号を受けてトランジスタTr5とトランジスタTr3、及びトランジスタTr4のソース・ドレインとを分離する。また、トランジスタTr10は、ゲートにD2信号を受けて、トランジスタTr5のゲートとVSSを短絡する。

20

【0158】

このシフトレジスタ1は、前記第1の実施例の構成に、トランジスタTr9、及びトランジスタTr10を付加した構成である。ただし、接続される配線は、第1の実施例に既存の(VSS、D1、D2)であるため、端子構成は、第1の実施例と相違ない。

【0159】

図12は、本発明の第3の実施例の動作を説明するタイミングチャートである。本実施例において、スタート信号STは、第1の走査回路5、及び第2の走査回路6のどちらにおいても同じ信号が入力される。

【0160】

トランジスタTr9、及びトランジスタTr10はそれぞれトランジスタTr7、及びトランジスタTr8と同様にそれぞれD1、及びD2とゲート接続されているため、トランジスタTr9、及びトランジスタTr10の動作は第1の実施例に記載したトランジスタTr7、及びトランジスタTr8の動作と相違ない。

30

【0161】

本発明の第3の実施例においても、第1の走査回路5が出力動作を行っている間は、第2の走査回路6が出力を停止する。また、第2の走査回路6が出力動作を行っている間は、第1の走査回路5が出力を停止する。

【0162】

出力動作を行っているときのシフトレジスタ1のトランジスタTr7、及びトランジスタTr9は、オン状態、また、トランジスタTr8、及びトランジスタTr10はオフ状態となっている。

40

【0163】

一方、出力停止状態のシフトレジスタ1のトランジスタTr7、及びトランジスタTr9は、オフ状態、また、トランジスタTr8、及びトランジスタTr10はオン状態となっている。これにより、トランジスタTr5、及びトランジスタTr6が共にオフ状態となり、出力を停止する側のシフトレジスタ1にスタート信号STが入力されていても、OUT端子への信号出力が行われない。また、本実施例の動作においてスタート信号STは、図8に示すように、ST1とST2の信号を用いても構わない。

【0164】

50

以上、NMOSトランジスタで構成されたシフトレジスタ1の構成と、その動作について説明したが、本実施例は、PMOSトランジスタで構成された場合についても適用される。

【0165】

図11に、PMOSトランジスタで構成されたシフトレジスタ1の構成を示し、図13に、動作を示すタイミングチャートを示す。

【0166】

図11を参照すると、CLK(n+1)端子にドレインとゲートが接続されたPMOSトランジスタTr1と、トランジスタTr1のソースにドレインが接続され、ゲートが端子INに接続され、ソースがVDDに接続されたPMOSトランジスタTr2と、端子INにドレインとゲートが接続されたPMOSトランジスタTr3と、トランジスタTr3のソースにドレインが接続され、ゲートがトランジスタTr1のソースとトランジスタTr2のドレインの接続点に接続され、ソースがVDDに接続されたトランジスタTr4と、CLK(n)端子にドレインが接続されソースが端子OUTに接続されたPMOSトランジスタTr5と、端子OUTにドレインが接続されソースがVSSに接続されたPMOSトランジスタTr6と、トランジスタTr3のソースとトランジスタTr5のゲート間に接続され、ゲートが端子D1に接続されたPMOSトランジスタTr9と、トランジスタTr1のソースとトランジスタTr2のドレインの接続点と、トランジスタTr6のゲート間に接続され、ゲートが端子D1に接続されたPMOSトランジスタTr7と、VDDとトランジスタTr6のゲート間に接続され、ゲートが端子D2に接続されたPMOSトランジスタTr8と、トランジスタTr5のゲートにドレインが接続され、ソースがVDDに接続され、ゲートが端子D2に接続されたPMOSトランジスタTr10と、を備えている。

【0167】

回路の構成上、トランジスタTr1～トランジスタTr8までは、図6の第2の実施例のものと相違ない。トランジスタTr9はD1信号を受けてトランジスタTr5とトランジスタTr3、及びトランジスタTr4のソース・ドレインとを分離する。また、トランジスタTr10はD2信号を受けてトランジスタTr5のゲートとVDDを短絡する。第3の実施例のシフトレジスタ1は、第2の実施例の構成に、トランジスタTr9、及びトランジスタTr10を付加した構成である。ただし、接続される配線は、第2の実施例に既存の(VDD、D1、D2)であるため、端子構成は第2の実施例と相違ない。また、図13に示すように、PMOS構成のシフトレジスタ1の動作は、NMOS構成のシフトレジスタ1と同様、第1の走査回路5が出力動作を行っている間は、第2の走査回路6が出力を停止する。また、第2の走査回路6が出力動作を行っている間は、第1の走査回路5が出力を停止する。出力動作を行っているときの図11に示したシフトレジスタ1のトランジスタTr7、及びトランジスタTr9は、オン状態、また、トランジスタTr8、及びトランジスタTr10はオフ状態となっている。一方、出力停止状態のシフトレジスタ1のトランジスタTr7、及びトランジスタTr9は、オフ状態、また、トランジスタTr8、及びトランジスタTr10はオン状態となっている。これにより、トランジスタTr5、及びトランジスタTr6が共にオフ状態となり、出力を停止する側のシフトレジスタ1にスタート信号STが入力されていても、OUT端子への信号出力が行われない。

【0168】

また、本実施例の別の構成として、スタート信号STが入力される1段目のみ図10に示したシフトレジスタ1で、2段目以降のシフトレジスタ1が図4に示す構成であってもよい。

【0169】

また、PMOSで構成する場合は、スタート信号STが入力される1段目のみ図11に示したシフトレジスタ1で、2段目以降のシフトレジスタ1が図6に示す構成でも構わない。

【0170】

10

20

30

40

50

以上のように本発明の第3の実施例は、シフトレジスタ1の構成と、スタート信号が第1の走査回路5と第2の走査回路6とで共通のパルスを利用できる点が、前記第1の実施例と異なっている。

【0171】

<実施例4>

次に、本発明の第4の実施例を説明する。本発明の第4の実施例の表示装置の構成は、前記第1の実施例と同様、図1、及び図2に示した構成と同一とされる。

【0172】

本実施例では、走査回路、及び走査回路を構成するシフトレジスタの構成が他の実施例と異なるため、図14(b)、及び図15(a)、(b)を用いて説明する。

10

【0173】

図15(a)、図15(b)は、本実施例の走査回路の構成を示す図である。図14(b)は、本実施例のNMOSトランジスタで構成されたシフトレジスタの回路構成を示す図である。図15(a)、図15(b)を参照すると、走査回路2は、複数のシフトレジスタ1と配線群(CLK1、CLK2、CLK3、ST1(又はST2)、D(又は/D))とから構成されている。

【0174】

各段のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子に関して、1段目のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子はCLK1とCLK2、2段目のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子はCLK2とCLK3、3段目のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子はCLK3とCLK1にそれぞれ接続される。また、4段目以降のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子に関しても、1段目から3段目のシフトレジスタ1のCLK(n)端子とCLK(n+1)端子の接続形態が繰り返される。

20

【0175】

ST1(ST2)は転送を開始するための制御信号であり、1段目のIN端子に入力される。ST1は第1走査回路5に入力され、ST2は第2走査回路6に入力される。また、次段以降のシフトレジスタ1のIN端子には、前段のシフトレジスタの出力端子OUTからの信号が入力される。

【0176】

図14(b)を参照すると、本実施例のシフトレジスタ1は、ゲートとドレインがCLK(n+1)端子に接続されたNMOSトランジスタTr1と、トランジスタTr1のソースにドレインが接続されゲートがINに接続されソースがVSSに接続されたNMOSトランジスタTr2と、ゲートとドレインがINに接続されたNMOSトランジスタTr3と、ドレインがトランジスタTr3のソースに接続されゲートがトランジスタTr1のソースとTr2のドレインの接続点に接続されソースがVSSに接続されたNMOSトランジスタTr4と、ドレインがCLK(n)端子に接続され、ゲートがトランジスタTr3のソースとTr4のドレインの接続点に接続され、ソースが端子OUTに接続されたNMOSトランジスタTr5と、ドレインが端子OUTに接続され、ゲートがトランジスタTr1のソースとトランジスタTr2のドレインの接続点に接続されたNMOSトランジスタTr6と、ドレインがトランジスタTr6のソースに接続されゲートが端子Dに接続され、ソースがVSSに接続されたトランジスタTr1を備えている。回路の構成上、トランジスタTr1~トランジスタTr6までは第1の実施例の構成と同一である。

30

40

【0177】

シフトレジスタ1は、IN、CLK(n)、CLK(n+1)、OUT、VSS、Dからなる端子を有する。

【0178】

トランジスタTr11は信号Dを受けてオン・オフの制御を行う。

【0179】

また、信号D、及び信号/Dは、互いのハイレベル、ローレベルが反転した相補信号で

50

あり、第1の走査回路5と第2の走査回路6のいずれかに接続される。例えば第1の走査回路5にDが接続された場合には、第2の走査回路6には/Dが接続される。D、又は/Dはそれぞれのシフトレジスタ1内の端子(D)に接続される。

【0180】

次に、本発明の第4の実施例の動作について、図17を用いて説明する。図17は、本実施例の走査回路の動作を示すタイミングチャートである。本実施例は、前記第1の実施例と同様、第1の走査回路5が駆動している間は第2の走査回路6は出力を停止する、又は第2の走査回路6が駆動している間は、第1の走査回路5が出力を停止する。

【0181】

まず、出力動作を行っている走査回路2のシフトレジスタ1は、図17に示すとおり、期間T1において、Dがハイレベルに維持されているので、トランジスタTr11はオン状態を維持している。その状態において、トランジスタTr1~トランジスタTr6の動作は基本的に第1の実施例のトランジスタTr1~トランジスタTr6の動作と相違ないため、OUTにハイレベルを出力すると同時に次段へ転送する動作を行う。

10

【0182】

出力停止している走査回路2のシフトレジスタ1は、/Dがローレベルに維持されているため、トランジスタTr11はオフ状態を維持する。

【0183】

従って、VSS-OUT間が電氣的に切断されている状態となるため、出力停止状態を維持することが可能となる。

20

【0184】

以上、NMOSトランジスタで構成されたシフトレジスタ1の構成と、その動作について説明したが、本実施例は、PMOSトランジスタで構成された場合についても適用される。

【0185】

図16(b)は、図14(b)のトランジスタをPMOSトランジスタで構成したシフトレジスタ1の構成を示す図であり、図18は、その動作を示すタイミングチャートである。

【0186】

図16(b)を参照すると、本実施例のシフトレジスタ1は、ゲートとドレインがCLK(n+1)端子に接続されたPMOSトランジスタTr1と、トランジスタTr1のソースにドレインが接続されゲートがINに接続されソースがVDDに接続されたPMOSトランジスタTr2と、ゲートとドレインがINに接続されたPMOSトランジスタTr3と、トランジスタTr3のソースにドレインが接続されゲートがトランジスタTr1のソースとTr2のドレインの接続点に接続されソースがVDDに接続されたPMOSトランジスタTr4と、ドレインがCLK(n)端子に接続され、ゲートがトランジスタTr3のソースとTr4のドレインの接続点に接続されソースが端子OUTに接続されたPMOSトランジスタTr5と、ドレインが端子OUTに接続され、ゲートがトランジスタTr1のソースとトランジスタTr2のドレインの接続点に接続されたPMOSトランジスタTr6と、ドレインがトランジスタTr6のソースに接続されゲートが端子Dに接続され、ソースがVDDに接続されたPMOSトランジスタTr11を備えている。回路の構成上、トランジスタTr1~トランジスタTr8までは第1の実施例のものと相違ない。

30

40

【0187】

PMOSで構成されたシフトレジスタ1も同様に、IN、CLK(n)、CLK(n+1)、OUT、VSS、Dからなる端子を有する。トランジスタTr11は信号Dを受けてオン・オフの制御を行う。

【0188】

また、信号/Dは、信号Dの相補信号であり、第1の走査回路5と第2の走査回路6のいずれかに接続される。例えば第1の走査回路5にDが接続された場合には、第2の走査回路6には/Dが接続される。D、又は/Dはそれぞれのシフトレジスタ1内の端子(D)

50

)に接続される。

【0189】

P M O S 構成のシフトレジスタ1の動作は、図18より、N M O S 構成の場合と同様、第1の走査回路5が駆動している間は第2の走査回路6は出力を停止する、又は第2の走査回路6が駆動している間は第1の走査回路5が出力を停止する。また、出力動作を行っている走査回路と、出力停止している側の走査回路の動作については基本的にはN M O S 構成の場合と相違はない。ただし、動作停止側の走査回路のシフトレジスタ1は、トランジスタT r 1 1 がオフ状態となることにより、V D D - O U T 間が電氣的に切断されているため、出力停止状態を維持することが可能となる。

【0190】

<実施例5>

次に本発明の第5実施例を説明する。本発明の第5の実施例の表示装置の構成は、前記第1の実施例と同様、図1、及び図2に示した構成と同一とされる。また、走査回路は第4の実施例と同様、図15(a)、(b)に示した構成と同一であるが、本実施例において、スタート信号(S T 1、S T 2)は、好ましくは信号S T が用いられる。

【0191】

本実施例では、走査回路を構成するシフトレジスタの構成が他の実施例と異なるため、図14(a)を用いて説明する。図14(a)は、本実施例のN M O S トランジスタで構成されたシフトレジスタの回路構成を示す図である。

【0192】

図14(a)を参照すると、本実施例のシフトレジスタ1は、ゲートとドレインがC L K (n + 1) 端子に接続されたN M O S トランジスタT r 1 と、トランジスタT r 1 のソースにドレインが接続されゲートがI N に接続されソースがV S S に接続されたN M O S トランジスタT r 2 と、ゲートとドレインがI N に接続されたN M O S トランジスタT r 3 と、トランジスタT r 3 のソースにドレインが接続されゲートがトランジスタT r 1 のソースとT r 2 のドレインの接続点に接続されソースがV S S に接続されたN M O S トランジスタT r 4 と、ドレインがC L K (n) 端子に接続され、ゲートが端子Dに接続されたN M O S トランジスタT r 1 1 と、ドレインがトランジスタT r 1 1 のソースに接続されゲートがトランジスタT r 3 のソースとT r 4 のドレインの接続点に接続されソースが端子O U T に接続されたN M O S トランジスタT r 5 と、ドレインが端子O U T に接続され、ゲートがトランジスタT r 1 のソースとトランジスタT r 2 のドレインの接続点に接続されたN M O S トランジスタT r 6 と、ドレインがトランジスタT r 6 のソースに接続されゲートが端子Dに接続され、ソースがV S S に接続されたN M O S トランジスタT r 1 2 を備えている。回路の構成上、トランジスタT r 1 ~ トランジスタT r 6 までは第1の実施例の構成と同一である。

【0193】

シフトレジスタ1は、I N、C L K (n)、C L K (n + 1)、O U T、V S S、D からなる端子を有する。

【0194】

トランジスタT r 1 1、トランジスタT r 1 2は信号Dを受けてオン・オフの制御を行う。また、信号D、及び信号/Dは、互いのハイレベル、ローレベルが反転した相補信号であり、第1の走査回路5と第2の走査回路6のいずれかに接続される。例えば第1の走査回路5に信号Dが接続された場合には、第2の走査回路6には信号/Dが接続される。信号D、又は信号/Dは、それぞれのシフトレジスタ1内のD端子に接続される。

【0195】

次に本発明の第5実施例の動作について、図12を用いて説明する。本実施例は、第1の実施例と同様、第1の走査回路5が駆動している間は第2の走査回路6は出力を停止する、又は第2の走査回路6が駆動している間は第1の走査回路5が出力を停止する。

【0196】

まず、出力動作を行っている走査回路2のシフトレジスタ1は、図12に示すとおり、

10

20

30

40

50

期間 T 1 において、信号 D がハイレベルに維持されているので、トランジスタ T r 1 1、及びトランジスタ T r 1 2 (図 1 4 (a) 参照) は共にオン状態を維持している。その状態において、トランジスタ T r 1 ~ トランジスタ T r 6 の動作は、基本的に第 1 の実施例のトランジスタ T r 1 ~ トランジスタ T r 6 の動作と相違ないため、O U T 端子にハイレベルを出力すると同時に次段へ転送する動作を行う。

【 0 1 9 7 】

一方で、出力停止している走査回路 2 のシフトレジスタ 1 は、/ D がローレベルに維持されているため、トランジスタ T r 1 1、及びトランジスタ T r 1 2 (図 1 4 (a) 参照) は共にオフ状態を維持する。

【 0 1 9 8 】

従って、C L K (n) - O U T、及び V S S - O U T 間が電氣的に切断されている状態となるため、出力停止状態を維持することが可能となる。

【 0 1 9 9 】

以上、N M O S トランジスタで構成されたシフトレジスタ 1 の構成と、その動作について説明したが、本実施例は、P M O S トランジスタで構成された場合についても適用される。

【 0 2 0 0 】

図 1 6 (a) は、P M O S トランジスタで構成されたシフトレジスタ 1 の構成を示す図である。図 1 3 は、図 1 6 (a) のシフトレジスタ 1 の動作を説明するためのタイミングチャートである。

【 0 2 0 1 】

図 1 6 (a) を参照すると、本実施例のシフトレジスタ 1 は、ゲートとドレインが C L K (n + 1) 端子に接続された P M O S トランジスタ T r 1 と、トランジスタ T r 1 のソースにドレインが接続されゲートが I N に接続されソースが V D D に接続された P M O S トランジスタ T r 2 と、ゲートとドレインが I N に接続された P M O S トランジスタ T r 3 と、トランジスタ T r 3 のソースにドレインが接続されゲートがトランジスタ T r 1 のソースと T r 2 のドレインの接続点に接続されソースが V D D に接続された P M O S トランジスタ T r 4 と、ドレインが C L K (n) 端子に接続され、ゲートが端子 D に接続された P M O S トランジスタ T r 1 1 と、ドレインがトランジスタ T r 1 1 のソースに接続されゲートがトランジスタ T r 3 のソースと T r 4 のドレインの接続点に接続されソースが端子 O U T に接続された P M O S トランジスタ T r 5 と、ドレインが端子 O U T に接続され、ゲートがトランジスタ T r 1 のソースとトランジスタ T r 2 のドレインの接続点に接続された P M O S トランジスタ T r 6 と、ドレインがトランジスタ T r 6 のソースに接続されゲートが端子 D に接続され、ソースが V D D に接続された P M O S トランジスタ T r 1 2 を備えている。回路の構成上、トランジスタ T r 1 ~ トランジスタ T r 8 までは第 1 の実施例のものと相違ない。P M O S で構成されたシフトレジスタ 1 も同様に、I N、C L K (n)、C L K (n + 1)、O U T、V S S、D からなる端子を有する。トランジスタ T r 1 1、及びトランジスタ T r 1 2 は、信号 D を受けてオン・オフ制御される。また、信号 D、及び信号 / D は、互いのハイレベル、ローレベルが反転した相補信号であり、第 1 の走査回路 5 と第 2 の走査回路 6 のいずれかに接続される。例えば第 1 の走査回路 5 に信号 D が接続された場合には、第 2 の走査回路 6 には信号 / D が接続される。信号 D、又は信号 / D はそれぞれのシフトレジスタ 1 内の D 端子に接続される。

【 0 2 0 2 】

P M O S 構成のシフトレジスタ 1 の動作は、図 1 3 より、N M O S 構成の場合と同様、第 1 の走査回路 5 が駆動している間は第 2 の走査回路 6 は出力を停止するか、又は、第 2 の走査回路 6 が駆動している間は第 1 の走査回路 5 が出力を停止する。

【 0 2 0 3 】

また、出力動作を行っている走査回路と、出力停止している側の走査回路の動作については基本的には N M O S 構成の場合と相違はない。ただし、動作停止側の走査回路のシフトレジスタ 1 は、トランジスタ T r 1 1 がオフ状態となることにより、C L K (n) - O

10

20

30

40

50

UT、及びVDD - OUT間が電氣的に切断されているため、出力停止状態を維持することが可能となる。

【0204】

また、本実施例の動作においてスタート信号STが、図12又は図13に示すように、ST1とST2の信号を用いてもよい。

【0205】

また、本実施例の別の構成として、スタート信号STが入力される1段目のみ図14(a)に示したシフトレジスタ1で、2段目以降のシフトレジスタ1は、図14(b)の構成でも構わない。このとき、2段目以降については、好ましくは、前段のシフトレジスタのOUT端子の信号を、ゲート信号に用いられる。

10

【0206】

また、PMOSで構成する場合は、スタート信号STが入力される1段目のみ図16(a)で示したシフトレジスタ1で、2段目以降のシフトレジスタ1は、図16(b)の構成でも構わない。このとき、2段目以降については、前段のシフトレジスタのOUT端子の信号を、ゲート信号に用いることが望ましい。

【0207】

以上のように本発明の第5実施例は、シフトレジスタ1の構成と、スタート信号が第1の走査回路5と第2の走査回路6とで共通のパルスを利用できる点が、第4の実施例と異なっている。

【0208】

<実施例6>

次に、本発明の第6の実施例を説明する。本発明の第6の実施例の表示装置の構成は、図1に示した構成と同一である。本実施例においても、表示部4の両側に、第1の走査回路5、及び第2の走査回路6が配置されており、各々の走査回路の出力は、共通のゲートバスライン7で接続されている。また、図1の表示部4を構成する画素については、図5の構成が望ましい。

20

【0209】

図19は、本実施例の走査回路の構成を示す図である。図19を参照すると、本実施例の走査回路は、シフトレジスタ1と出力回路20で構成されている。

【0210】

シフトレジスタ1は、インバータ回路とクロックインバータ回路が図に示すように接続されている。図19では、インバータ回路と、クロックインバータ回路はそれぞれシンボルで書かれているが、これをNMOSトランジスタ、及びPMOSトランジスタで表した回路構成を、図20に示す。図20(A)のクロックドインバータは、例えば図20(B)に示した回路構成を表す。図20(B)を参照すると、CMOSインバータ(入力INにゲートが共通に接続され、共通接続されたドレインが出力OUTに接続されたPMOSトランジスタとNMOSトランジスタからなる)と高位側電源VDDとの間に、ゲートに信号Bを受けるPMOSトランジスタが挿入され、CMOSインバータと低位側電源VSSとの間に、ゲートに信号Aを受けるNMOSトランジスタが挿入されている。図20(B)において、信号Bは信号Aの相補信号とされる。図19(C)のインバータは、図19(D)に示したCMOSインバータで構成される。

30

40

【0211】

また、出力回路20を、NMOSトランジスタ、及びPMOSトランジスタで表した回路図を図21に示す。図21より、出力回路20は、基本的にはP1・N1、及びP2・N2で構成されたインバータ回路が縦列接続された構成をとっているが、トランジスタN2のソースとVSS配線間に、NMOSトランジスタN3が挿入されている。NMOSトランジスタN3のゲートには制御信号Dの配線が接続されており、図示されない外部機器からの出力により、制御信号Dを介して、NMOSトランジスタN3のオン・オフが制御される。

【0212】

50

図 19 に構成を示した本実施例の動作について、図 22 を用いて説明する。図 22 は、本実施例の動作を表すタイミングチャートである。図 22 では、第 1 の走査回路 5 が駆動している期間 (T 1) と、第 2 の走査回路が駆動している期間 (T 2) とに分けて示されている。

【 0 2 1 3 】

T 1 期間において、クロック A がハイレベル、クロック B がローレベルの状態において、IN よりスタートパルス S T 1 が入力されると、ノード a は、クロックトインバータ C I 1 による反転動作により、ローレベルへ遷移する。それによって、ノード b はインバータ C I 1 によってハイレベルになる。ここで、クロックトインバータ C I 2 は、C I 1 とクロック A、クロック B の接続状態が逆のため、このタイミングではオフ状態である。したがって、ノード a、ノード b はそれぞれローレベル、ハイレベルにラッチされている。出力回路 20 は、ノード b がハイレベルで、制御信号 D がローレベルで P 3 がオン状態となっているため、O U T 1 へハイレベルを転送する。

10

【 0 2 1 4 】

次に、クロック A がローレベル、クロック B がハイレベルへ遷移すると、クロックトインバータ C I 1 がオフ状態、C I 2 がオン状態になるため、C I 2 の反転動作によりノード c はローレベルへ遷移する。ノード d は、I 3 の反転動作によりハイレベルへ遷移する。その結果、出力回路 20 を経由して O U T 2 にハイレベルを転送する。このように、順次、次段へ転送しながら各々の出力回路 20 によって O U T へハイレベルを出力していく。

20

【 0 2 1 5 】

一方、第 2 の走査回路 6 は、スタート信号 S T 2 がローレベルに、制御信号 D がローレベルに維持されているため、O U T へのハイレベルの転送は行われず、N M O S トランジスタ N 3 がオフ状態になっていることから、O U T 出力がなされている。従って、第 1 の走査回路 5 において、O U T の電位がハイレベルに遷移した場合において、トランジスタ N 2 を介して、V D D - V S S 間の定常電流が流れる、ことを防止する。

【 0 2 1 6 】

T 2 期間では上記と逆の動作をおこなう。このとき、S T 1 はローレベルを維持し、S T 2 によって出力動作が行われる。

【 0 2 1 7 】

このように、本実施例では C M O S 構成の回路を利用した場合においても、他の実施例と同等の効果をj得ることが可能となる。

30

【 0 2 1 8 】

< 実施例 7 >

次に、本発明の第 7 の実施例を説明する。本発明の第 7 の実施例の表示装置の構成は、第 6 実施例と同様、図 1 に示す構成と同一である。本実施例においても、表示部 4 の両側に、第 1 の走査回路 5、及び第 2 の走査回路 6 が配置されており、各々の走査回路の出力は、共通のゲートバスライン 7 で接続されている。また、図 1 の表示部 4 を構成する画素については、図 5、又は図 7 のいずれの構成でも構わない。

【 0 2 1 9 】

図 24 は、本実施例の走査回路の構成を示す図である。図 24 を参照すると、本実施例の走査回路は、シフトレジスタ 1 と出力回路 20 で構成されている。シフトレジスタ 1 は、インバータ回路とクロックトインバータ回路が、図に示すように接続されている。第 6 の実施例と同様、インバータ回路と、クロックトインバータ回路は、図 20 に示した構成と同じである。スタート信号 S T は、第 1 の走査回路 5 と第 2 の走査回路 6 とで共通の信号を、それぞれ 1 段目のシフトレジスタ 1 の I N 端子に入力する。

40

【 0 2 2 0 】

また、同様に、出力回路 20 を、N M O S トランジスタ、及び P M O S トランジスタで表した回路構成を、図 25 に示す。

【 0 2 2 1 】

50

図25を参照すると、出力回路20は、基本的には、PMOSトランジスタP1、NMOSトランジスタN1、及び、PMOSトランジスタP2、NMOSトランジスタN2で構成されたインバータ回路が縦列接続された構成をとっているが、PMOSトランジスタP2とVDD配線との間にPMOSトランジスタP3、及びNMOSトランジスタN2とVSS配線との間にNMOSトランジスタN3を備えている。NMOSトランジスタN3のゲートには信号Dの配線が接続され、PMOSトランジスタP3のゲートには信号/Dが接続されている。したがって、図示されない外部接続機器より出力された信号D及び信号/DによってNMOSトランジスタN3、及びPMOSトランジスタP3のオン・オフが制御される。

【0222】

図23は、本実施例の走査回路の動作を表すタイミングチャートである。本実施例の走査回路は、スタートパルスST、クロックA、クロックBの制御により、次段のシフトレジスタ1への転送と、出力回路20によるOUTへの出力動作を行う。信号D、/Dにより、出力動作を行っていない側の走査回路2において、図25に示したトランジスタN3、及びP3がオフ状態となっているため、スタート信号が印加された場合においても、出力停止状態を維持することが可能となる。

【0223】

本実施例は、前記第6の実施例と同様、CMOS構成の回路を適用することができるだけでなく、第1の走査回路5、及び第2の走査回路6でスタート信号を共通化することが可能となる。

【0224】

<実施例8>

次に、本発明の第8の実施例を説明する。本実施例の表示装置の構成は、前記第6実施例と同様、図1に示した構成と同一とされる。本実施例においても、表示部4の両側に、第1の走査回路5、及び第2の走査回路6が配置されており、各々の走査回路の出力は、共通のゲートバスライン7で接続されている。また、図1の表示部4を構成する画素については、図5、又は図7のいずれの構成でも構わない。また、走査回路の構成は、第7実施例に示した図24の構成と同一である。本実施例では、出力回路20の構成が、第7実施例と相違している。図26に、本実施例の出力回路20の回路構成を示す。

【0225】

図26を参照すると、出力回路20は、基本的にはPMOSトランジスタP1、NMOSトランジスタN1、及び、PMOSトランジスタP2、NMOSトランジスタN2で構成されたインバータ回路が縦列接続された構成をとっているが、PMOSトランジスタP2とNMOSトランジスタN2で構成されたインバータ段の出力部分と、OUT端子との間に、NMOSトランジスタN3、PMOSトランジスタP3で構成されたCMOSスイッチが介在している点が、第7の実施例と相違している。NMOSトランジスタN3のゲートには信号Dの配線が接続され、PMOSトランジスタP3のゲートには信号/Dが接続されている。したがって、図示されない外部接続機器より出力された信号D及び信号/DによってN3、及びP3のオン・オフが制御される。

【0226】

本実施例の走査回路の動作は、基本的には、第7の実施例と相違はなく、図23に示すタイミングチャートと同様である。本実施例が第7の実施例と異なる点は、制御信号D、及び/Dによって、出力回路20のOUT端子が、上記CMOSスイッチによって電氣的に切断される点である。

【0227】

本実施例においては、第6の実施例と同様、CMOS構成の回路を適用することができるだけでなく、第1の走査回路5、及び第2の走査回路6でスタート信号を共通化することが可能となる。

【0228】

以上第1の実施例から第8の実施例について、表示装置として液晶ディスプレイを例に

10

20

30

40

50

挙げて説明した。

【0229】

しかしながら、外部から入力された映像信号を受けて、表示部に画像を出力するマトリクス型表示装置であれば液晶ディスプレイに限定されるものではない。例えば、電流を印加して発光状態に遷移しうる発光素子群を、表示部とした発光型ディスプレイにも適用できる。発光型ディスプレイの例としては、無機EL(Electro-Luminescence)ディスプレイや有機ELディスプレイなどが挙げられる。またさらに、マトリクス状に配置された能動素子群を順次走査することにより駆動する装置においても同様に適用することができる。

【0230】

上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。

【図面の簡単な説明】

【0231】

【図1】本発明の実施例の表示装置の構成を示す図である。

【図2】本発明の第1の実施例の本実施例の表示装置の断面を模式的に示す図である。

【図3】本発明の第1の実施例の走査回路の構成を示すブロック図である。

【図4】本発明の第1の実施例のシフトレジスタの回路構成を示す図である。

【図5】本発明の第1の実施例の表示装置の画素部分の回路構成を示す図である。

【図6】本発明の第2の実施例のPMOSで構成されたシフトレジスタの回路構成を示す図である。

【図7】本発明の第2の実施例の画素の回路構成を示す図である。

【図8】本発明の第1の実施例の動作を示すタイミングチャートである。

【図9】本発明の第2の実施例の動作を示すタイミングチャートである。

【図10】本発明の第3の実施例のシフトレジスタの回路構成を示す図である。

【図11】本発明の第3の実施例のシフトレジスタの別の回路構成を示す図である。

【図12】本発明の第3の実施例、及び第5の実施例の走査回路の動作を示すタイミングチャートである。

【図13】本発明の第3の実施例、及び第5の実施例の走査回路の動作を示すタイミングチャートである。

【図14】本発明の第4の実施例、又は第5の実施例のシフトレジスタの回路構成を示す図である。

【図15】本発明の第4の実施例の走査回路の構成を示すブロック図である。

【図16】本発明の第4の実施例、又は第5の実施例のシフトレジスタの回路構成を示す図である。

【図17】本発明の第4の実施例のNMOS構成の走査回路の動作を示すタイミングチャートである。

【図18】本発明の第4の実施例のPMOS構成の走査回路の動作を示すタイミングチャートである。

【図19】本発明の第6実施例の走査回路の構成を示す図である。

【図20】本発明の第6実施例の走査回路のシンボルの回路構成を示す図である。

【図21】本発明の第6実施例の走査回路の出力回路の回路構成を示す図である。

【図22】本発明の第6実施例の動作を示すタイミングチャートである。

【図23】本発明の第7実施例の動作を示すタイミングチャートである。

【図24】本発明の第7実施例の走査回路の構成を示す図である。

【図25】本発明の第7実施例の走査回路中の出力回路の回路構成を示す図である。

【図26】本発明の第8実施例の走査回路中の出力回路の別の回路構成を示す図である。

【図27】特許文献1の平面表示装置の概略構成を示す図である。

10

20

30

40

50

【図 28】特許文献 1 の 3 位相双方向シフトレジスタの一つの回路構成を示す図である。

【図 29】特許文献 1 の順方向パルスシフト時のタイミングチャートである。

【図 30】特許文献 1 の逆方向パルスシフト時のタイミングチャートである。

【図 31】特許文献 2 のシフトレジスタの構成を示すブロック図である。

【図 32】特許文献 2 の (a) 順方向シフトする通常動作を示すタイムチャート、 (b) 逆方向シフトする反転動作を示すタイムチャートである。

【図 33】特許文献 3 の (a) 単一シフト方向のシフトレジスタの構成、 (b) 双方向シフトレジスタの構成を示す図である。

【図 34】画素ピッチと回路幅 L の説明するための図である。

【符号の説明】

10

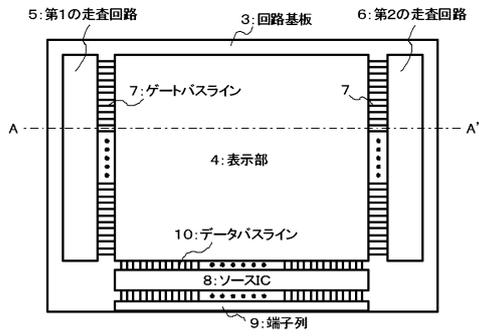
【 0 2 3 2 】

- 1 シフトレジスタ
- 2 走査回路
- 3 回路基板
- 4 表示部
- 5 第 1 の走査回路
- 6 第 2 の走査回路
- 7 ゲートバスライン
- 8 ソース I C
- 9 端子列
- 10 データバスライン
- 11 液晶部
- 12 保持容量
- 13 スイッチトランジスタ
- 14 対向基板
- 16 共通配線
- 20 出力回路
- 21 画素
- 101 アレイ基板
- 102 走査線駆動回路
- 103 信号線駆動回路
- 104 垂直シフトレジスタ
- 105 レベルシフト
- 106 水平シフトレジスタ
- 110 画素スイッチ (スイッチング素子、薄膜トランジスタ : T F T)
- 111 液晶
- 120 データ線

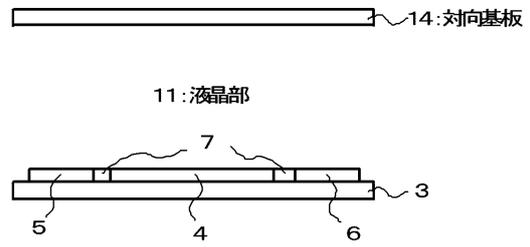
20

30

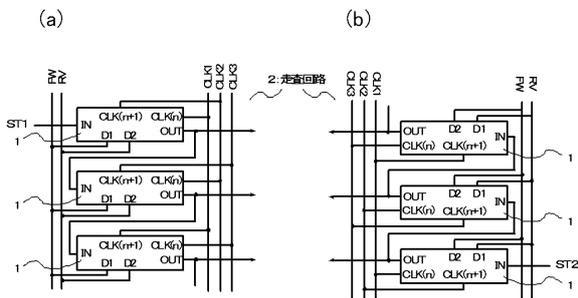
【図1】



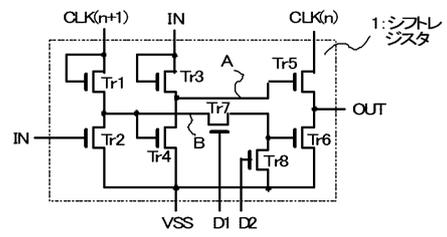
【図2】



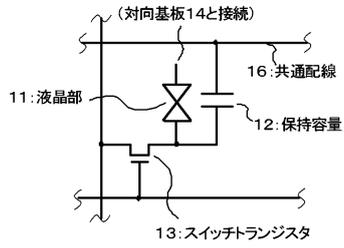
【図3】



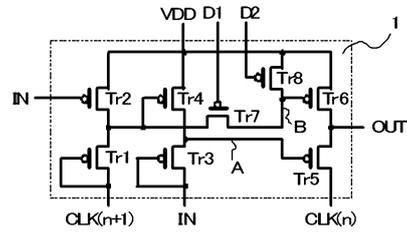
【図4】



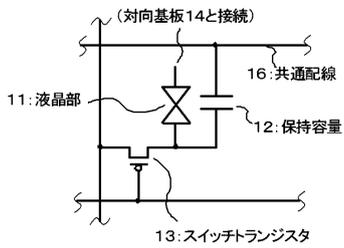
【 図 5 】



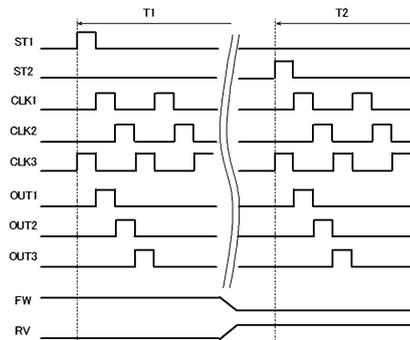
【 図 6 】



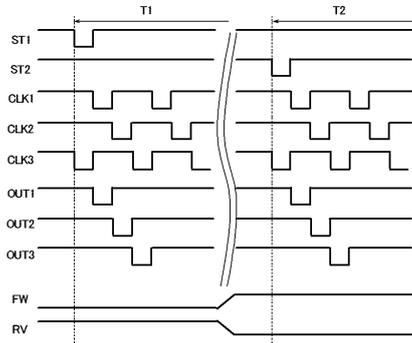
【 図 7 】



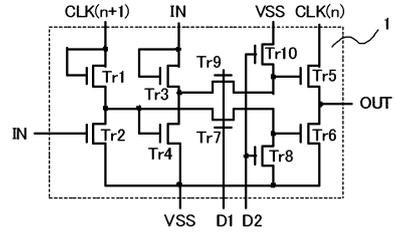
【 図 8 】



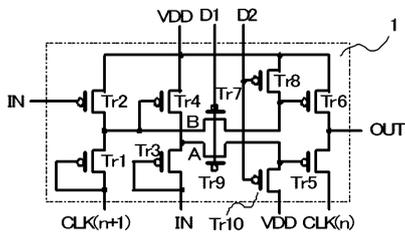
【図 9】



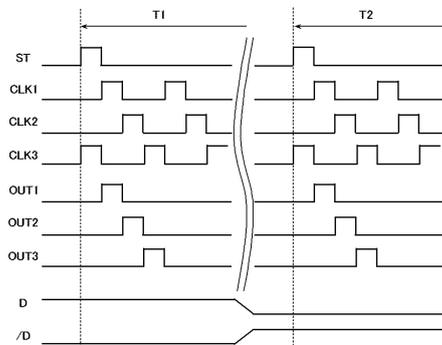
【図 10】



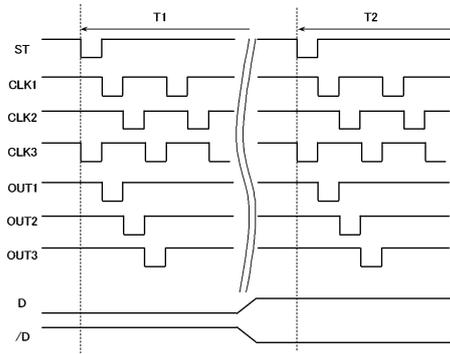
【図 11】



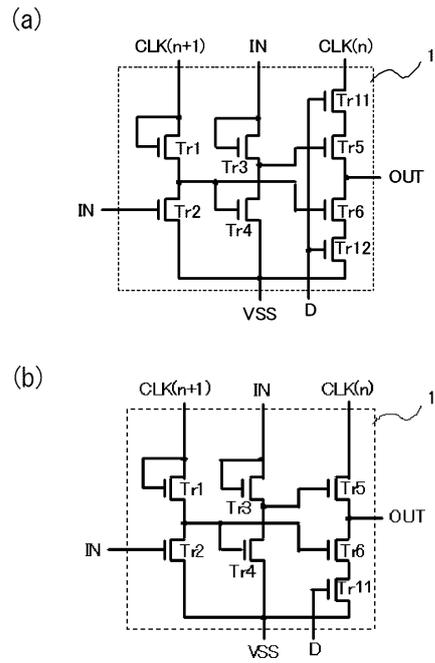
【図 12】



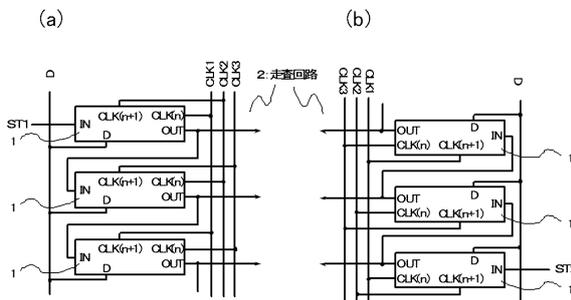
【 図 1 3 】



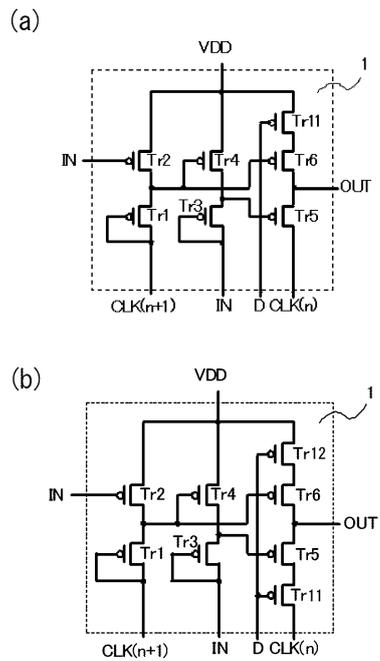
【 図 1 4 】



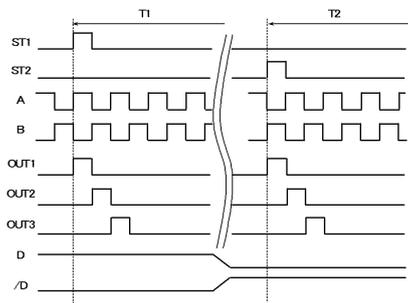
【 図 1 5 】



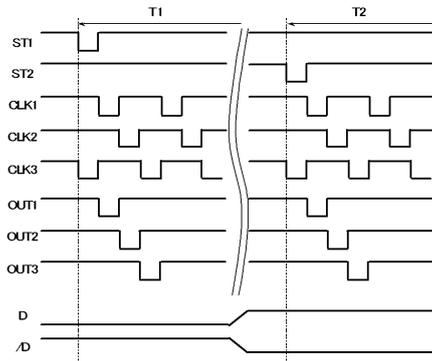
【 図 1 6 】



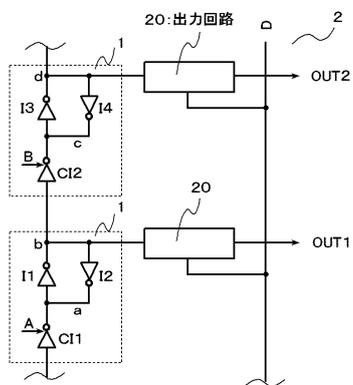
【図 17】



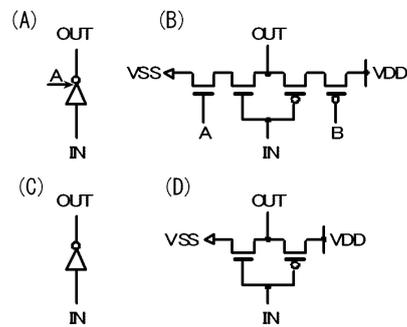
【図 18】



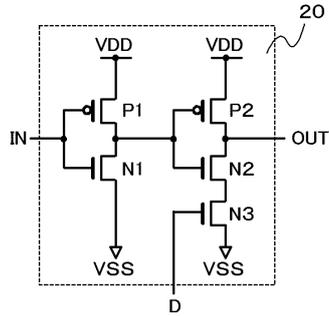
【図 19】



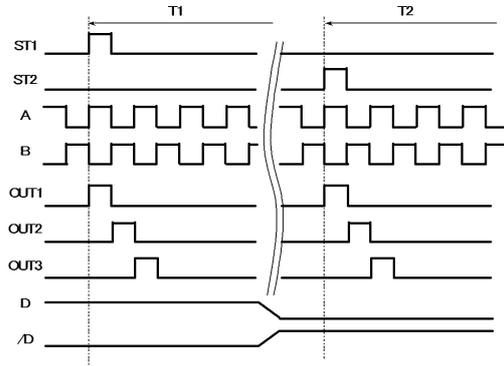
【図 20】



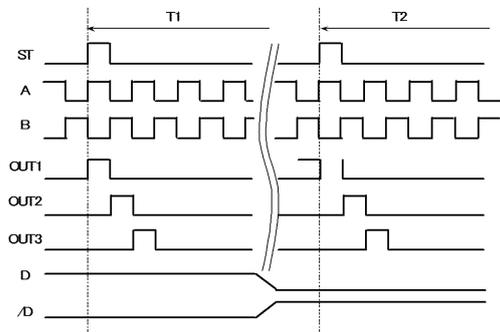
【図 2 1】



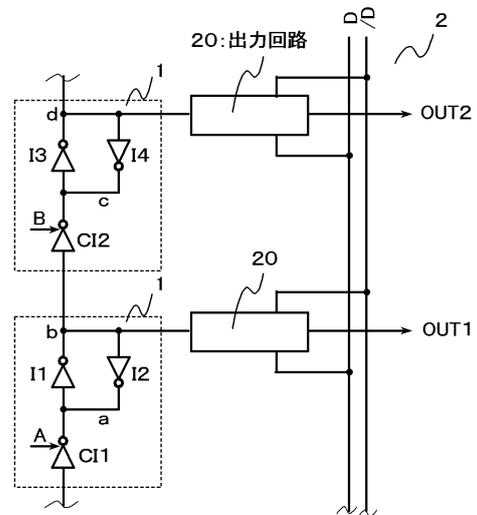
【図 2 2】



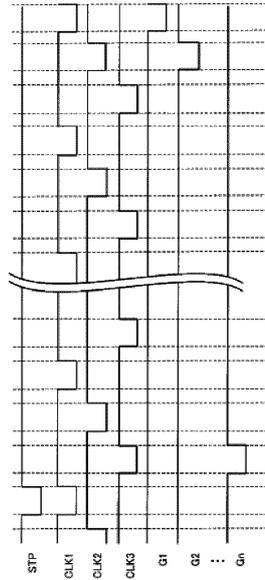
【図 2 3】



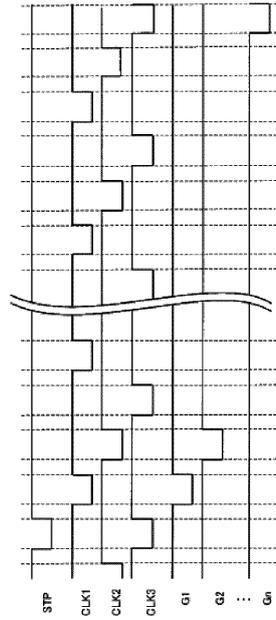
【図 2 4】



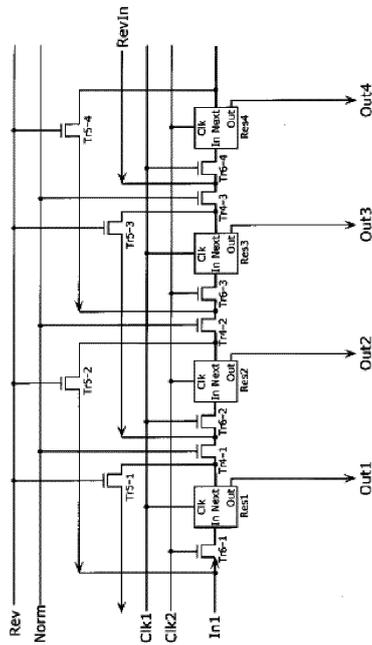
【 29 】



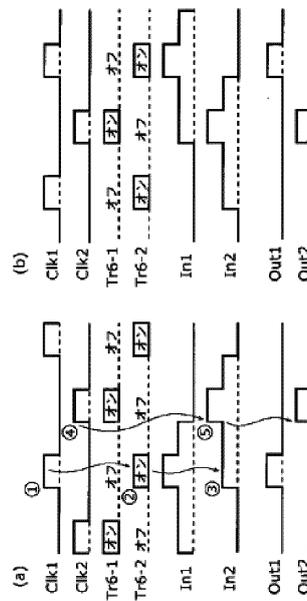
【 30 】



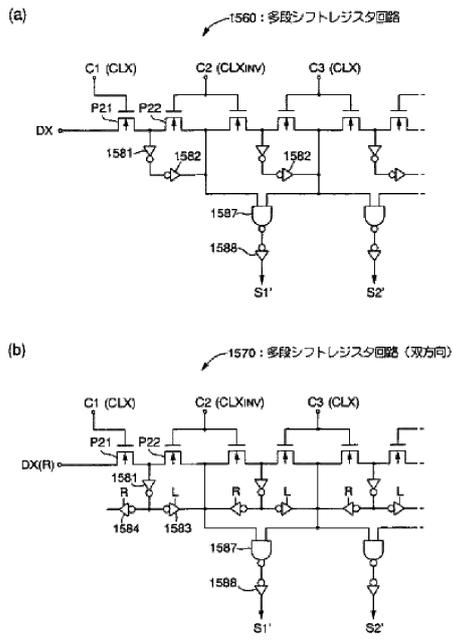
【 31 】



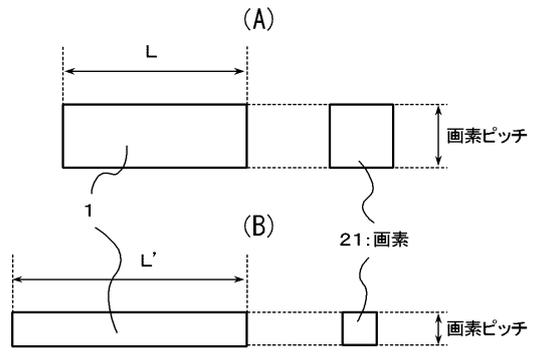
【 32 】



【図33】



【図34】



フロントページの続き

(51) Int.Cl.		F I		
G 1 1 C	19/28	(2006.01)	G 0 9 G	3/20 6 2 1 M
			G 0 9 G	3/20 6 1 2 K
			G 0 2 F	1/133 5 5 0
			G 1 1 C	19/00 J
			G 1 1 C	19/28 D

(56) 参考文献 特開平 7 - 1 8 2 8 9 1 (J P , A)
 特開平 8 - 5 5 4 9 3 (J P , A)
 特開 2 0 0 0 - 1 6 2 9 8 2 (J P , A)
 特開 2 0 0 2 - 3 1 3 0 9 3 (J P , A)
 特開 2 0 0 6 - 3 5 1 1 6 5 (J P , A)
 特開 2 0 0 7 - 8 6 7 3 6 (J P , A)
 特開 2 0 0 7 - 1 1 4 3 4 3 (J P , A)
 特開 2 0 0 7 - 4 8 4 3 9 (J P , A)

(58) 調査した分野 (Int.Cl. , DB 名)

H 0 3 K	3 / 3 5 6
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6
G 1 1 C	1 9 / 0 0
G 1 1 C	1 9 / 2 8