



[12] 发明专利申请公开说明书

[21]申请号 94119214.8

[51]Int.Cl⁶

H03K 19/0185

[43]公开日 1995年9月6日

[22]申请日 94.12.23

[30]优先权

[32]93.12.24[33]JP[31]327156/93

[71]申请人 川崎制铁株式会社

地址 日本兵庫

[72]发明人 小林健一郎 计田日清

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王以平

H01L 27/085

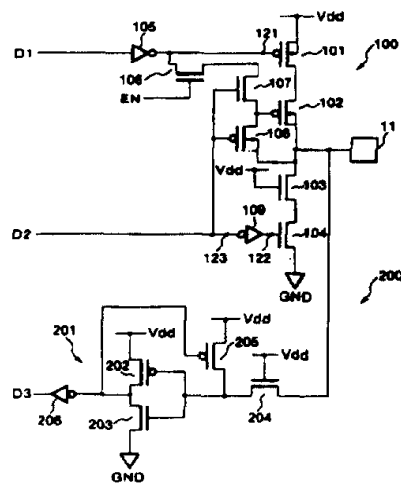
说明书页数:

附图页数:

[54]发明名称 多电压系统的输出,输入缓冲电路及双向缓冲电路

[57]摘要

一种双向缓冲电路包括: 一个其背栅极被连接到一个压焊盘的第 2P 沟晶体管, 一个配置于该第 2P 沟晶体管的一个栅极和该压焊盘之间、其背栅极与该压焊盘相连的第 3P 沟晶体管, 以及一个第 1N 沟晶体管和一个第 5N 沟晶体管, 它们的栅极连接到一个电源。结果可以在不增加任何工艺步骤的情况下制造出一种输出缓冲电路、一种输入缓冲电路和一种双向缓冲电路, 其中只结合一个单一的电源并且可允许把一个高于电源电压的电压加到共同的总线上。



(BJ)第 1456 号

权 利 要 求 书

1. 一种用于输出一个信号到一个压焊盘的输出缓冲电路，该信号经该压焊盘传送到外部电路，该输出缓冲电路包括：

串联连接在一个电源和所述压焊盘之间的第 1 和第 2 上拉晶体管，其中，第 1 信号被输入到靠近电源设置的第 1 上拉晶体管的栅极，而靠近该压焊盘设置的第 2 上拉晶体管的背栅极连接到所述压焊盘，以及

用于上拉所述第 2 上拉晶体管的一个栅极的栅极上拉晶体管。

2. 按照权利要求 1 的输出缓冲电路，其中所述压焊盘与一个可以在切断电源的情况下拆卸的连接器相连接。

3. 一种用于输出一个“H”（高）电平、一个“L”（低）电平或一个高阻抗到一个压焊盘的输出缓冲电路，其中，一个信号通过该压焊盘从一个外电路被传送进来或被传送到一个外电路，该输出缓冲电路的特征在于包括：

在电源和该压焊盘之间以一个第 1 P 沟晶体管和一个第 2 P 沟晶体管的顺序进行的一个相继串联连接，其中上述第 1 P 沟晶体管的一个背栅极被连接到上述电源，而其栅极被连接到输入一个第 1 信号的第 1 信号输入端，该第 1 信号在输出一个“H”电平到该压焊盘时被转变为一个“L”电平，或在输出一个“L”电平或一个高阻

抗到该压焊盘时被转变为一个“H”电平，并且上述第2 P沟晶体管的一个背栅极与该压焊盘相连；

在上述压焊盘和一个接地点之间以一个第1 N沟晶体管和一个第2 N沟晶体管的顺序进行的一个相继串联连接，其中，上述第1 N沟晶体管的一个栅极被连接到所述电源或所述第1信号输入端，而上述第2 N沟晶体管的一个栅极被连接到一个输入一个第2信号的第2信号输入端，上述第2信号在输出一个“H”电平或一个高阻抗到该压焊盘时被转变为一个“L”电平，或在输出一个“L”电平到上述压焊盘时被转变为一个“H”电平；

在上述第1信号输入端和上述第2 P沟晶体管的栅极间以一个第3 N沟晶体管和一个第4 N沟晶体管的顺序进行的相继串联连接，其中，上述第3 N沟晶体管的一个栅极被连接到输入一个启动信号的启动信号输入端，上述启动信号在输出一个“H”电平或一个“L”电平到该压焊盘时被转变为一个“H”电平，或在输出一个高阻抗到该压焊盘时被转变为一个“L”电平，并且上述第4 N沟晶体管的一个栅极被连接到输入一个第3信号的一个第3信号输入端，上述第3信号具有一个对于上述第2信号的反相逻辑；以及

一个连接于上述压焊盘和上述第2 P沟晶体管的栅极间的第3 P沟晶体管，其中上述第3 P沟晶体管的一个背栅极被连接到上述压焊盘，而其一个栅极被连接到上述电源或上述第3信号输入端。

4. 按照权利要求3的输出缓冲电路，其中，上述晶体管的栅极

通过一个阻抗元件被连接到上述电源或接地点。

5. 按照权利要求 3 的输出缓冲电路，其中，上述第 1 P 沟晶体管和上述第 2 P 沟晶体管的一个接合点被连接到上述第 1 N 沟晶体管和上述第 2 N 沟晶体管的一个接合点，由此上述第 2 P 沟晶体管和上述第 1 N 沟晶体管以并联方式相互连接。

6. 一种把输入到一个压焊盘的一个“H”电平或一个“L”电平传送至一个内部电路的输入缓冲电路，其中，一个信号通过该压焊盘从一个外电路被传送进来或被传送到一个外电路，该输入缓冲电路的特征在于包括以下组成部分：

一个反相器；

一个配置于上述压焊盘和上述反相器的一个输入端之间的第 5 N 沟晶体管，其栅极连接到一个电源；以及

一个当输入一个“H”电平到该压焊盘时将该反相器的输入端电位提高到电源电位的反馈电路。

7. 按照权利要求 6 的输入缓冲电路，其中，上述晶体管的栅极通过一个阻抗元件被连接到上述电源或接地点。

8. 按照权利要求 6 的输入缓冲电路，其中，上述反馈电路包括一个配置于上述电源和反相器的输入端之间的反馈 P 沟晶体管。

9. 按照权利要求 8 的输入缓冲电路，其中，上述反馈 P 沟晶体管的一个栅极被连接到上述反相器的一个输出端。

10. 按照权利要求 8 的输入缓冲电路，其中，上述反馈 P 沟晶体

管的一个栅极被连接到一个反相器的一个输出端，该反相器独立于上述反相器并且上述后者的反相器的一个输入端被连接到上述前者的反相器的一个输入端。

11. 一种包括权利要求 3 所限定的上述输出缓冲电路和权利要求 6 所限定的上述输入缓冲电路的双向缓冲电路，其中上述输出缓冲电路和上述输入缓冲电路都被连接到同一个压焊盘上。

12. 一种输出一个“H”电平、一个“L”电平或一个高阻抗到一个压焊盘的输出缓冲电路，其中通过该压焊盘一个信号从一个外电路被传送进来或被传送到一个外电路，该输出缓冲电路的特征在于包括以下组成部分：

许多个在一个电源和上述压焊盘之间以串联方式相互连接的上拉晶体管，其中一个第 1 信号被输入到配置于最接近上述电源的上拉晶体管的一个栅极，而配置于最接近上述压焊盘的上拉晶体管的一个背栅极被连接到该压焊盘；

许多个在上述压焊盘和一个接地点之间以串联方式相互连接的下拉晶体管，其中一个第 2 信号被输入到配置于最接近该接地点的下拉晶体管的一个栅极上；

在上述许多个上拉晶体管的栅极间以串联方式相互连接的一个启动晶体管和一个控制晶体管，其中，一个启动信号被输入到上述启动晶体管的一个栅极，而具有相对于上述第 2 信号的反相逻辑的一个第 3 信号被输入到上述控制晶体管的一个栅极；以及

一个配置于上述控制晶体管 and 上述压焊盘之间的门上拉晶体管。

13. 按照权利要求 12 的输出缓冲电路，其中，上述第 3 信号被输入到上述门上拉晶体管的一个栅极。

14. 按照权利要求 12 的输出缓冲电路，其中，上述门上拉晶体管的一个栅极被连接到上述电源。

15. 按照权利要求 12 的输出缓冲电路，其中，配置于最接近上述压焊盘的上述下拉晶体管的一个栅极被连接到上述电源。

16. 按照权利要求 12 的输出缓冲电路，其中，上述第 1 信号被输入到配置于最接近上述压焊盘的上述下拉晶体管的一个栅极。

17. 按照权利要求 12 的输出缓冲电路，其中，上述许多个上拉晶体管的一个共同接合点被连接到上述许多个下拉晶体管的一个共同接合点。

18. 按照权利要求 12 的输出缓冲电路，其中，配置于最接近上述电源的上述上拉晶体管的一个背栅极被连接到上述电源。

说 明 书

多电压系统的输出、输入缓冲电 路及双向缓冲电路

本发明涉及一种能在多个电源电压共存的情况下工作的半导体集成电路，比如将该集成电路安装在一种设计成能在一个包含多个电源电压的电源下工作和/或能承受暂时拆卸的电路板上的情况就是一例。

就设计一种电路板而言，近来采用一种对某些局部器件降低电源电压（例如降到3V）、而对其它器件加5V工作电压的技术。在大多数情况下，其理由基于以下两点，一是试图实现整个功耗的降低，二是由于对某些局部器件来说其额定电源电压规定要低于5V。在这种互不相同的电源电压共存于某种个别的工作状态的情况下，可能会产生以下的问题。即当一个信号从一个5V器件被传输到一个较低电源电压的器件时，或当工作于互不相同的电源电压的器件连接到同一个总线上时，会产生一个从该5V器件至较低电源电压器件的电流。这种不希望有的电流会引起很多不利的方面，其中包括功耗的增加、器件的锁定和特别是因为5V电压的缘故而引起在最新

的微型化高密度器件中的晶体管击穿。

图 9 示出在典型情况下当一个在 3V 下工作的器件与一个在 5V 下工作的器件连接到一个共同的总线上时两者如何共存于一个电路板上的情况。图 10 是在图 9 中用一个圆圈圈起的一种已知的常规的双向缓冲电路的简图。

当一个 3V 器件和一个 5V 器件如图 9 所示连接到一个共同的总线上时，在图 10 的电路中引起以下 (1) 至 (3) 的问题。

(1) 在从一个外部总线 10 通过一个压焊盘 11 输入 5V 电压时，在最后输出级中的一个 P 沟晶体管 12 的一个寄生二极管 12a 被导通，结果形成一条电流通道 (1)，这样就引起一个流经该处的大的漏电流。

(2) 由于仅有 3V 加到该 P 沟晶体管 12 的栅极上，故该晶体管 12 不能完全关断，因此处于一种弱的接通状态，这样也在该处形成一条电流通道 (2)。

(3) 当 5V 加到在最后输出级中的一个 N 沟晶体管 13 和在初始输入级的一个 N 沟晶体管 14 时，产生一个高电场，最终会引起与栅氧化膜的耐压及热电子等等有关的一些问题，由此该 N 沟晶体管 13 和 14 可能会被击穿。

图 11 典型地示出了设法解决上述问题的常规措施。在该图中只包括其输出缓冲电路。

为了防止在电源电压对于该电路板上的该总线 10 是 5V 时产

生一个漏电流，将 5V 加到最后输出级上。再有，只把在最后输出级中的晶体管的氧化膜做得比较厚，这样即使把 5V 加到最后输出级上该晶体管也不会损坏。除了这个措施外，为了达到在最后输出级中的 P 沟晶体管的完全关断，还加入把 3V 信号转换成 5V 信号的电平转换电路，在其中将 3V 系统的电路中的 3V 信号转换成 5V 信号，该 5V 信号然后加到在最后输出级的 P 沟晶体管的栅极上。

由于采取上述措施的结果，已设法制成一种可把一个 3V 下工作的器件和一个在 5V 下工作的器件变得可以连接到该共同的总线 10 上的改进的电路系统。

但是，为了实施在图 11 中示出的措施，增加一些工艺步骤（包括只在局部区域形成一层较厚的氧化膜）以及为制造芯片需要更长的时间是不可避免的，这一点最终导致生产成本的上升。

再有，由于有必要对器件提供两种系统（即 3V 和 5V）的电压，这样就引起电路板上的布线的额外的复杂性，同时还引起芯片上所需的引出头数目的增加，这一点是不利的。

在已公开的日本专利 NO. 平 4 (1992) —290008 中揭示了一种在芯片之外的驱动电路，该驱动电路包括：一个单独的上拉晶体管；一个输出端；用于提供一个具有预定值的电源电压的电压源（将该上拉晶体管配置于该电压源与该输出端之间）；一个连接于该上拉晶体管的栅极和该输出端之间的、具有一个连接到第一参考电位点的栅极的控制晶体管；一个总线选通器；一个通过该总线选通器耦合

到该上拉晶体管的栅极的预驱动电路；以及有选择地将一个远大于上述预定的电源电压值的电压加到该输出端的装置。

但是，该已知的驱动电路也有一些缺点，由于上拉晶体管的衬底（背栅极）是通过该控制晶体管从电源处进行偏置的，因而背栅极电阻变得很高，易于引起锁定的问题。

此外，当将一局部电路板插入主系统的连接器和/或从连接器拔出而不切断其上的电源时，可能会由于连接器被拆卸而将电压加于压焊盘而不加于输出缓冲电路上。在这种暂时拆卸的情况下，在现有技术的输出缓冲电路中就会引起如图 10 所示的同样的电路通路(1)、(2)。因而在可靠性上存在着问题。

更具体地说，当在将输给最后一级晶体管 12 的电源 3V 切断到 0V 的情况下将“H”通过连接插头输入到压焊盘 11 时，图 10 所示的电流(1)、(2)在晶体管 12 中流过，以致于寄生二极管 12a 导通，接着是晶体管导通。

本发明的一个目的是提供一种输出缓冲电路、一种输入缓冲电路，和一种双向缓冲电路，该缓冲电路不必任何附加的工艺步骤即可制出，其中只加入一个单一的电源，并允许将一个高于该单一电源的电压加到一个共同的总线上。

本发明的另一个目的在于提供一种能工作于很高的交变速度的输出缓冲电路。

本发明的再一个目的是提供一种具有良好的阻止发生锁定的性

能的输出缓冲电路。

本发明更进一步的目的是提供一种能承受暂时拆卸的输出缓冲电路,该电路能防止在将该局部电路板插入主系统的连接器和/或从中拔出时产生电流通路(1)、(2)。

为了达到本发明的上述目的,本发明的输出缓冲电路用于将信号输出到一个经其将该信号传输到外部电路的压焊盘(Pad),该输出缓冲电路包括:

串联在电源和该压焊盘之间的第1和第2上拉晶体管,其中,第1信号被输入到靠近电源设置的第1上拉晶体管的栅极,而靠近该压焊盘设置的第2上拉晶体管的背栅极连接到所述压焊盘;以及用于上拉第2上拉晶体管的一个栅极的栅极上拉晶体管。

在本发明的该输出缓冲电路中,该压焊盘可以被连接到一个用于将局部电路板插入主系统或从中拔出的连接器。

为了达到上述目的,本发明的输出一个“H”(高)电平、一个“L”(低)电平或一个高阻抗到一个压焊盘(通过该压焊盘一个信号从一个外电路被传送进来或被传送到一个外电路)的输出缓冲电路包括:

(1—1)在该电源和该压焊盘之间以一个第1P沟晶体管和一个第2P沟晶体管的顺序对两者进行的一个相继串联连接,其中第1P沟晶体管的一个背栅极连接到电源,第1P沟晶体管的一个栅极连接到输入一个第1信号的一个第1信号输入端,在将一个“H”电平

输出到该压焊盘的同时该第 1 信号被转变为一个“L”电平或者在将一个“L”电平或一个高阻抗输出到该压焊盘的同时，该第 1 信号被转变为一个“H”电平，并且该第 2 P 沟晶体管的一个背栅极连接到该压焊盘。

(1—2) 在该压焊盘和该接地点之间以一个第 1 N 沟晶体管和一个第 2 N 沟晶体管的顺序对两者进行的一个相继串联连接，其中第 1 N 沟晶体管的一个栅极被连接到该电源或该第 1 信号输入端，且第 2 N 沟晶体管的一个栅极被连接到输入一个第 2 信号的一个第 2 信号输入端，在将一个“H”电平或一个高阻抗输出到该压焊盘的同时该第 2 信号被转变为一个“L”电平，或者在将一个“L”电平输出到该压焊盘的同时该第 2 信号被转变为一个“H”电平。

(1—3) 在第 1 信号输入端和第 2 P 沟晶体管的栅极间以一个第 3 N 沟晶体管和一个第 4 N 沟晶体管的顺序对两者进行的一个相继串联连接，其中该第 3 N 沟晶体管的一个栅极被连接到输入一个启动信号的一个启动信号输入端，在将一个“H”电平或一个“L”电平输出到该压焊盘的同时该启动信号被转变为一个“H”电平，或者在将一个高阻抗输出到该压焊盘的同时该启动信号被转变为一个“L”电平，并且该第 4 N 沟晶体管的一个栅极连接到该电源或输入一个第 3 信号的一个第 3 信号输入端，该第 3 信号具有一种对于第 2 信号的反相逻辑；以及

(1—4) 连接在该压焊盘和该第 2 P 沟晶体管的栅极间的第 3 P

沟晶体管，其中该第 3 P 沟晶体管的一个背栅极被连接到该压焊盘，该第 3 P 沟晶体管的一个栅极被连接到该电源或该第 3 信号输入端。

也是为了达到上述目的，本发明的通过一个压焊盘（通过该压焊盘一个信号从一个外电路被传送进来或被传送到一个外电路）从一个外电路接收一个“H”电平或一个“L”电平到内电路的输入缓冲电路包括：

(2—1) 一个反相器；

(2—2) 一个配置于该压焊盘和该反相器的输入端之间、其栅极连接到电源的第 5 N 沟晶体管；

(2—3) 在将一个“H”电平输入到该压焊盘的同时将该反相器的输入端电位提高到电源电位的一个反馈电路；

再有，本发明的双向缓冲电路包括一个由上述 (H) 到 (1—4) 的元件组成的输出缓冲电路和一个由上述 (2—1) 到 (2—3) 的元件组成的输入缓冲电路，其中该输出和输入缓冲电路都连接到同一压焊盘上。

在本发明的缓冲电路中，在每个晶体管的栅极和该电源或该接地点之间的相互连接可以是直接的，也可以通过一个阻抗元件如一个电阻间接连接。

在本发明的输出缓冲电路中，关于上述的问题 (1) 至 (3) 采取以下措施。

首先，与寄生二极管的导通有关的问题 (1) 通过提供如在 (1—1) 中描述的其背栅极连接到该压焊盘的第 2 P 沟晶体管来解决。

关于在最后输出级中的 P 沟晶体管不能完全关断的问题 (2)，提供如在 (1—4) 中描述的第 3 P 沟晶体管来作为提升第 2 P 沟晶体管的栅电位的一个上拉晶体管，结果加到该压焊盘的 5V 电压通过该第 3 P 沟晶体管还加到第 2 P 沟晶体管的栅极上，从而使第 2 P 沟晶体管完全关断。

再者，关于因加一个如 5V 的高电压到 N 沟晶体管上而引起的高电场的问题 (3)，提供如在 (1—2) 中描述的第 1 N 沟晶体管对于分散加到第 1 N 沟晶体管和第 2 N 沟晶体管上的高电压是有效的，从而防止产生任何超过单个 N 沟晶体管的耐压的高电场。

同时，在本发明的输入缓冲电路中采取以下措施未解决问题 (3)。

由于另外提供了如在 (2—2) 中描述的第 5 N 沟晶体管，故高电压被分散于第 5 N 沟晶体管和 (2—1) 中描述的反相器，结果可防止产生任何超过单个 N 沟晶体管耐压的高电场。此外，在 (2—3) 中描述的反馈电路可用于将该反相器的输入电压提升到合格的值，从而来保证该反相器的正确的工作状态。

再有，一个输出一个“H”电平、一个“L”电平或一个高阻抗到一个压焊盘（通过该压焊盘，一个信号从一个外电路被传送进来或被传送到一个外电路）的输出缓冲电路包括：

许多个在一个电源和该压焊盘之间以串联的方式相互连接的上拉晶体管，其中一个第 1 信号被输入到配置于最接近该电源的上拉晶体管的栅极，且配置于最接近该压焊盘的上拉晶体管的一个背栅极被连接到该压焊盘；

许多个在该压焊盘和接地点之间以串联的方法相互连接的下拉晶体管，其中一个第 2 信号被输入到配置于最接近该接地点的下拉晶体管的栅极；

在许多个上拉晶体管的栅极间以串联的方式相互连接的一个启动晶体管和一个控制晶体管，其中将一个启动信号输入到该启动晶体管的栅极，并且将具有一个对第 2 信号来说是反相逻辑的第 3 信号输入到该控制晶体管的栅极；以及

一个配置于该控制晶体管和该压焊盘之间的门（选通）上拉晶体管。

此外，将该第 3 信号输入到该门上拉晶体管的一个栅极。

再有，将该门上拉晶体管的一个栅极连接到该电源。

此外，将配置于最接近该压焊盘的下拉晶体管的一个栅极连接到该电源。

再有，将该第 1 信号输入到配置于最接近该压焊盘的下拉晶体管的一个栅极。

此外，将许多个上拉晶体管的一个互相接合点连接到许多个下拉晶体管的一个互相接合点。

再有，将配置于最接近该电源的该上拉晶体管的一个背栅极连接到该电源。

因此，按照本发明，在输出缓冲电路、输入缓冲电路和双向缓冲电路方面得到改进，在以上的缓冲电路的制造中不需要对工艺步骤作任何改变或增加，其中只需要一个单一的电源，并且彻底解决关于图 10 中提到的全部 (1) 至 (3) 的问题。

此外，在暂时拆卸开的情况下，将“H”在电源被切断（关）且只有信号插头连接着时输入到压焊盘 11，在晶体管 101 和 102 中无电流流过。因为晶体管 102 的背栅极通过晶体 108 为导通状态而与压焊盘 11 相连，这样，寄生二极管不处于正向，因而不导通。而且，晶体管 102 的栅极经晶体管 108 充电到压焊盘 11 的电位，从而使晶体管 102 完全处于“断”状态。

换言之，暂时拆卸的情况可被看作多电压系统的一种极端情况（内部电压=0V，外部电压=5V）。

在阅读以下的描述及附图后本发明的这些和其它的目的、特征和优点将变得更明显。

以下将结合附图来描述本发明的较佳实施例，其中在所有的附图中已用相同的参照号来表示相同的元件，其中：

图 1 是显示按照本发明的双向缓冲电路的第 1 实施例的一个电路图；

图 2 是一个类似于图 1 的、显示当将一个“H”（高）电平

(3V) 信号输出到一个压焊盘时各个元件的状态的电路图；

图 3 是一个类似于图 1 的、显示当将一个“L”（低）电平 (0V) 信号输出到该压焊盘时各个元件的状态的电路图；

图 4 是一个类似于图 1 的、显示在将一个高阻抗从该输出缓冲电路输出到该压焊盘和将一个“H”电平 (5V) 从一个外电路加到该压焊盘的情况下的电路图；

图 5 是一个类似于图 1 的、显示在将一个高阻抗从该输出缓冲电路输出到该压焊盘和将一个“L”电平 (0V) 从该外电路加到该压焊盘的情况下的状态电路图；

图 6 是显示按照本发明的双向缓冲电路的第 2 个实施例的一个电路图；

图 7 是显示按照本发明的双向缓冲电路的第 3 个实施例的一个电路图；

图 8 是一个类似于图 7 的第 3 个实施例的、在其输出缓冲电路方面进行部分修改并重画的电路图；

图 9 典型地说明了一个在 3V 下工作的器件和一个在 5V 下工作的器件如何共存并相互连接到在电路板上的一个共同总线上的情况；

图 10 是显示在图 9 中用一个圆圈圈起的、以往技术的常规双向缓冲电路的一个电路图；以及

图 11 典型地说明了在现有技术中采取的已知措施。

以下将参照附图详细描述本发明的较佳实施例。

图 1 是描述按照本发明的双向缓冲电路的第 1 个实施例的一个电路图。

构成图 1 的双向缓冲电路的一个输出缓冲电路 100 用于将一个“H”电平、一个“L”电平或一个高阻抗输出到一个压焊盘 11。在该输出缓冲电路 100 中，在一个 3V 电源 Vdd 和该压焊盘 11 之间有一个以一个第 1 P 沟晶体管 101 和一个第 2 P 沟晶体管 102 的顺序对两者进行的相继串联连接，其中将第 1 P 沟晶体管 101 的一个背栅极连接到该电源 Vdd，而将第 2 P 沟晶体管 102 的一个背栅极连接到该压焊盘 11。在该输出缓冲电路 100 中，在该压焊盘 11 和一个接地点 GND 之间还有一个以一个第 1 N 沟晶体管 103 和一个第 2 N 沟晶体管 104 的顺序对两者进行的相继串联连接。

将该第 1 P 沟晶体管 101 的一个栅极连接到一个第 1 反相器 105 的一个输出端，将一个信号 D1 输入到该第 1 反相器 105。在本实施例中，该第 1 反相器 105 的一个输出端 121，也就是第 1 P 沟晶体管 101 的一个栅极端，对应于本发明中的一个第 1 信号输入端，因此信号 D1 是通过将在本发明中定义的该第 1 信号的逻辑进行反相得到的一个信号。

将第 2 P 沟晶体管 102 的栅极通过第 3 N 沟晶体管 106 和第 4 N 沟晶体管 107 连接到第 1 反相器 105 的一个输出端 121，上述第 3、第 4 N 沟晶体管 106、107 以串联方式连接在第 1 反相器 105 的

输出端 121 和第 2 P 沟晶体管 102 的栅极之间。而且将第 3 P 沟晶体管 108 (将其背栅极连接到该压焊盘 11) 连接在第 2 P 沟晶体管 102 的栅极和该压焊盘 11 之间。

将一个启动信号 EN 输入到第 3 N 沟晶体管 106 的栅极。在本实施例中,第 3 N 沟晶体管 106 的栅极端对应一个启动信号输入端。

将第 4 N 沟晶体管 107 的栅极和第 3 P 沟晶体管的栅极连接到第 2 反相器 109 的一个输入端 123。并且将一个信号 D2 输入到第 2 反相器 109。

将第 1 N 沟晶体管 103 的一个栅极连接到电源 Vdd, 而将第 2 N 沟晶体管 104 的一个栅极连接到第 2 反相器 109 的一个输出端 122。在本实施例中,第 2 反相器 109 的输出端 122, 也就是第 2 N 沟晶体管 104 的栅极端, 对应于在本发明中定义的一个第 2 信号输入端; 以及第 2 反相器 109 的输入端 123, 也就是第 4 N 沟晶体管 107 和第 3 P 沟晶体管 108 的各栅极端, 对应于在本发明中定义的一个第 3 信号输入端。因此信号 D2 对应于在本发明中定义的第 3 信号, 而通过在使第 2 反相器 109 中的第 3 信号反相而得到的信号对应于在本发明中定义的第 2 信号。

一个构成图 1 的双向缓冲电路的输入缓冲电路 200 包括: 一个由一对以串联方式连接在一个电源 Vdd 和一个接地点 GND 之间的 P 沟晶体管 202 和 N 沟晶体管 203 组成的反相器 201; 一个配置于该压焊盘 11 和该反相器 201 的一个输入端之间的、其栅极连接到电

源 Vdd 的第 5 N 沟晶体管 204；一个配置于电源 Vdd 和该反相器 201 的输入端之间的、其栅极连接到该反相器 201 的一个输出端的反馈 P 沟晶体管 205，以及其输入端连接到该反相器 201 的输出端的一个第 3 反相器 206。

图 2 是类似于图 1 的、显示当将一个“H”电平 (3V) 信号输出到该压焊盘 11 时各个元件状态的电路图。

在将一个“H”电平输出到该压焊盘 11 时，信号 D1 和 D2 都被转变为一个“H”电平，而该启动信号 EN 被保持在一个“H”电平。

当信号 D1 和 D2 在启动信号 EN 被保持在一个“H”电平的状态下被转变为一个“H”电平时，一个“L”电平被加到第 1 P 沟晶体管 101 的栅极上，结果第 1 P 沟晶体管 101 被导通，然后第 2 P 沟晶体管 102 的一个寄生二极管 102a 被整体充电，从而该压焊盘 11 开始向“H”电平过渡。

由于第 3 N 沟晶体管 106 和第 4 N 沟晶体管 107 都被导通，之后第 P 沟晶体管 102 也被导通，由此通过第 1 P 沟晶体管 101 和第 2 P 沟晶体管 102 将一个“H”电平输出到该压焊盘 11。同时一个“L”电平被加到第 2 N 沟晶体管 104 的栅极，从而将其关断。

在这个运行阶段，一个“H”电平也被加到输入缓冲电路 200 上，由于从电源 Vdd 把 3V 加到第 5 N 沟晶体管 204 的栅极，故该反相器 201 的输入端接收一个电压 ($V_{dd}-V_{th}$)，该电压比电源电压 Vdd 低一个阈值电压值 V_{th} ，例如当 $V_{th}=0.8V$ 时，该电压值为 2.2V。因

此，该反相器 201 输出端的电位被降低，从而导通 P 沟晶体管 205，结果，电源电压 $V_{dd}=3V$ 通过 P 沟晶体管 205 被加到该反相器 201 的输入端。其结果是，该反相器 201 的输出端完全被转变为“L”电平，该信号通过第 3 反相器 206 来提供，然后该第 3 反相器 206 把信号 D1 转变为“H”电平。上述运行是在输入缓冲电路 200 中因响应输出到该压焊盘 11 的“H”电平而完成的，但通常在从输出缓冲电路 100 输出信号到该压焊盘 11 时该信号 D3 是不用的。

如以上所描述的，在输出一个“H”电平到该压焊盘 11 时本实施例的双向缓冲电路在不产生任何问题的情况下完成一个令人满意的运行。

图 3 是类似于图 1 的、显示当将一个“L”电平 (0V) 信号输出到该压焊盘 11 时各个元件状态的一个电路图。

在输出一个“L”电平至该压焊盘 11 时，信号 D1 和 D2 两者都被转变为一个“L”电平。同时该启动信号 EN 仍被保持在一个“H”电平。

当信号 D1 和 D2 在该启动信号 EN 被维持于一个“H”电平的状况下两者已被转变为一个“L”电平时，第 2 N 沟晶体管 104 被导通。由于此时第 1 N 沟晶体管 103 也处于导通状态，因此该压焊盘 11 和该接地点 GND 通过第 1 和第 2 N 沟晶体管 103 和 104 而相互连接，从而一个“L”电平 (0V) 被输出到该压焊盘 11。

在这个运行阶段，一个“H”电平被加到第 1 P 沟晶体管 101 的

栅极从而将该晶体管关断，因此第 2 P 沟晶体管 102 的栅电位变得不确定。但因其背栅极被连接到该压焊盘 11，故其电位被转变为 0V，结果第 2 P 沟晶体管 102 也被关断。

与此同时，一个“L”电平被加到输入缓冲电路 200 中的反相器 201 的输入端，由此把反相器 201 的输出端转变为一个“H”电平，而把第 3 反相器的输出信号转变为一个“L”电平。

由此可见，当输出一个“L”电平信号到该压焊盘 11 时，本实施例的双向缓冲电路在不产生任何问题的情况下完成一个令人满意的运行。

图 4 是类似于图 1 的电路图，显示在一个高阻抗从输出缓冲电路 100 被输出到该压焊盘 11 和一个“H”电平 (5V) 从一个外电路被加到该压焊盘 11 的情况下的状态。

在这个运行阶段，一个“L”电平作为启动信号 EN 被输入，而一个“L”电平和一个“H”电平分别作为信号 D1 和 D2 被输入。

此时，一个“H”电平被加到第 1 P 沟晶体管 101 的栅极，从而将该晶体管关断。与此同时，信号 D2 的 3V 被加到第 3 P 沟晶体管 108 的栅极，而该压焊盘 11 的 5V 被加到上述晶体管 108 的背栅极，以致使一个在图 10 中用参考号 (2) 表示的电流在第 3 P 沟晶体管 108 内流动，从而使 5V 加到第 2 P 沟晶体管 102 的栅极。由此第 2 P 沟晶体管被处于完全的关断状态。在这个运行阶段，第 4 N 沟晶体管 107 处于其接通状态，这是因为信号 D2 的一个“H”电平 (3V)

被加到其栅极上，但由于它是一种 N 沟晶体管，举例来说在第 3 N 沟晶体管 106 和第 4 N 沟晶体管 107 的接合点处的电位是 2.2V，结果在第 4 N 沟晶体管 107 中也不产生任何超过其耐压的高电场。此外，第 3 N 沟晶体管 106 的源和漏间的电位差被压低至 0.8V。

由于在此同时一个“L”电平被加到第 2 N 沟晶体管 104 的栅极，因此该晶体管 104 被关断，然后加到该压焊盘 11 上的 5V 被分到第 1 N 沟晶体管 103 和第 2 N 沟晶体管 104 上，结果在第 1 N 沟晶体管 103 或第 2 N 沟晶体管 104 中也不产生任何超过耐压的高电场。

一个加到该压焊盘 11 的 5V 电压在 3V 电压被加到第 5 N 沟晶体管 204 的栅极之后被加到该晶体管 204，从而使 2.2V 被加到该反相器 201 的输入端。其结果是，仅有 2.8V 被加到第 5 N 沟晶体管 204 的源和漏之间，因此在该晶体管 204 内不产生任何超过耐压的高电场。

其后，如已提到的那样，3V 通过反馈 P 沟晶体管 205 被加到反相器 201 的输入端，然后反相器 201 的输出被转变为一个“L”电平，而第 3 反相器 206 的输出信号 D3 被转变为一个“H”电平，之后用上述方式得到的“H”——电平信号 D3 被传送到内部。

如以上所描述的那样，当一个高阻抗从输出缓冲电路 100 以这种方式被输出和将 5V 从一个外电路加到该压焊盘 11 时，不产生有关图 10 描述的 (1) 至 (3) 的问题，加到该压焊盘 11 的 5V “H”——电平信号被转换为一个 3V “H”——电平信号，然后被传送到内部。

图 5 是类似于图 1 的、显示在将一个高阻抗从输出缓冲电路 100 输出到该压焊盘 11 和一个“L”电平 (0V) 从外部电路被加到压焊盘 11 的情况下的状态的电路图。

在这个场合下,每个晶体管以图 5 中所显示的那种方式工作,加到该压焊盘 11 的“L”—电平信号 (0V) 在不引起任何在参照图 10 所描述的 (1) 至 (3) 的问题的情况下被传送到内部。

因而按照在图 1 中显示的实施例,可在不需要对工艺步骤作任何修改或附加的情况下实现一种改进了的双向缓冲电路,其中只引入一个单一的 3V 电源并允许加一个 5V 的外部电压。

在本实施例中,第 1 P 沟晶体管 01 (该晶体管用作一个在电源一侧的上拉晶体管,其源极被连接到电源 Vdd) 的背栅极 (衬底) 被直接连接到电源 Vdd 而第 2 P 沟晶体管 102 存在于第 1 P 沟晶体管 101 和该压焊盘 11 之间,结果可防止发生锁定。

图 6 是一个描述本发明的双向缓冲电路的第 2 实施例的电路图。以下只给出与图 1 中所显示的上述第 1 实施例的差别的描述。

在第 2 实施例中的一个第 1 N 沟晶体管 103 的一个栅极被连接到第 1 反相器 105 的一个输出端 121 (第 1 信号输入端)。同时一个第 4 N 沟晶体管 107 的一个栅极连接到第 2 反相器 109 的一个输入端 123, 而第 3 P 沟晶体管 108 的一个栅极被连接到电源 Vdd。构成一个输出缓冲电路 100 的这种第 1 N 沟晶体管 103 和第 3 P 沟晶体管 108 的每个栅极的连接可以如图 1 或图 6 中所显示的那样分别地

进行改变。

第2实施例的一个输入缓冲电路200中的一个反馈P沟晶体管205的一个栅极被连接到一个反相器207的一个输出端，而该反相器207的一个输入端被连接到一个反相器201的一个输入端。按这种方式可以在不仅限于上述例子的情况下形成将反相器201的输入端电位从2.2V提高到3V的反馈电路的多种结构。

图7是一个描述本发明的双向缓冲电路的第3个实施例的电路图。以下只给出与图1所显示的上述第1个实施例的差别的描述。

在图7的第3实施例中，第1P沟晶体管101和第2P沟晶体管102的接合点110被连接到第1N沟晶体管103和第2N沟晶体管104的一个接合点111。

图8是与图7的第3实施例类似的、在其输出缓冲电路方面作了部分修改并重画的电路图。

由于两个接合点110和111的相互连接，第2P沟晶体管102和第1N沟晶体管103如图8中显示的那样以并联的方式相互连接。在第1个和第2个实施例中也可以通过在电平转变时导通寄生二极管来快速驱动一个连接到该压焊盘11的外部负载。同时，在第2P沟晶体管102和第1N沟晶体管103以并联方式连接的第3个实施例中，当该压焊盘11的信号从一个“L”电平被转变为一个“H”电平或从一个“H”电平被转变为一个“L”电平时，与第1个和第2个实施例相比，允许流过一个更大的电流，因此可以在更高

的速度下驱动该外部负载。

虽然上述每个实施例均描述包括输出缓冲电路 100 和输入缓冲电路 200 的一个双向缓冲电路，但是应注意到该结构可以只由输出缓冲电路 100 或只由输入缓冲电路 200 单独组成。

至此为止已对本发明作了充分的描述，对于本领域的普通技术人员来说，可以在不偏离前面所述的本发明的精神和范围的情况下对本发明的内容作许多变动和修改这一点将是显而易见的。

图 1

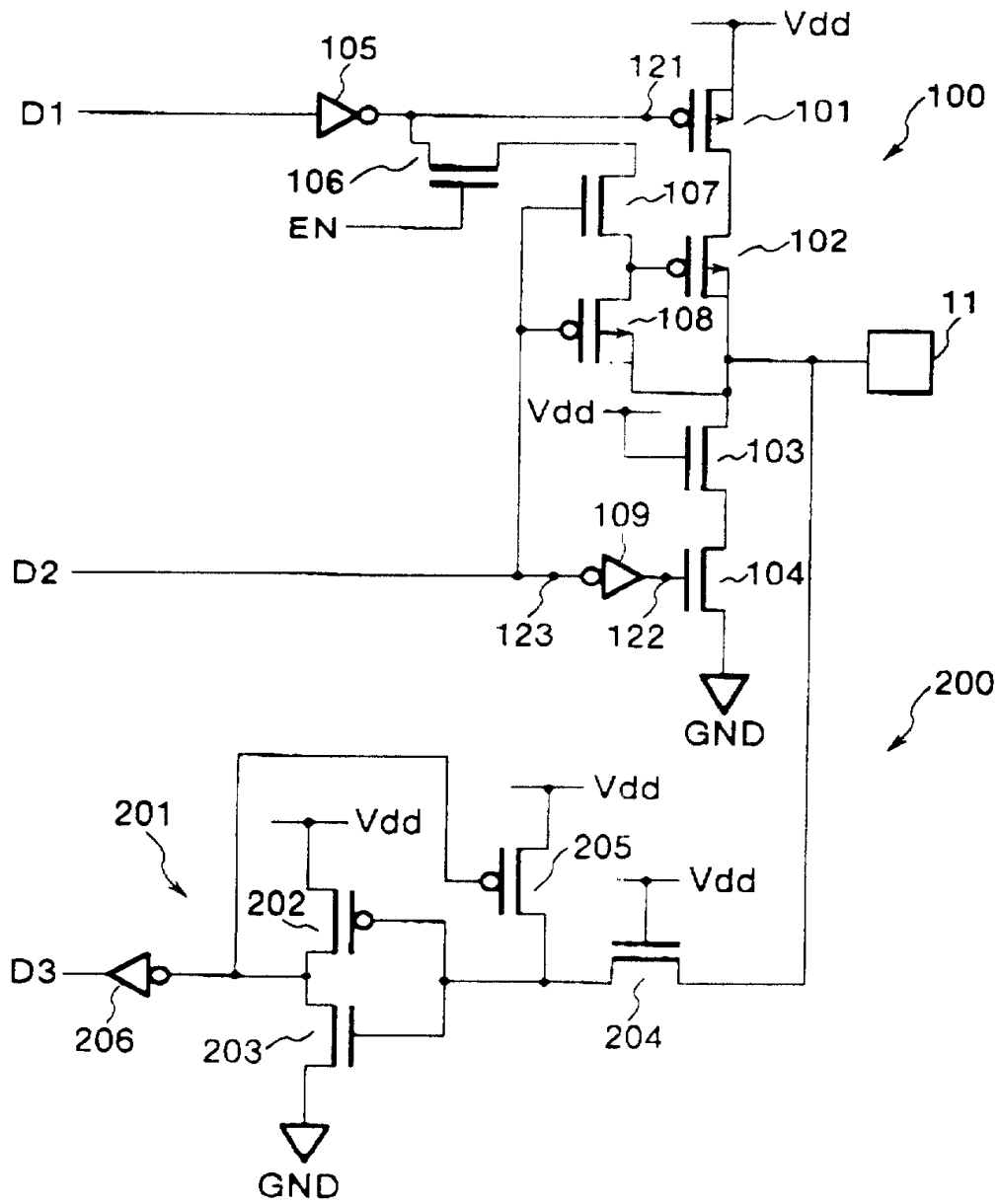


图 2

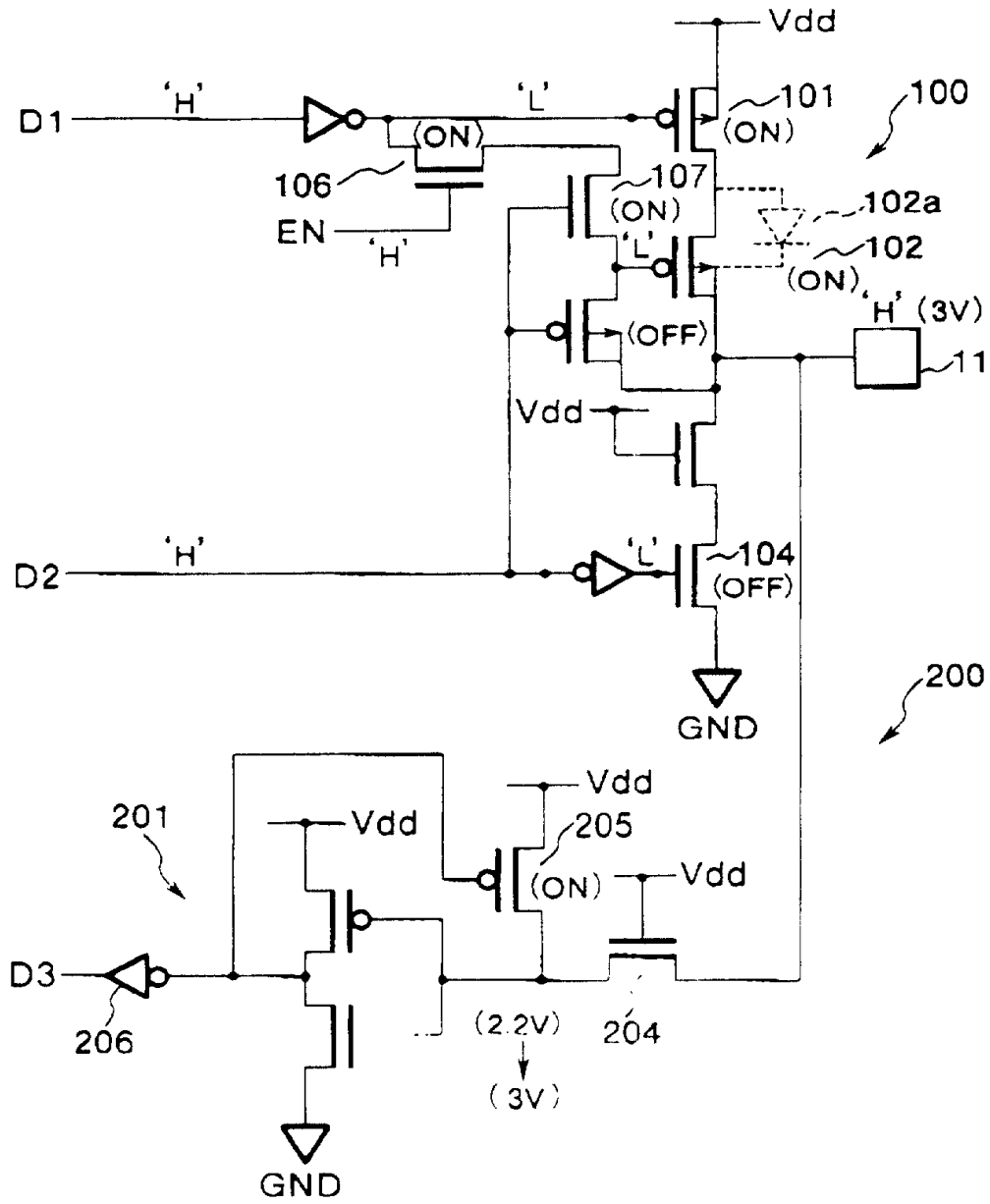


图 3

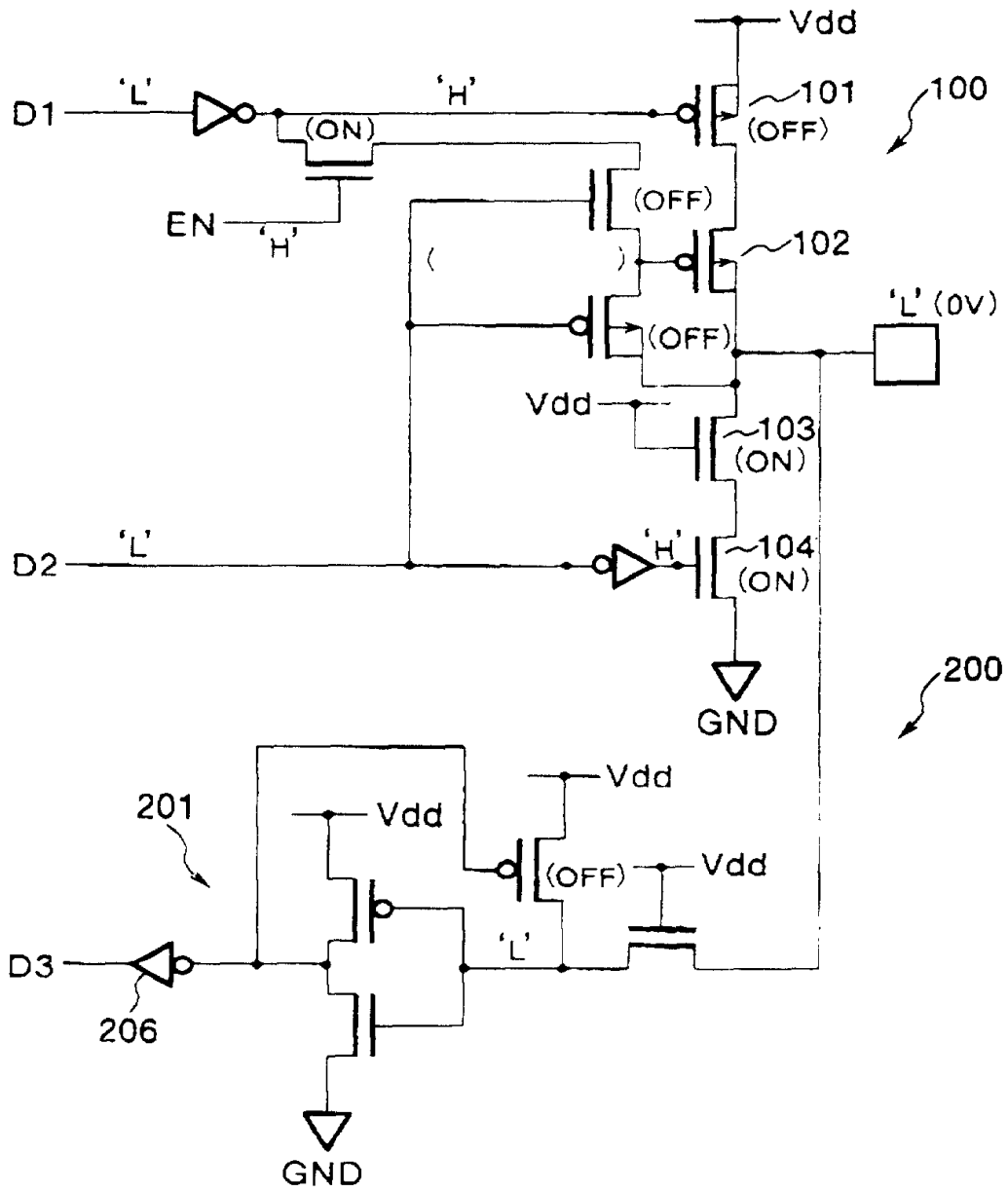


图 4

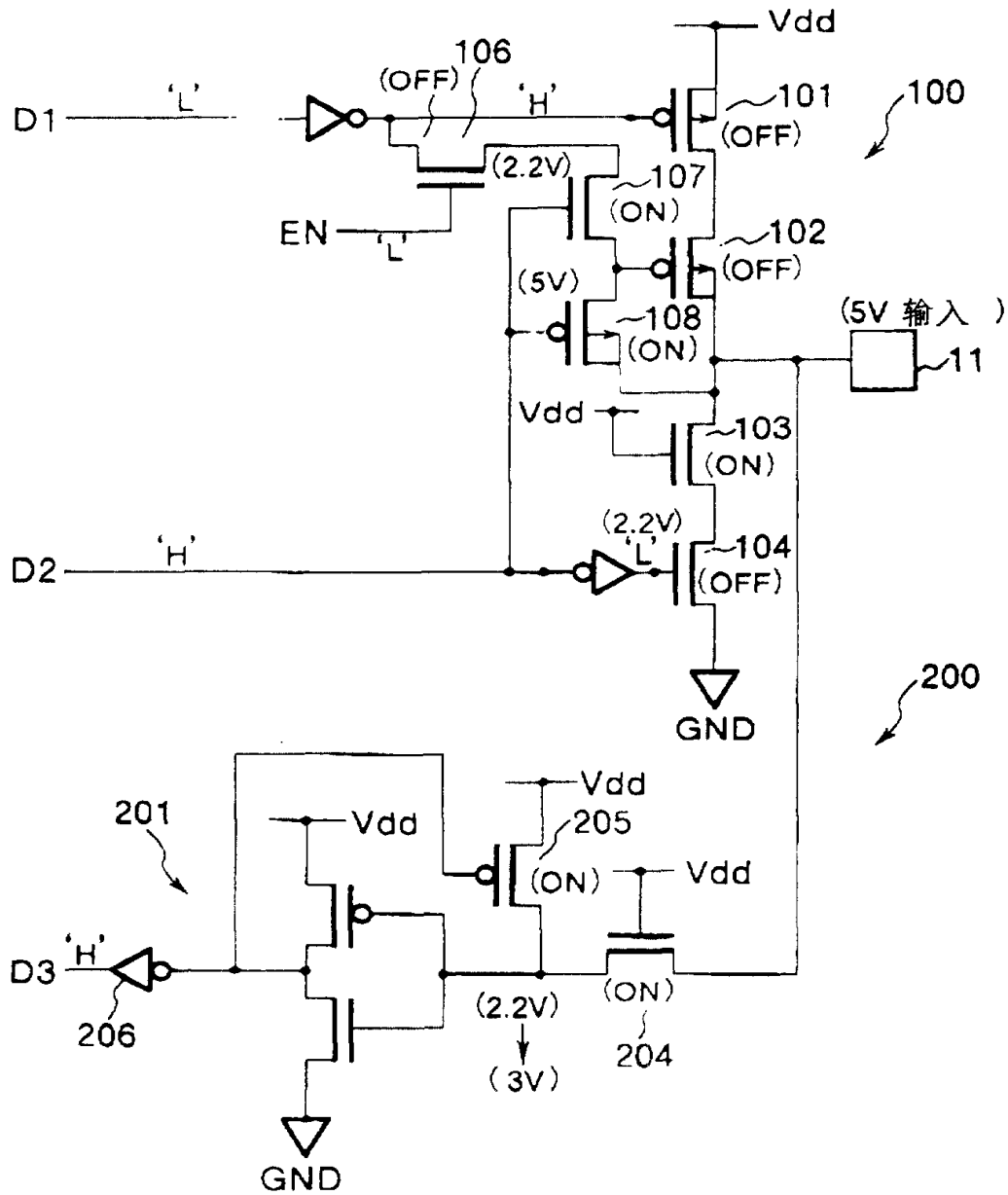


图 5

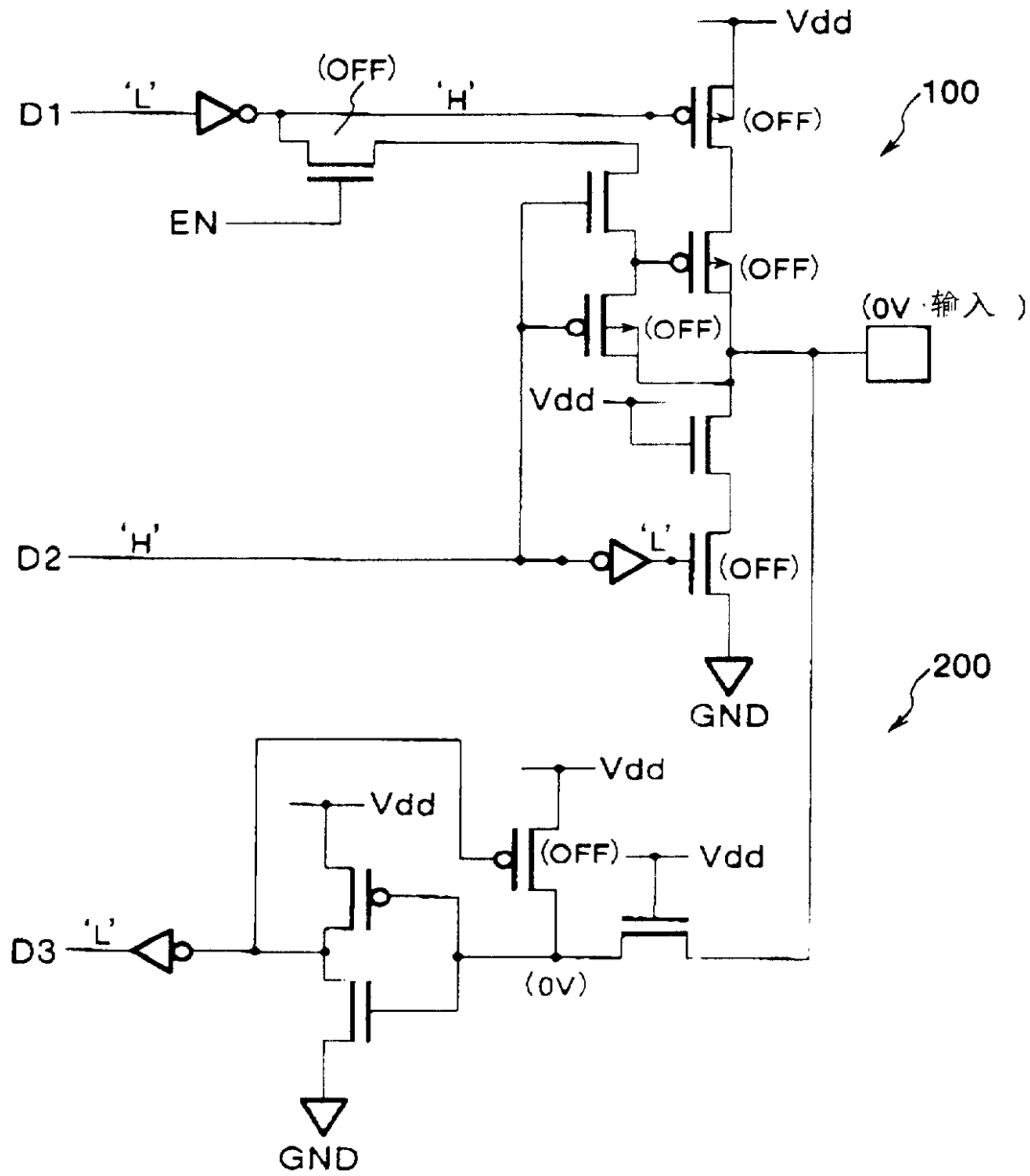


图 6

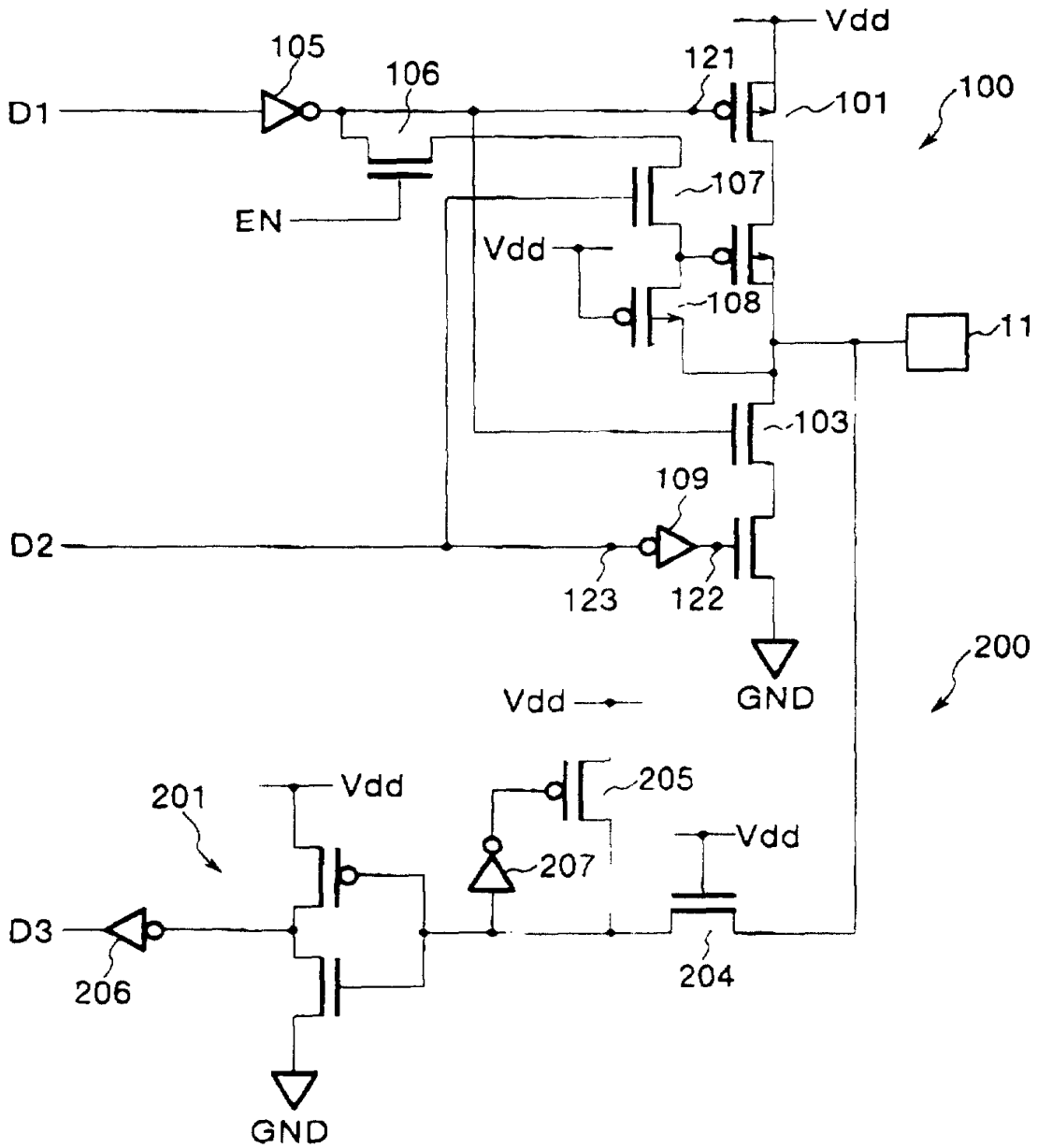


图7

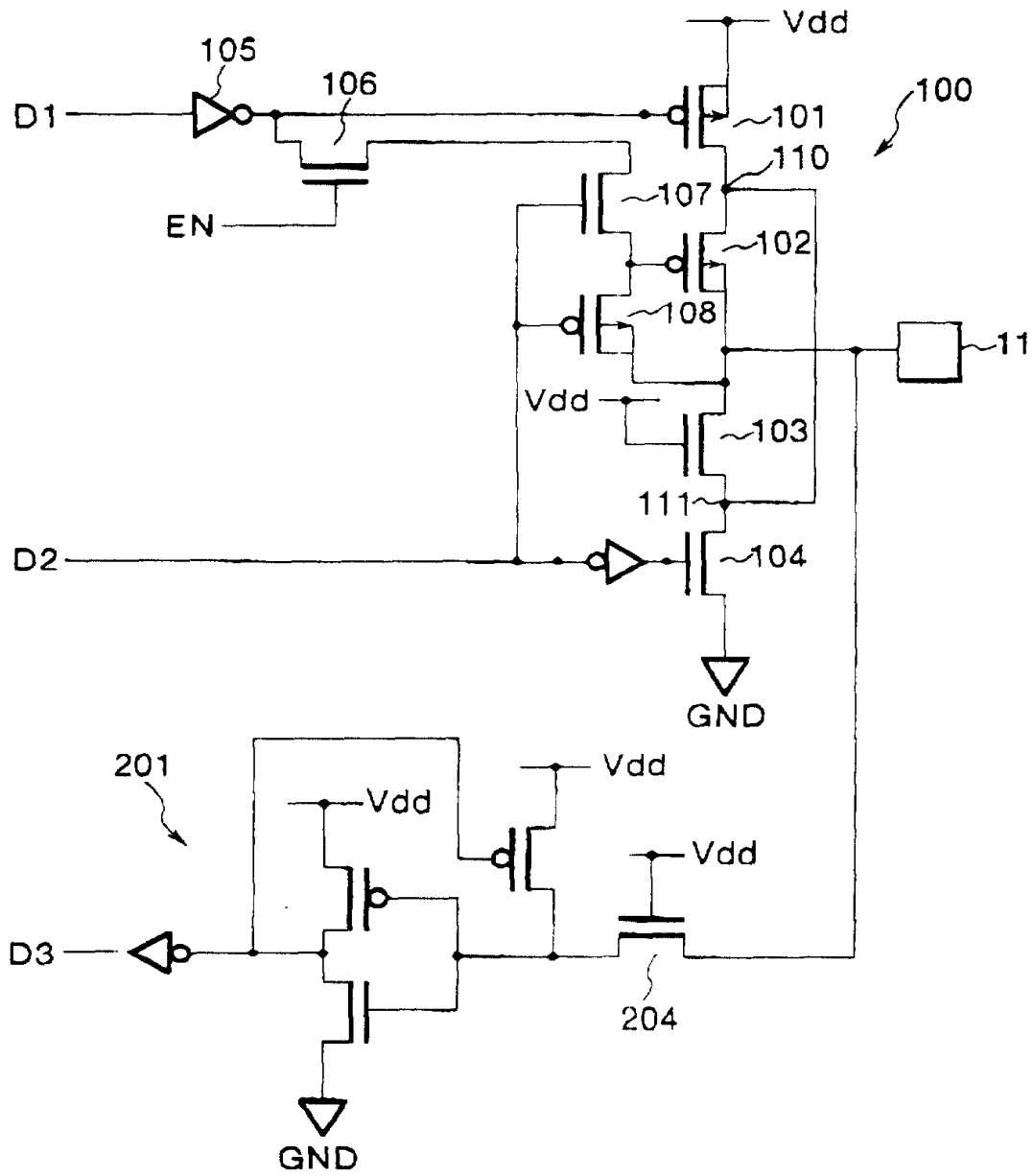


图 8

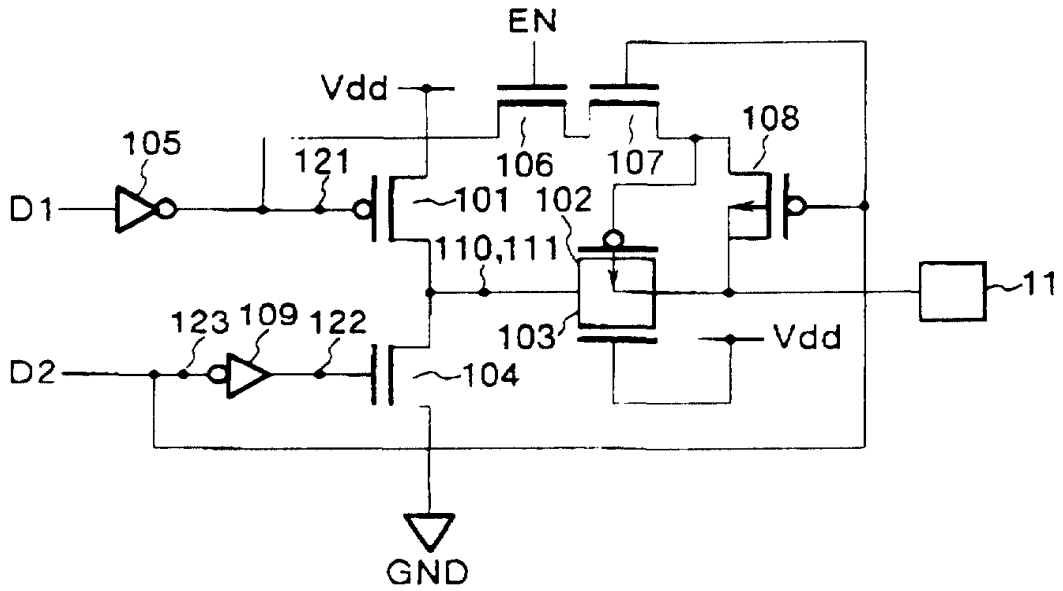


图 9
现有技术

