



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 38 060 B4 2008.06.19**

(12)

Patentschrift

(21) Aktenzeichen: **199 38 060.0**
 (22) Anmeldetag: **12.08.1999**
 (43) Offenlegungstag: **15.03.2001**
 (45) Veröffentlichungstag
 der Patenterteilung: **19.06.2008**

(51) Int Cl.⁸: **G01R 31/3187 (2006.01)**
G01R 31/3185 (2006.01)
G01R 31/3183 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Nokia Siemens Networks GmbH & Co.KG, 81541 München, DE

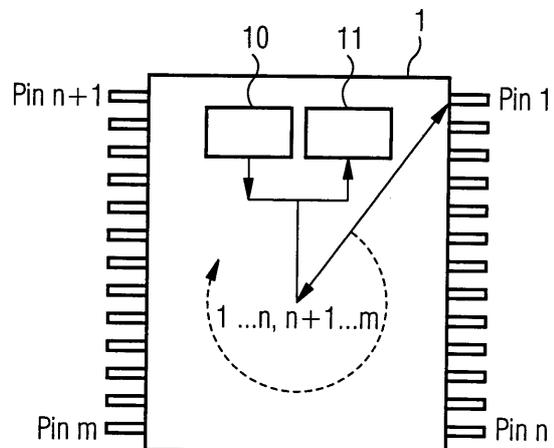
(72) Erfinder:
Pillkahn, Ulf, Dipl.-Ing., 81475 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 57 96 751 A
US 50 56 094 A
The Institute of Electrical and Electronics Engineers, IEEE Standard, Test Access Port and Boundary-Scan Architecture, IEEE Standard 1149.1-1990, New York, 1990, S. 1-1 bis 1-5;

(54) Bezeichnung: **Integrierte Schaltung mit einer Testeinrichtung und Verfahren zum Testen der Güte elektrischer Verbindungen der integrierten Schaltung**

(57) Hauptanspruch: Integrierte Schaltung mit einer Testeinrichtung zum Testen der Güte elektrischer Verbindungen der integrierten Schaltung, mit

- einem Testsignalgenerator (10) zum Erzeugen eines Testsignals und Zuführen des erzeugten Testsignals zu einer zu testenden elektrischen Verbindung
- einer Auswerteeinrichtung (11) zum Empfang eines Antwortsignals auf ein zugeführtes Testsignal von der zu testenden Verbindung, wobei die Auswerteeinrichtung die Laufzeit zwischen Testsignal und Antwortsignal aufnimmt, den Maximalwert des Antwortsignals mit einem erwarteten Wert vergleicht und die Güte der getesteten elektrischen Verbindung auf der Basis der Laufzeit und des Vergleichs des Maximalwerts bewertet.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine integrierte Schaltung mit einer Testeinrichtung zum Testen von elektrischen Verbindungen der integrierten Schaltung. Weiterhin betrifft die vorliegende Erfindung ein Verfahren zum Testen der Güte elektrischer Verbindungen der integrierten Schaltung.

[0002] Es ist bekannt, die Qualität der Verbindungen elektronischer Baugruppen durch einen In-Circuit Tester zu überprüfen. Dabei wird ein externer Tester mittels eines Nadelbettadapters mit der oder den zu prüfenden Baugruppen verbunden. Auf zumeist schon auf der Schaltung vorgesehenen Meßpunkten, Meßpads genannt, werden Nadeln mechanisch positioniert. Durch diese mechanisch plazierten und elektrisch angesteuerten Nadeln werden die Testpunkte bzw. Bauelemente selektiert und mit definierten Spannungswerten belegt. Fehler werden durch Messen und Vergleichen der Spannungen an den Meßpunkten ausgangsseitig mit erwarteten Werten erkannt.

[0003] Diese bekannte Testmethode besitzt den Nachteil, daß mit der Anzahl der beabsichtigten Tests und der Anzahl der für einen Test zu selektierenden Baugruppen die Anzahl der separat vorzusehenden Testpads stark anwächst. Dies behindert insbesondere die gewünschte Integration und hohe Verdichtung der Baugruppen auf einer Leiterplatte. Eine mechanisch auf einen Meßpunkt (Meßpad) aufgesetzte Nadel benötigt eine gewisse Mindestgröße, da mechanische Toleranzen und der Kostenaufwand für die weitere Miniaturisierung zu berücksichtigen sind. Sonderbauteile, z. B. mit Kühlkörper versehene Bauteile, oder hochintegrierte Bauelemente mit mehreren 100 Pins können daher aufgrund des beschränkten Platzes auf der Platine nicht gemessen werden.

[0004] Bei modernen Ball Grid Array (BGA) Bauelementen, die sich dadurch auszeichnen, daß sich alle Verbindungen zur Leiterplatte unter dem Bauelement befinden, ist es praktisch unmöglich für alle diese Anschlüsse Meßpads vorzusehen, ohne die Vorteile dieser platzsparenden Bauart wieder zunichte zu machen.

[0005] Weiterhin muß für jede Platine und meist auch für verschiedene Tests auf derselben Platine ein mechanisch hochpräziser und teurer Nadelbettadapter gefertigt werden. Die Anfertigung benötigt viel Zeit, dies verzögert die Entwicklung einer Schaltung und der Nadelbettadapter selbst ist störanfällig.

[0006] Weiter ist bekannt, Schaltungen durch einen Boundary Scan Test zu überprüfen. Bei diesem ist ein Teil der Testlogik in das Bauelement integriert. Grundgedanke ist, zwischen jedem Pinanschluß und der eigentlichen integrierten Schaltung als Teil der in-

tegrierten Schaltung selbst eine Boundary Scan Zelle einzufügen. Zum Prüfen einer Verbindung ist dabei eine Senderzelle und eine Empfängerzelle notwendig. Im Normalbetriebszustand überträgt die Boundary Scan Zelle die empfangenen Werte von Eingang zu Ausgang. Im Testmodus liest sie den Eingangswert aus und gibt an den Ausgang einen wählbaren Testwert. Alle Boundary Scan Testzellen sind untereinander durch einen Prüfbus verbunden. Über diesen Prüfbus werden die Daten während des Tests auf einen externen Tester geschaltet. Der nach IEEE 1149.1 genormte Testbus ermöglicht die Teststeuerung und den Datenaustausch. Der hier beschriebene Stand der Technik ist beispielsweise der Normschrift IEEE 1149.1, Standard Test Access Port and Boundary-Scan Architecture, des Institute of Electrical and Electronics Engineers, New York 1990, zu entnehmen.

[0007] Nachteilig an diesem Stand der Technik ist, daß das Verfahren aufgrund der sehr hohen Rechenleistung auf externe Testeinrichtungen angewiesen ist. Es sind viele Testvektoren nötig, d. h. Sätze von an den Meßpunkten anzulegenden Testwerten, mit denen zum Beispiel ein bestimmter Befehl an die zu testende Schaltung übermittelt wird. Als Ergebnis ergibt sich wieder ein Vektor für die resultierenden Werte an den Pins. Um die richtige Verbindung der Bauelemente mit der Leiterplatte zu prüfen muß die Funktionalität bestimmter Elemente und Baugruppen getestet werden. Hierzu müssen jedoch viele Testvektoren eingesetzt und die erhaltenen Ergebnisvektoren mit den erwarteten Werten verglichen werden. Die externe Testeinrichtung muß daher eine erhebliche Rechenleistung erbringen, meist wird hierzu ein eigener Computer eingesetzt. Auch enthalten die Ergebnisvektoren, wenn sie nicht mit den erwarteten Werten übereinstimmen regelmäßig keine oder nur aufwendig bestimmbare Informationen über die Art des Fehlers.

[0008] Keine der bekannten Testeinrichtungen kann vollständig in ein Bauelement integriert werden, um elektrische Verbindungen in der Schaltung, in der sie verwendet wird, zu testen. Die Güte der Verbindung kann erst nach einem übergeordneten Vergleich erfolgen, zu dem die Werte ausgegeben werden müssen und der meist nicht auf der elektrischen Schaltung selbst erfolgt, sondern in einer der obengenannten externen Testeinrichtungen.

[0009] Folglich ist es nicht oder nur mit großem Aufwand möglich, in die Schaltungen Selbsttests zu integrieren. Dies ist jedoch eine Anforderung an zukünftige Baugruppen und Schaltungen. Bisher ist als Selbsttest (während der Lebenszeit) einer Schaltung das Durchführen eines Logiktests bekannt, bei dem ein "Programm" in Übereinstimmung mit der normalen Funktion durchlaufen und bei den erwarteten "richtigen" Ergebnissen davon ausgegangen wird,

daß die Schaltung insgesamt in Ordnung ist.

[0010] Aus der US 5796751 ist eine Testvorrichtung und ein Verfahren bekannt, um die maximale Arbeitsfrequenz integrierter Schaltungen festzustellen. Dabei wird die Zeit gemessen, die ein Testsignal benötigt, um durch eine Scan-Testschaltung zu laufen, die bevorzugt nach dem Level Sensitive Scan Design (LSSD) ausgebildet ist. Diese Zeit ist ein Maß für die maximale Arbeitsfrequenz der integrierten Schaltung. Von einer Abtastkette, die durch einen Testcontroller angesteuert wird, läuft das Testsignal zu einer zweiten Abtastkette und zurück zum Testcontroller. Die Abtastketten dienen im LSSD dazu, Testvektoren zu laden und die sich ergebenden logischen Werte als Ergebnisvektoren in der zweiten Abtastkette auszuwerten. Bei der hier beschriebenen Testvorrichtung wird nun gerade die Laufzeit der Signale über die erste Abtastkette zur zweiten Abtastkette gemessen. Eine Testeinrichtung muß daher nicht mit einer Taktfrequenz betrieben werden, die höher liegt, als die maximale Arbeitsfrequenz der zu testenden integrierten Schaltung, wie bei anderen bekannten Testeinrichtungen.

[0011] Aus der US 5056094 ist ein Verfahren und eine Testvorrichtung bekannt, mit der zu lange Signallaufzeiten oder Verzögerungsfehler (delay faults) erkannt werden können. Mit Hilfe von entsprechend angepaßten Boundary-Scan Zellen wird die Signallaufzeit zwischen einer fallenden Signalfanke in einer Ausgangs-Boundary-Scan Zelle und einer steigenden Signalfanke in der Eingangs-Boundary-Scan Zelle gemessen.

[0012] Dadurch wird die Signalverzögerung in einem dazwischen liegenden Signalweg erfaßt. In einer Ausführungsform wird die Signalverzögerung in einer Logikschaltung gemessen, wenn diese auf ein Eingangssignal einen Ausgabewert erzeugt.

[0013] Daneben ist auch bekannt, Unterbrechungen in Übertragungsleitungen, wie Koaxialleitungen zu finden, indem ein Signal an der Fehlerstelle reflektiert wird und aus der Signallaufzeit der Ort der Unterbrechung bestimmt wird.

[0014] Der Erfindung liegt daher die Aufgabe zugrunde, eine integrierte Schaltung bereitzustellen, die keine äußeren Testeinrichtungen zum Testen der Güte elektrischer Verbindungen auf der Schaltung benötigt und trotzdem Aussagen über die Güte der elektrischen Verbindungen auf einfache Weise ermöglicht. Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein entsprechendes Verfahren zum Testen der Güte elektrischer Verbindungen in integrierten Schaltungen bereitzustellen.

[0015] Die zuvor beschriebene Aufgabe wird erfindungsgemäß gelöst durch eine integrierte Schaltung

gemäß Anspruch 1 bzw. ein Verfahren gemäß Anspruch 17. Die abhängigen Ansprüche bilden den Grundgedanken der Erfindung in vorteilhafter Weise aus.

[0016] Die erfindungsgemäße integrierte Schaltung umfaßt eine Testeinrichtung bestehend aus einem Testsignalgenerator zum Erzeugen eines Testsignals und Zuführen dieses Testsignals zu einer zu testenden elektrischen Verbindung.

[0017] Weiter ist eine Auswerteinrichtung vorgesehen zum Empfang eines Antwortsignals auf ein zugeführtes Testsignal von der zu testenden Verbindung, wobei die Auswerteinrichtung die Laufzeit zwischen Testsignal und Antwortsignal aufnimmt, den Maximalwert des Antwortsignals mit einem erwarteten Wert vergleicht und die Güte der getesteten elektrischen Verbindung auf der Basis der Laufzeit und des Vergleichs des Maximalwerts bewertet.

[0018] Vorteilhaft wird damit gerade der ansonsten in digitalen Schaltungen unerwünschte Effekt der Veränderung eines elektrischen Signals oder Impulses während des Signallaufs genutzt. Ausgenutzt wird die Tatsache, daß elektrische Verbindungen nicht ideal sind und nur näherungsweise von einer idealen, die Form des Signals nicht verändernden Übertragung ausgegangen werden kann. Es kommt zu kapazitiven, induktiven, dämpfenden und reflektierenden Einflüssen. Entgegen der bisherigen Ansicht der Technik, die diesen Veränderungen der digitalen Signale keinen Informationsgehalt beim Maß, und gerade zu vermeiden suchte, daß das Signal sich über die Laufzeit verändert, werden erfindungsgemäß eben diese Signalveränderungen beim Betrieb digitaler Schaltungen ausgewertet. Das Bild des Antwortsignals ist typisch für die durchlaufene Strecke. Betrachtet man das Testsignal, beispielsweise einen Rechteckimpuls, zerlegt in seine Wellenfunktionen, enthält das Antwortsignal Informationen über den Wellenwiderstand, den das Testsignal auf der zu testenden elektrischen Verbindung erfährt.

[0019] Weiter ist es vorteilhaft, wenn der Testsignalgenerator das Testsignal an demselben Ende der zu testenden elektrischen Verbindung zuführt, an dem die Auswerteinrichtung das Antwortsignal empfängt. Hierdurch kann als Antwortsignal das durch die elektrische Schaltung am Ende der zu testenden elektrischen Verbindung oder durch eine Fehlerstelle zuvor reflektierte Signal empfangen werden. Dies ermöglicht, die gesamten für die elektrische Schaltung mit Testeinrichtung der hier beschriebenen Art notwendigen Bauelemente kompakt an einer Stelle zu konzentrieren. Insbesondere können diese in einer integrierten Schaltung auf einem Bauelement konzentriert werden.

[0020] Weiterhin ist es vorteilhaft, die elektrische

Schaltung derart auszubilden, daß der Testsignalgenerator ein Testsignal mit einer Signalbreite t_{ab} erzeugt, so daß bei der zugehörigen Wellenlänge $\lambda \approx 2t_{ab} \times V_p$ die Länge, über die das Testsignal auf der zu messende Verbindung läuft, größer als ca. $\lambda/2$, ist. Das Testsignal ist hierbei als Halbwelle eines periodischen Signals angesehen. Als V_p ist die typische Ausbreitungsgeschwindigkeit eines elektrischen Signals in einer digitalen Schaltung anzusetzen.

[0021] In digitalen Schaltkreisen übliche Ausbreitungsgeschwindigkeiten betragen ca. 60%–70% der Lichtgeschwindigkeit. Der Wert V_p ist somit mit ca. 60 Prozent der Lichtgeschwindigkeit anzusetzen, oder im Einzelfall einem der Schaltung entsprechenden Wert.

[0022] Wenn diese Signalbreite unterschritten ist, ist ein Test der zuvor beschriebenen Art besonders günstig zu realisieren. Nach der Theorie der langen Leitung ist unter diesen Bedingungen die Länge der Leitung, über die das Testsignal läuft, zu berücksichtigen. Der für den Fall des normalen Betriebs einer digitalen Schaltung hierdurch auftretende Fehler kann dann nicht mehr vernachlässigt werden. Da bei der hier beschriebenen Testeinrichtung der Test auf dem Prinzip der Veränderung des Testsignals beruht, ist es daher vorteilhaft, die Signalbreite an diese Laufzeitbedingung anzupassen. Dabei ist es günstig, soweit möglich zu dieser Bedingung noch einen Sicherheitszuschlag von 100% zu geben und dann die Laufzeit des Testsignals größer als λ einzustellen, um die Anwendbarkeit der Theorie der langen Leitung in jedem Fall sicherzustellen.

[0023] Eine technisch günstige Lösung ist es, die Laufzeit des Testsignals auf der zu testenden elektrischen Verbindung dadurch zu verlängern, daß zwischen Testsignalgenerator und zu testender Verbindung ein Verzögerungsglied geschaltet ist, welches bei einem von dem Testsignalgenerator erzeugten Testsignal mit einer Signalbreite t_{ab} , die Laufzeit des Testsignals über die zu testende elektrische Verbindung so verlängert, daß bei der zugehörigen Wellenlänge $\lambda \approx 2t_{ab} \times V_p$ die scheinbare Länge, über die das Testsignal auf der zu messende Verbindung läuft, größer als ca. $\lambda/2$ ist.

[0024] Die für die hier beschriebenen Testeinrichtung günstige Bedingung, daß die Gesetze der langen Leitung anwendbar sind, ist auch erreichbar, wenn der Testsignalgenerator ein Testsignal mit einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von 10% seines Wertes auf 90% seines Wertes ansteigt, erzeugt, so daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung größer als ca. t_r ist.

[0025] Genauso, wie in den zuvor beschriebenen Ausführungsformen, ist es auch hier günstig, soweit

möglich zu dieser Bedingung noch einen Sicherheitszuschlag von 100% zu geben und dann die Laufzeit des Testsignals größer als $2t_r$ einzustellen. Die Signalanstiegszeit ist somit klein im Vergleich zur Testsignallaufzeit über die zu testende elektrische Verbindung.

[0026] Dieser Vorteil wird auch erreicht, indem zwischen Testsignalgenerator und zu testender Verbindung ein Verzögerungsglied geschaltet ist, welches bei einem von dem Testsignalgenerator erzeugten Testsignal mit einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von ca. seines Wertes auf 90% seines Wertes ansteigt, die Laufzeit des Testsignals über die zu testende elektrische Verbindung auf mehr als t_r verlängert.

[0027] Vorteilhaft kann bei den zuvor beschriebenen Ausgestaltungen auch mit üblichen Impulsen als Testsignal gearbeitet werden, ohne daß aufwendige und teure Bauelemente für besonders schnelle Signalanstiegszeiten oder kurze Signalbreiten vorgesehen werden müßten. Da der Effekt einer Laufzeitverlängerung eines Signals im normalen Betrieb bei einer digitalen Schaltung nicht erwünscht ist, da hierdurch Fehler auftreten und die Arbeitsgeschwindigkeit der Schaltung herabgesetzt wird, geschieht dies nur, wenn die Schaltung mit den zu testenden elektrischen Verbindungen sich im Testbetrieb befindet. Nur dann wird zwischen der zu testenden elektrischen Verbindung, zum Beispiel dem Pin eines integrierten Bauelements, und Testsignalgenerator bzw. Auswerteeinrichtung ein Verzögerungsglied geschaltet.

[0028] Vorteilhaft bestimmt die Auswerteeinrichtung einen Maximalwert des Antwortsignals und prüft, ob der Maximalwert des Antwortsignals innerhalb einer Zeitspanne t_1 bis t_2 liegt. Die Beschränkung auf die Bestimmung des Maximalwertes und die Feststellung, ob dieser in einem zeitlichen Fenster eines erwarteten Antwortsignals liegt, vereinfacht die Auswertung. Es muß nicht das vollständige Signalbild erfaßt werden. Das Signal muß vor allem nicht abgetastet werden, was entsprechend dem Abtasttheorem sehr aufwendig wäre. Durch eine zeitliche Beschränkung, z. B. eine Torschaltung, werden eventuelle andere Signale, die nicht auf das Testsignal zurückzuführen sind, herausgefiltert.

[0029] Die Auswerteeinrichtung kann zur Bestimmung des Maximalwertes das Antwortsignal analog mit Referenzspannungen vergleichen und für jede überschrittene Referenzspannung einen Wert, zum Beispiel eine "1", in einem Latch speichern und sodann diese Werte in einem Decoder in ein Datenwort bestimmter Breite umsetzen. Das Antwortsignal wird somit zunächst analog quantisiert und in einen Thermometercode umgewandelt. Wird ein bestimmter Wert auch nur einmal überschritten, so ist für den

Wert in dem Latch eine "1" gesetzt. Folglich stehen nach der Meßzeit in dem Latch bis zu dem Wert, der dem Maximalwert entspricht eine Reihe mit Werten "1", ansonsten Werte "0".

[0030] Dieser Thermometercode kann dann von einem Decoder in einen üblichen Digitalwert bestimmter Datenwortbreite umgesetzt werden. Vorteilhaft ist, daß die Bestimmung des Maximalwertes schnell ist und keinen Rechenaufwand verursacht, da nur der Maximalwert erfaßt wird.

[0031] Die Auswerteeinrichtung kann günstigerweise den Maximalwert des Antwortsignals mit einem erwarteten Wert unter Zulassung einer Toleranz vergleichen und dadurch die Güte der elektrischen Verbindung bewerten. Die Auswertung des Antwortsignals erfolgt somit letztlich durch die Analyse des Reflexionskoeffizienten P . Dieser ist hier als Verhältnis des Antwortsignalmaximums zum Testsignalmaximum definiert. Durch Vorgabe eines erwarteten Wertes für den Maximalwert des Antwortsignals wird letztlich getestet, welcher Wert für P vorliegt. Der eigentliche Vergleich kann beispielsweise durch Bildung eines digitalen Wertes bestimmter Bitbreite aus dem Analogwert und Vergleich mit einem ebenfalls digitalisierten erwarteten Wert erfolgen. Da eine Vielzahl von Fehlern durch die Analog-Digitalwandlung bedingt sind, sind genaue Übereinstimmungen von Maximalwert und zu erwartendem Wert bei Vergleich der codierten Meßwerte nicht zu erreichen. Daher ist eine definierte Toleranz vorzusehen, indem beispielsweise eine bestimmte Anzahl letzter Bits beim Vergleich der Codewörter unberücksichtigt bleibt. Auch bei einer sonstigen üblichen Art des Vergleichs ist eine Toleranz zuzulassen, um Streuungen und Meßungenauigkeiten zu berücksichtigen. Da die Reflexion des Testsignals am Ende der zu testenden elektrischen Verbindung im wesentlichen vom Abschlußwiderstand abhängt, erlaubt der Vergleich des Maximalwertes des Antwortsignals mit einem erwarteten Wert und somit der Test auf einen bestimmten Wert von P vorteilhaft bereits Aussagen nicht nur über das Vorliegen eines Fehlers sondern im Fehlerfall auch in gewissem Umfang über die Art des Fehlers, wenn für bestimmte Fehler signifikante Werte als erwartete Werte abgefragt werden. Der im Gutfall erwartete Abschlußwiderstand einer elektrischen Verbindung ist für die Schaltung eindeutig bestimmt, wenn diese selbst in einem bestimmten, definierten Zustand ist. So ist beispielhaft für einen bestimmten Eingang eines Bauelements mit integrierter Schaltung, wenn sich dieser am Ende der zu testenden Verbindung befindet, ein definierter Eingangswiderstand zu erwarten, falls sich das Bauelement in einem definierten Zustand befindet.

[0032] Weiter kann die Auswerteeinrichtung den Maximalwert des Antwortsignals mit dem negativen Maximalwert des Testsignals als erwarteten Wert ver-

gleichen und dadurch eine elektrische Verbindung zur Masse als in Ordnung und eine fehlerhafte Verbindung als kurzgeschlossen zur Masse erkennt. Dadurch ergibt sich eine weitere vorteilhafte Vereinfachung der Testeinrichtung. Es wird geprüft ob der Wert $P \approx -1$ vorliegt. Für den erwarteten Gutfall ist eine Verbindung zur Masse (GND) gegeben. Der Abschlußwiderstand ist dann null. Für den Fall daß bereits ein Fehler erkannt wurde, kann durch den Test auf diesen Wert der Kurzschluß einer Verbindung gegen Masse (stuck at 0) erkannt werden. Vorteilhaft ist, daß dieser Gutfall und der beschriebene Fehler ohne große Berechnung und Simulation der Schaltung bestimmt werden können.

[0033] Vorteilhaft kann die Auswerteeinrichtung den Maximalwert des Antwortsignals mit Null vergleichen und dadurch eine elektrische Verbindung zu einem anderen Bauelement mit angepaßtem Eingangswiderstand als in Ordnung und eine fehlerhafte Verbindung zu einem Bauelement mit hochohmigem Eingang als kurzgeschlossen zu einer anderen elektrischen Verbindung erkennen, wenn nach erkanntem Fehler die Art des Fehlers analysiert werden soll.

[0034] Die Auswerteeinrichtung kann den Maximalwert des Antwortsignals mit dem positiven Maximalwert des Testsignals als erwarteten Wert vergleichen und dadurch eine elektrische Verbindung zu einem offenen Anschluß als in Ordnung und eine fehlerhafte Verbindung als unterbrochen erkennen.

[0035] Erfindungsgemäß kann ein Testcontroller vorgesehen sein, der die Testergebnisse sammelt und über eine Schnittstelle ausgibt.

[0036] Gemäß der Erfindung ist weiterhin ein Verfahren zum Testen der Güte elektrischer Verbindungen in integrierten Schaltungen vorgesehen.

[0037] Dabei wird zunächst ein Testsignal erzeugt, dieses wird einer zu testenden elektrischen Verbindung zugeführt. So dann wird ein Antwortsignal auf ein zugeführtes Testsignal von der zu testenden Verbindung empfangen, wobei die Laufzeit zwischen Testsignal und Antwortsignal bestimmt wird. Der Maximalwert des Antwortsignals wird mit einem erwarteten Wert verglichen und die Güte der elektrischen Verbindung auf der Basis der Laufzeit und des Vergleichs des Maximalwertes bewertet.

[0038] Günstigerweise wird das Testsignal an demselben Ende der zu testenden elektrischen Verbindung zugeführt wird, an dem das Antwortsignal empfangen wird. Dadurch kann das reflektierte Signal empfangen werden, wie oben anhand der elektrischen Schaltung beschrieben.

[0039] Es kann ein Testsignal mit einer Signalbreite t_{ab} verwendet werden, so daß bei der zugehörigen

Wellenlänge λ die Länge, über die das Testsignal auf der zu messenden Verbindung läuft, größer als ca. $\lambda/2$ ist.

[0040] Die Laufzeit des Testsignals über die zu testende elektrische Verbindung wird günstigerweise so verlängert, daß bei der zugehörigen Wellenlänge λ die scheinbare Länge, über die das Testsignal auf der zu messenden Verbindung läuft, größer als ca. $\lambda/2$ ist. Wie bei der integrierten Schaltung beschrieben, können so übliche Methoden der Signalerzeugung verwandt werden, ohne besonderen Aufwand.

[0041] Das Testsignal kann eine Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von 10% seines Wertes auf 90% seines Wertes ansteigt, haben, so daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung größer als ca. t_r ist.

[0042] Die Laufzeit des Testsignals über die zu testende elektrische Verbindung kann so verlängert werden, daß bei einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von 10% seines Wertes auf 90% seines Wertes ansteigt, die Laufzeit mehr als t_r beträgt.

[0043] Günstig wird der Maximalwert des Antwortsignals bestimmt und geprüft, ob der Maximalwert des Antwortsignals innerhalb einer Zeitspanne t_1 bis t_2 liegt.

[0044] Zur Bestimmung des Maximalwertes des Antwortsignals können analog mit Referenzspannungen verglichen und für jede überschrittene Referenzspannung einen Wert in einem Latch gespeichert und sodann diese Werte in einem Decoder in ein Datenwort bestimmter Breite umgesetzt werden.

[0045] Der Maximalwert des Antwortsignals kann mit einem erwarteten Wert unter Zulassung einer Toleranz verglichen und dadurch die Güte der elektrischen Verbindung bewertet werden.

[0046] Vorteilhaft wird der Maximalwert des Antwortsignals mit dem negativen Maximalwert des Testsignals als erwarteten Wert verglichen und dadurch eine elektrische Verbindung zur Masse als in Ordnung und eine sonstige Verbindung als kurzgeschlossen zur Masse erkannt.

[0047] Der Maximalwert des Antwortsignals kann mit Null verglichen und dadurch eine elektrische Verbindung zu einem anderen Bauelement mit angepaßtem Eingangswiderstand als in Ordnung und eine sonstige Verbindung zu einem Bauelement mit hochohmigem Eingang als kurzgeschlossen zu einer anderen elektrischen Verbindung erkannt werden.

[0048] Der Maximalwert des Antwortsignals kann

mit dem positiven Maximalwert des Testsignals als erwartetem Wert verglichen und dadurch eine elektrische Verbindung zu einem offenen Anschluß als in Ordnung und eine sonstige Verbindung als unterbrochen erkannt werden.

[0049] Weiter kann innerhalb der integrierten Schaltung zu all ihren zu testenden elektrischen Verbindungen nacheinander ein Testsignal von einem einzigen Testsignalgenerator aus zugeführt werden, wobei die Antwortsignale nacheinander empfangen und in einer einzigen Auswerteeinrichtung bewertet werden.

[0050] Schließlich können ein Testcontroller bereitgestellt und die Testergebnisse über diesen gesammelt und über eine Schnittstelle ausgegeben werden.

[0051] Die Erfindung wird nun anhand eines Ausführungsbeispiels einer in ein elektrisches Bauelement integrierten elektrischen Schaltung näher erläutert. Dargestellt wird eine Ausführung mit Testcontroller bei gleichzeitig bestehender Boundary Scan Testarchitektur.

[0052] Die Zeichnungen, auf die Bezug genommen wird, zeigen in

[0053] [Fig. 1](#) ein elektrisches Bauelement mit einer zu testenden elektrischen Verbindung am Beispiel einer sogenannten SMD Verbindung,

[0054] [Fig. 2](#) eine Prinzipskizze zwei Bauelemente und diese verbindende elektrische Verbindung,

[0055] [Fig. 3](#) das Aufbauprinzip einer Testsignalzu-
leitung und einer Auswerteeinrichtung

[0056] [Fig. 4](#) eine modifizierte Boundary Scan Zelle,

[0057] [Fig. 5](#) das Schaltbild einer Auswerteeinrichtung,

[0058] [Fig. 6](#) eine Ausführung der erfindungsgemäßen elektrischen Schaltung mit externem Testcontroller,

[0059] [Fig. 7](#) eine Testsignalbildveränderung für einen Abschlußwiderstand $R = 0$,

[0060] [Fig. 8](#) eine Testsignalbildveränderung für einen angepaßten Abschlußwiderstand,

[0061] [Fig. 9a](#) eine Testsignalbildveränderung für einen Abschlußwiderstand $R = \infty$ und

[0062] [Fig. 9b](#) eine Testsignalbildveränderung für einen Abschlußwiderstand $R = \infty$.

[0063] [Fig. 1](#) zeigt einen Teil eines elektrisches Bauelementes **1** mit integrierter Schaltung **2**. Dargestellt ist eine elektrische Verbindung von der integrierten Schaltung **2** zur Leiterbahn **8**. Die hier beispielhaft gezeigte Verbindung ist eine sogenannte SMD (surface mounted device) Verbindung, bei der die Verbindungen von dem Bauelement **1** zur Leiterplatte **9**, die Pins, ohne durch eine Bohrung in der Leiterplatte **9** geführt zu werden, direkt auf die Leiterplatte **9** gelötet werden. Die elektrische Verbindung besteht, ausgehend von ihrem Endpunkt **3** auf der integrierten Schaltung **2** aus einem Bonddraht **4**, dem Verbindungspunkt **5** des Bonddrahts zum Pin **6**, dem Pin **6** selbst und dem Lötspunkt **7** des Pins **6**. Weiter eingezeichnet sind die anschließende Leiterbahn **8** und die Leiterplatte **9**. Diese führt zur restlichen elektrischen Schaltung, in die das Bauelement eingebaut ist.

[0064] Darunter befindet sich ein Ersatzschaltbild der elektrischen Verbindung. Bei diesem werden Bonddraht **4**, Verbindungspunkt **5**, Pin **6** und Lötspunkt **7** als eigenständige Abschnitte der elektrischen Verbindung angesehen. Jeder Abschnitt kann zur Analyse seines elektrischen Verhalten ersetzt werden durch den auf den Abschnitt entfallenden Ohm'schen Leitungswiderstand ΔR , eine Induktivität ΔL und eine Kapazität ΔC sowie einen Abschlußwiderstand ΔG , den ein Signal in diesem Abschnitt beim Übergang in den nächsten Abschnitt, sofern man das Signal als sich ausbreitende Welle betrachtet. Für die integrierte Schaltung selbst ist ein Innenwiderstand R_{in} angesetzt. Der Lötspunkt **7** auf der Leiterbahn **8** ist ersatzweise als R_{out} angesetzt. Die Abschnitte sind hier zur Verdeutlichung direkt durch Pfeile von der darüber gezeichneten elektrischen SMD Verbindung zugeordnet.

[0065] Die Testeinrichtung ist in die integrierte Schaltung integriert. Die Erzeugung des Testimpulses durch einen Testimpulsgenerator kann zum Beispiel durch einen im Takt gesteuerten Univibrator erfolgen. Alternativ zu dieser kostengünstigen und platzsparenden Lösung sind Tunnelioden geeignet, um noch steilere Flanken zu erzeugen.

[0066] Durch ein Verzögerungsglied kann sichergestellt werden, daß die oben beschriebenen Bedingungen für die Signalanstiegszeit t_r eingehalten wird. t_r soll kleiner als die Signallaufzeit sein. Alternativ kann die Signallaufzeit soweit verzögert werden, daß bei der zur Signalbreite korrespondierenden Wellenlänge λ die scheinbare Länge, über die das Testsignal auf der zu messenden Verbindung läuft, größer als ca. $\lambda/2$ ist. Durch das Verzögerungsglied ist es nicht unbedingt nötig, als Testsignalgenerator eine aufwendige Lösung zu implementieren, die sehr steile Impulsflanken erzeugen kann, sondern eine standardmäßige Lösung ist ausreichend.

[0067] [Fig. 2](#) zeigt zwei Bauelemente **1** mit der hier

beschriebenen Testeinrichtung, zur weiteren Unterscheidung noch mit A, B bezeichnet, und eine skizzierte elektrische Verbindung in Form der Leiterbahn **8** zwischen zwei Anschlüssen der Bauelemente **1**. Jedes der beiden Bauelemente kann nun mit der hier beschriebenen Testeinrichtung selbständig testen, ob die elektrische Verbindung bis einschließlich der Leiterbahn in Ordnung ist. Dies ist durch den kreisförmigen Pfeil in der Zeichnung angedeutet. Er steht für den Weg des Testsignals, das reflektiert zum im Bauelement gelegenen Ende der elektrischen Verbindung zurückläuft.

[0068] Somit ist im Gegensatz zum Stand der Technik, beispielsweise der Testmethode mit Logiktests und Boundary Scan Elementen, kein übergeordneter Vergleich nötig. Eine Aussage über die Verbindungen ist nicht erst möglich, wenn von einem Bauelement Logikbefehle (Testvektoren) an die Pins gelegt werden und das Ergebnis beim anderen Bauelement ausgelesen wird und übergeordnet verglichen wird.

[0069] Nach der hier beschriebenen Ausführungsform kann abhängig von den erwarteten Abschlußwiderständen am anderen Ende der elektrischen Verbindungen, hier von Bauelement A aus gesehen der Eingangswiderstand des Pins von Bauelement B, bereits von dem Bauelement selbst ein Test durchgeführt werden, ohne daß das sonstige logische Verhalten der Schaltung, in die die Bauelemente eingebaut sind, berücksichtigt werden muß.

[0070] [Fig. 3](#) zeigt den weiteren Aufbau der Testeinrichtung in einem Bauelement **1**. Demnach ist es ausreichend, einen Testsignalgenerator **10** und eine Auswerteeinrichtung **11** vorzusehen. Weiter ist ein Multiplexer vorgesehen, der das Testsignal nacheinander auf die einzelnen zu testenden elektrischen Verbindungen, hier die Pins, legt. Dies ist in der Zeichnung durch den Pfeil zu Pin Nr. 1 gezeigt und die nacheinander erfolgende Zuschaltung durch den kreisförmigen gestrichelten Pfeil.

[0071] An jedem Pin, oder dem Beginn der zu testenden elektrischen Verbindung, ist dabei eine Schaltfunktion zu implementieren, die die aktive, gerade zu testende elektrische Verbindung mit dem Testsignalgenerator und der Auswerteeinrichtung verbindet.

[0072] Die Zuleitung des Auswertesignals zur Auswerteeinrichtung erfolgt umgekehrt, indem die Verbindung, an der gerade ein Antwortsignal erwartet wird, ebenso nacheinander mit der Auswerteeinrichtung **11** durch einen Multiplexer verbunden wird.

[0073] [Fig. 4](#) erläutert, wie die Zuleitung des Testsignals zu den Pins erfolgt unter Verwendung der vorhandenen Boundary Scan Testarchitektur. Die Figur zeigt eine Boundary Scan Zelle nach dem JTAG

Standard, die um zwei Treiber **13** und **14** erweitert ist. Zusätzlich ist noch ein Multiplexer **12** vorgesehen für die zuvor beschriebene Selektion des zu testenden Pins. Ist am Eingang ENB, dem Eingang für Testbetriebsart **15**, das Signal für Testbetrieb angelegt, so wird das Testsignal über einen Treiber **13** und den Multiplexer **12** an den Ausgang geleitet. Ist der Testbetrieb nicht eingeschaltet, so wird das Eingangssignal direkt auf Ausgang weitergeleitet. Das Antwortsignal wird am Auswertesignalausgang **16** empfangen. Die Integration in eine vorhandene Testarchitektur bietet den Vorteil, daß beide Tests ausgeführt werden können. Der Mehraufwand hierfür ist relativ gering. Bei Bauelementen mit sehr geringer Pinanzahl scheint jedoch eine Lösung ohne eine gleichzeitige Implementierung von Boundary-Scan-Zellen günstiger.

[0074] **Fig. 5** zeigt das Schaltbild einer hier beispielhaft beschriebenen Ausführung der Auswerteeinrichtung **11**. Diese besteht aus einem Referenzspannungsteiler, der über Widerstände **19** in festen Abstufungen Referenzspannungen vorgibt, die aus der am Referenzspannungseingang **18** anliegenden abgeteilt werden. Diesen nachgeschaltet sind Analogkomparatoren **20**. Die Analogkomparatoren geben ihr Ergebnis in ein nachfolgendes Latch **22**. Mit diesem verbunden ist ein Dekodierer **21** und die eigentliche Bewertungseinheit, bestehend aus einem Register **23** und einem digitalen Komparator **24**.

[0075] Das Auswertesignal wird an den Auswertesignaleingang **17** angelegt. Dieses wird dann mit allen durch den Referenzspannungsteiler durch die Widerstände **19** vorgegebenen Werten verglichen. Überschreitet das Auswertesignal den Wert einer bestimmten Stufe, gibt der jeweilige Analogkomparator **20** ein Signal an das nachfolgende Latch **22**.

[0076] Die „Abtastung“ selbst erfolgt über eine Tor-schaltung, die zwischen den Werten t_1 und t_2 das Antwortsignal erfaßt. Soweit elektrische Verbindungsleitungen in einfachen Schaltungen zu testen sind, bei denen nicht mehrfache Reflexionen zu erwarten sind, wird es ausreichend sein, das Zeittor zwischen t_1 und t_2 so zu wählen, daß t_1 der Startzeit des Testsignals und t_2 einem Wert $t_1 + 2\tau + t$ mit τ als erwarteter Laufzeit eines Signals über die zu testende elektrische Verbindung in einfacher Richtung und t als Sicherheitszuschlag entspricht. In diesem Fall wird das reflektierte Signal in jedem Fall erfaßt.

[0077] Der Dekodierer **21** wandelt die Information in ein Datenwort, hier mit 8 Bit Breite um. Notwendig ist demnach bei einer Datenwortbreite des Dekodierers von 8 Bit ein Vergleich mit 255 abgeteilten Referenzwerten.

[0078] Das Ergebnis wird in ein Register **23** geschrieben und anschließend in einem digitalen Kom-

parator **24** mit dem erwarteten Wert verglichen. Um eine Toleranz zuzulassen, sind eine geeignete Anzahl letzter Bits nicht zu berücksichtigen, da aufgrund der zuvor beschriebenen mehrfachen Umsetzung des Antwortsignals eine genaue Übereinstimmung ausgeschlossen sein dürfte. Im beschriebenen Ausführungsbeispiel sind drei Bits vernachlässigt.

[0079] Im Gegensatz zu üblichen A/D Wandlern wird das Antwortsignal zuerst quantisiert. Bei jedem überschrittenen Wert der in Stufen vorliegenden Referenzspannung wird die entsprechende Speicherzelle des nachgeschalteten Latch gesetzt. Es liegt ein sogenannter Thermometercode vor, wobei jedem der durch die abgeteilte Referenzspannung vorgegebenen Werte ein Wert "1" zugewiesen wird, wenn der Wert überschritten wird. Das Latch speichert folglich den höchsten erreichten Wert, den Maximalwert, des Antwortsignals, indem in einer Reihe bis zu der Position, die dem auch nur einmal kurzzeitig erreichten Maximalwert des Antwortsignals entspricht, der Wert "1" steht. Der Vorteil einer solchen parallelen Quantisierung ist die hohe Prozeßgeschwindigkeit.

[0080] **Fig. 6** zeigt eine Ausführung mit externem Testcontroller bei vorhandener Boundary-Scan Testarchitektur. Bauelemente **1**, hier sind beispielhaft drei eingezeichnet, mit jeweils einer Testeinrichtung der bisher beschriebenen Art sind mit einem Testcontroller **25** verbunden, der über eine Datenleitung die Ergebnisse der auf jedem Bauelement **1** integrierten Testeinrichtung abrufen. Der Controller besitzt eine Schnittstelle **26** zur Ausgabe der Daten außerhalb der elektrischen Schaltung. Dabei ist vorteilhafterweise bei einer vorhandenen Testarchitektur nach der Boundary Scan Methode der vorhandene TAP-Testcontroller, der die Testergebnisse des Boundary Scan Tests ausgibt, zu verwenden, indem er entsprechend erweitert wird und hierzu sein Steuerbefehlssatz um einen Befehl erweitert wird zur Ausgabe der Testergebnisse der hier beschriebenen Testeinrichtung.

[0081] Es ist alternativ denkbar, den Testcontroller in eines oder mehrere der Bauelemente **1** zu integrieren.

[0082] Die in der Figur gezeigte Ausführung hat den Vorteil, daß man per Datenabruf von Außen die Testergebnisse abfragen kann.

[0083] Es ist somit möglich, bei digitalen Schaltungen, die an eine Datenübertragungsleitung angeschlossen sind oder mit einer solchen verbunden werden können, wie dies bei Telefonvermittlungsanlagen zum Beispiel der Fall ist, eine Ferndiagnose zu stellen, ob ein Fehler in einer Verbindung auf der Schaltung vorliegt oder im Umkehrschluß ein Bauelementfehler wahrscheinlicher ist.

[0084] Anhand von [Fig. 7](#) bis [Fig. 9b](#) wird die vorteilhafte Möglichkeit erläutert, sich auf den Test weniger typischer Fehler zu beschränken um eine einfache Testauswertung zu erhalten. Die Figuren zeigen das Ergebnis jeweiliger Simulationsrechnungen. Als Modell für die elektrische Verbindung wurde das Ersatzschaltbild, wie in [Fig. 1](#) dargestellt gewählt.

[0085] Jedoch wurde weiter vereinfacht, indem keine Unterteilung in Abschnitte vorgenommen wurde. Entscheidend für das Signalbild ist überwiegend der Abschlußwiderstand am Ende der elektrischen Verbindung. Wird die Simulation weiter verfeinert, so kommt es zu weiteren Reflexionen an den Übergangswiderständen der Abschnitte, jedoch sind diese in der hier gewählten Vereinfachung vernachlässigbar, da der Abschlußwiderstand am Ende der zu testenden Verbindung den größten Effekt bewirkt. Natürlich sind die idealen berechneten, Signalbilder bei realer Messung so nicht erreichbar. Aber bei genügend großer Wahl der Meßtoleranz läßt sich das Ergebnis übertragen.

[0086] [Fig. 7](#) zeigt die Testsignalbildveränderung für einen Abschlußwiderstand $R = 0$, entsprechend dem Fall $P \approx -1$. Der Rechtswert ist die Strecke der zu testenden elektrischen Verbindung. Der linke Rand entspricht dem Ausgangspunkt, an dem Testsignalgenerator und Auswerteeinrichtung liegen. Der Rechte Rand entspricht dem Ort, an dem die Reflexion erfolgt, der Stelle des Abschlußwiderstandes. Das Testsignal läuft von links nach Rechts und zurück. Eingezeichnet ist das Testsignal **27** kurz nach dem Start des Tests, das Testsignal **28** kurz nach der Reflexion und das Antwortsignal **29**. Dies ist das Verhalten einer elektrischen Verbindung zur Masse im Gutfall und bei einer fehlerhaften Verbindung wird diese als kurzgeschlossen zur Masse erkannt.

[0087] [Fig. 8](#) zeigt die Testsignalbildveränderung für einen angepaßten Abschlußwiderstand. Dies entspricht dem Fall $P \approx 0$. Dargestellt ist das Testsignal **27** nach Testbeginn und das Testsignal **30** am Ende der zu testenden elektrischen Verbindung. Hier entspricht der Wellenwiderstand dem Abschlußwiderstand, es kommt zu keiner Reflexion. Eine elektrische Verbindung zu einem anderen Bauelement mit angepaßtem Eingangswiderstand wird als in Ordnung und eine fehlerhafte Verbindung zu einem Bauelement mit hochohmigem Eingang als kurzgeschlossen zu einer anderen elektrischen Verbindung erkannt.

[0088] Die [Fig. 9a](#) und [Fig. 9b](#) zeigen die Testsignalbildveränderung für einen Abschlußwiderstand $R = \infty$. Das Testsignal **27** nach Testbeginn und das Testsignal **28** kurz nach der Reflexion am Ende der zu testenden elektrischen Verbindung zeigt [Fig. 9a](#). Das Antwortsignal **29** zeigt [Fig. 9b](#). In diesem Fall ist der Abschlußwiderstand sehr groß gegenüber dem Wellenwiderstand ($R \rightarrow \infty$). Dies entspricht als Fehler ei-

ner fehlenden Verbindung (fehlender Kontakt) und für den erwarteten Gutfall einem offenen Anschluß.

[0089] Der Test anhand dieser drei Werte des Reflexionskoeffizienten ermöglicht einen Test ohne zuvor die genauen Werte des Gutfalls berechnen zu müssen, wie es für andere Zwischenwerte des Reflexionskoeffizienten nötig wäre. Dabei muß lediglich eine relativ große Toleranz zugelassen werden. Die Fehlerkategorisierung ist für diese Werte recht eindeutig. Es kann folglich aus einer Bestimmung der an den Pins in einem definierten Zustand anliegenden Widerständen ein Testprogramm für das Bauelement entwickelt werden, ohne die Schaltung insgesamt einer Messung oder Berechnung erwarteter Werte zu unterziehen.

[0090] Weiter kann vorteilhaft zusätzlich zum bekannten Boundary Scan Testverfahren eine erfindungsgemäße Testeinrichtung auf einer elektrischen Schaltung integriert werden, die speziell die Verbindungen testet. Diese können mit der erfindungsgemäßen Testeinrichtung auch während der Lebensdauer der digitalen Schaltung getestet werden im Gegensatz zum Produktionstestverfahren nach der Boundary Scan Methode.

Patentansprüche

1. Integrierte Schaltung mit einer Testeinrichtung zum Testen der Güte elektrischer Verbindungen der integrierten Schaltung, mit

- einem Testsignalgenerator (**10**) zum Erzeugen eines Testsignals und Zuführen des erzeugten Testsignals zu einer zu testenden elektrischen Verbindung
- einer Auswerteeinrichtung (**11**) zum Empfang eines Antwortsignals auf ein zugeführtes Testsignal von der zu testenden Verbindung, wobei die Auswerteeinrichtung die Laufzeit zwischen Testsignal und Antwortsignal aufnimmt, den Maximalwert des Antwortsignals mit einem erwarteten Wert vergleicht und die Güte der getesteten elektrischen Verbindung auf der Basis der Laufzeit und des Vergleichs des Maximalwerts bewertet.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Testsignalgenerator (**10**) das Testsignal an demselben Ende (**3**) der zu testenden elektrischen Verbindung zuführt, an dem die Auswerteeinrichtung (**11**) das Antwortsignal empfängt.

3. Integrierte Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Testsignalgenerator (**10**) ein Testsignal mit einer Signalbreite t_{ab} erzeugt, so daß bei der zugehörigen Wellenlänge λ die Länge, über die das Testsignal auf der zu messende Verbindung läuft, größer als ca. $\lambda/2$ ist.

4. Integrierte Schaltung nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß zwischen Testsignalgenerator (10) und zu testender Verbindung ein Verzögerungsglied geschaltet ist, welches bei einem von dem Testsignalgenerator (10) erzeugten Testsignal mit einer Signalbreite t_{ab} die Laufzeit des Testsignals über die zu testende elektrische Verbindung so verlängert, daß bei der zugehörigen Wellenlänge λ die scheinbare Länge, über die das Testsignal auf der zu messende Verbindung läuft, größer als ca. $\lambda/2$ ist.

5. Integrierte Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Testsignalgenerator (10) ein Testsignal mit einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von 10% seines Wertes auf 90% seines Wertes ansteigt, erzeugt, so daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung größer als ca. t_r ist.

6. Integrierte Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zwischen dem Testsignalgenerator (10) und der zu testenden Verbindung ein Verzögerungsglied geschaltet ist, welches bei einem von dem Testsignalgenerator (10) erzeugten Testsignal mit einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von 10% seines Wertes auf 90% seines Wertes ansteigt, die Laufzeit des Testsignals über die zu testende elektrische Verbindung auf mehr als t_r verlängert.

7. Integrierte Schaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Auswerteeinrichtung (11) einen Maximalwert des Antwortsignals bestimmt und prüft, ob der Maximalwert des Antwortsignals innerhalb einer Zeitspanne t_1 bis t_2 liegt.

8. Integrierte Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß die Auswerteeinrichtung (11) zur Bestimmung des Maximalwertes das Antwortsignal (29) analog mit Referenzspannungen vergleicht und für jede überschrittene Referenzspannung einen Wert in einem Latch (22) speichert und sodann diese Werte in einem Decoder (21) in ein Datenwort bestimmter Breite umsetzt.

9. Integrierte Schaltung nach einem der Ansprüche 7 bis 8, dadurch gekennzeichnet, daß der Testsignalgenerator (10) das Testsignal an demselben Ende (3) der zu testenden elektrischen Verbindung zuführt, an dem die Auswerteeinrichtung (11) das Antwortsignal empfängt, und die Auswerteeinrichtung (11) den Maximalwert des Antwortsignals mit einem erwarteten Wert unter Zulassung einer Toleranz vergleicht und dadurch die Güte der elektrischen Verbindung bewertet.

10. Integrierte Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß die Auswerteeinrichtung (11) den Maximalwert des Antwortsignals mit dem negativen Maximalwert des Testsignals als erwarteten

Wert vergleicht und dadurch eine elektrische Verbindung zur Masse als in Ordnung und eine fehlerhafte Verbindung als kurzgeschlossen zur Masse erkennt.

11. Integrierte Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß die Auswerteeinrichtung (11) den Maximalwert des Antwortsignals mit Null vergleicht und dadurch eine elektrische Verbindung zu einem anderen Bauelement mit angepaßtem Eingangswiderstand als in Ordnung und eine fehlerhafte Verbindung zu einem Bauelement mit hochohmigem Eingang als kurzgeschlossen zu einer anderen elektrischen Verbindung erkennt.

12. Integrierte Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß die Auswerteeinrichtung (11) den Maximalwert des Antwortsignals mit dem positiven Maximalwert des Testsignals als erwarteten Wert vergleicht und dadurch eine elektrische Verbindung zu einem offenen Anschluß als in Ordnung und eine fehlerhafte Verbindung als unterbrochen erkennt.

13. Integrierte Schaltung nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß ein Testcontroller (25) die Testergebnisse sammelt und über eine Schnittstelle ausgibt.

14. Integrierter Schaltung nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß alle Anschlüsse der integrierten Schaltung sternförmig mit einem einzigen Testsignalgenerator (10) verbunden sind zum aufeinanderfolgenden Zuführen eines Testsignals zu den Anschlüssen und ebenso sternförmig alle Anschlüsse mit einer einzigen Auswerteeinrichtung (11) verbunden sind zum aufeinanderfolgenden Empfang der Antwortsignale.

15. Integrierte Schaltung nach Anspruch 14, dadurch gekennzeichnet, daß vorhandene Boundary Scan Zellen nach JTAG das Testsignal zu den zu testenden Verbindungen führen, wobei die Boundary Scan Zellen erweitert sind um zwei Treiber.

16. Integrierte Schaltung nach Anspruch 15, dadurch gekennzeichnet, daß der bei einer Testarchitektur nach der Boundary Scan Methode vorhandene Testcontroller (25) die Testergebnisse sammelt und über eine Schnittstelle ausgibt und der Steuerbefehlssatz des Testcontrollers um einen Befehl zur Ausgabe der Testergebnisse erweitert ist.

17. Verfahren zum Testen der Güte elektrischer Verbindungen einer integrierten Schaltungen, mit den Schritten:

- Erzeugen eines definierten Testsignals,
- Zuführen des erzeugten Testsignals zu einer zu testenden elektrischen Verbindung (2),
- Empfangen eines Antwortsignals auf ein zugeführ-

tes Testsignal von der zu testenden Verbindung,
 – Bestimmen der Laufzeit zwischen Testsignal und Antwortsignal, und
 – Vergleichen des Maximalwertes des Antwortsignals mit einem erwarteten Wert,
 – Bewerten der Güte der elektrischen Verbindung auf der Basis der Laufzeit und des Vergleichs des Maximalwertes.

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, daß das Testsignal an demselben Ende der zu testenden elektrischen Verbindung zugeführt wird, an dem das Antwortsignal empfangen wird.

19. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, daß ein Testsignal mit einer Signalbreite t_{ab} verwendet wird, so daß bei der zugehörigen Wellenlänge λ die Länge, über die das Testsignal auf der zu messende Verbindung läuft, größer als ca. $\lambda/2$ ist.

20. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung so verlängert wird, daß bei der zugehörigen Wellenlänge λ die scheinbare Länge, über die das Testsignal auf der zu messenden Verbindung läuft, größer als ca. $\lambda/2$ ist.

21. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, daß ein Testsignal mit einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von ca. 10% seines Wertes auf ca. 90% seines Wertes ansteigt, verwendet wird, so daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung größer als ca. t_r ist.

22. Verfahren nach Anspruch 17 oder 18, dadurch gekennzeichnet, daß die Laufzeit des Testsignals über die zu testende elektrische Verbindung so verlängert wird, daß bei einer Signalanstiegszeit t_r , definiert als Zeitraum in dem der Signalwert von ca. 10% seines Wertes auf ca. 90% seines Wertes ansteigt, die Laufzeit mehr als t_r beträgt.

23. Verfahren nach einem der Ansprüche 17 bis 22, dadurch gekennzeichnet, daß ein Maximalwert des Antwortsignals bestimmt und geprüft wird, ob der Maximalwert des Antwortsignals innerhalb einer Zeitspanne t_1 bis t_2 liegt.

24. Verfahren nach Anspruch 23, dadurch gekennzeichnet, daß zur Bestimmung des Maximalwertes das Antwortsignal (**29**) analog mit Referenzspannungen verglichen und für jede überschrittene Referenzspannung ein Wert in einem Latch (**22**) gespeichert und sodann diese Werte in einem Decoder (**21**) in ein Datenwort bestimmter Breite umgesetzt werden.

25. Verfahren nach einem der Ansprüche 23 bis 24, dadurch gekennzeichnet, daß das Testsignal an demselben Ende der zu testenden elektrischen Verbindung zugeführt wird, an dem das Antwortsignal empfangen wird, und der Maximalwert des Antwortsignals mit einem erwarteten Wert unter Zulassung einer Toleranz verglichen und dadurch die Güte der elektrischen Verbindung bewertet wird.

26. Verfahren nach Anspruch 25, dadurch gekennzeichnet, daß der Maximalwert des Antwortsignals mit dem negativen Maximalwert des Testsignals als erwarteten Wert verglichen wird und dadurch eine elektrische Verbindung zur Masse als in Ordnung und eine fehlerhafte Verbindung als kurzgeschlossen zur Masse erkannt wird.

27. Verfahren nach Anspruch 25, dadurch gekennzeichnet, daß der Maximalwert des Antwortsignals mit Null verglichen und dadurch eine elektrische Verbindung zu einem anderen Bauelement mit angepaßtem Eingangswiderstand als in Ordnung und eine fehlerhafte Verbindung zu einem Bauelement mit hochohmigem Eingang als kurzgeschlossen zu einer anderen elektrischen Verbindung erkannt wird.

28. Verfahren nach Anspruch 25, dadurch gekennzeichnet, daß der Maximalwert des Antwortsignals mit dem positiven Maximalwert des Testsignals als erwarteten Wert verglichen und dadurch eine elektrische Verbindung zu einem offenen Anschluß als in Ordnung und eine fehlerhafte Verbindung als unterbrochen erkannt wird.

29. Verfahren nach einem der Ansprüche 17 bis 28, dadurch gekennzeichnet, daß innerhalb der integrierten Schaltung zu all ihren zu testenden elektrischen Verbindungen nacheinander ein Testsignal von einem einzigen Testsignalgenerator (**10**) aus zugeführt wird und die Antwortsignale nacheinander empfangen werden und in einer einzigen Auswerteeinrichtung (**11**) bewertet werden.

30. Verfahren nach einem der Ansprüche 17 bis 28, dadurch gekennzeichnet, daß ein Testcontroller bereitgestellt wird und die Testergebnisse über diesen gesammelt und über eine Schnittstelle ausgegeben werden.

Es folgen 5 Blatt Zeichnungen

FIG 1

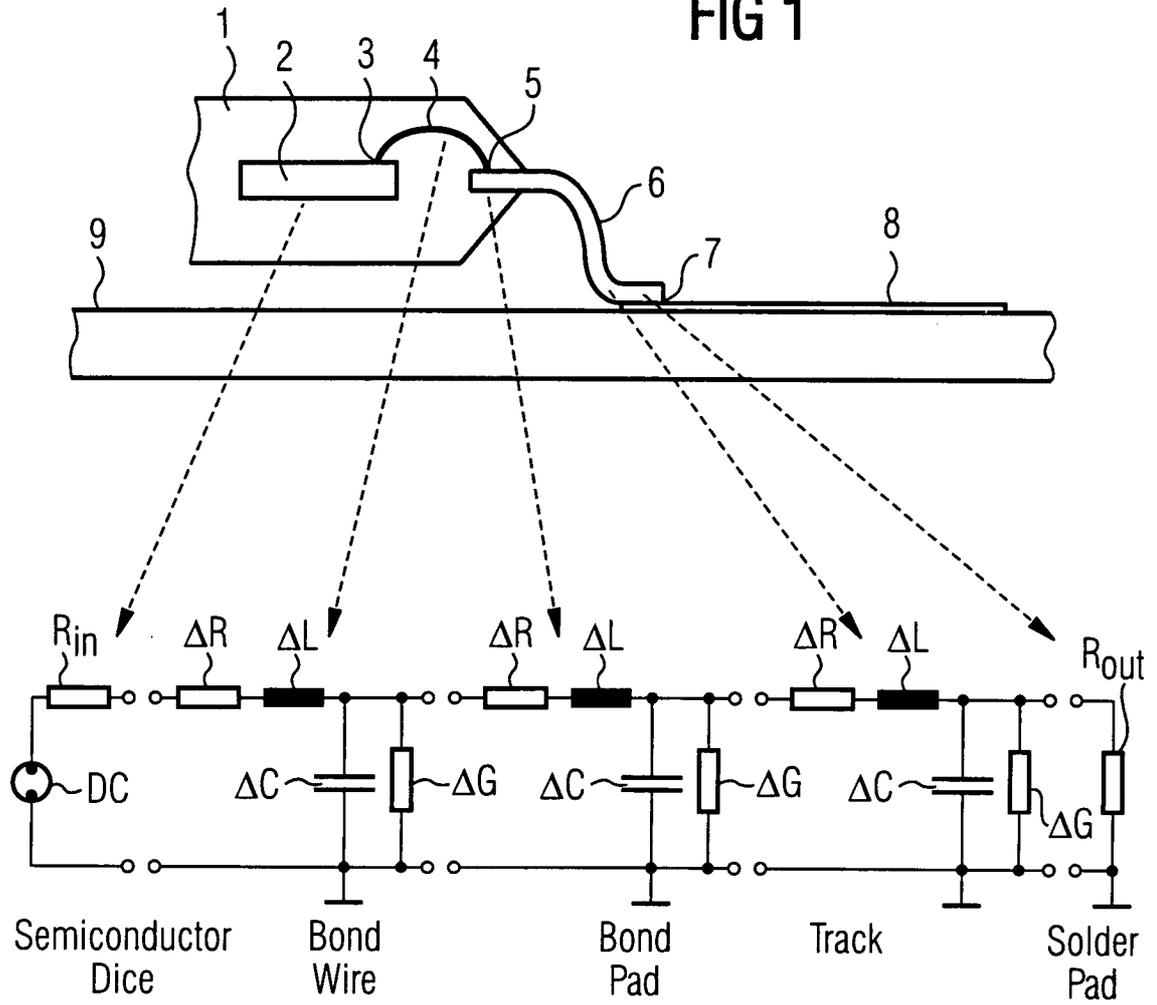


FIG 2

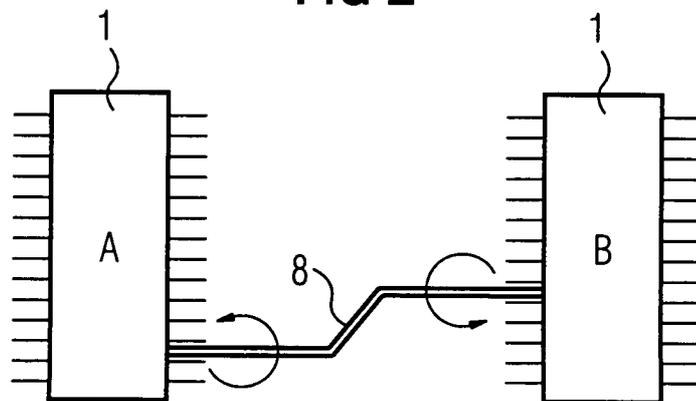


FIG 3

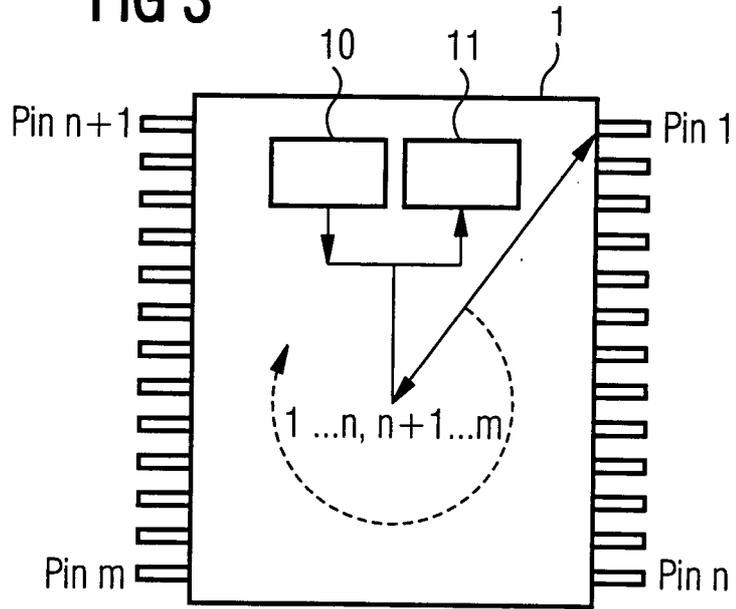


FIG 4

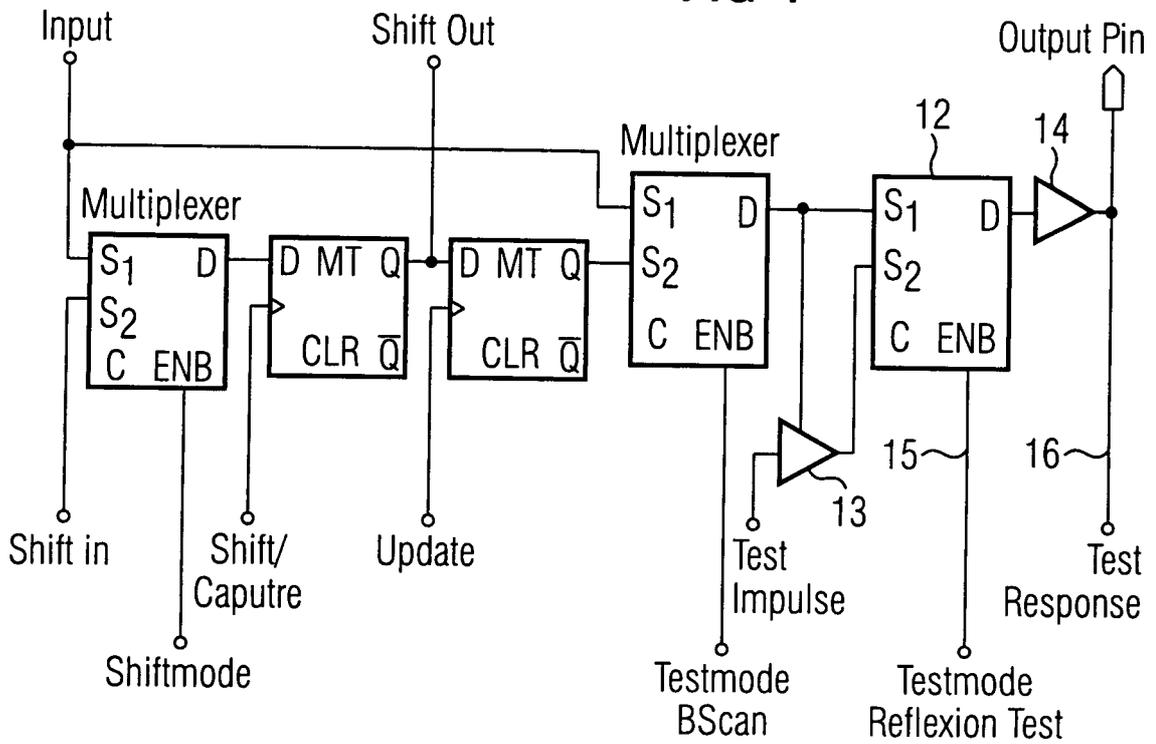
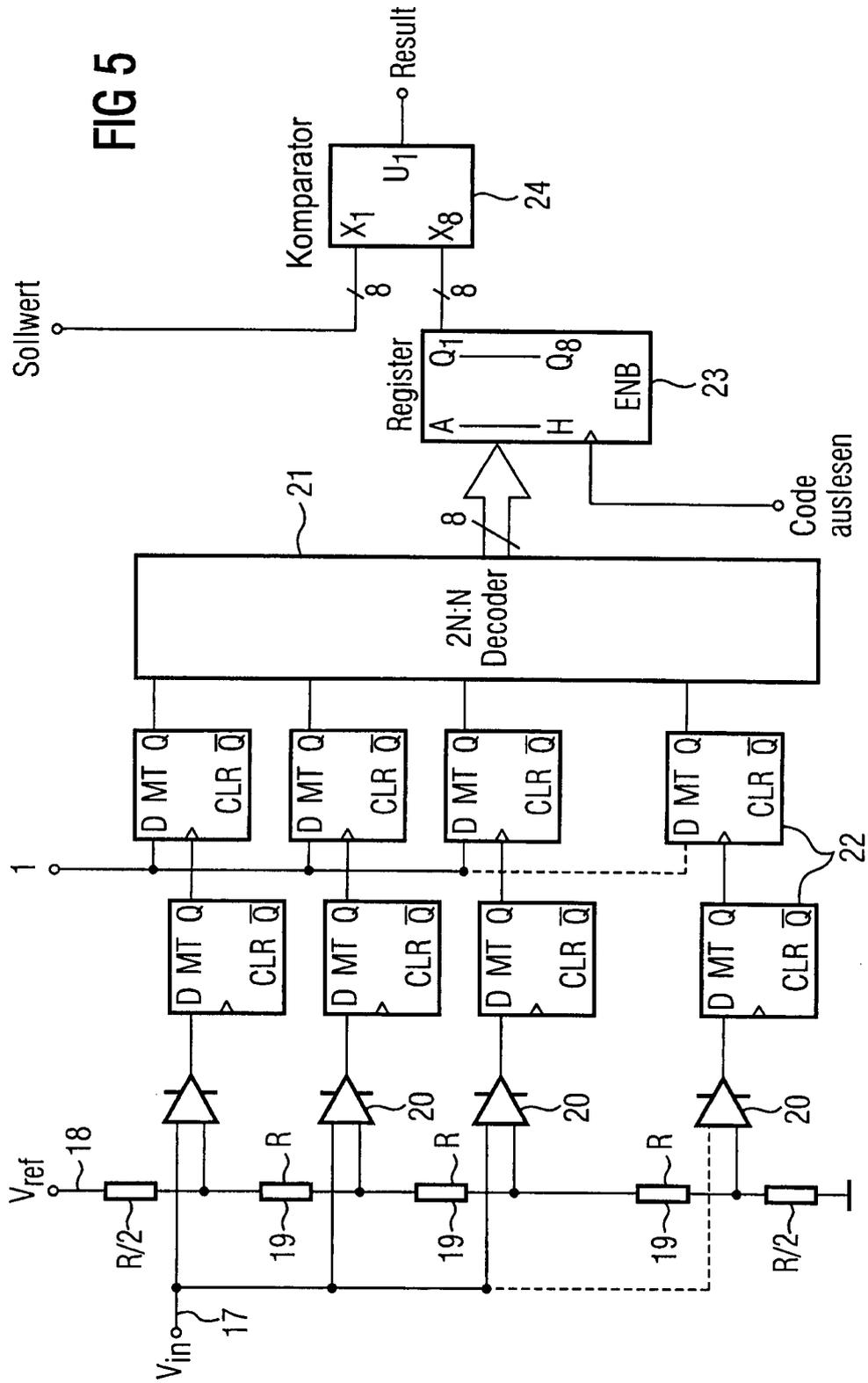


FIG 5



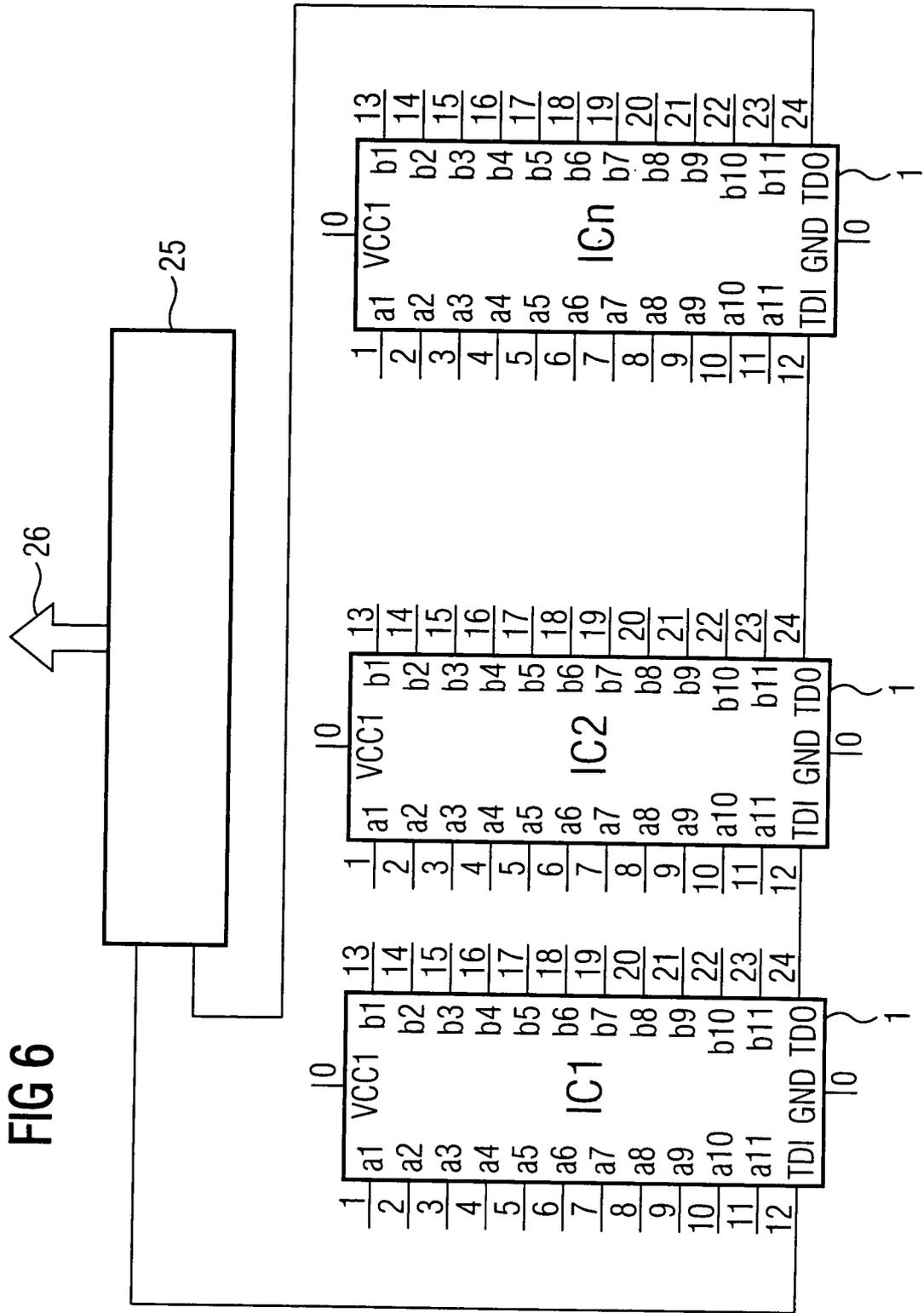


FIG 7

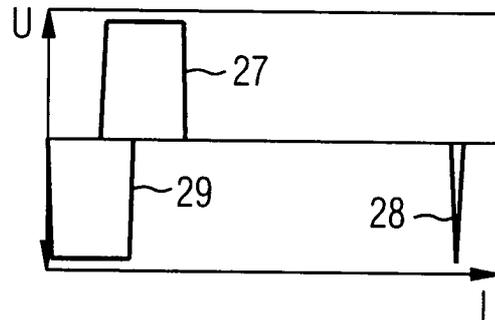


FIG 8

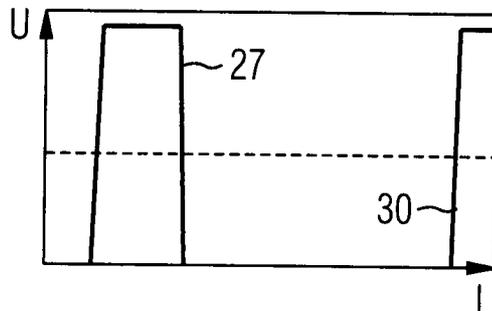


FIG 9A

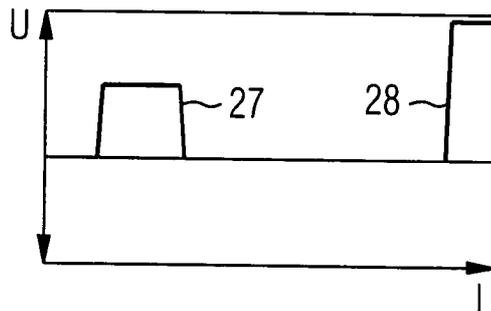


FIG 9B

