



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2015-0131116  
(43) 공개일자 2015년11월24일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H02M 1/08 (2006.01) H02M 1/00 (2007.01)<br/>H02M 3/155 (2006.01) H02M 3/158 (2006.01)</p> <p>(52) CPC특허분류<br/>H02M 1/08 (2013.01)<br/>H02M 3/155 (2013.01)</p> <p>(21) 출원번호 10-2015-7028045</p> <p>(22) 출원일자(국제) 2014년03월13일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2015년10월07일</p> <p>(86) 국제출원번호 PCT/US2014/025485</p> <p>(87) 국제공개번호 WO 2014/159935<br/>국제공개일자 2014년10월02일</p> <p>(30) 우선권주장<br/>13/828,044 2013년03월14일 미국(US)</p> | <p>(71) 출원인<br/>켈컴 인코포레이티드<br/>미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775</p> <p>(72) 발명자<br/>곤클라브스, 리카르도 티.<br/>미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775<br/>스토크스타드, 트로이<br/>미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775<br/>루트코브스키, 조셉 디.<br/>미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775</p> <p>(74) 대리인<br/>특허법인 남앤드남</p> |
|---|--|

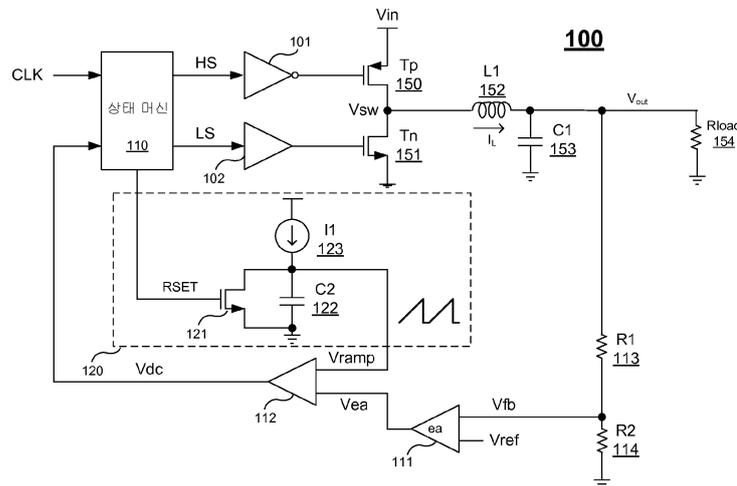
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 스위칭 레귤레이터들에서 100 퍼센트 듀티 사이클을 위한 시스템들 및 방법

(57) 요약

본 개시물은 스위칭 레귤레이터들에서 100% 듀티 사이클을 위한 시스템들 및 방법을 포함한다. 스위칭 레귤레이터 회로는, 기간을 갖는 램프 신호를 생성하기 위한 램프 발생기 및 램프 신호와 에러 신호를 수신하고, 램프 신호와 에러 신호를 수신함에 따라서 변조 신호를 생성하기 위한 비교기를 포함한다. 제 1 동작 모드에서, 램프 신호는 에러 신호와 교차하도록 증가하고, 램프 신호가 증가함에 따라서, 램프 신호의 각각의 기간 동안 스위칭 트랜지스터의 상태가 변경된다. 제 2 동작 모드에서, 에러 신호는 램프 신호의 최대값을 초과하여 증가하고, 에러 신호가 증가함에 따라서, 스위칭 트랜지스터는 램프 신호의 하나 이상의 전체 기간들 동안 턴 온된다.

대표도 - 도1



(52) CPC특허분류

**H02M 3/158** (2013.01)

H02M 2001/0003 (2013.01)

H02M 2001/0045 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

스위칭 레귤레이터 회로로서,

입력 전압을 수신하기 위한 입력 단자와 출력 노드에 결합된 출력 단자를 갖는 제 1 스위칭 트랜지스터;

기간을 갖는 램프 신호를 생성하기 위한 램프 발생기; 및

상기 램프 신호와 에러 신호를 수신하고, 상기 램프 신호와 에러 신호를 수신함에 따라서, 변조 신호를 생성하기 위한 비교기를

포함하고,

제 1 동작 모드에서, 상기 램프 신호는 상기 에러 신호와 교차하도록 증가하고, 상기 램프 신호의 증가에 따라서, 상기 램프 신호의 각각의 기간 동안 상기 제 1 스위칭 트랜지스터의 상태가 변경되고, 제 2 동작 모드에서, 상기 에러 신호가 상기 램프 신호의 최대값을 초과하여 증가하고, 상기 에러 신호가 증가함에 따라서, 스위칭 트랜지스터가 상기 램프 신호의 하나 이상의 전체 기간들 동안 턴 온되는, 스위칭 레귤레이터 회로.

#### 청구항 2

제 1 항에 있어서,

상기 에러 신호는 상기 출력 노드로부터 피드백 전압을 수신하기 위해 결합된 제 1 입력과 기준 전압에 결합된 제 2 입력을 갖는 에러 증폭기에 의해 발생하는, 스위칭 레귤레이터 회로.

#### 청구항 3

제 1 항에 있어서,

상기 램프 발생기는,

전류원;

상기 전류원에 결합된 단자를 갖는 커패시터; 및

스위치를 포함하고,

상기 전류원의 크기는 상기 램프 신호의 상기 최대값을 상기 에러 신호의 최대값보다 더 낮게 설정하도록 구성되는, 스위칭 레귤레이터 회로.

#### 청구항 4

제 1 항에 있어서,

상기 램프 발생기는 리셋 신호를 수신하고,

상기 리셋 신호가 제 1 상태에 있는 경우, 상기 램프 신호는 상수값을 갖고,

상기 리셋 신호가 제 2 상태에 있는 경우, 상기 램프 신호는 상기 최대값까지 증가하고,

상기 리셋 신호의 상기 제 2 상태의 시간 기간은 상기 램프 신호의 상기 최대값을 상기 에러 신호의 최대값보다 더 낮아지게 설정하도록 구성되는, 스위칭 레귤레이터 회로.

#### 청구항 5

제 4 항에 있어서,

클록 신호를 수신하고 상기 리셋 신호를 생성하기 위한 분할 회로를 더 포함하고, 상기 클록 신호는 상기 램프

신호의 기간을 세팅하는, 스위칭 레귤레이터 회로.

**청구항 6**

제 1 항에 있어서,

상기 램프 발생기는, 상기 스위칭 레귤레이터의 전류를 감지하고 상기 램프 신호의 오프셋을 생성하기 위한 전류 피드백 회로를 더 포함하고, 상기 램프 신호의 상기 최대값은 상기 에러 신호의 최대값보다 더 낮은, 스위칭 레귤레이터 회로.

**청구항 7**

제 6 항에 있어서,

상기 램프 발생기는,

전류원;

상기 전류원에 결합된 단자를 갖는 커패시터;

스위치; 및

리셋 신호를 수신하도록 결합된 제 1 입력과 상기 변조 신호를 수신하도록 결합된 제 2 입력을 갖는 OR 게이트를 포함하고,

상기 리셋 신호가 제 1 상태에 있는 경우 상기 램프 신호는 상수값을 갖고,

상기 리셋 신호가 제 2 상태에 있는 경우 상기 램프 신호는 상기 최대값까지 증가하고;

상기 전류원의 크기와 상기 오프셋은 상기 최대값을 상기 에러 신호의 최대값보다 낮게 설정하도록 구성되는, 스위칭 레귤레이터 회로.

**청구항 8**

방법으로서,

제 1 스위칭 트랜지스터의 입력 단자 상에서 입력 전압을 수신하는 단계 -상기 스위칭 트랜지스터는 출력 노드에 결합된 출력 단자를 구비함-;

기간을 갖는 램프 신호를 발생시키는 단계; 및

변조 신호를 생성하기 위해서 상기 램프 신호와 에러 신호를 비교하는 단계를 포함하고,

제 1 동작 모드에서, 상기 램프 신호는 상기 에러 신호와 교차하도록 증가하고, 상기 램프 신호가 증가함에 따라, 상기 램프 신호의 각각의 기간 동안 상기 제 1 스위칭 트랜지스터의 상태가 변경되고, 제 2 동작 모드에서, 상기 에러 신호는 상기 램프 신호의 최대값을 초과하여 증가하고, 상기 에러 신호가 증가함에 따라, 상기 스위칭 트랜지스터가 상기 램프 신호의 하나 이상의 전체 기간들 동안 턴 온되는, 방법.

**청구항 9**

제 8 항에 있어서,

상기 에러 신호는 상기 출력 노드로부터의 피드백 전압 및 기준 전압에 기초하여 발생하는, 방법.

**청구항 10**

제 8 항에 있어서,

상기 램프 신호를 발생시키는 단계는,

전류를 커패시터로 발생시키는 단계; 및

제 1 신호에 응답하여 상기 커패시터를 방전시키는 단계를 포함하고,

상기 전류의 크기는 상기 램프 신호의 상기 최대값을 상기 에러 신호의 최대값보다 더 낮게 설정하도록 구성되

는, 방법.

**청구항 11**

제 8 항에 있어서,

상기 램프 신호를 발생시키는 단계는,

리셋 신호를 수신하는 단계를 포함하고,

상기 리셋 신호가 제 1 상태에 있는 경우, 상기 램프 신호는 상수값을 갖고,

상기 리셋 신호가 제 2 상태에 있는 경우, 상기 램프 신호는 상기 최대값으로 증가하고,

상기 리셋 신호의 상기 제 2 상태의 시간 기간은 상기 램프 신호의 상기 최대값을 상기 에러 신호의 최대값보다 더 낮아지게 설정하도록 구성되는, 방법.

**청구항 12**

제 11 항에 있어서,

클록 신호를 분할하고 상기 리셋 신호를 생성하는 단계를 더 포함하고, 상기 클록 신호는 상기 램프 신호의 기간을 세팅하는, 방법.

**청구항 13**

제 8 항에 있어서,

상기 스위칭 레귤레이터의 전류를 감지하는 단계; 및

상기 감지된 전류에 기초하여 상기 램프 신호에서 오프셋을 생성하는 단계를 더 포함하고,

상기 램프 신호의 상기 최대값은 상기 에러 신호의 최대값보다 더 낮은, 방법.

**청구항 14**

제 13 항에 있어서,

상기 램프 신호를 발생시키는 단계는,

전류를 커패시터로 발생시키는 단계; 및

상기 변조 신호 및 리셋 신호의 논리 OR에 응답하여 상기 커패시터를 방전시키는 단계를 포함하고,

상기 리셋 신호가 제 1 상태에 있는 경우 상기 램프 신호는 상수값을 갖고,

상기 리셋 신호 및 변조 신호 둘 모두가 제 2 상태에 있는 경우 상기 램프 신호는 상기 최대값까지 증가하고;

전류원의 크기와 상기 오프셋은 상기 램프 신호의 상기 최대값을 상기 에러 신호의 최대값보다 낮게 설정하도록 구성되는, 방법.

**청구항 15**

스위칭 레귤레이터 회로로서,

입력 전압을 수신하기 위한 입력 단자 및 출력 노드에 결합된 출력 단자를 갖는 제 1 스위칭 트랜지스터;

램프 신호를 발생시키기 위한 수단 -상기 램프 신호는 기간을 가짐-; 및

변조 신호를 생성하기 위해서 상기 램프 신호 및 에러 신호를 비교하기 위한 수단을 포함하고,

제 1 동작 모드에서, 상기 램프 신호는 상기 에러 신호와 교차하도록 증가하고, 상기 램프 신호가 증가함에 따라서, 상기 램프 신호의 각각의 기간 동안 상기 제 1 스위칭 트랜지스터의 상태가 변경되고, 제 2 동작 모드에서, 상기 에러 신호는 상기 램프 신호의 최대값을 초과하여 증가하고, 상기 에러 신호가 증가함에 따라서, 상기 스위칭 트랜지스터가 상기 램프 신호의 하나 이상의 전체 기간들 동안 턴 온되는, 스위칭 레귤레이터 회로.

**발명의 설명**

**기술 분야**

- [0001] 관련 출원의 상호 참조
- [0002] [0001]본 게시물은, 2013년 3월 14일에 출원된 미국 정규 출원 제13/828,044호를 우선권으로 주장하고, 상기 출원의 내용은 그 전체가 모든 목적들을 위해 인용에 의해 본원에 포함된다.

**배경 기술**

- [0003] [0002]본 발명은 스위칭 레귤레이터들에 관한 것으로, 특히, 스위칭 레귤레이터들에서 100% 듀티 사이클을 위한 시스템들 및 방법들에 관한 것이다.
- [0004] [0003]스위칭 레귤레이터는 다양한 전자 애플리케이션에 사용된다. 스위칭 레귤레이터의 하나의 공통 애플리케이션은, 조정된 전압을 하나 이상의 집적 회로들(IC들)에 공급하는 전원 전압을 발생시키는 것이다. 일 예시적인 스위칭 레귤레이터는 벡(buck) 레귤레이터이다. 벡 레귤레이터에서, 전원은 입력 전압과 입력 전류를 제공한다. 전원은, 흔히 스위칭 트랜지스터(예를 들면, PMOS 트랜지스터)인 스위치의 하나의 단자에 결합된다. 스위치의 다른 단자는 필터를 통해 부하에 결합된다. 벡 컨버터에서, 출력 전압은 입력 전압보다 더 낮다. 이것은 통상적으로 다음 식에 따라 듀티 사이클에서 스위치를 개방하고 폐쇄함으로써 달성된다
- [0005]  $듀티\ 사이클 = V_{out} / V_{in}$
- [0006] 벡 스위칭 레귤레이터들은 통상적으로 스위치에 대해 100% 미만의 최대 듀티 사이클 제한을 갖는다. 이러한 제한은, 전류 모드 아키텍처에서 기울기 보상과 같이 스위칭 기간마다 제어 회로소자가 리셋되는 것으로 인한 요인들의 결과이다. 벡 레귤레이터를 위한 제어기가 최대 100% 듀티 사이클까지 동작을 지원할 수 없다면, 이는,  $V_{out}$ /듀티사이클의 인자만큼 조정된 출력을 지원하도록 최소 입력 전압에 직접적으로 영향을 준다.

**발명의 내용**

- [0007] [0004]본 게시물은 스위칭 레귤레이터들에서 100% 듀티 사이클을 위한 시스템들 및 방법들을 포함한다. 스위칭 레귤레이터 회로는 기간을 갖는 램프 신호를 생성하기 위한 램프 발생기와, 램프 신호 및 에러 신호를 수신하고, 램프 신호 및 에러 신호를 수신함에 따라, 변조 신호를 생성하기 위한 비교기를 포함한다. 제 1 동작 모드에서, 램프 신호는 에러 신호와 교차하도록 증가하고, 램프 신호가 증가함에 따라 램프 신호의 각각의 기간 동안 스위칭 트랜지스터의 상태를 변경시킨다. 제 2 동작 모드에서, 에러 신호가 램프 신호의 최대값을 초과하여 증가하고, 에러 신호가 증가함에 따라, 스위칭 트랜지스터가 램프 신호의 하나 이상의 전체 기간들 동안 턴온된다.
- [0008] [0005]다음의 상세한 설명과 첨부 도면들이 본 게시물의 본질과 이점들을 더 잘 이해하도록 제공된다.

**도면의 간단한 설명**

- [0009] [0006]도 1은 일 실시예에 따른 스위칭 레귤레이터를 도시한다.
- [0007]도 2는 도 1의 스위칭 레귤레이터와 연관된 파형들을 도시한다.
- [0008]도 3은 일 실시예에 따른 스위칭 레귤레이터의 예시적인 제어 로직을 도시한다.
- [0009]도 4는 일 실시예에 따른 스위칭 레귤레이터를 도시한다.
- [0010]도 5는 도 4의 스위칭 레귤레이터와 연관된 파형들을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] [0011]본 게시는 스위칭 레귤레이터들에 관한 것이다. 다음 설명에서, 설명을 위해서, 수 많은 예들 및 구체적인 상세들이 본 게시물의 완전한 이해를 제공하기 위해서 제시된다. 그러나, 당업자에게 명백한 바와 같이, 본 청구범위에 표현된 것으로서 본 게시물은, 단독으로 또는 다음에 설명되는 다른 피쳐들과 결합하여 이러한 실시예들의 피쳐들 중 일부 또는 전부를 포함할 수 있으며, 본원에 설명된 피쳐들 및 개념들의 변경들 및 등가물들을 더 포함할 수 있다.

- [0011] [0012]도 1은 본 개시물의 일 실시예에 따른 예시적인 스위칭 레귤레이터 회로를 도시한다. 스위칭 레귤레이터(100)는 PMOS 트랜지스터(Tp)(150), NMOS 트랜지스터(Tn)(151), 인덕터(L1)(152), 커패시터(C1)(153), 및 Rload(154)로 도시된 부하를 포함한다. 부하는, 예를 들어, 집적 회로와 같은 하나 이상의 전자 회로들일 수 있다. Tp의 하나의 단자가 입력 전압(Vin)을 수신하고 Tp의 다른 쪽 단자는 전압(Vsw)을 갖는 스위칭 노드에 결합된다. Tn의 일 단자가 스위칭 노드에 결합되고, Tn의 다른 단자는 기준 전압(예를 들어, 접지)에 결합된다. Tn과 Tp는 회로의 노드들을 함께 선택적으로 결합시키는 스위치들로서 역할을 한다. 이 예에서, Tp가 PMOS 트랜지스터이고 Tn이 NMOS 트랜지스터이지만, 다른 스위치 구조들 및 배열들이 사용될 수 있다는 것을 이해한다. 여기에 도시된 예시적인 스위칭 레귤레이터 아키텍처는 본원에 설명된 기술들을 사용할 수 있는 많은 스위칭 토폴로지들 중 단지 하나일 뿐이다.
- [0012] [0013]드라이버들(101 및 102)이 Tp와 Tn을 턴 온하고 오프한다. Tp가 온이고, Tn이 오프인 경우, Vsw는 Vin과 동일하다. 이 상태에서, 인덕터 양단의 ac 전압이 Vin-Vout이고, 인덕터 전류(IL)가 증가한다. 본 예에 도시된 벡 컨버터 아키텍처의 경우, Vin은 Vout(Vin>Vout)보다 더 크다. Tn이 온이고, Tp가 오프인 경우, Vsw는 접지와 동일하다. 이 상태에서, 인덕터 양단의 ac 전압이 -Vout이고, 인덕터 전류(IL)가 감소한다. 출력 부하로 들어가는 인덕터 전류는 출력 전압(Vout)을 발생시킨다. 이 예에서, 피드백이 미리결정된 전압에서 출력 전압을 유지시키기 위해 동작한다. 아래에 설명된 다른 실시예들에서, 전류가, 예를 들어, 피드백 파라미터(예를 들어, 전류 제어 모드)로서 사용될 수 있다. 그에 따라, 본 개시물의 실시형태들은 출력 전압, 출력 전류, 또는 이 둘 모두를 감지하는 스위칭 레귤레이터들을 포함할 수 있다.
- [0013] [0014]이 예에서, 출력 전압(Vout)이 피드백으로서 사용된다. 일 예시적인 피드백 회로는, Vout을 수신하고 에러 증폭기(ea)(111)의 입력으로 들어가는 피드백 신호(Vfb)를 생성하는 저항들(R1(113) 및 R2(114))을 포함한다. 에러 증폭기(111)는 또한, 기준(예를 들어, 이 경우, 전압 Vref)을 수신하여 에러 신호(Vea)를 생성할 수 있다. Vea는 출력 전압에 기초할 수 있고, 또는 다른 실시예들에서, 출력 전류에 기초할 수 있다. 이 예에서, 에러 증폭기(111)의 출력은 비교기(112)의 입력부에 결합된다. 비교기(112)의 다른 입력부가 램프 발생기(120)에 결합된다. 비교기(112)는, 변조 신호를 생성하기 위해 램프 신호 및 에러 신호를 비교하기 위한 일 예시적인 수단이다. 램프 발생기(120)는 램프 신호(Vramp)를 생성한다. Vramp가 Vea와 비교되어 변조 신호(Vdc)가 생성되며, 이 Vdc는 상태 머신(110)에 결합되어 Tp와 Tn을 턴 온하고 턴 오프시키는 드라이브 신호들(HS 및 LS)을 생성할 수 있다.
- [0014] [0015]이 실시예에서, 램프 발생기(120)는 전류 소스(123), 커패시터(C2) (122) 및 방전 트랜지스터(121)를 포함한다. 전류원(123), 커패시터(122), 및 방전 트랜지스터(121)는 램프 신호를 발생시키기 위한 일 예시적인 수단이다. 전류원(123)은 전류(I1)를 커패시터(122)로 생성한다. 전류(I1)이 C2로 흘러 들어감에 따라, 커패시터(122) 상의 전압이 Vramp를 생성하기 위해서 거의 선형으로 증가한다. 상태 머신(110)은 리셋 신호(RSET)를 생성한다. 이 예에서, 트랜지스터(121)가 방전 커패시터(C2)에 대한 스위치로서 역할을 한다. 예를 들어, RSET는 트랜지스터(121)를 턴 온하고 커패시터(122)에 저장된 전하가 기준 전압(예를 들어, 접지)에 결합된다. RSET는 클럭 신호(CLK)와 관련된 주기 신호이다. 따라서, 커패시터 (122) 상의 전압(Vramp)이 최대값까지 선형적으로 증가할 수 있고, 그런 다음 RSET와 동일한 기간으로 접지까지 감소할 수 있다. 전류(I1), 커패시턴스(C2), 기준 전압(예를 들어, 접지), 및 RSET의 듀티 사이클 및 기간이 Vramp의 최대값과 최소값을 결정할 수 있다. 아래에서 더욱 상세하게 설명된 바와 같이, 전류(I1)의 크기가 Vramp의 기울기를 세팅하기 때문에, 전류원(123)으로부터의 전류(I1)의 크기는, 예를 들어, 램프 신호의 최대값을 에러 신호의 최대값보다 더 낮게 세팅하도록 구성될 수 있다.
- [0015] [0016]도 2는 도 1의 스위칭 레귤레이터와 연관된 파형들을 도시한다. 도 2는 50% 듀티 사이클과 기간 T를 갖는 클럭 신호(CLK)를 도시한다. 리셋 신호(RSET)는 CLK와 동일한 기간을 갖지만, 상이한 듀티 사이클을 가질 수 있다. 여기서, RSET는 CLK의 상승 에지 전에 하이 상태로 천이한다. CLK의 상승 에지는 RSET로 하여금 로우 상태로 천이하게 한다. 상승된 바와 같이, RSET가 로우인 동안 Vramp가 증가한다. RSET가 하이 상태인 경우, Vramp는 상수값(예를 들어, 접지)으로 리셋된다. RSET가 로우 상태인 경우, Vramp는 최대값으로 증가한다. 그에 따라, RSET의 듀티 사이클 및 기간과 관련되는, RSET가 로우 상태에 있는 시간 기간은, 램프 신호의 최대값을 에러 신호의 최대값보다 더 낮게 세팅하도록 구성될 수 있다.
- [0016] [0017]도 2는 예시의 목적으로 값들의 범위에 걸쳐 에러 신호(Vea)를 나타낸다. Vramp가 증가함에 따라, 이것은 Vea와 교차할 수 있다. Vramp가 Vea보다 낮은 경우, Vdc(비교기(112)의 출력)는 로우이고, Vramp가 Vea보다 높은 경우, Vdc는 하이이다. Vramp는 램프가 리셋될 때 Vea와 다시 교차한다. 그에 따라, Vea가 Vramp의

최대값보다 더 낮고 Vramp의 최소값(여기서, 접지)보다 더 큰 경우, Vdc는 램프 신호의 각각의 기간 동안 상태들 사이에서 (예를 들어, 2회) 천이한다. 예를 들어, Vramp가 Vea와 교차하도록 증가하는 경우, Vdc는 로우 상태에서부터 하이 상태로 천이하고, Vramp가 리셋될 경우, Vdc가 하이 상태에서부터 로우 상태로 천이한다.

[0017]

[0018]도 2에 도시된 바와 같이, Vdc가 하이 상태인 시간의 기간은 Vea가 증가함에 따라 감소한다. 결국, Vdc는 스위칭 트랜지스터(Tp 및 Tn)를 제어하기 위해 사용될 수 있다. 이 예에서, 하이 측 드라이브 신호(HS)는, CLK의 상승 에지에 따라 하이로 진행하고, 로우 측 드라이브 신호(LS)는, CLK의 상승 에지에 따라 로우로 진행한다. 이 상태에서, Tp가 온이고, Tn가 오프이고, 스위치 노드(Vsw)가 Vin과 동일하다. 이 예에서, 드라이브 신호들이 Vdc의 상승 에지 상에서 천이한다. 이와 같이, Vramp가 Vea와 교차할 경우, Vdc로 하여금 하이로 진행하게 하고, HS가 로우로 진행하게 하고, LS가 하이로 진행하게 한다. 이 상태에서, Tn이 온이고, Tp가 오프이고, Vsw가 접지와 동일하다. Vea가 증가함에 따라, 도 2는, 변조 신호(Vdc)가 하이 상태로 있는 시간 기간은 감소한다는 것을 도시한다. 결국, HS가 하이이고, LS가 로우인 시간이 증가하는데, 이는 Tp의 온 시간들이 더 길어지고 Tn의 오프 시간들이 더 길어지는 것에 해당하고, 이는, 인덕터 전류를 증가시킨다.

[0018]

[0019]일 실시예에서, 스위칭 레귤레이터는 도 2에 도시된 바와 같이 2가지 모드들로 동작한다. 제 1 모드에서, 램프 신호(Vramp)가 증가하여 에러 신호(Vea)와 교차한다. 상술된 바와 같이, Vea에서의 변화들은, 램프 신호의 각각의 기간 동안 Vdc의 변조와, Tp와 Tn 상태의 변경(예를 들어, 온으로부터 오프로)을 발생시킨다. 이와 같이, 이 모드는 PWM 모드로 지칭된다. 그러나, 도 2에 도시된 바와 같이, 제 2 동작 모드에서, 에러 신호(Vea)가 램프 신호(Vramp)의 최대값을 초과하여 증가한다. 그에 따라, 스위칭 트랜지스터(Tp)가 램프 신호(Vramp)의 하나 이상의 전체 기간들 동안 턴온된다. Tp가 전체 기간 동안 온인 경우, 듀티 사이클이 100%이다. 이와 같이, 이 모드를 100% 듀티 사이클 모드(100% DC 모드)로 지칭된다. 예를 들어, 부하로 들어가는 전류가 증가하는 경우, Vout 및 Vfb가 강하여, Vea가 올라간다. Vea에 대한 값들의 범위에 걸쳐서 부하 전류(I<sub>L</sub>)가 도 2에 도시된다. 도시된 바와 같이, Vea가 Vramp의 최대값을 초과하여 증가하는 경우, 듀티 사이클은 100%이고 인덕터 전류는 Vramp의 다수의 기간들에 걸쳐서 연속적으로 증가한다. 100% DC 모드에서, Vout은 결국 Vin에 대략 동일하게 될 것이고 인덕터 전류의 기울기는 대략 0일 (예를 들어, 평탄할) 것이다.

[0019]

[0020]본 개시물의 피쳐들 및 이점들은, Vramp의 최대값보다 더 큰 값들을 달성할 수 있는 에러 신호를 포함한다. 예를 들어, 에러 증폭기(111)는, Vfb의 입력들의 범위에 응답하여 Vramp의 전체 범위보다 더 넓은 출력 전압 범위를 가질 수 있다. 특히, 에러 증폭기(111)는, 램프 신호(Vramp)의 값들의 범위보다 더 큰 값들이 범위에 걸쳐서 Vea를 발생시키기 위해 Vfb와 Vref 사이의 차를 증폭시키는 이득을 가질 수 있다. 에러 증폭기(111)를 위해 구현된 특정 이득은 설계 파라미터들에 의존할 수 있으며, 이 설계 파라미터들은, 예를 들어, 출력 전류 및 전압, 피드백 저항 분배기(예를 들어, 저항들(113 및 114)의 램프 신호의 감쇠, 및 최소값, 최대값, 및 기울기(예를 들어, I1 및 C2)를 포함한다.

[0020]

[0021]도 3은 상태 머신(110)의 제어 로직의 일 부분을 도시한다. 일 실시예에서, 고 주파수 클럭(HF\_CLK)이, 스위칭 주파수 클럭(CLK)과 리셋 신호(RSET)를 생성하기 위해서 분할될 수 있다. 이 예에서, HF\_CLK(301)는 분할 회로(301)에 의해 수신된다. 분할 회로(301)는 HF\_CLK를 분할하여 CLK와 RSET을 생성한다. 상술된 바와 같이, CLK는 50% 듀티 사이클을 가질 수 있으며 RSET는 50% 미만의 듀티 사이클을 갖는다. RSET가, 세팅 주파수에서 도 1의 경우 커패시터(C2)를 방전시킴으로써 램프 신호의 주기를 세팅한다. CLK가 플립 플롭(FF)(302)에 의해 수신되어 하이 사이드 드라이브 신호(HS) 및 로우 사이드 드라이브 신호(LS)를 생성한다. 이 예에서, FF(302)는, 하이 전압(예를 들어, Vdd)과 CLK 입력을 수신하고 D 입력에서 논리 값을 출력(Q)으로 전달하는 지연 입력(D)을 갖는 지연형 플립 플롭(D-FF)이다. 변조 신호(Vdc)는 FF(302)의 리셋(RST) 입력부에서 수신된다. FF(302)의 Q 출력이 HS 신호를 생성하고 Q\* (Q의 논리 역) 출력은 LS 신호를 생성한다. CLK와 RSET는 동일한 기간을 가지며, 도 2의 예에서, HS와 LS의 하나의 천이를 제어하는 CLK의 상승 에지는, Vramp를 턴 온시키는 RSET의 하강 에지와 일치한다. 그에 따라, HS 및 LS의 제 1 천이와 Vdc에 의해 생성된 제 2 천이 사이의 시간 기간이 Vea의 값에 해당한다.

[0021]

[0022]도 4는 본 개시물의 다른 실시예에 따른 예시적인 스위칭 레귤레이터 회로를 도시한다. 스위칭 레귤레이터(400)는 스위칭 레귤레이터(100)와 실질적으로 동일하지만, 전류 제어용으로 구성된다. 이 예에서, 전류 제어 회로들은 트랜지스터 Tp(150)의 단자(예를 들어, 이 경우, 입력 단자)에 결합된 입력부를 갖는 전류 피드백 회로(401)를 포함한다. 전류 피드백 회로(401)는 커패시터(122)의 단자에 결합된 출력부를 갖는다. 전류 피드백 회로(401)는, Tp가 턴온될 때의 각각의 기간의 부분들 동안의 출력 전류에 해당하는 Tp의 전류를 감지한다. 전류 피드백 회로(401)는 도 4의 403에 도시된 바와 같은 램프 신호(Vramp)에서 오프셋을 생성한다. 전류원과

오프셋의 크기는, 아래에 설명된 바와 같이 Vramp의 최대값이 에러 신호의 최대값보다 낮게 세팅되도록 구성될 수 있다. Vea는 비교기(112)를 이용하여 Vramp와 비교된다. 이 예에서, 비교기(112)의 출력이 플립 플롭(404)에 결합된다. 플립 플롭(404)의 출력은 아래에 더욱 상세하게 설명된 바와 같이 변조 신호(Vdc)를 생성한다. 플립 플롭(404)은, 예를 들어, 상태 머신(110)의 부분으로서 포함될 수 있지만, 예시를 위해서 여기서는 별개로 도시된다.

[0022] [0023]도 5는 도 4의 스위칭 레귤레이터(400)와 연관된 파형들을 도시한다. 도 5에 도시된 바와 같이, RSET가 로우로 진행할 때, Vramp는 출력 전류에 대응하는 제 1 오프셋 전압으로 증가한 후, 선형으로 증가하기 시작한다. 처음에, 각각의 클록 기간의 시작 시, Tp 온 그리고 Tn 오프(출력 전류가 증가함)에 대응하여 Vdc가 로우이고, HS가 하이이고, LS가 로우이다. Vramp가 Vea와 교차할 때, 비교기(112)는 펄스를 플립 플롭(404)으로 발생시킨다. 비교기(112)의 출력은 로우에서 하이로 Vdc의 천이를 생성한다. Vdc가 하이로 진행할 때, Tp 오프 그리고 Tn 온(출력 전류가 감소함)에 대응하여 HS는 로우로 진행하고 LS가 하이로 진행한다. Vdc는, RSET의 다음 상승 에지까지 하이인 상태로 남아있다. RSET가 로우에서 하이로 천이할 경우 Vdc가 FF(404)의 출력부에서 로우로 리셋된다. 일 예로, 커패시터(C2)가 2개의 조건들-Vdc 하이 또는 RSET 하이 중 어느 하나에 기초하여 리셋된다. 따라서, Vramp가 Vea와 만날 때, Vdc는 하이로 진행하고, Vdc는 Vramp를 접지로 세팅하기 위해 OR 게이트(402)를 통해 트랜지스터(121)에 결합된다. 그러나, RSET가 로우에서 하이로 천이하기 때문에 Vramp가 접지에 남아 있게 되는데, 이는 로우로 Vdc를 리셋하고 FF(404)를 리셋하지만, 트랜지스터(121)는 온 상태를 유지하게 된다.

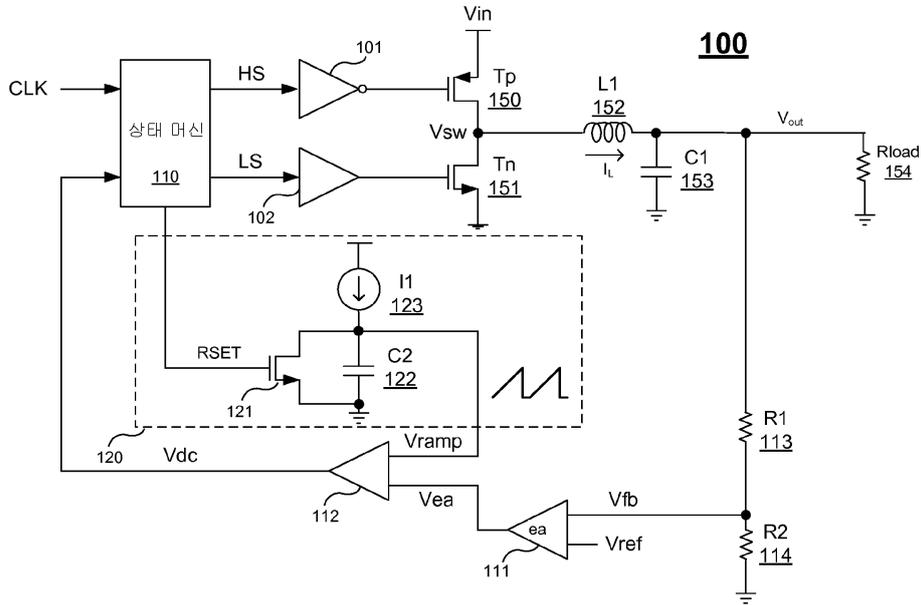
[0023] [0024]도 5는 추가로, Vramp의 최대값보다 더 큰 값들을 달성할 수 있는 에러 신호(Vea)를 도시한다. 도 1 및 도 2의 실시예와 유사하게, 에러 증폭기(111)는 Vfب의 입력들의 범위에 응답하여 Vramp의 전체 범위보다 더 넓은 출력 전압 범위를 가질 수 있다. 그에 따라, 스위칭 레귤레이터(400)는 도 5에 도시된 바와 같이 2개의 모드들로 동작한다. 제 1 모드에서, Vramp는 에러 신호(Vea)와 교차하도록 증가한다. 상술된 바와 같이, Vea의 변화들은, 램프 신호의 각각의 기간 동안 Vdc의 변조와, Tp와 Tn 상태의 변경(예를 들어, 온으로부터 오프로)을 발생시킨다. 이와 같이, 이 모드는 유사하게 PWM 모드로 지칭된다. 그러나, 도 5에 도시된 바와 같이, 제 2 동작 모드에서, 에러 신호(Vea)가 Vramp의 최대값을 초과하여 증가한다. 그에 따라, 스위칭 트랜지스터(Tp)가 Vramp의 하나 이상의 전체 기간들 동안 턴온된다. Tp가 전체 기간 동안 온인 경우, 듀티 사이클이 100%이다(100% DC 모드). 도 5는 상이한 Vdc 상태들과 상이한 동작 모드들에 대한 스위칭 노드(Vsw), 인덕터 전류(IL), 및 트랜지스터 Tp의 하이 측 전류를 도시한다.

[0024] [0025]100% 듀티 사이클 동작을 갖는 것이 유리한 예는 스위치 모드 배터리 충전기의 경우이다. 예를 들어, 전력 경로 저항을 따르는 최대 백 듀티 사이클은 주어진 충전 전류와 충전 종료(end-of-charge)(부동(float)) 전압을 지원할 수 있는 최소 충전기 입력 전압을 결정할 수 있다. 100% 듀티 사이클 동작은, 입력 전압들이 더 낮아지게 그리고/또는 충전 전류들이 더 높아지게 허용하기 위해서 배터리 충전기 애플리케이션들에서 사용될 수 있다.

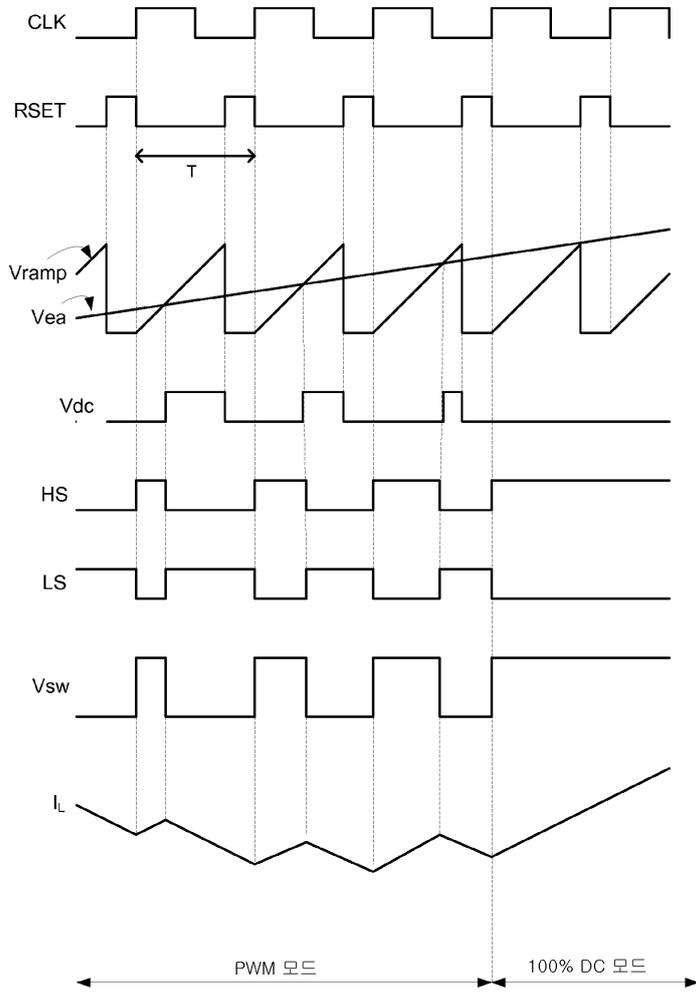
[0025] [0026]상기 설명은 특정 실시예들의 양상들이 구현될 수 있는 방법의 예들과 함께 본 발명의 다양한 실시예들을 예시한다. 상기 예들은 단지 실시예들로 간주되지 않아야 하며, 다음 청구범위에 의해 정의된 것으로서 특정 실시예들의 유연성과 이점들을 예시하도록 제공된다. 상기 설명 및 다음 청구범위들에 기초하여, 다른 배열들, 실시예들, 구현들 및 등가물이, 청구범위에 의해 정의된 것으로서 본 개시물의 범위로부터 벗어나지 않고 이용될 수 있다.

도면

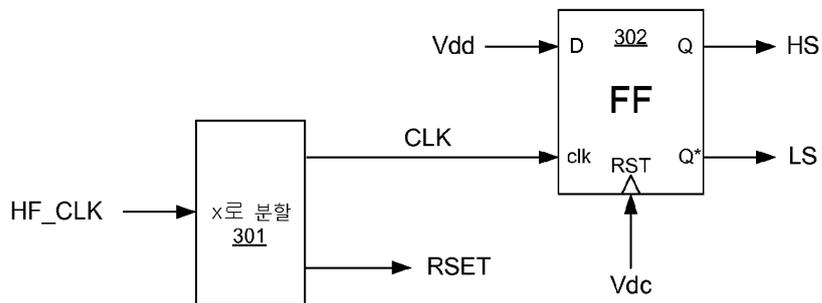
도면1



도면2



도면3





도면5

