



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월09일
(11) 등록번호 10-2262174
(24) 등록일자 2021년06월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) H05B 45/00 (2020.01)
(21) 출원번호 10-2014-0099639
(22) 출원일자 2014년08월04일
심사청구일자 2019년07월31일
(65) 공개번호 10-2016-0017290
(43) 공개일자 2016년02월16일
(56) 선행기술조사문헌
KR1020110037537 A*
KR1020120084967 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이해연
경기도 부천시 원미구 지봉로45번길 16-11, 101동 1103호
정보용
경기도 수원시 영통구 청명북로 33, 923동 402호
김나영
경기도 성남시 분당구 정자일로 30, 108동 304호
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

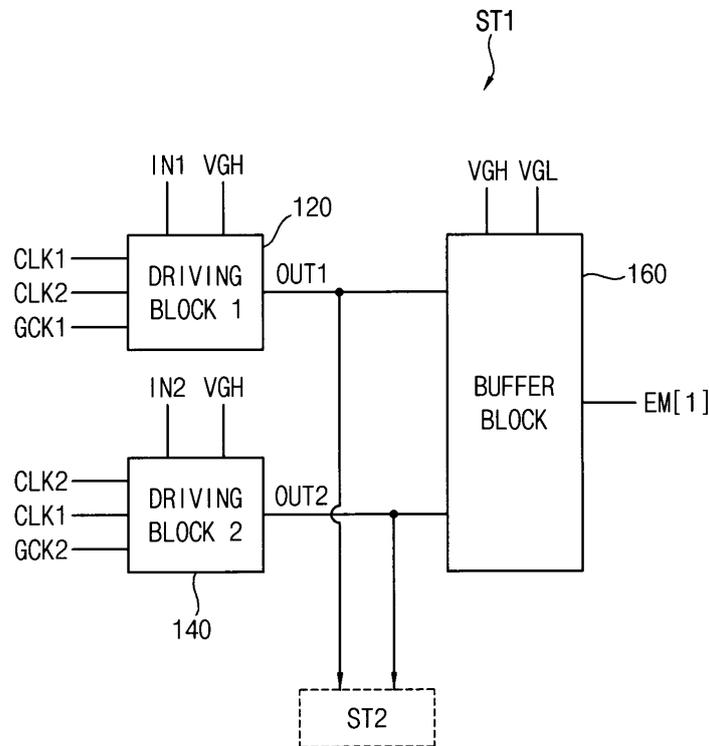
심사관 : 하정균

(54) 발명의 명칭 발광 제어 구동 회로 및 이를 포함하는 표시 장치

(57) 요약

발광 제어 구동 회로는 복수의 발광 제어 신호들을 각각 출력하는 복수의 스테이지들을 포함하고, 스테이지들 각각은, 제1 입력 신호, 제1 클럭 신호, 제2 클럭 신호 및 제1 동시 구동 신호를 입력받고, 제1 입력 신호 및 제1 동시 구동 신호에 응답하여 제1 중간 신호를 출력하는 제1 구동 블록, 제2 입력 신호, 제1 클럭 신호, 제2 클럭 (뒷면에 계속)

대표도 - 도2



신호 및 제2 동시 구동 신호를 입력받고, 제2 입력 신호 및 제2 동시 구동 신호에 응답하여 제2 중간 신호를 출력하는 제2 구동 블록 및 제1 중간 신호 및 제2 중간 신호를 입력받고, 제1 중간 신호 및 제2 중간 신호에 응답하여 발광 제어 신호를 출력하는 버퍼 블록을 포함한다. 버퍼 블록은 각각의 스테이지들이 발광 제어 신호를 순차적으로 출력하는 순차 발광 모드 또는 각각의 스테이지들이 발광 제어 신호를 동시에 출력하는 동시 발광 모드에 상응하도록 발광 제어 신호를 선택적으로 출력하며, 버퍼 블록은 제1 중간 신호와 제2 중간 신호가 각각 출력되는 간격에 상응하여 발광 제어 신호를 제1 전압 레벨로 출력한다.

명세서

청구범위

청구항 1

복수의 발광 제어 신호들을 각각 출력하는 복수의 스테이지들을 포함하는 발광 제어 구동 회로에 있어서, 상기 스테이지들 각각은,

제1 입력 신호, 제1 클럭 신호, 제2 클럭 신호 및 제1 동시 구동 신호를 입력받고, 상기 제1 입력 신호 및 상기 제1 동시 구동 신호에 응답하여 제1 중간 신호를 출력하는 제1 구동 블록;

제2 입력 신호, 상기 제1 클럭 신호, 상기 제2 클럭 신호 및 제2 동시 구동 신호를 입력받고, 상기 제2 입력 신호 및 상기 제2 동시 구동 신호에 응답하여 제2 중간 신호를 출력하는 제2 구동 블록; 및

상기 제1 중간 신호 및 상기 제2 중간 신호를 입력받고, 상기 제1 중간 신호 및 상기 제2 중간 신호에 응답하여 발광 제어 신호를 출력하는 버퍼 블록을 포함하고,

상기 버퍼 블록은 상기 각각의 스테이지들이 상기 발광 제어 신호를 순차적으로 출력하는 순차 발광 모드 또는 상기 각각의 스테이지들이 상기 발광 제어 신호를 동시에 출력하는 동시 발광 모드에 상응하도록 상기 발광 제어 신호를 선택적으로 출력하며,

상기 버퍼 블록은 상기 제1 중간 신호와 상기 제2 중간 신호가 각각 출력되는 간격에 상응하여 상기 발광 제어 신호를 제1 전압 레벨로 출력하고,

상기 제1 구동 블록은

제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제1 클럭 신호를 제2 노드에 전달하는 제1 입력부; 및

상기 제2 노드에 인가되는 제2 노드 신호, 및 상기 제2 클럭 신호에 응답하여 상기 제1 중간 신호를 안정화하는 안정화부를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 2

제 1 항에 있어서, 상기 버퍼 블록은, 상기 제1 중간 신호가 로우(low) 전압 레벨을 가지면, 상기 발광 제어 신호를 제1 전압 레벨로 출력하고, 상기 제2 중간 신호가 상기 로우 전압 레벨을 가지면, 상기 발광 제어 신호를 상기 제1 전압 레벨보다 높은 제2 전압 레벨로 출력하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 3

제 2 항에 있어서, 상기 발광 제어 신호의 상승 에지(rising edge)는 상기 제1 중간 신호의 하강 에지(falling edge)에 동기되고, 상기 발광 제어 신호의 하강 에지는 상기 제2 중간 신호의 하강 에지에 동기되는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 4

제 2 항에 있어서, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 동시 구동 신호 및 상기 제2 동시 구동 신호는 하이(high) 전압 레벨을 유지하고,

상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 입력 신호, 상기 제2 입력 신호, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 하이 전압 레벨을 유지하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 5

제 1 항에 있어서, 상기 제1 구동 블록은

상기 제1 클럭 신호에 응답하여 상기 제1 입력 신호를 상기 제1 노드에 전달하는 제2 입력부;

상기 제2 노드에 인가되는 상기 제2 노드 신호에 응답하여 상기 제1 중간 신호를 풀업하는 풀업부;
 상기 제1 노드 신호에 응답하여 상기 제1 중간 신호를 풀다운하는 풀다운부;
 상기 제1 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부; 및
 상기 제1 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부를 더 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 6

제 5 항에 있어서, 상기 제1 입력부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제1 클럭 신호를 인가 받으며, 드레인 전극이 상기 제2 노드에 연결되는 제1 트랜지스터를 포함하고,
 상기 제2 입력부는, 게이트 전극이 상기 제1 클럭 신호를 인가받고, 소스 전극이 상기 제1 입력 신호를 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제2 트랜지스터를 포함하며,
 상기 풀업부는, 게이트 전극이 상기 제2 노드에 연결되고, 소스 전극이 상기 제1 동시 구동 신호를 인가받으며, 드레인 전극이 상기 제1 중간 신호를 출력하는 출력 단자에 연결되는 제3 트랜지스터를 포함하고,
 상기 풀다운부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제2 클럭 신호를 인가받으며, 드레인 전극이 상기 출력 단자에 연결되는 제4 트랜지스터를 포함하며,
 상기 동시 구동 제어부는, 게이트 전극이 상기 제1 동시 구동 신호를 인가받고, 소스 전극이 하이 직류 전압을 인가 받으며, 드레인 전극이 상기 제1 노드에 연결되는 제5 트랜지스터를 포함하고,
 상기 유지부는, 게이트 전극 및 소스 전극이 상기 제1 클럭 신호를 인가받고, 드레인 전극이 상기 제2 노드에 연결되는 제6 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 7

제 5 항에 있어서, 상기 안정화부는
 직렬로 연결되는 제7 트랜지스터 및 제8 트랜지스터를 포함하며,
 상기 제7 트랜지스터는 상기 제2 노드에 연결되는 게이트 전극, 상기 제1 중간 신호의 풀업 전압을 인가받는 소스 전극 및 상기 제8 트랜지스터의 소스 전극에 연결되는 드레인 전극을 포함하고,
 상기 제8 트랜지스터는 상기 제2 클럭 신호가 인가되는 게이트 전극, 상기 제7 트랜지스터의 상기 드레인 전극에 연결되는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 8

제 1 항에 있어서, 상기 제2 구동 블록은
 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 클럭 신호를 제2 노드에 전달하는 제1 입력부;
 상기 제2 클럭 신호에 응답하여 상기 제2 입력 신호를 상기 제1 노드에 전달하는 제2 입력부;
 상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 제2 중간 신호를 풀업하는 풀업부;
 상기 제1 노드 신호에 응답하여 상기 제2 중간 신호를 풀다운하는 풀다운부;
 상기 제2 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부;
 상기 제2 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부; 및
 상기 제2 노드 신호 및 상기 제1 클럭 신호에 응답하여 상기 제2 중간 신호를 안정화하는 안정화부를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 9

제 8 항에 있어서, 상기 제1 입력부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제2 클럭

신호를 인가 받으며, 드레인 전극이 상기 제2 노드에 연결되는 제1 트랜지스터를 포함하고,

상기 제2 입력부는, 게이트 전극이 상기 제2 클럭 신호를 인가받고, 소스 전극이 상기 제2 입력 신호를 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제2 트랜지스터를 포함하며,

상기 풀업부는, 게이트 전극이 상기 제2 노드에 연결되고, 소스 전극이 상기 제2 동시 구동 신호를 인가받으며, 드레인 전극이 상기 제1 중간 신호를 출력하는 출력 단자에 연결되는 제3 트랜지스터를 포함하고,

상기 풀다운부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제1 클럭 신호를 인가받으며, 드레인 전극이 상기 출력 단자에 연결되는 제4 트랜지스터를 포함하며,

상기 동시 구동 제어부는, 게이트 전극이 상기 제2 동시 구동 신호를 인가받고, 소스 전극이 하이 직류 전압을 인가 받으며, 드레인 전극이 상기 제1 노드에 연결되는 제5 트랜지스터를 포함하고,

상기 유지부는, 게이트 전극 및 소스 전극이 상기 제2 클럭 신호를 인가받고, 드레인 전극이 상기 제2 노드에 연결되는 제6 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 10

제 1 항에 있어서, 상기 버퍼 블록은,

상기 제1 중간 신호에 응답하여 하이 직류 전압을 제1 노드에 전달하고, 로우 직류 전압을 제2 노드에 전달하는 제1 입력부;

상기 제2 중간 신호에 응답하여 상기 로우 직류 전압을 상기 제1 노드에 전달하는 제2 입력부;

상기 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 노드에 인가되는 제2 노드 신호를 유지시키는 제1 유지부;

상기 제2 노드 신호에 응답하여 상기 발광 제어 신호를 풀업하는 풀업부; 및

상기 제1 노드 신호에 응답하여 상기 발광 제어 신호를 풀다운하는 풀다운부를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 11

제 10 항에 있어서, 상기 제1 입력부는

게이트 전극이 상기 제1 중간 신호를 인가받고, 소스 전극이 상기 하이 직류 전압을 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제1 트랜지스터; 및

게이트 전극이 상기 제1 중간 신호를 인가받고, 소스 전극이 상기 로우 직류 전압을 인가받으며, 드레인 전극이 상기 제2 노드에 연결되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 12

제 11 항에 있어서, 상기 제2 입력부는 상기 제2 중간 신호를 인가받는 게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 제3 트랜지스터를 포함하고,

상기 제1 유지부는 상기 제1 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 제2 노드에 연결되는 드레인 전극을 구비한 제4 트랜지스터를 포함하며,

상기 풀업부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 직류 전압에 연결되는 소스 전극 및 상기 발광 제어 신호를 출력하는 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제5 트랜지스터를 포함하고,

상기 풀다운부는 상기 제1 노드에 연결되는 게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제6 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 13

제 11 항에 있어서, 상기 풀다운부는

직렬로 연결된 제1 풀다운 트랜지스터 및 제2 풀다운 트랜지스터를 포함하며,

상기 제1 풀다운 트랜지스터는 상기 제1 노드에 연결되는 게이트 전극, 상기 제2 풀다운 트랜지스터의 드레인 전극에 연결되는 소스 전극 및 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 포함하고,

상기 제2 풀다운 트랜지스터는 제3 클럭 신호를 인가받는 게이트 전극, 상기 게이트 전극에 연결되는 소스 전극 및 상기 제1 풀다운 트랜지스터의 상기 소스 전극에 연결되는 드레인 전극을 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 14

제 13 항에 있어서, 상기 제2 입력부는 상기 제2 중간 신호를 인가받는 게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 제3 트랜지스터를 포함하고,

상기 제1 유지부는 상기 제1 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 제2 노드에 연결되는 드레인 전극을 구비한 제4 트랜지스터를 포함하며,

상기 풀업부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제5 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 15

제 13 항에 있어서, 상기 버퍼 블록은

상기 제2 노드의 신호에 응답하여 상기 제1 노드의 신호를 유지시키는 제2 유지부를 더 포함하며,

상기 제2 유지부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 레벨 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 유지 트랜지스터를 포함하는 것을 특징으로 하는 발광 제어 구동 회로.

청구항 16

복수의 화소들을 포함하는 표시 패널;

복수의 데이터 신호들을 데이터 라인들을 통해 상기 표시 패널로 각각 출력하는 데이터 구동 회로;

복수의 게이트 신호들을 게이트 라인들을 통해 상기 표시 패널로 각각 출력하는 게이트 스테이지들을 포함하는 게이트 구동 회로; 및

복수의 발광 제어 신호들을 발광 제어 라인들을 통해 상기 표시 패널로 각각 출력하는 발광 스테이지들을 포함하는 발광 제어 구동 회로를 포함하고,

상기 발광 스테이지들 각각은

제1 입력 신호, 제1 클럭 신호, 제2 클럭 신호 및 제1 동시 구동 신호를 입력받고, 상기 제1 입력 신호 및 상기 제1 동시 구동 신호에 응답하여 제1 중간 신호를 출력하는 제1 구동 블록;

제2 입력 신호, 상기 제1 클럭 신호, 상기 제2 클럭 신호 및 제2 동시 구동 신호를 입력받고, 상기 제2 입력 신호 및 상기 제2 동시 구동 신호에 응답하여 제2 중간 신호를 출력하는 제2 구동 블록; 및

상기 제1 중간 신호 및 상기 제2 중간 신호를 입력받고, 상기 제1 중간 신호 및 상기 제2 중간 신호에 응답하여 발광 제어 신호를 출력하는 버퍼 블록을 포함하고,

상기 버퍼 블록은 상기 각각의 스테이지들이 상기 발광 제어 신호를 순차적으로 출력하는 순차 발광 모드 또는 상기 각각의 스테이지들이 상기 발광 제어 신호를 동시에 출력하는 동시 발광 모드에 상응하는 상기 발광 제어 신호를 선택적으로 출력하며,

상기 버퍼 블록은 상기 제1 중간 신호와 상기 제2 중간 신호가 각각 출력되는 간격에 상응하여 상기 발광 제어 신호를 제1 전압 레벨로 출력하고,

상기 제1 구동 블록은

제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제1 클럭 신호를 제2 노드에 전달하는 제1 입력부; 및

상기 제2 노드에 인가되는 제2 노드 신호, 및 상기 제2 클럭 신호에 응답하여 상기 제1 중간 신호를 안정화하는 안정화부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

제 16 항에 있어서, 상기 버퍼 블록은, 상기 제1 중간 신호가 로우(low) 전압 레벨을 가지면, 상기 발광 제어 신호를 제1 전압 레벨로 출력하고, 상기 제2 중간 신호가 상기 로우 전압 레벨을 가지면, 상기 발광 제어 신호를 상기 제1 전압 레벨보다 낮은 제2 전압 레벨로 출력하는 것을 특징으로 하는 표시 장치.

청구항 18

제 17 항에 있어서, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 동시 구동 신호 및 상기 제2 동시 구동 신호는 하이(high) 전압 레벨을 유지하고,

상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 입력 신호, 상기 제2 입력 신호, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 하이 전압 레벨을 유지하는 것을 특징으로 하는 표시 장치.

청구항 19

제 16 항에 있어서, 상기 제1 구동 블록은

상기 제1 클럭 신호에 응답하여 상기 제1 입력 신호를 상기 제1 노드에 전달하는 제2 입력부;

상기 제2 노드에 인가되는 상기 제2 노드 신호에 응답하여 상기 제1 중간 신호를 풀업하는 풀업부;

상기 제1 노드 신호에 응답하여 상기 제1 중간 신호를 풀다운하는 풀다운부;

상기 제1 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부; 및

상기 제1 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제 16 항에 있어서, 상기 버퍼 블록은,

상기 제1 중간 신호에 응답하여 하이 직류 전압을 제1 노드에 전달하고, 로우 직류 전압을 제2 노드에 전달하는 제1 입력부;

상기 제2 중간 신호에 응답하여 상기 로우 직류 전압을 상기 제1 노드에 전달하는 제2 입력부;

상기 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 노드의 신호를 유지시키는 제1 유지부;

상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 발광 제어 신호를 풀업하는 풀업부; 및

상기 제1 노드 신호에 응답하여 상기 발광 제어 신호를 풀다운하는 풀다운부를 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 표시 패널의 발광 제어 라인을 구동하는 발광 제어 구동 회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 고해상도 표시 패널을 구동하기 위해서 아날로그 방식으로 구동되는 화소가 적용되고 있다. 또한, 상기 표시 패널을 구동하기 위해 게이트 구동 회로, 데이터 구동 회로에 추가하여 발광 제어 구동 회로가 사용된다.

[0003] 최근에는, 2차원 및 3차원 입체 영상 디스플레이를 모두 구동하고, 사용자의 시청 환경에 따라 다양한 디스플레이 모드로 화면을 표시할 수 있는 표시 장치에 대한 연구가 활발히 진행 중이다. 따라서, 상기 발광 제어 구동 회로는 상기 디스플레이 모드들에 대응하는 다양한 형태의 발광 제어 신호를 출력하여야 한다.

[0004] 그러나, 종래의 발광 제어 구동 회로의 구동은 다양한 발광 방식(예를 들어, 순차 발광 구동 방식 및 동시 발광 구동 방식)에 적절하게 대응하지 못하는 문제점이 있다. 또한, 종래의 발광 제어 구동 회로는 발광 제어 신호의 듀티 조절에 어려움이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 순차 발광 구동 방식 및 동시 발광 구동 방식 모두에 적용되는 발광 제어 구동 회로를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 발광 제어 구동 회로를 포함하는 표시 장치를 제공하는 것이다.

[0007] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 발광 제어 구동 회로는 복수의 발광 제어 신호들을 각각 출력하는 복수의 스테이지들을 포함하고, 상기 스테이지들 각각은, 제1 입력 신호, 제1 클럭 신호, 제2 클럭 신호 및 제1 동시 구동 신호를 입력받고, 상기 제1 입력 신호 및 상기 제1 동시 구동 신호에 응답하여 제1 중간 신호를 출력하는 제1 구동 블록, 제2 입력 신호, 상기 제1 클럭 신호, 상기 제2 클럭 신호 및 제2 동시 구동 신호를 입력받고, 상기 제2 입력 신호 및 상기 제2 동시 구동 신호에 응답하여 제2 중간 신호를 출력하는 제2 구동 블록 및 상기 제1 중간 신호 및 상기 제2 중간 신호를 입력받고, 상기 제1 중간 신호 및 상기 제2 중간 신호에 응답하여 발광 제어 신호를 출력하는 버퍼 블록을 포함할 수 있다. 상기 버퍼 블록은 상기 각각의 스테이지들이 상기 발광 제어 신호를 순차적으로 출력하는 순차 발광 모드 또는 상기 각각의 스테이지들이 상기 발광 제어 신호를 동시에 출력하는 동시 발광 모드에 상응하도록 상기 발광 제어 신호를 선택적으로 출력할 수 있다. 상기 버퍼 블록은 상기 버퍼 블록은 상기 제1 중간 신호와 상기 제2 중간 신호가 각각 출력되는 간격에 상응하여 상기 발광 제어 신호를 제1 전압 레벨로 출력할 수 있다.

[0009] 일 실시예에 의하면, 상기 버퍼 블록은, 상기 제1 중간 신호가 로우(low) 전압 레벨을 가지면, 상기 발광 제어 신호를 상기 제1 전압 레벨로 출력하고, 상기 제2 중간 신호가 상기 로우 전압 레벨을 가지면, 상기 발광 제어 신호를 상기 제1 전압 레벨보다 높은 제2 전압 레벨로 출력할 수 있다.

[0010] 일 실시예에 의하면, 상기 발광 제어 신호의 상승 에지(rising edge)는 상기 제1 중간 신호의 하강 에지(falling edge)에 동기되고, 상기 발광 제어 신호의 하강 에지는 상기 제2 중간 신호의 하강 에지에 동기될 수 있다.

[0011] 일 실시예에 의하면, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 동시 구동 신호 및 상기 제2 동시 구동 신호는 하이(high) 전압 레벨을 유지하고, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 입력 신호, 상기 제2 입력 신호, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 하이 전압 레벨을 유지할 수 있다.

[0012] 일 실시예에 의하면, 상기 제1 구동 블록은 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제1 클럭 신호를 제2 노드에 전달하는 제1 입력부, 상기 제1 클럭 신호에 응답하여 상기 제1 입력 신호를 상기 제1 노드에 전달하는 제2 입력부, 상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 제1 중간 신호를 풀업하는 풀업부, 상기 제1 노드 신호에 응답하여 상기 제1 중간 신호를 풀다운하는 풀다운부, 상기 제1 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부, 상기 제1 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부, 및 상기 제2 노드 신호 및 상기 제2 클럭 신호에 응답하여 상기 제1 중간 신호를 안정화하는 안정화부를 포함할 수 있다.

[0013] 일 실시예에 의하면, 상기 제1 입력부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제1 클럭 신호를 인가 받으며, 드레인 전극이 상기 제2 노드에 연결되는 제1 트랜지스터를 포함하고, 상기 제2 입력부는,

게이트 전극이 상기 제1 클럭 신호를 인가받고, 소스 전극이 상기 제1 입력 신호를 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제2 트랜지스터를 포함하며, 상기 풀업부는, 게이트 전극이 상기 제2 노드에 연결되고, 소스 전극이 상기 제1 동시 구동 신호를 인가받으며, 드레인 전극이 상기 제1 중간 신호를 출력하는 출력 단자에 연결되는 제3 트랜지스터를 포함하고, 상기 풀다운부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제2 클럭 신호를 인가받으며, 드레인 전극이 상기 출력 단자에 연결되는 제4 트랜지스터를 포함하며, 상기 동시 구동 제어부는, 게이트 전극이 상기 제1 동시 구동 신호를 인가받고, 소스 전극이 하이 직류 전압을 인가 받으며, 드레인 전극이 상기 제1 노드에 연결되는 제5 트랜지스터를 포함하고, 상기 유지부는, 게이트 전극 및 소스 전극이 상기 제1 클럭 신호를 인가받고, 드레인 전극이 상기 제2 노드에 연결되는 제6 트랜지스터를 포함할 수 있다.

[0014] 일 실시예에 의하면, 상기 안정화부는 직렬로 연결되는 제7 트랜지스터 및 제8 트랜지스터를 포함하며, 상기 제7 트랜지스터는 상기 제2 노드에 연결되는 게이트 전극, 상기 제1 중간 신호의 풀업 전압을 인가받는 소스 전극 및 상기 제8 트랜지스터의 소스 전극에 연결되는 드레인 전극을 포함하고, 상기 제8 트랜지스터는 상기 제2 클럭 신호가 인가되는 게이트 전극, 상기 제7 트랜지스터의 상기 드레인 전극에 연결되는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 포함할 수 있다.

[0015] 일 실시예에 의하면, 상기 제2 구동 블록은 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 클럭 신호를 제2 노드에 전달하는 제1 입력부, 상기 제2 클럭 신호에 응답하여 상기 제2 입력 신호를 상기 제1 노드에 전달하는 제2 입력부, 상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 제2 중간 신호를 풀업하는 풀업부, 상기 제1 노드 신호에 응답하여 상기 제2 중간 신호를 풀다운하는 풀다운부, 상기 제2 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부, 상기 제2 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부 및 상기 제2 노드 신호 및 상기 제1 클럭 신호에 응답하여 상기 제2 중간 신호를 안정화하는 안정화부를 포함할 수 있다.

[0016] 일 실시예에 의하면, 상기 제1 입력부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제2 클럭 신호를 인가 받으며, 드레인 전극이 상기 제2 노드에 연결되는 제1 트랜지스터를 포함하고, 상기 제2 입력부는, 게이트 전극이 상기 제2 클럭 신호를 인가받고, 소스 전극이 상기 제2 입력 신호를 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제2 트랜지스터를 포함하며, 상기 풀업부는, 게이트 전극이 상기 제2 노드에 연결되고, 소스 전극이 상기 제2 동시 구동 신호를 인가받으며, 드레인 전극이 상기 제1 중간 신호를 출력하는 출력 단자에 연결되는 제3 트랜지스터를 포함하고, 상기 풀다운부는, 게이트 전극이 상기 제1 노드에 연결되고, 소스 전극이 상기 제1 클럭 신호를 인가받으며, 드레인 전극이 상기 출력 단자에 연결되는 제4 트랜지스터를 포함하며, 상기 동시 구동 제어부는, 게이트 전극이 상기 제2 동시 구동 신호를 인가받고, 소스 전극이 하이 직류 전압을 인가 받으며, 드레인 전극이 상기 제1 노드에 연결되는 제5 트랜지스터를 포함하고, 상기 유지부는, 게이트 전극 및 소스 전극이 상기 제2 클럭 신호를 인가받고, 드레인 전극이 상기 제2 노드에 연결되는 제6 트랜지스터를 포함할 수 있다.

[0017] 일 실시예에 의하면, 상기 버퍼 블록은, 상기 제1 중간 신호에 응답하여 하이 직류 전압을 제1 노드에 전달하고, 로우 직류 전압을 제2 노드에 전달하는 제1 입력부, 상기 제2 중간 신호에 응답하여 상기 로우 직류 전압을 상기 제1 노드에 전달하는 제2 입력부, 상기 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 노드에 인가되는 제2 노드 신호를 유지시키는 제1 유지부, 상기 제2 노드 신호에 응답하여 상기 발광 제어 신호를 풀업하는 풀업부 및 상기 제1 노드 신호에 응답하여 상기 발광 제어 신호를 풀다운하는 풀다운부를 포함할 수 있다.

[0018] 일 실시예에 의하면, 상기 제1 입력부는 게이트 전극이 상기 제1 중간 신호를 인가받고, 소스 전극이 상기 하이 직류 전압을 인가받으며, 드레인 전극이 상기 제1 노드에 연결되는 제1 트랜지스터 및 게이트 전극이 상기 제1 중간 신호를 인가받고, 소스 전극이 상기 로우 직류 전압을 인가받으며, 드레인 전극이 상기 제2 노드에 연결되는 제2 트랜지스터를 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 제2 입력부는 상기 제2 중간 신호를 인가받는 게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 제3 트랜지스터를 포함하고, 상기 제1 유지부는 상기 제1 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 제2 노드에 연결되는 드레인 전극을 구비한 제4 트랜지스터를 포함하며, 상기 풀업부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 직류 전압에 연결되는 소스 전극 및 상기 발광 제어 신호를 출력하는 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제5 트랜지스터를 포함하고, 상기 풀다운부는 상기 제1 노드에 연결되는

게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제6 트랜지스터를 포함할 수 있다.

[0020] 일 실시예에 의하면, 상기 풀다운부는 직렬로 연결된 제1 풀다운 트랜지스터 및 제2 풀다운 트랜지스터를 포함하며, 상기 제1 풀다운 트랜지스터는 상기 제1 노드에 연결되는 게이트 전극, 상기 제2 풀다운 트랜지스터의 드레인 전극에 연결되는 소스 전극 및 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 포함하고, 상기 제2 풀다운 트랜지스터는 제3 클럭 신호를 인가받는 게이트 전극, 상기 게이트 전극에 연결되는 소스 전극 및 상기 제1 풀다운 트랜지스터의 상기 소스 전극에 연결되는 드레인 전극을 포함할 수 있다.

[0021] 일 실시예에 의하면, 상기 제2 입력부는 상기 제2 중간 신호를 인가받는 게이트 전극, 상기 로우 직류 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 제3 트랜지스터를 포함하고, 상기 제1 유지부는 상기 제1 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 제2 노드에 연결되는 드레인 전극을 구비한 제4 트랜지스터를 포함하며, 상기 풀업부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 직류 전압을 인가받는 소스 전극 및 상기 발광 제어 신호 출력 단자에 연결되는 드레인 전극을 구비한 제5 트랜지스터를 포함할 수 있다.

[0022] 일 실시예에 의하면, 상기 버퍼 블록은 상기 제2 노드의 신호에 응답하여 상기 제1 노드의 신호를 유지시키는 제2 유지부를 더 포함하며, 상기 제2 유지부는 상기 제2 노드에 연결되는 게이트 전극, 상기 하이 레벨 전압을 인가받는 소스 전극 및 상기 제1 노드에 연결되는 드레인 전극을 구비한 유지 트랜지스터를 포함할 수 있다.

[0023] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 표시 장치는 복수의 화소들을 포함하는 표시 패널, 복수의 데이터 신호들을 데이터 라인들을 통해 상기 표시 패널로 각각 출력하는 데이터 구동 회로, 복수의 게이트 신호들을 게이트 라인들을 통해 상기 표시 패널로 각각 출력하는 게이트 스테이지들을 포함하는 게이트 구동 회로 및 복수의 발광 제어 신호들을 발광 제어 라인들을 통해 상기 표시 패널로 각각 출력하는 발광 스테이지들을 포함하는 발광 제어 구동 회로를 포함할 수 있다. 상기 발광 스테이지들 각각은 제1 입력 신호, 제1 클럭 신호, 제2 클럭 신호 및 제1 동시 구동 신호를 입력받고, 상기 제1 입력 신호 및 상기 제1 동시 구동 신호에 응답하여 제1 중간 신호를 출력하는 제1 구동 블록, 제2 입력 신호, 상기 제1 클럭 신호, 상기 제2 클럭 신호 및 제2 동시 구동 신호를 입력받고, 상기 제2 입력 신호 및 상기 제2 동시 구동 신호에 응답하여 제2 중간 신호를 출력하는 제2 구동 블록 및 상기 제1 중간 신호 및 상기 제2 중간 신호를 입력받고, 상기 제1 중간 신호 및 상기 제2 중간 신호에 응답하여 발광 제어 신호를 출력하는 버퍼 블록을 포함할 수 있다. 상기 버퍼 블록은 상기 각각의 스테이지들이 상기 발광 제어 신호를 순차적으로 출력하는 순차 발광 모드 또는 상기 각각의 스테이지들이 상기 발광 제어 신호를 동시에 출력하는 동시 발광 모드에 상응하도록 상기 발광 제어 신호를 선택적으로 출력할 수 있다. 상기 버퍼 블록은 상기 버퍼 블록은 상기 제1 중간 신호와 상기 제2 중간 신호가 각각 출력되는 간격에 상응하여 상기 발광 제어 신호를 제1 전압 레벨로 출력할 수 있다.

[0024] 일 실시예에 의하면, 상기 버퍼 블록은, 상기 제1 중간 신호가 로우(low) 전압 레벨을 가지면, 상기 발광 제어 신호를 제1 전압 레벨로 출력하고, 상기 제2 중간 신호가 상기 로우 전압 레벨을 가지면, 상기 발광 제어 신호를 상기 제1 전압 레벨보다 낮은 제2 전압 레벨로 출력할 수 있다.

[0025] 일 실시예에 의하면, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 동시 구동 신호 및 상기 제2 동시 구동 신호는 하이(high) 전압 레벨을 유지하고, 상기 발광 제어 구동 회로가 상기 순차 발광 모드로 동작하는 경우, 상기 제1 입력 신호, 상기 제2 입력 신호, 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 하이 전압 레벨을 유지할 수 있다.

[0026] 일 실시예에 의하면, 상기 제1 구동 블록은 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제1 클럭 신호를 제2 노드에 전달하는 제1 입력부, 상기 제1 클럭 신호에 응답하여 상기 제1 입력 신호를 상기 제1 노드에 전달하는 제2 입력부, 상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 제1 중간 신호를 풀업하는 풀업부, 상기 제1 노드 신호에 응답하여 상기 제1 중간 신호를 풀다운하는 풀다운부, 상기 제1 동시 구동 신호에 응답하여 상기 풀다운부를 비활성화시키는 동시 구동 제어부, 상기 제1 클럭 신호에 응답하여 상기 제2 노드 신호를 유지시키는 유지부 및 상기 제2 노드 신호 및 상기 제2 클럭 신호에 응답하여 상기 제1 중간 신호를 안정화하는 안정화부를 포함할 수 있다.

[0027] 일 실시예에 의하면, 상기 버퍼 블록은 상기 제1 중간 신호에 응답하여 하이 직류 전압을 제1 노드에 전달하고, 로우 직류 전압을 제2 노드에 전달하는 제1 입력부, 상기 제2 중간 신호에 응답하여 상기 로우 직류 전압을 상기 제1 노드에 전달하는 제2 입력부, 상기 제1 노드에 인가되는 제1 노드 신호에 응답하여 상기 제2 노드의 신

호를 유지시키는 제1 유지부, 상기 제2 노드에 인가되는 제2 노드 신호에 응답하여 상기 발광 제어 신호를 풀업하는 풀업부 및 상기 제1 노드 신호에 응답하여 상기 발광 제어 신호를 풀다운하는 풀다운부를 포함할 수 있다.

발명의 효과

- [0028] 본 발명의 실시예들에 따른 발광 제어 구동 회로 및 이를 포함하는 표시 장치는 클럭 신호 및 동시 구동 신호를 제어함으로써, 표시 장치의 구동 방식(또는 발광 방식)에 대응하여 다양한 형태의 발광 제어 신호를 출력할 수 있다. 따라서, 다양한 디스플레이 모드에 대해 구동이 단순화되며, 화면 품질이 개선될 수 있다.
- [0029] 또한, 발광 제어 신호의 하강(falling) 속도가 개선됨으로써 화면 품질이 개선될 수 있다.
- [0030] 나아가, 동시 구동 신호 또는 입력 신호들의 입력 타이밍 조절에 의해 발광 제어 신호의 듀티비(duty rate)가 용이하게 조절될 수 있다.
- [0031] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 실시예들에 따른 발광 제어 구동 회로를 나타내는 블록도이다.
- 도 2는 도 1의 발광 제어 구동 회로의 제1 스테이지를 나타내는 블록도이다.
- 도 3a는 도 2의 스테이지의 제1 구동 블록의 일 예를 나타내는 회로도이다.
- 도 3b는 도 2의 스테이지의 제2 구동 블록의 일 예를 나타내는 회로도이다.
- 도 3b는 도 2의 스테이지의 제2 구동 블록의 일 예를 나타내는 회로도이다.
- 도 4는 도 2의 스테이지의 버퍼 블록의 일 예를 나타내는 회로도이다.
- 도 5는 도 1의 발광 제어 구동 회로의 동작의 일 예를 설명하기 위한 타이밍도이다.
- 도 6은 도 1의 발광 제어 구동 회로의 동작의 다른 예를 설명하기 위한 타이밍도이다.
- 도 7은 본 발명의 실시예들에 따른 발광 제어 구동 회로를 나타내는 블록도이다.
- 도 8은 도 7의 발광 제어 구동 회로의 각각의 스테이지에 포함되는 버퍼 블록의 일 예를 나타내는 회로도이다.
- 도 9는 도 7의 발광 제어 구동 회로의 각각의 스테이지에 포함되는 버퍼 블록의 다른 예를 나타내는 회로도이다.
- 도 10은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0034] 도 1은 본 발명의 실시예들에 따른 발광 제어 구동 회로를 나타내는 블록도이다.
- [0035] 도 1을 참조하면, 발광 제어 구동 회로(100)는 서로 종속적으로 연결된 복수의 스테이지들(ST1, ST2, ST3, ST4, ...)을 포함할 수 있다.
- [0036] 스테이지들(ST1, ST2, ST3, ST4, ...) 각각은 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 제1 동시 구동 신호 입력 단자(GK1), 제2 동시 구동 신호 입력 단자(GK2), 제1 입력 신호 단자(INU), 제2 입력 신호 단자(IND), 제1 중간 신호 출력 단자(UP), 제2 중간 신호 출력 단자(DN) 및 발광 제어 신호 출력 단자(EM)를 포함할 수 있다. 스테이지들(ST1, ST2, ST3, ST4, ...) 각각은 하이 직류 전압(VGH) 입력 단자 및 로우 직류 전압(VGL) 입력 단자를 더 포함할 수 있다.
- [0037] 본 실시예에서, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 서로 다른 타이밍을 갖는 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)가 제공될 수 있다.
- [0038] 이웃한 스테이지에서 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 서로 반대로 인가될 수 있다. 예를 들어,

홀수 번째 스테이지(ST1, ST3, ...)의 제1 클럭 단자(CLK1)에는 제1 클럭 신호(CLK1)가 제공되고, 제2 클럭 단자(CLK2)에는 제2 클럭 신호(CLK2)가 제공될 수 있다. 반대로, 짝수 번째 스테이지(ST2, ST4, ...)의 제1 클럭 단자(CLK1)에는 제2 클럭 신호(CLK2)가 제공되고, 제2 클럭 단자(CLK2)에는 제1 클럭 신호(CLK1)가 제공될 수 있다.

- [0039] 1 동시 구동 신호 입력 단자(GK1) 및 제2 동시 구동 신호 입력 단자(GK2)에는 각각 제1 동시 구동 신호(GCK1) 및 제2 동시 구동 신호(GCK2)가 제공될 수 있다. 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 및 제2 동시 구동 신호들(GCK1, GCK2)은 일정 구간에서 각각 로우(low) 전압 레벨을 갖는다. 발광 제어 구동 회로(100)가 상기 동시 발광 모드로 동작하는 경우, 발광 제어 구동 회로(100)의 모든 스테이지들(ST1, ST2, ST3, ST4, ...)이 동시에 동일한 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)을 출력할 수 있다. 반면, 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 및 제2 동시 구동 신호들(GCK1, GCK2)은 항상 하이(high) 전압 레벨을 갖는다. 발광 제어 구동 회로(100)가 상기 순차 발광 모드로 동작하는 경우, 발광 제어 구동 회로(100)의 모든 스테이지들(ST1, ST2, ST3, ST4, ...)은 각각 순차적으로 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)을 출력할 수 있다. 제1 동시 구동 신호(GCK1) 및 제2 동시 구동 신호(GCK2)는 각각 모든 스테이지들(ST1, ST2, ST3, ST4, ...)의 1 동시 구동 신호 입력 단자(GK1) 및 제2 동시 구동 신호 입력 단자(GK2)에 공통으로 제공될 수 있다.
- [0040] 제1 입력 신호 단자(INU)에는 제1 개시 신호 또는 이전 스테이지의 제1 중간 신호가 제공될 수 있다. 제2 입력 신호 단자(IND)에는 제2 개시 신호 또는 이전 스테이지의 제2 중간 신호가 제공될 수 있다.
- [0041] 제1 중간 신호 출력 단자(UP) 및 제2 중간 신호 출력 단자(DN)들은 각각 상기 제1 중간 신호 및 상기 제2 중간 신호들을 출력할 수 있다. 예를 들어, 상기 순차 발광 모드에서, 상기 제1 중간 신호들은 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)을 각각 풀업하고, 상기 제2 중간 신호들은 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)을 각각 풀다운할 수 있다.
- [0042] 발광 제어 신호 출력 단자(EM)들은 전기적으로 연결된 발광 제어 라인들에 각각 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)을 출력할 수 있다. 예를 들어, 발광 제어 신호들(EM[1], EM[2], EM[3], EM[4], ...)은 제1 및 제2 클럭 신호들(CLK1, CLK2)에 기초하여 순차적으로 출력되거나, 제1 및 제2 동시 구동 신호들(GCK1, GCK2)의 상기 로우 전압 레벨에 기초하여 동시에 출력될 수 있다.
- [0043] 도 2는 도 1의 발광 제어 구동 회로의 제1 스테이지의 일 예를 나타내는 블록도이다.
- [0044] 도 2를 참조하면, 발광 제어 구동 회로(100)의 제1 스테이지(ST1)는 제1 구동 블록(120), 제2 구동 블록(140) 및 버퍼 블록(160)을 포함할 수 있다. 이하
- [0045] 제1 구동 블록(120)은 제1 입력 신호(IN1), 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2) 및 제1 동시 구동 신호(GCK1)를 입력받고, 제1 입력 신호(IN1) 및 제1 동시 구동 신호(GCK1)에 응답하여 제1 중간 신호(OUT1)를 출력할 수 있다. 제1 중간 신호(OUT1)는 제2 스테이지(ST2)의 제1 구동 블록의 제1 입력 신호 단자(UP)에 제공되고, 동시에 제1 스테이지(ST1)의 버퍼 블록(160)에 제공될 수 있다.
- [0046] 제2 구동 블록(140)은 제2 입력 신호(IN2), 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2) 및 제2 동시 구동 신호(GCK2)를 입력받고, 제2 입력 신호(IN2) 및 제2 동시 구동 신호(GCK2)에 응답하여 제2 중간 신호(OUT2)를 출력할 수 있다. 제2 중간 신호(OUT2)는 제2 스테이지(ST2)의 제2 구동 블록의 제2 입력 신호 단자(DN)에 제공되고, 동시에 제1 스테이지(ST1)의 버퍼 블록(160)에 제공될 수 있다.
- [0047] 제1 스테이지(ST1)의 경우, 제1 입력 신호(IN1)는 제1 개시 신호에 해당되며, 제2 입력 신호(IN2)는 제2 개시 신호에 해당될 수 있다. 제1 스테이지(ST1)는 상기 제1 개시 신호 및 상기 제2 개시 신호를 표시 장치의 타이밍 제어부로부터 인가받을 수 있다. 반면에, 제1 스테이지(ST1) 이외의 스테이지의 경우, 제1 입력 신호(IN1)는 이전 스테이지(previous stage)의 제1 중간 신호(OUT1)에 해당되며, 제2 입력 신호(IN2)는 이전 스테이지의 제2 중간 신호(OUT2)에 해당될 수 있다.
- [0048] 일 실시예에서, 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 및 제2 동시 구동 신호들(GCK1, GCK2)은 항상 하이 전압 레벨을 유지하며 제1 구동 블록(120) 및 제2 구동 블록(140)에 제공될 수 있다.
- [0049] 또한, 일 실시예에서, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 입력 신호(IN1), 제2 입력 신호(IN2), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 하이 전압 레벨을 유지하며, 제1 구동 블록(120) 및 제2 구동 블록(140)에 제공될 수 있다.
- [0050] 버퍼 블록(160)은 제1 중간 신호(OUT1) 및 제2 중간 신호(OUT2)를 입력받고, 제1 중간 신호(OUT1) 및 제2 중간

신호(OUT2)의 로우 전압 레벨들에 응답하여 발광 제어 신호(EM[1])를 출력할 수 있다. 버퍼 블록(160)은 제1 중간 신호(OUT1)의 로우 전압 레벨에 응답하여 발광 제어 신호(EM[1])를 제1 전압 레벨로 출력하고, 제2 중간 신호(OUT2)의 로우 전압 레벨에 응답하여 발광 제어 신호(EM[1])를 제1 전압 레벨보다 낮은 제2 전압 레벨로 출력할 수 있다. 일 실시예에서, 발광 제어 신호(EM[1])의 상승 에지(rising edge)는 제1 중간 신호(OUT1)의 하강 에지(falling edge)에 동기되고, 발광 제어 신호(EM[1])의 하강 에지는 제2 중간 신호(OUT2)의 하강 에지에 동기될 수 있다.

- [0051] 버퍼 블록(160)은 상기 순차 발광 모드 또는 상기 동시 발광 모드에 각각 상응하도록 발광 제어 신호를 선택적으로 출력할 수 있다.
- [0052] 버퍼 블록(160)은 제1 중간 신호(OUT1)와 제2 중간 신호(OUT2)가 각각 출력되는 간격에 상응하여 발광 제어 신호(EM[1])를 상기 제1 전압 레벨로 출력할 수 있다. 일 실시예에서, 버퍼 블록(160)은 제1 입력 신호(IN1)와 제2 입력 신호(IN2)가 각각 제1 구동 블록(120) 및 제2 구동 블록(140)에 입력되는 간격에 기초하여 상기 순차 발광 모드 동안 출력되는 발광 제어 신호의 듀티(duty)를 조절할 수 있다. 다른 실시예에서, 버퍼 블록(160)은 제1 동시 구동 신호(GCK1)와 제2 동시 구동 신호(GCK2)가 각각 제1 구동 블록(120) 및 제2 구동 블록(140)에 입력되는 간격에 기초하여 상기 동시 발광 모드 동안 출력되는 발광 제어 신호의 듀티를 조절할 수 있다.
- [0053] 도 3a는 도 2의 스테이지의 제1 구동 블록의 일 예를 나타내는 회로도이다.
- [0054] 도 1 및 도 3a를 참조하면, 발광 제어 구동 회로(100)의 제1 스테이지(ST1)의 제1 구동 블록(120)은 제1 입력부(121), 제2 입력부(122), 풀업부(123), 풀다운부(124), 동시 구동 제어부(125), 유지부(126) 및 안정화부(127)를 포함할 수 있다.
- [0055] 제1 입력부(121)는 제1 노드(N1)에 인가된 제1 노드 신호에 응답하여 제1 클럭 단자(CK1)에 인가되는 제1 클럭 신호(CLK1)를 제2 노드(N2)에 전달할 수 있다. 제1 입력부(121)는 제1 노드(N1)에 연결되는 게이트 전극, 제1 클럭 신호(CLK1)를 인가받는 소스 전극 및 제2 노드(N2)에 연결되는 드레인 전극을 구비하는 제1 트랜지스터(T1)를 포함할 수 있다. 일 실시예에서, 상기 제1 노드 신호는 상기 순차 발광 모드에서는 제1 입력 신호(IN1)에 상응할 수 있다. 일 실시예에서, 상기 제1 노드 신호는 상기 동시 발광 모드에서는 하이 직류 전압(VGH)에 상응할 수 있다.
- [0056] 제2 입력부(122)는 제1 클럭 단자(CK1)에 인가되는 제1 클럭 신호(CLK1)에 응답하여 제1 입력 신호(IN1)를 제1 노드(N1)에 전달한다. 제2 입력부(122)는 제1 클럭 신호(CLK1)가 인가되는 게이트 전극, 제1 입력 신호(IN1)가 인가되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 구비하는 제2 트랜지스터(T2)를 포함할 수 있다.
- [0057] 일 실시예에서, 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 각각 다른 타이밍을 가질 수 있다. 예를 들어, 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)의 반전 신호일 수 있다. 제2 클럭 신호(CLK2)의 하이 구간은 제1 클럭 신호(CLK1)의 하이 구간과 부분적으로 중첩될 수 있다.
- [0058] 일 실시예에서, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 항상 하이 전압 레벨을 가질 수 있다. 다만, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하기 전에, 발광 제어 구동 회로(100)를 초기화하기 위해 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 동시에 소정의 구간 동안 로우 전압 레벨을 한번 가질 수 있다.
- [0059] 일 실시예에서, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 스테이지(ST1)에 입력되는 제1 입력 신호(IN1) (즉, 개시 신호)는 항상 하이 전압 레벨을 가질 수 있다.
- [0060] 풀업부(123)는 제2 노드(N2)에 인가되는 제2 노드 신호에 응답하여 제1 중간 신호(OUT1)를 풀업(pull up)할 수 있다. 풀업부(123)는 제2 노드(N2)에 연결되는 게이트 전극, 제1 동시 구동 신호(GCK1)가 인가되는 소스 전극 및 제1 중간 신호(OUT1)를 출력하는 제1 중간 신호 출력 단자(UP)에 연결되는 드레인 전극을 구비하는 제3 트랜지스터(T3)를 포함할 수 있다. 일 실시예에서, 상기 제2 노드 신호는 상기 순차 발광 모드에서는 제1 클럭 신호(CLK1)에 상응할 수 있다. 일 실시예에서, 상기 제1 노드 신호는 상기 동시 발광 모드에서는 제1 동시 구동 신호(GCK1)에 상응할 수 있다.
- [0061] 풀업부(123)는 제1 전극이 제3 트랜지스터(T3)의 상기 소스 전극에 연결되고, 제2 전극이 제3 트랜지스터(T3)의 상기 게이트 전극에 연결되는 제1 캐패시터(C1)를 더 포함할 수 있다. 또한, 풀업부(123)는 제1 전극이 제3 트

랜지스터(T3)의 상기 소스 전극에 연결되고, 제2 전극이 제1 중간 신호 출력 단자(UP)에 연결되는 제2 커패시터(C2)를 더 포함할 수 있다. 제1 커패시터(C1) 및 제2 커패시터(C2)는 제1 중간 신호(OUT1)의 풀업 전압을 안정화시킬 수 있다.

- [0062] 일 실시예에서, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 동시 구동 신호(GCK1)는 소정의 구간에서 로우 전압 레벨을 가질 수 있다. 반면, 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 동시 구동 신호(GCK1)는 항상 하이 전압 레벨을 갖는다.
- [0063] 풀다운부(124)는 상기 제1 노드 신호에 응답하여 제1 중간 신호(OUT1)를 풀다운(pull down)할 수 있다. 풀다운부(124)는 제1 노드(N1)에 연결되는 게이트 전극, 제1 중간 신호(OUT1)를 출력하는 제1 중간 신호 출력 단자(UP)에 연결되는 소스 전극 및 제2 클럭 신호(CLK2)가 인가되는 제2 클럭 단자(CK2)에 연결되는 드레인 전극을 구비하는 제4 트랜지스터(T4)를 포함할 수 있다. 풀다운부(124)는 제1 전극이 제4 트랜지스터(T4)의 상기 소스 전극에 연결되고, 제2 전극이 제4 트랜지스터(T4)의 상기 게이트 전극에 연결되는 제3 캐패시터(C3)를 더 포함할 수 있다. 제3 캐패시터(C3)는 제1 중간 신호(OUT1)의 풀다운 전압을 안정화시킬 수 있다.
- [0064] 동시 구동 제어부(125)는 제1 동시 구동 신호(GCK1)에 응답하여 풀다운부(124)를 비활성화시킬 수 있다. 동시 구동 제어부(125)는 제1 동시 구동 신호(GCK1)가 인가되는 게이트 전극, 하이 직류 전압(VGH)이 인가되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 구비하는 제5 트랜지스터(T5)를 포함할 수 있다. 따라서, 동시 구동 제어부(125)는 동시 발광 모드에서만 하이 직류 전압(VGH)을 제1 노드(N1)에 인가할 수 있다.
- [0065] 유지부(126)는 제1 클럭 신호(CLK1)에 응답하여 제2 노드(N2)의 신호를 유지시킬 수 있다. 유지부(126)는 제1 클럭 신호(CLK1)가 인가되는 게이트 전극, 상기 게이트 전극과 연결되는 소스 전극 및 제2 노드(N2)에 연결되는 드레인 전극을 구비하는 제6 트랜지스터(T6)를 포함할 수 있다. 예를 들어, 제1 클럭 신호(CLK1)가 하이 전압 레벨을 가지면 제6 트랜지스터(T6)는 턴 오프된다. 제1 클럭 신호(CLK1)가 로우 전압 레벨을 가지면 제2 노드(N2)의 전압은 상기 로우 전압 레벨로 유지될 수 있다.
- [0066] 안정화부(127)는 제2 노드(N2)의 신호 및 제2 클럭 신호(CLK2)에 응답하여 제1 중간 신호(OUT1)를 안정화할 수 있다. 안정화부(127)는 직렬로 연결되는 제7 트랜지스터(T7) 및 제8 트랜지스터(T8)를 포함할 수 있다. 제7 트랜지스터(T7)는 제2 노드(N2)에 연결되는 게이트 전극, 제1 중간 신호의 풀업 전압(즉, 제1 동시 구동 신호(GCK1))을 인가받는 소스 전극 및 제8 트랜지스터(T8)의 소스 전극에 연결되는 드레인 전극을 포함할 수 있다. 상기 풀업 전압은 풀업부(123)에서 출력되는 전압에 상응할 수 있다. 제8 트랜지스터(T8)는 제2 클럭 신호(CLK2)를 인가받는 게이트 전극, 제7 트랜지스터(T7)의 상기 드레인 전극에 연결되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 포함할 수 있다.
- [0067] 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 구동 블록(120)은 제1 입력 신호(IN1), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)에 응답하여 제1 중간 신호(OUT1)를 출력할 수 있다. 로우 전압 레벨의 제1 입력 신호(IN1) 및 로우 전압 레벨의 제1 클럭 신호(CLK1)가 제1 구동 블록(120)에 입력되면, 제1 구동 블록(120)은 시프트 레지스터로서 동작하고, 제1 입력 신호(IN1)보다 1수평 주기만큼 지연된 제1 중간 신호(OUT1)가 출력될 수 있다.
- [0068] 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 구동 블록(120)은 제1 동시 구동 신호(GCK1)에 응답하여 제1 중간 신호(OUT1)를 출력할 수 있다. 제1 중간 신호(OUT1)와 제1 동시 구동 신호(GCK1)는 동일한 기간 동안 로우 전압 레벨을 갖는다.
- [0069] 제1 중간 신호(OUT1)는 버퍼 블록(160)의 제1 중간 신호 입력 단자(UP)에 제공되고, 동시에 다음 스테이지의 제1 구동 블록의 제1 입력 신호 단자에 제공될 수 있다.
- [0070] 다만, 제1 구동 블록(120)의 구조가 이에 한정되는 것은 아니다. 예를 들어, 제2 입력부(122), 동시 구동 제어부(125) 및 유지부(126)는 각각 게이트 전극을 공유하며, 직렬로 연결되는 듀얼(dual) 게이트 형태의 복수의 트랜지스터들을 포함할 수 있다. 따라서, 제1 구동 블록(120)이 더욱 안정적으로 동작할 수 있다.
- [0071] 도 3b는 도 1의 발광 제어 구동 회로의 제2 구동 블록의 일 예를 나타내는 회로도이다.
- [0072] 도 1 및 도 3b를 참조하면, 발광 제어 구동 회로(100)의 제1 스테이지의 제2 구동 블록(140)은 제1 입력부(141), 제2 입력부(142), 풀업부(143), 풀다운부(144), 동시 구동 제어부(145), 유지부(146) 및 안정화부(147)를 포함할 수 있다.
- [0073] 도 3a 및 도 3b에 도시된 바와 같이, 제2 구동 블록(140)은 상술한 제1 구동 블록(120)과 그 구성 및 기능이 유

사하다. 그러므로, 제1 구동 블록(120)의 구성과 대응되는 구성 요소들에 대한 중복되는 설명은 생략하기로 한다.

- [0074] 제2 구동 블록(140)의 제2 클럭 신호 단자(CLK2)는 제1 구동 블록의 제1 클럭 신호 단자(CLK1)에 대응하고, 제2 구동 블록(140)의 제1 클럭 신호 단자(CLK1)는 제1 구동 블록(120)의 제2 클럭 신호 단자(CLK2)에 대응하며, 제2 구동 블록(140)의 제2 동시 구동 신호 입력 단자(GK2)는 제1 구동 블록(120)의 제1 동시 구동 신호 입력 단자(GK1)에 대응할 수 있다.
- [0075] 제1 입력부(141)는 제1 노드(N1)에 연결되는 게이트 전극, 제2 클럭 신호(CLK2)를 인가받는 소스 전극 및 제2 노드(N2)에 연결되는 드레인 전극을 구비하는 제1 트랜지스터(T1)를 포함할 수 있다.
- [0076] 제2 입력부(142)는 제2 클럭 신호(CLK2)가 인가되는 게이트 전극, 제2 입력 신호(IN12)가 인가되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 구비하는 제2 트랜지스터(T2)를 포함할 수 있다.
- [0077] 풀업부(143)는 제2 노드(N2)에 연결되는 게이트 전극, 제2 동시 구동 신호(GCK2)가 인가되는 소스 전극 및 제2 중간 신호(OUT2)를 출력하는 제2 중간 신호 출력 단자(DN)에 연결되는 드레인 전극을 구비하는 제3 트랜지스터(T3)를 포함할 수 있다. 풀업부(143)는 제1 전극이 제3 트랜지스터(T3)의 상기 소스 전극에 연결되고, 제2 전극이 제3 트랜지스터(T3)의 상기 게이트 전극에 연결되는 제1 커패시터(C1)를 더 포함할 수 있다. 또한, 풀업부(143)는 제1 전극이 제3 트랜지스터(T3)의 상기 소스 전극에 연결되고, 제2 전극이 제2 중간 신호 출력 단자(DN)에 연결되는 제2 커패시터(C2)를 더 포함할 수 있다.
- [0078] 일 실시예에서, 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제2 동시 구동 신호(GCK2)는 일정 구간에서 로우 전압 레벨을 가질 수 있다. 반면, 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제2 동시 구동 신호(GCK2)는 항상 하이 전압 레벨을 갖는다.
- [0079] 풀다운부(144)는 제1 노드(N1)에 연결되는 게이트 전극, 제1 클럭 신호(CLK1)가 인가되는 소스 전극 및 제2 중간 신호(OUT2)를 출력하는 제2 중간 신호 출력 단자(DN)에 연결되는 드레인 전극을 구비하는 제4 트랜지스터(T4)를 포함할 수 있다. 풀다운부(144)는 제1 전극이 제4 트랜지스터(T4)의 소스 전극에 연결되고, 제2 전극이 제4 트랜지스터(T4)의 게이트 전극에 연결되는 제3 커패시터(C3)를 더 포함할 수 있다.
- [0080] 동시 구동 제어부(145)는 제2 동시 구동 신호(GCK2)가 인가되는 게이트 전극, 하이 직류 전압(VGH)이 인가되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 구비하는 제5 트랜지스터(T5)를 포함할 수 있다.
- [0081] 유지부(146)는 제2 클럭 신호(CLK2)가 인가되는 게이트 전극, 상기 게이트 전극과 연결되는 소스 전극 및 제2 노드(N2)에 연결되는 드레인 전극을 구비하는 제6 트랜지스터(T6)를 포함할 수 있다.
- [0082] 안정화부(147)는 직렬로 연결되는 제7 트랜지스터(T7) 및 제8 트랜지스터(T8)를 포함할 수 있다. 제7 트랜지스터(T7)는 제2 노드(N2)에 연결되는 게이트 전극, 제2 중간 신호의 풀업 전압(즉, 제2 동시 구동 신호(GCK2))을 인가받는 소스 전극 및 제8 트랜지스터(T8)의 소스 전극에 연결되는 드레인 전극을 포함할 수 있다. 제8 트랜지스터(T8)는 제1 클럭 신호(CLK1)를 인가받는 게이트 전극, 제7 트랜지스터(T7)의 상기 드레인 전극에 연결되는 소스 전극 및 제1 노드(N1)에 연결되는 드레인 전극을 포함할 수 있다.
- [0083] 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제2 구동 블록(140)은 제2 입력 신호(IN2), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)에 응답하여 제2 중간 신호(OUT2)를 출력할 수 있다. 로우 전압 레벨의 제2 입력 신호(IN2) 및 로우 전압 레벨의 제2 클럭 신호(CLK2)가 제2 구동 블록(140)에 입력되면, 제2 구동 블록(140)은 시프트 레지스터로서 동작하고, 제2 입력 신호(IN2)보다 1수평 주기만큼 지연된 제2 중간 신호(OUT2)가 출력될 수 있다.
- [0084] 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제2 구동 블록(140)은 제2 동시 구동 신호(GCK2)에 응답하여 제2 중간 신호(OUT2)를 출력할 수 있다. 제2 중간 신호(OUT2)와 제2 동시 구동 신호(GCK2)는 동일한 기간 동안 로우 전압 레벨을 갖는다.
- [0085] 제2 중간 신호(OUT2)는 버퍼 블록(160)의 제2 중간 신호 입력 단자(DN)에 제공되고, 동시에 다음 스테이지의 제2 구동 블록의 제2 입력 신호 단자에 제공될 수 있다.
- [0086] 다만, 제2 구동 블록(140)의 구조가 이에 한정되는 것은 아니다. 예를 들어, 제2 입력부(142), 동시 구동 제어부(145) 및 유지부(146)는 각각 게이트 전극을 공유하며, 직렬로 연결되는 듀얼 게이트 형태의 복수의 트랜지스터들을 포함할 수 있다. 따라서, 제2 구동 블록(140)이 더욱 안정적으로 동작할 수 있다.

- [0087] 도 4는 도 1의 발광 제어 구동 회로의 버퍼 블록의 일 예를 나타내는 회로도이다.
- [0088] 도 1 및 도 4를 참조하면, 버퍼 블록(160)은 제1 입력부(161), 제2 입력부(162), 유지부(163), 풀업부(164) 및 풀다운부(165)를 포함할 수 있다.
- [0089] 버퍼 블록(160)은 하이 직류 전압(VGH) 및 로우 직류 전압(VGL)을 인가받을 수 있다. 이 때, 로우 직류 전압(VGL)은 하이 직류 전압(VGH)보다 낮은 전압값을 갖는다.
- [0090] 제1 입력부(161)는 제1 중간 신호(OUT1)에 응답하여 하이 직류 전압(VGH)을 제1 노드(Q)에 전달하고, 로우 직류 전압(VGL)을 제2 노드(QB)에 전달할 수 있다. 제1 입력부(161)는 제1 중간 신호(OUT1)를 인가받는 게이트 전극, 하이 직류 전압(VGH)을 인가받는 소스 전극 및 제1 노드(Q)에 연결되는 드레인 전극을 구비한 제1 트랜지스터(T1) 및 제1 중간 신호(OUT1)를 인가받는 게이트 전극, 로우 직류 전압(VGL)을 인가받는 소스 전극 및 제2 노드(QB)에 연결되는 드레인 전극을 구비한 제2 트랜지스터(T2)를 포함할 수 있다.
- [0091] 제2 입력부(162)는 제2 중간 신호(OUT2)에 응답하여 로우 직류 전압(VGL)을 제1 노드(Q)에 전달할 수 있다. 제2 입력부(162)는 제2 중간 신호(OUT2)를 인가받는 게이트 전극, 로우 직류 전압(VGL)을 인가받는 소스 전극 및 제1 노드(Q)에 연결되는 드레인 전극을 구비한 제3 트랜지스터(T3)를 포함할 수 있다.
- [0092] 유지부(163)는 제1 노드(Q)의 신호에 응답하여 제2 노드(QB)의 신호를 유지시킬 수 있다. 유지부(163)는 제1 노드(Q)에 연결되는 게이트 전극, 하이 직류 전압(VGH)을 인가받는 소스 전극 및 제2 노드(QB)에 연결되는 드레인 전극을 구비한 제4 트랜지스터(T4)를 포함할 수 있다. 예를 들어, 제1 노드(Q)에 하이 직류 전압(VGH)이 인가되면 제4 트랜지스터(T4)는 턴 오프된다. 제1 노드(Q)에 로우 직류 전압(VGL)이 인가되면 제2 노드(QB)의 전압은 하이 직류 전압(VGH) 레벨로 유지될 수 있다.
- [0093] 풀업부(164)는 제2 노드(QB)에 인가되는 제2 노드 신호에 응답하여 발광 제어 신호(EM[1])를 풀업할 수 있다. 풀업부(164)는 제2 노드(QB)에 연결되는 게이트 전극, 하이 직류 전압(VGH)에 연결되는 소스 전극 및 발광 제어 신호(EM[1])를 출력하는 발광 제어 신호 출력 단자(EM)에 연결되는 드레인 전극을 구비한 제5 트랜지스터(T5)를 포함할 수 있다. 풀업부(164)는 제1 전극이 제5 트랜지스터(T5)의 상기 소스 전극에 연결되고, 제2 전극이 제5 트랜지스터(T5)의 상기 게이트 전극에 연결되는 제1 커패시터(C1)를 더 포함할 수 있다. 제1 커패시터(C1)는 발광 제어 신호(EM[1])의 풀업 전압을 안정화시킬 수 있다.
- [0094] 일 실시예에서, 상기 제2 노드 신호는 하이 직류 전압(VGH) 또는 로우 직류 전압(VGL)에 상응할 수 있다. 따라서, 제2 노드(QB)에 하이 직류 전압(VGH)이 인가되면, 제5 트랜지스터(T5)가 턴 오프되고, 제2 노드(QB)에 로우 직류 전압(VGL)이 인가되면, 제5 트랜지스터(T5)가 턴 온될 수 있다. 제5 트랜지스터(T5)가 턴 온되면, 풀업부(164)는 발광 제어 신호(EM[1])를 풀업할 수 있다.
- [0095] 풀다운부(165)는 제1 노드(Q)에 인가된 제1 노드 신호에 응답하여 발광 제어 신호(EM[1])를 풀다운할 수 있다. 풀다운부(165)는 제1 노드(Q)에 연결되는 게이트 전극, 로우 직류 전압(VGL)에 연결되는 소스 전극 및 발광 제어 신호 출력 단자(EM)에 연결되는 드레인 전극을 구비한 제6 트랜지스터(T6)를 포함할 수 있다. 풀다운부(165)는 제1 단이 제6 트랜지스터(T6)의 상기 소스 전극에 연결되고, 제2 단이 제6 트랜지스터(T6)의 상기 게이트 전극에 연결되는 제2 커패시터(C2)를 더 포함할 수 있다. 제2 커패시터(C2)는 발광 제어 신호(EM[1])의 풀다운 전압을 안정화시킬 수 있다.
- [0096] 일 실시예에서, 상기 제1 노드 신호는 하이 직류 전압(VGH) 또는 로우 직류 전압(VGL)에 상응할 수 있다. 따라서, 제1 노드(Q)에 하이 직류 전압(VGH)이 인가되면, 제6 트랜지스터(T6)가 턴 오프되고, 제1 노드(Q)에 로우 직류 전압(VGL)이 인가되면, 제6 트랜지스터(T6)가 턴 온될 수 있다. 제6 트랜지스터(T6)가 턴 온되면, 풀다운부(165)는 발광 제어 신호(EM[1])를 풀다운할 수 있다.
- [0097] 로우 전압 레벨의 제1 중간 신호(OUT1)가 버퍼 블록(160)에 입력되면, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴 온된다. 따라서, 제2 노드(QB)에 로우 직류 전압(VGL)이 인가되고, 제1 노드(Q)에 하이 직류 전압(VGH)이 인가된다. 제4 및 제6 트랜지스터들(T4, T6)은 턴 오프되고, 제5 트랜지스터(T5)가 턴 온되어, 버퍼 블록(160)은 발광 제어 신호(EM[n])를 제1 전압 레벨로 출력할 수 있다.
- [0098] 로우 전압 레벨의 제2 중간 신호(OUT2)가 버퍼 블록(160)에 입력되면, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)가 턴 온된다. 따라서, 제1 노드(Q)에 로우 직류 전압(VGL)이 인가되고, 제2 노드(QB)에 하이 직류 전압(VGH)이 인가된다. 제5 트랜지스터(T5)는 턴 오프되고, 제6 트랜지스터(T6)가 턴 온될 수 있다. 따라서, 버퍼 블록(160)은 발광 제어 신호(EM[1])를 상기 제1 전압 레벨보다 낮은 제2 전압 레벨로 출력할 수 있다.

- [0099] 다만, 버퍼 블록(140)의 구조가 이에 한정되는 것은 아니다. 예를 들어, 제1 입력부(141)는 게이트 전극을 공유하며, 직렬로 연결되는 듀얼 게이트 형태의 복수의 트랜지스터들을 포함할 수 있다. 따라서, 버퍼 블록(160)이 더욱 안정적으로 동작할 수 있다.
- [0100] 상술한 바와 같이, 본 발명의 실시예들에 따른 발광 제어 구동 회로(100)는 클럭 신호(CLK1, CLK2) 및 동시 구동 신호(GCK1, GCK2)의 상태에 따라, 표시 장치의 발광 방식(즉, 순차 발광 모드 및 동시 발광 모드)에 대응하여 간단하게 다양한 형태의 발광 제어 신호를 출력할 수 있다. 따라서, 다양한 디스플레이 모드에 대해 표시 장치의 구동이 단순화되며, 화면 품질이 개선될 수 있다.
- [0101] 나아가, 동시 구동 신호(GCK1, GCK2) 또는 입력 신호(IN1, IN2)들의 입력 타이밍 조절에 의해 발광 제어 신호의 듀티비(duty rate)가 용이하게 조절될 수 있다.
- [0102] 도 5는 도 1의 발광 제어 구동 회로의 동작의 일 예를 설명하기 위한 타이밍도이다.
- [0103] 도 1 내지 도 5를 참조하면, 발광 제어 구동 회로(100)는 서로 종속적으로 연결된 복수의 스테이지들을 포함할 수 있다. 스테이지들 각각은 제1 구동 블록(120), 제2 구동 블록(140) 및 버퍼 블록(160)을 포함할 수 있다.
- [0104] 이하, 도 5 및 도 6의 발광 제어 구동 회로에 포함되는 트랜지스터들은 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터인 경우의 신호들에 대한 타이밍도를 나타낸다. 상기 트랜지스터들이 NMOS 트랜지스터인 경우라면, 발광 제어 구동 회로는 도 5 및 도 6의 신호들의 반전된 신호들로 실질적으로 동일한 동작을 수행할 수 있다.
- [0105] 구체적으로, 도 5에 도시된 바와 같이 발광 제어 구동 회로(100)는 순차 발광 모드로 동작할 수 있다. 상기 순차 발광 모드에서는 발광 제어 구동 회로(100)가 순차적으로 발광 제어 신호들(EM[1], EM[2], ...)을 출력할 수 있다.
- [0106] 발광 제어 구동 회로(100)가 순차 발광 모드로 동작하는 경우, 제1 동시 구동 신호(GCK1) 및 제2 동시 구동 신호(GCK2)가 항상 하이 전압 레벨을 갖는다.
- [0107] 제1 클럭 신호(CLK1)와 제2 클럭 신호(CLK2)는 소정의 주기(예를 들어 2수평 주기)로 반복되는 로우 전압 레벨의 펄스를 가질 수 있다. 일 실시예에서, 제1 클럭 신호(CLK1)와 제2 클럭 신호(CLK2)는 서로 반 주기(1수평 주기(1H))만큼의 위상 차를 가질 수 있다.
- [0108] 또한, 도 5에서 제1 입력 신호(IN1) 및 제2 입력 신호(IN2)는 제1 스테이지에 입력되는 신호(즉, 제1 개시 신호 및 제2 개시 신호)이다.
- [0109] 제1 시점(t1)에서, 제1 클럭 신호(CLK1)와 제1 입력 신호(IN1)가 동기되어 로우 전압 레벨로 제1 구동 블록(120)에 전달된다. 제1 구동 블록(120)은 제2 클럭 신호(CLK2)의 펄스 레벨에 따라 제1 중간 신호(OUT1)를 출력할 수 있다.
- [0110] 제1 입력 신호(IN1)와 제1 클럭 신호(CLK1)가 동시에 로우 전압 레벨이 되면, 제1 구동 블록(120)의 제1 노드(N1)는 로우 전압 레벨을 갖고, 제2 노드(N2)는 로우 전압 레벨을 가질 수 있다.
- [0111] 이후 제2 클럭 신호(CLK2)가 로우 전압 레벨이 되면(즉, 제2 시점(t2)), 제1 중간 신호 출력 단자(UP)에는 로우 전압 레벨의 제1 중간 신호(OUT1)가 출력될 수 있다.
- [0112] 이후 제2 클럭 신호(CLK2)가 다시 하이 전압 레벨이 되면, 제1 중간 신호(OUT1)는 하이 전압 레벨을 갖고, 상기 하이 전압 레벨을 계속 유지할 수 있다.
- [0113] 따라서, 제2 시점(t2)에서 로우 전압 레벨을 갖는 제1 중간 신호(OUT1)가 제2 클럭 신호(CLK2)의 로우 전압 레벨과 동기되어 출력될 수 있다. 즉, 제1 구동 블록(120)의 동작에 의해 제1 입력 신호(IN1)에 대해 1수평 주기(1H)만큼 지연된 제1 중간 신호(OUT1)가 출력될 수 있다.
- [0114] 또한, 제2 시점(t2)에서, 로우 전압 레벨의 제1 중간 신호(OUT1)가 버퍼 블록(160)에 제공되고, 버퍼 블록(160)은 풀업부(164)의 동작에 의해 제1 발광 제어 신호(EM[1])를 제1 전압 레벨로 출력할 수 있다. 이 때, 제1 발광 제어 신호(EM[1])의 상승 에지는 제1 중간 신호(OUT1)의 하강 에지에 동기될 수 있다. 동시에, 제1 중간 신호(OUT1)는 제2 스테이지의 제1 구동 블록에 제공될 수 있다. 또한, 버퍼 블록(160)의 제2 노드(QB)에 인가되는 신호는 유지부(163)에 의해 로우 직류 전압(VGL)을 유지하며, 제1 구간(T) 동안 제1 발광 제어 신호(EM[1])의 제1 전압 레벨은 안정적으로 유지될 수 있다.

- [0115] 제2 스테이지는 제1 스테이지의 구동과 실질적으로 동일한 구동을 한다. 제2 스테이지는 제2 시점(t2)으로부터 1수평 주기(1H)만큼 지연된 제3 시점(t3)에서 제1 클럭 신호(CLK1)의 로우 전압 레벨과 동기하여 로우 전압 레벨의 제1 중간 신호를 출력할 수 있다. 또한, 상기 제2 스테이지는 제3 시점(t3)에서 제2 발광 제어 신호(EM[2])를 하이 전압 레벨로 출력할 수 있다.
- [0116] 제4 시점(t4)에서, 제2 클럭 신호(CLK2)와 제2 입력 신호(IN2)가 동기되어 로우 전압 레벨로 제2 구동 블록(140)에 전달된다. 제2 구동 블록(140)은 제1 클럭 신호(CLK1)의 펄스 레벨에 따라 제2 중간 신호(OUT2)를 출력할 수 있다.
- [0117] 제2 입력 신호(IN2)와 제2 클럭 신호(CLK2)가 동시에 로우 전압 레벨이 되면, 제2 구동 블록(140)의 제1 노드(N1)는 로우 전압 레벨을 갖고, 제2 노드(N2)는 로우 전압 레벨을 가질 수 있다.
- [0118] 이후 제1 클럭 신호(CLK1)가 로우 전압 레벨이 되면(즉, 제5 시점(t5)), 제2 중간 신호 출력 단자(DN)에는 로우 전압 레벨의 제2 중간 신호(OUT2)가 출력될 수 있다.
- [0119] 이후 제1 클럭 신호(CLK1)가 다시 하이 전압 레벨이 되면, 제2 중간 신호(OUT2)는 하이 전압 레벨을 갖고, 상기 하이 전압 레벨을 계속 유지할 수 있다.
- [0120] 따라서, 제5 시점(t5)에서 로우 전압 레벨을 갖는 제2 중간 신호(OUT2)가 제1 클럭 신호(CLK2)의 로우 전압 레벨과 동기되어 출력될 수 있다. 즉, 제2 구동 블록(140)의 동작에 의해 제2 입력 신호(IN2)에 대해 1수평 주기(1H)만큼 지연된 제2 중간 신호(OUT2)가 출력될 수 있다.
- [0121] 또한, 제5 시점(t5)에서, 로우 전압 레벨의 제2 중간 신호(OUT2)가 버퍼 블록(160)에 제공되고, 버퍼 블록(160)은 로우 직류 전압(VGL)에 따라 제1 발광 제어 신호(EM[1])를 상기 제1 전압 레벨보다 낮은 제2 전압 레벨로 출력할 수 있다. 제5 시점(t5)에서, 버퍼 블록(160)의 제1 노드(Q)는 로우 직류 전압(VGL)을 인가받고, 제2 노드(QB)는 하이 직류 전압(VGH)을 인가받을 수 있다. 이 때, 제1 발광 제어 신호(EM[1])의 하강 에지는 제2 중간 신호(OUT2)의 하강 에지에 동기될 수 있다. 동시에, 제2 중간 신호(OUT2)는 상기 제2 스테이지의 제2 구동 블록에 제공될 수 있다.
- [0122] 상기 제2 스테이지는 상기 제1 스테이지의 구동과 실질적으로 동일한 구동을 한다. 상기 제2 스테이지는 제6 시점(t6)에서 제2 클럭 신호(CLK2)의 로우 전압 레벨과 동기하여 로우 전압 레벨을 갖는 제2 중간 신호를 출력할 수 있다. 또한, 상기 제2 스테이지는 제6 시점(t6)에서 제2 발광 제어 신호(EM[2])를 상기 제2 전압 레벨로 출력할 수 있다. 제2 발광 제어 신호(EM[2])는 제1 구간(T)과 동일한 제2 구간(T) 동안 제2 전압 레벨을 유지하며 출력될 수 있다.
- [0123] 마찬가지로, 제1 및 제2 스테이지들을 제외한 나머지 스테이지들도 이전 스테이지의 제1 중간 신호 및 제2 중간 신호를 입력받아 순차적으로 발광 제어 신호들을 출력할 수 있다.
- [0124] 도 5에 도시된 바와 같이, 발광 제어 신호들이 제1 전압 레벨을 갖는 구간(T)의 길이는 제1 입력 신호(IN1)(즉, 제1 개시 신호)의 로우 전압 레벨과 제2 입력 신호(IN2)(즉, 제2 개시 신호)의 로우 전압 레벨 사이의 구간(즉, 제1 시점(t1)부터 제4 시점(t4)까지의 기간)의 길이에 상응할 수 있다. 따라서, 제1 입력 신호(IN1)와 제2 입력 신호(IN2)가 각각 로우 전압 레벨로 하강되는 시간 간격을 조절함으로써 발광 제어 신호의 듀티비를 자유롭게 제어할 수 있다.
- [0125] 도 6은 도 1의 발광 제어 구동 회로의 동작의 다른 예를 설명하기 위한 타이밍도이다.
- [0126] 도 1 내지 도 4 및 도 6을 참조하면, 발광 제어 구동 회로(100)는 서로 종속적으로 연결된 복수의 스테이지들을 포함할 수 있다. 스테이지들 각각은 제1 구동 블록(120), 제2 구동 블록(140) 및 버퍼 블록(160)을 포함할 수 있다.
- [0127] 구체적으로, 도 6에 도시된 바와 같이 발광 제어 구동 회로(100)는 동시 발광 모드로 동작할 수 있다. 상기 동시 발광 모드에서는 발광 제어 구동 회로(100)의 스테이지들이 동시에 발광 제어 신호들(EM[1], EM[2], ...)을 출력할 수 있다.
- [0128] 발광 제어 구동 회로(100)가 동시 발광 모드로 동작하는 경우, 제1 스테이지(ST1)의 제1 구동 블록(120) 및 제2 구동 블록(140)으로 각각 입력되는 제1 입력 신호(IN1) 및 제2 입력 신호(IN2)는 항상 하이 전압 레벨을 갖는다. 또한, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)가 하이 전압 레벨을 갖는다. 따라서, 제1 구동 블록(120)의 제1 입력부(121), 제2 입력부(122), 유지부(126) 및 안정화부(127)이 동작하지 않는다. 또한, 제2 구

동 블록(140)의 제1 입력부(141), 제2 입력부(142), 유지부(146) 및 안정화부(147)이 동작하지 않는다.

- [0129] 제1 동시 구동 신호(GCK1) 및 제2 동시 구동 신호(GCK2)는 각각 일정 기간 동안 로우 전압 레벨을 가질 수 있다. 이 때, 제1 동시 구동 신호(GCK1)의 로우 전압 레벨 구간과 제2 동시 구동 신호(GCK2)의 로우 전압 레벨 구간은 서로 중첩되지 않는다. 일 실시예에서, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 제1 시점(t1) 이전에 일정 구간(a)에서 동시에 로우 전압 레벨로 출력될 수 있다. 이에 따라, 제1 구동 블록(120) 및 제2 구동 블록(140)이 초기화될 수 있다.
- [0130] 제1 시점(t1)부터 제2 시점(t2)까지의 기간에서, 로우 전압 레벨을 갖는 제1 동시 구동 신호(GCK1)가 모든 스테이지들의 제1 구동 블록(120)들에 공통으로 제공될 수 있다. 제1 및 제2 클럭 신호들(CLK1, CLK2)은 하이 전압 레벨을 가지므로, 제1 구동 블록(120)들은 제1 동시 구동 신호(GCK1)와 동일한 타이밍을 가지는 제1 중간 신호(OUT1)들을 출력할 수 있다.
- [0131] 즉, 제1 동시 구동 신호(GCK1)가 로우 전압 레벨을 갖고, 제1 구동 블록(120)의 제1 노드(N1)는 하이 전압 레벨을 갖는 반면, 제2 노드(N2)는 로우 전압 레벨을 가질 수 있다. 제2 노드(N2)의 신호에 응답하여 풀업부(123)는 제1 동시 구동 신호(GCK1)를 이용하여 로우 전압 레벨의 제1 중간 신호(OUT1)를 생성할 수 있다. 이후, 제1 동시 구동 신호(GCK1)가 하이 전압 레벨로 바뀌면, 제2 노드(N2)는 하이 전압 레벨을 가지며, 제1 중간 신호(OUT1)도 하이 전압 레벨로 변화할 수 있다.
- [0132] 제1 시점(t1)에서, 로우 전압 레벨을 갖는 제1 중간 신호(OUT1)가 버퍼 블록(160)에 제공되고, 버퍼 블록(160)들은 풀업부(164)의 동작에 의해 발광 제어 신호들(EM[1], EM[2], ...)을 제1 전압 레벨로 출력할 수 있다. 버퍼 블록(160)의 제1 입력부(161)의 제1 트랜지스터(T1)가 턴 온되어, 제1 노드(Q)에 하이 직류 전압(VGH)이 인가되고, 버퍼 블록(160)의 제1 입력부(161)의 제2 트랜지스터(T2)가 턴 온되어, 제2 노드(QB)에 로우 직류 전압(VGL)이 인가될 수 있다. 이 때, 발광 제어 신호들(EM[1], EM[2], ...)의 상승 에지는 제1 중간 신호(OUT1)의 하강 에지에 동기될 수 있다. 또한, 버퍼 블록(160)의 제2 노드(QB)는 유지부(163)에 의해 로우 직류 전압(VGL)을 유지하며, 제1 구간(T) 동안 발광 제어 신호들(EM[1], EM[2], ...)의 하이 전압 레벨은 안정적으로 유지될 수 있다.
- [0133] 제3 시점(t3)부터 제4 시점(t4)까지의 기간에서, 로우 전압 레벨을 갖는 제2 동시 구동 신호(GCK2)가 모든 스테이지들의 제2 구동 블록(140)들에 공통으로 제공될 수 있다. 제1 및 제2 클럭 신호들(CLK1, CLK2)은 하이 전압 레벨을 가지므로, 제2 구동 블록(140)들은 제2 동시 구동 신호(GCK2)와 동일한 타이밍을 가지는 제2 중간 신호(OUT2)들을 출력할 수 있다.
- [0134] 즉, 제2 동시 구동 신호(GCK2)가 로우 전압 레벨을 갖고, 제2 구동 블록(140)의 제1 노드(N1)는 하이 전압 레벨을 갖는 반면, 제2 노드(N2)는 로우 전압 레벨을 가질 수 있다. 제2 노드(N2)의 신호에 응답하여 풀업부(143)는 제2 동시 구동 신호(GCK2)를 이용하여 로우 전압 레벨의 제2 중간 신호(OUT2)를 생성할 수 있다. 이후, 제2 동시 구동 신호(GCK2)가 하이 전압 레벨로 바뀌면, 제2 노드(N2)는 하이 전압 레벨을 가지며, 제2 중간 신호(OUT2)도 하이 전압 레벨로 변화할 수 있다.
- [0135] 제3 시점(t3)에서, 로우 전압 레벨을 갖는 제1 중간 신호(OUT1)가 버퍼 블록(160)에 제공되고, 버퍼 블록(160)들은 풀다운부(165)의 동작에 의해 발광 제어 신호들(EM[1], EM[2], ...)을 제2 전압 레벨로 출력할 수 있다. 제3 시점(t3)에서, 버퍼 블록(160)의 제2 입력부(162)의 제3 트랜지스터(T3)가 턴 온되어, 제1 노드(Q)에 로우 직류 전압(VGL)이 인가되고, 버퍼 블록(160)의 유지부(163)의 제4 트랜지스터(T4)가 턴 온되어, 제2 노드(QB)에 하이 직류 전압(VGH)이 인가될 수 있다. 따라서, 풀다운부(165)가 턴 온되고, 발광 제어 신호들(EM[1], EM[2], ...)은 제2 전압 레벨로 풀다운될 수 있다. 이 때, 발광 제어 신호들(EM[1], EM[2], ...)의 하강 에지는 제2 중간 신호(OUT2)들의 하강 에지에 동기될 수 있다.
- [0136] 이와 같이, 발광 제어 구동 회로(100)는 상기 동시 발광 모드에서 로우 전압 레벨을 갖는 제1 및 제2 동시 구동 신호들(GCK1, GCK2)을 공통으로 제공받음으로써 발광 제어 신호들(EM[1], EM[2], ...)을 동시에 출력할 수 있다.
- [0137] 발광 제어 신호들(EM[1], EM[2], ...)이 제1 전압 레벨을 갖는 구간(T)의 길이는 제1 동시 구동 신호(GCK1)의 로우 전압 레벨과 제2 동시 구동 신호(GCK2)의 로우 전압 레벨 사이의 구간(즉, 제1 시점(t1)부터 제3 시점(t3)까지의 기간)의 길이에 상응할 수 있다. 따라서, 제1 동시 구동 신호(GCK1)와 제2 동시 구동 신호(GCK2)가 각각 로우 전압 레벨로 하강되는 시간 간격을 조절함으로써 발광 제어 신호의 듀티비를 자유롭게 제어할 수 있다.
- [0138] 도 7은 본 발명의 실시예들에 따른 발광 제어 구동 회로를 나타내는 블록도이다. 도 8은 도 7의 발광 제어 구동

회로에 포함되는 버퍼 블록의 일 예를 나타내는 회로도이다.

- [0139] 본 실시예에 따른 발광 제어 구동 회로는 버퍼 블록의 풀다운부의 구성을 제외하면 제1 내지 도 4에 따른 발광 제어 구동 회로 및 이에 포함되는 버퍼 블록과 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.
- [0140] 도 1, 도 2, 도 7 및 도 8을 참조하면, 발광 제어 구동 회로(200)는 서로 종속적으로 연결된 복수의 스테이지들(ST1, ST2, ST3, ...)을 포함할 수 있다.
- [0141] 도 7에 도시된 바와 같이, 스테이지들(ST1, ST2, ST3, ...) 각각은 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 제3 클럭 단자(CK3), 제1 동시 구동 신호 입력 단자(GK1), 제2 동시 구동 신호 입력 단자(GK2), 제1 입력 신호 단자(INU), 제2 입력 신호 단자(IND), 제1 중간 신호 출력 단자(UP), 제2 중간 신호 출력 단자(DN) 및 발광 제어 신호 출력 단자(EM)를 포함할 수 있다. 스테이지들(ST1, ST2, ST3, ...) 각각은 하이 직류 전압(VGH) 입력 단자 및 로우 직류 전압(VGL) 입력 단자를 더 포함할 수 있다.
- [0142] 본 실시예에서, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 서로 다른 타이밍을 갖는 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)가 제공될 수 있다.
- [0143] 버퍼 블록(160)에 포함되는 제3 클럭 단자(CK3)에는 제3 클럭 신호(CLK3) 또는 제4 클럭 신호(CLK4)가 제공될 수 있다. 예를 들어, 홀수 번째 스테이지(ST1, ST3, ...)의 제3 클럭 단자(CK3)에는 제3 클럭 신호(CLK3)가 제공될 수 있다. 반대로, 짝수 번째 스테이지(ST2, ST4, ...)의 제3 클럭 단자(CK3)에는 제4 클럭 신호(CLK4)가 제공될 수 있다. 일 실시예에서, 제3 클럭 신호(CLK3)는 제2 클럭 신호(CLK2)와 동일한 타이밍으로 제공되고, 제4 클럭 신호(CLK4)는 제1 클럭 신호(CLK1)와 동일한 타이밍으로 제공될 수 있다.
- [0144] 발광 제어 구동 회로(200)의 하나의 스테이지는 제1 구동 블록(120), 제2 구동 블록(140) 및 버퍼 블록(260)을 포함할 수 있다. 제1 구동 블록(120) 및 제2 구동 블록(140)에 대해서는 도 2 내지 도3b를 참조하여 기술하였는 바, 자세한 설명은 생략하기로 한다.
- [0145] 도 8에 도시된 바와 같이, 버퍼 블록(160)은 제1 입력부(161), 제2 입력부(162), 유지부(163), 풀업부(164) 및 풀다운부(166)를 포함할 수 있다.
- [0146] 제1 입력부(161)는 제1 중간 신호(OUT1)에 응답하여 하이 직류 전압(VGH)을 제1 노드(Q)에 전달하고, 로우 직류 전압(VGL)을 제2 노드(QB)에 전달할 수 있다.
- [0147] 제2 입력부(162)는 제2 중간 신호(OUT2)에 응답하여 로우 직류 전압(VGL)을 제1 노드(Q)에 전달할 수 있다.
- [0148] 유지부(163)는 제1 노드(Q)에 인가되는 제1 노드 신호에 응답하여 제2 노드(QB)의 신호를 유지시킬 수 있다.
- [0149] 풀업부(164)는 제2 노드(QB)에 인가되는 제2 노드 신호에 응답하여 발광 제어 신호(EM[n])를 풀업할 수 있다.
- [0150] 풀다운부(166)는 상기 제1 노드 신호에 응답하여 발광 제어 신호(EM[1])를 풀다운할 수 있다. 일 실시예에서, 풀다운부(166)는 직렬로 연결되는 제1 풀다운 트랜지스터(T6) 및 제2 풀다운 트랜지스터(T7)를 포함할 수 있다. 제1 풀다운 트랜지스터(T6)는 제1 노드(Q)에 연결되는 게이트 전극, 제2 풀다운 트랜지스터(T7)의 드레인 전극에 연결되는 소스 전극 및 발광 제어 신호 출력 단자(EM)에 연결되는 드레인 전극을 포함할 수 있다. 제2 풀다운 트랜지스터(T7)는 다이오드 연결된 형태를 가질 수 있다. 제2 풀다운 트랜지스터(T7)는 제3 클럭 신호(CLK3)를 인가받는 제3 클럭 단자(CK3)에 연결되는 게이트 전극, 상기 게이트 전극에 연결되는 소스 전극 및 제1 풀다운 트랜지스터(T6)의 상기 소스 전극에 연결되는 드레인 전극을 포함할 수 있다.
- [0151] 발광 제어 구동 회로(200)가 순차 발광 모드로 동작하는 경우, 제1 스테이지(ST1)의 버퍼 블록(260)의 제1 풀다운 트랜지스터(T6)가 턴 온되면, 발광 제어 신호의 출력을 풀다운할 수 있다. 제3 클럭 신호(CLK3)는 제2 클럭 신호(CLK2)와 동일한 타이밍을 가질 수 있다. 제3 클럭 신호(CLK3)가 로우 전압 레벨이 되면, 제1 노드(Q)는 풀다운부(166)의 커패시터(C2)에 의해 부트 스트랩되어 기존의 로우 전압 레벨보다 더 낮은 레벨로 내려갈 수 있다. 따라서, 발광 제어 신호의 하강 속도(즉, 풀다운 속도)가 더 빨라질 수 있다.
- [0152] 제1 스테이지(ST1)와 이웃한 제2 스테이지(ST2)에 포함되는 버퍼 블록의 풀다운부에는 제4 클럭 신호(CLK4)가 인가될 수 있다. 상기 제4 클럭 신호는 제1 클럭 신호(CLK1)와 동일한 타이밍을 가질 수 있다. 예를 들어, 홀수 번째 스테이지의 제3 클럭 단자(CK3)에는 제3 클럭 신호(CLK3)가 제공될 수 있다. 반대로, 짝수 번째 스테이지의 제3 클럭 단자(CK3)에는 제4 클럭 신호(CLK4)가 제공될 수 있다.

- [0153] 발광 제어 구동 회로(200)가 동시 발광 모드로 동작하는 경우, 제3 클럭 신호(CLK3) 및 제4 클럭 신호(CLK4)는 항상 로우 전압 레벨을 갖는다. 따라서, 제3 클럭 신호(CLK3) 및 제4 클럭 신호(CLK4)는 로우 직류 전압(VGL)과 동일한 역할을 할 수 있다.
- [0154] 상술한 바와 같이, 도 7 및 도 8의 발광 제어 구동 회로(200)는 순차 구동 시, 발광 제어 신호의 하강(falling) 속도를 개선할 수 있다. 따라서, 화면 품질이 개선될 수 있다.
- [0155] 도 9는 도 7의 발광 제어 구동 회로에 포함되는 버퍼 블록의 또 다른 예를 나타내는 회로도이다.
- [0156] 본 실시예에 따른 버퍼 블록은 제2 유지부의 구성을 제외하면 도 7 및 도 8에 따른 발광 제어 구동 회로 및 이에 포함되는 버퍼 블록과 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.
- [0157] 도 9를 참조하면, 발광 제어 구동 회로(200)의 버퍼 블록(360)은 제1 입력부(161), 제2 입력부(162), 제1 유지부(163), 제2 유지부(167), 풀업부(164) 및 풀다운부(166)를 포함할 수 있다.
- [0158] 제2 유지부(167)는 버퍼 블록(160)의 제2 노드(QB)에 인가되는 제2 노드 신호에 응답하여 제1 노드(Q)에 인가되는 제1 노드 신호를 유지시킬 수 있다. 제2 유지부(167)는 제2 노드(QB)에 연결되는 게이트 전극, 하이 전압 레벨 전압(VGH)을 인가받는 소스 전극 및 제1 노드(Q)에 연결되는 드레인 전극을 구비한 유지 트랜지스터(T8)를 포함할 수 있다.
- [0159] 발광 제어 신호가 제1 전압 레벨로 출력되는 동안, 제2 노드(QB)에 인가되는 신호는 로우 직류 전압(VGL)이고, 제2 유지부(167)의 유지 트랜지스터(T8)는 턴 온될 수 있다. 제1 노드(Q)에는 제2 유지부(167)에 의해 하이 직류 전압(VGH)이 인가될 수 있다. 따라서, 누설 전류가 큰 트랜지스터들이 포함된 경우에도 버퍼 블록(160)이 안정적으로 동작할 수 있다. 또한, 풀다운부(166)의 턴 오프 시간을 장시간 유지할 수 있다.
- [0160] 도 9에 도시된 바와 같이, 풀다운부(166)는 제1 풀다운 트랜지스터(T6) 및 제2 풀다운 트랜지스터(T7)를 포함할 수 있다. 다만, 풀다운부(166)의 구성이 이에 한정되는 것은 아니고, 풀다운부(166)는 로우 직류 전압(VGL)에 연결되는 하나의 풀다운 트랜지스터로 구성될 수도 있다.
- [0161] 도 10은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.
- [0162] 도 10을 참조하면, 표시 장치(1000)는, 표시 패널(1100), 타이밍 제어부(1200), 게이트 구동 회로(1300), 데이터 구동 회로(1400) 및 발광 제어 구동 회로(1500)를 포함할 수 있다.
- [0163] 예를 들어, 상기 표시 장치(1000)는 유기 발광 표시 장치일 수 있다. 이와는 달리, 상기 표시 장치(1000)는 액정 표시 장치일 수 있다.
- [0164] 표시 패널(1100)은 영상을 표시한다. 표시 패널(1100)은 복수의 스캔 라인들(S1 내지 Sn), 복수의 데이터 라인들(D1 내지 Dm), 복수의 발광 제어 라인들(E1 내지 En) 및 스캔 라인들(S1 내지 Sn), 데이터 라인들(D1 내지 Dm) 및 발광 제어 라인들(E1 내지 En) 연결되는 복수의 서브 화소들(1120)을 포함한다. 예를 들어, 상기 서브 화소들(1120)은 매트릭스 형태로 배치될 수 있다.
- [0165] 타이밍 제어부(1200)는 외부의 그래픽 기기와 같은 화상 소스로부터 입력 제어 신호(CONT) 및 입력 영상 신호(DATA1)를 수신할 수 있다. 입력 제어 신호(CONT)는 메인 클럭 신호, 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC) 및 데이터 인에이블 신호를 포함할 수 있다. 타이밍 제어부(1200)는 입력 영상 신호(DATA1)에 기초하여 표시 패널(1100)의 동작 조건에 맞는 디지털 형태의 신호(DATA2)를 생성하여 데이터 구동 회로(1400)에 제공할 수 있다. 또한, 타이밍 제어부(1200)는 입력 제어 신호(CONT)에 기초하여 게이트 구동 회로(1300)의 구동 타이밍을 제어하기 위한 제1 제어 신호(CONT1), 데이터 구동 회로(1400)의 구동 타이밍을 제어하기 위한 제2 제어 신호(CONT2) 및 발광 제어 구동 회로(1500)를 제어하기 위한 제3 제어 신호(CONT3)를 생성하여 각각 게이트 구동 회로(1300), 데이터 구동 회로(1400) 및 발광 제어 구동 회로(1500)에 제공할 수 있다.
- [0166] 게이트 구동 회로(1300)는 복수의 게이트 신호들을 게이트 라인들(S1 내지 Sn)을 통해 표시 패널(1100)로 각각 출력하는 게이트 스테이지들을 포함할 수 있다. 게이트 구동 회로(1300)는 타이밍 제어부(1200)로부터 수신된 제1 제어 신호(CONT1)에 기초하여 게이트 라인들(S1 내지 Sn)에 게이트 신호들을 인가할 수 있다.
- [0167] 데이터 구동 회로(1400)는 복수의 데이터 신호들을 데이터 라인들(D1 내지 Dm)을 통해 표시 패널(1100)로 각각 출력할 수 있다. 데이터 구동 회로(1400)는 타이밍 제어부(1200)로부터 수신된 제2 제어 신호(CONT2) 및 데이터

1000: 표시 장치

1100: 표시 패널

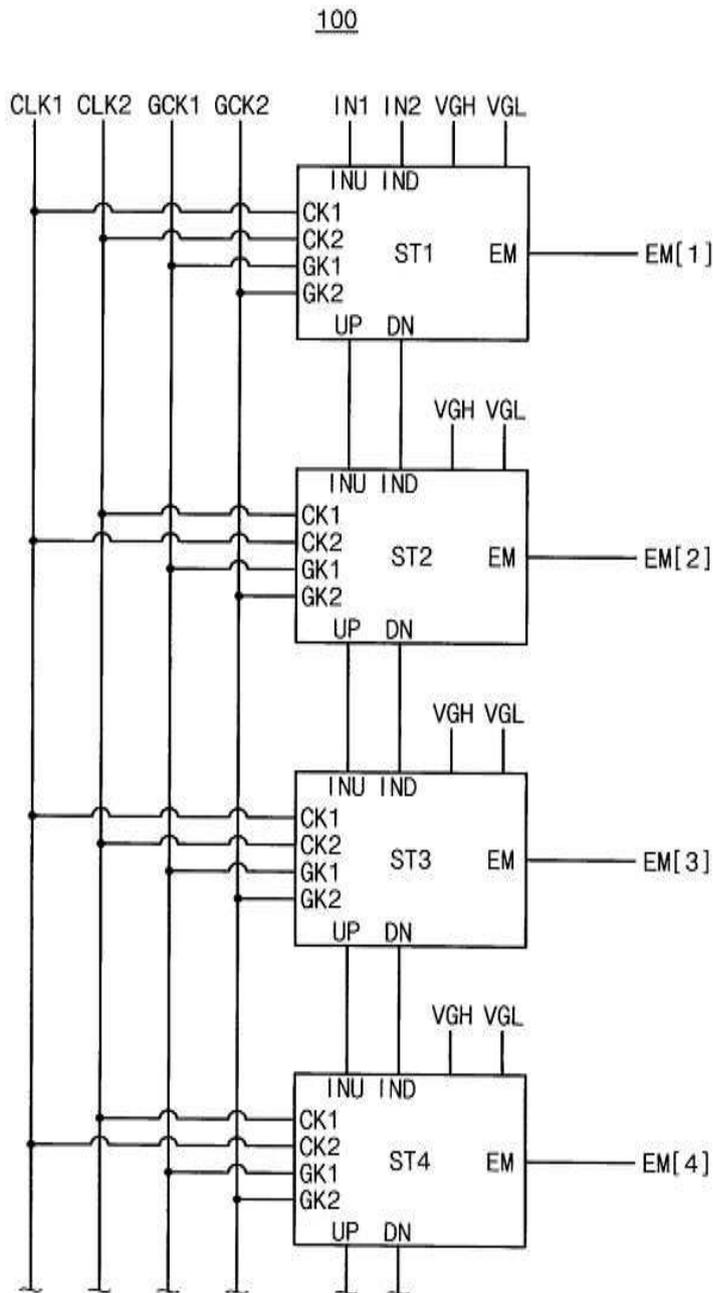
1200: 타이밍 제어부

1300: 게이트 구동 회로

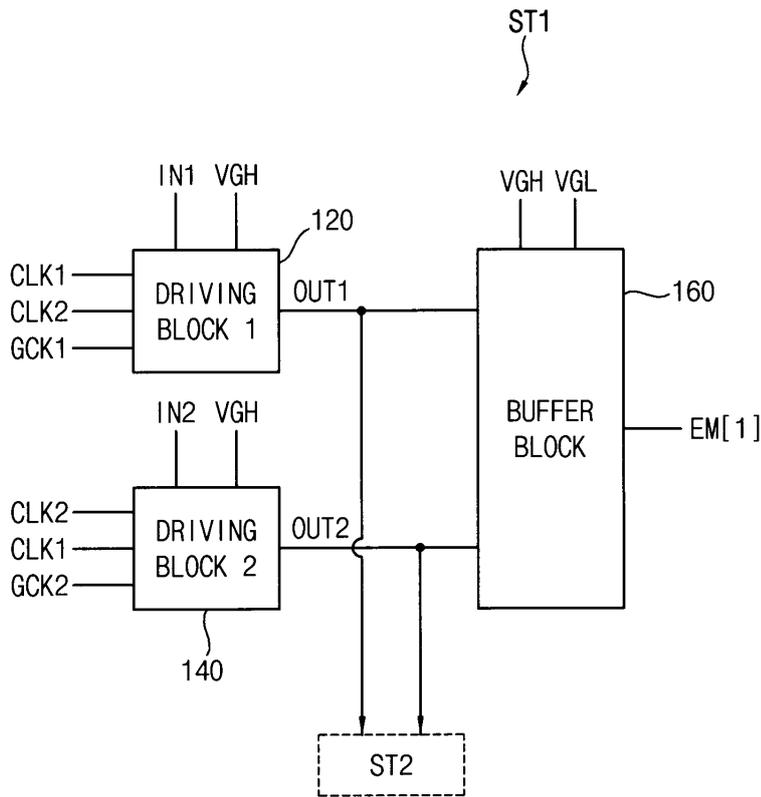
1400: 데이터 구동 회로

도면

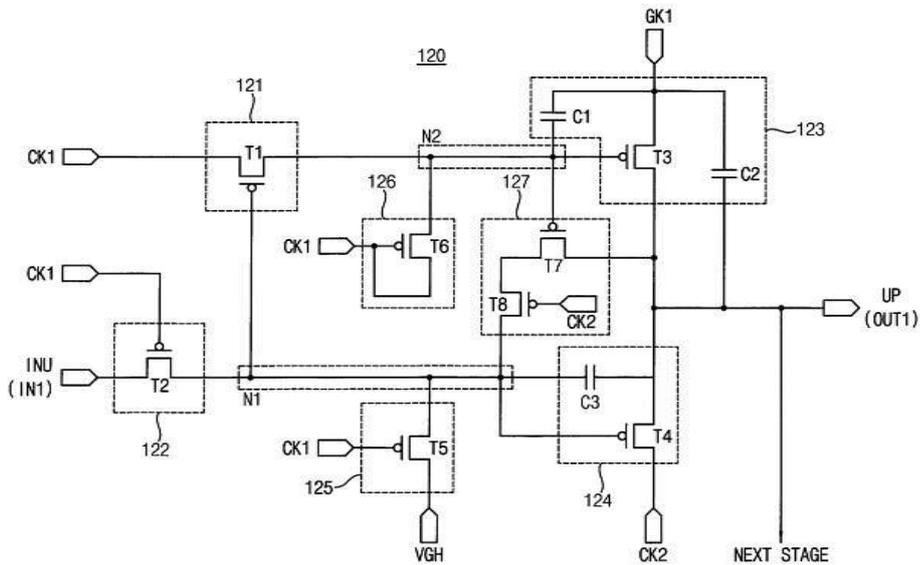
도면1



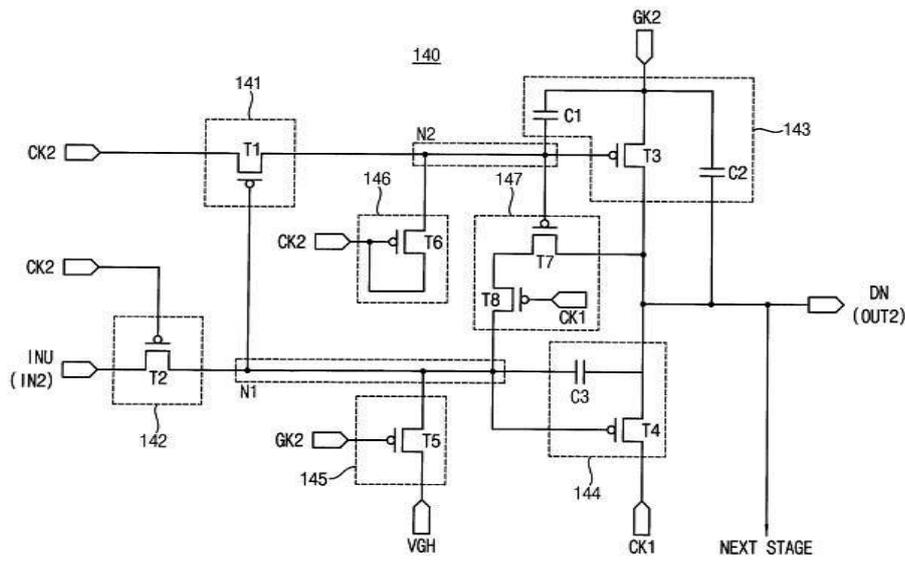
도면2



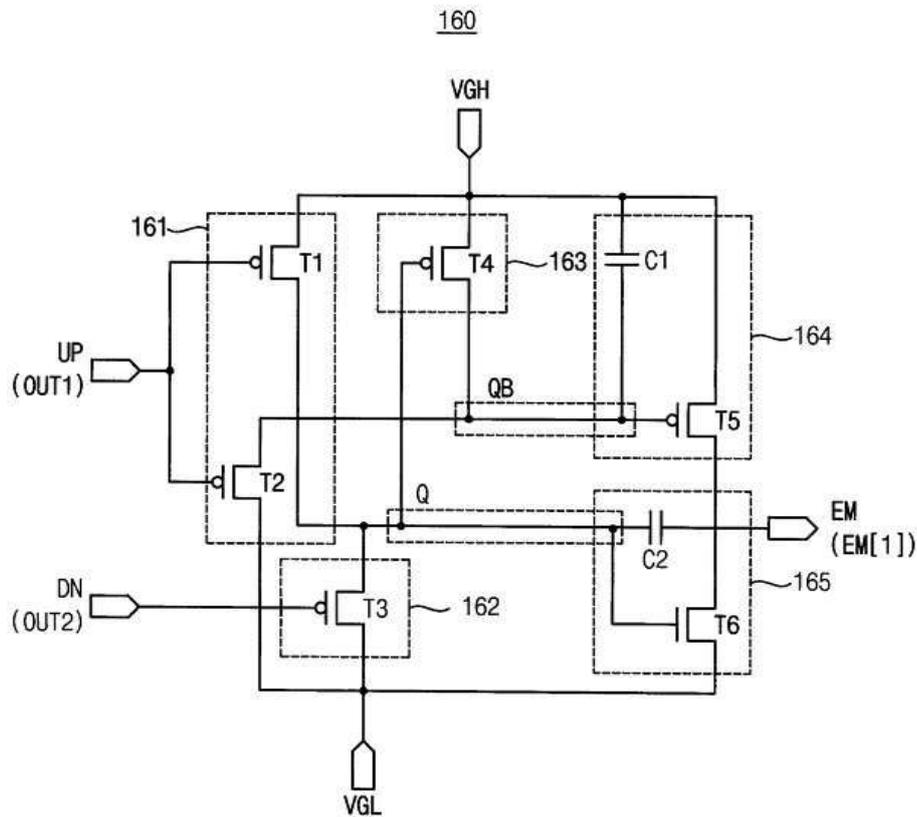
도면3a



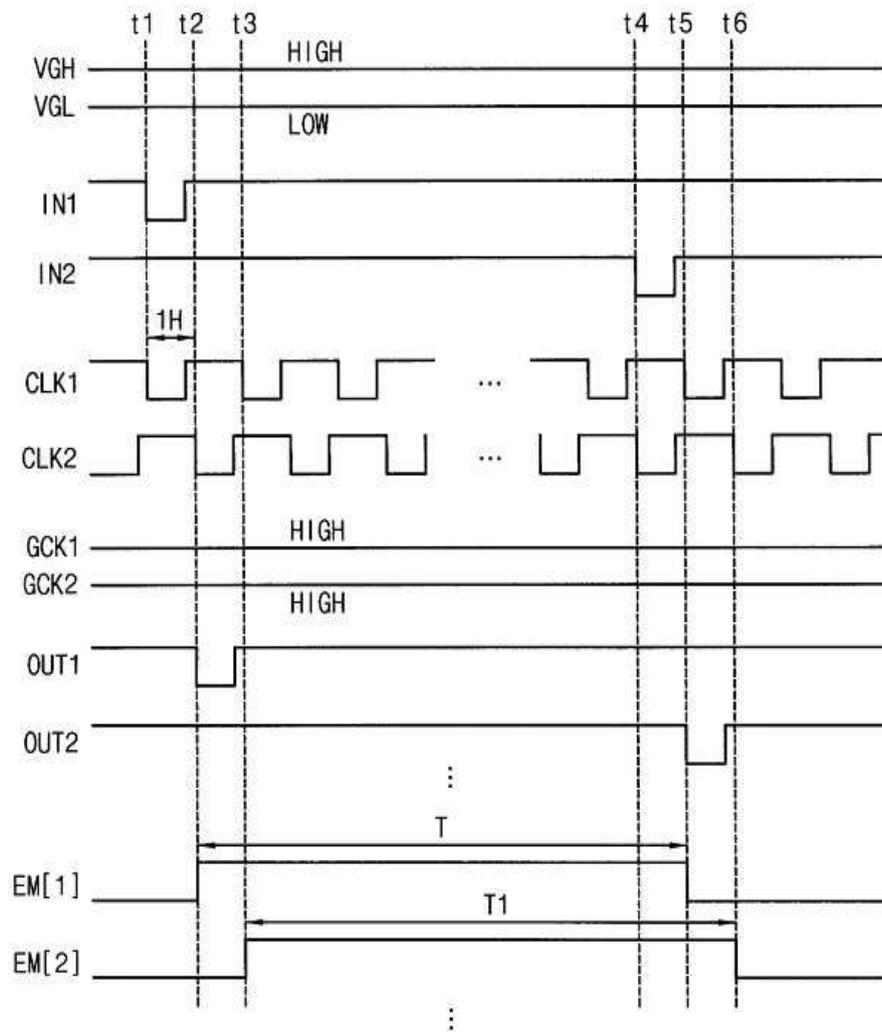
도면3b



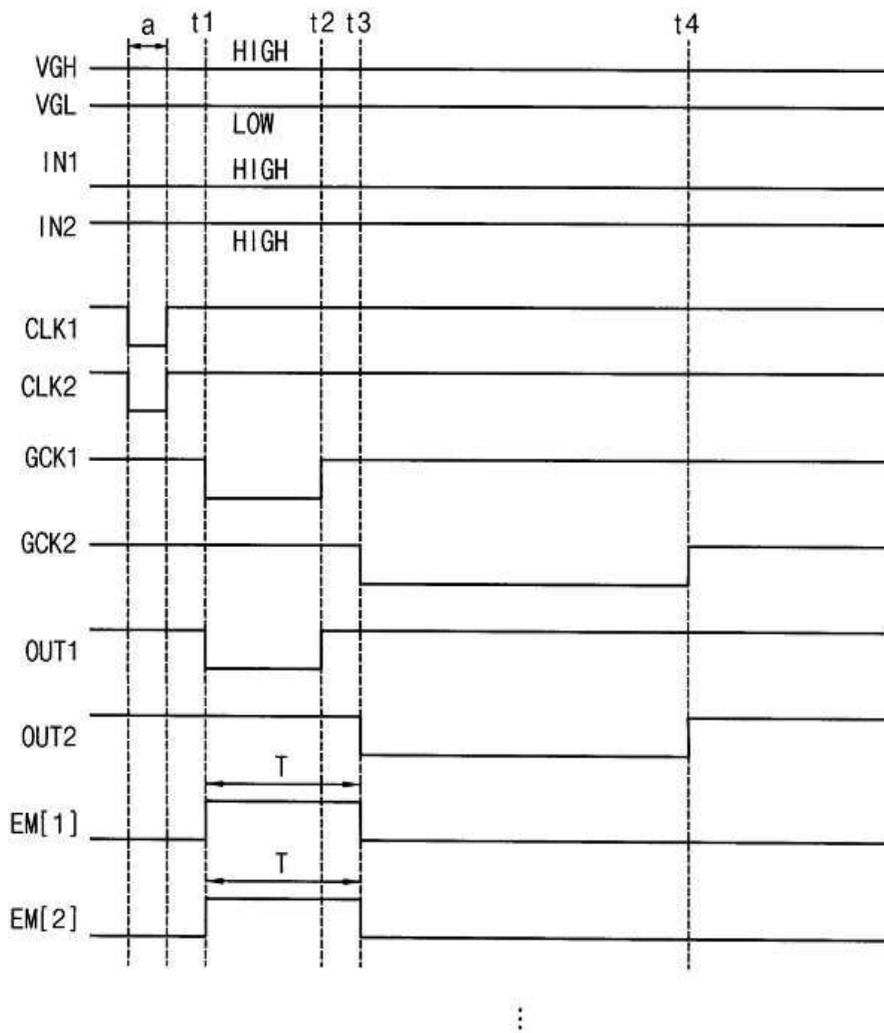
도면4



도면5

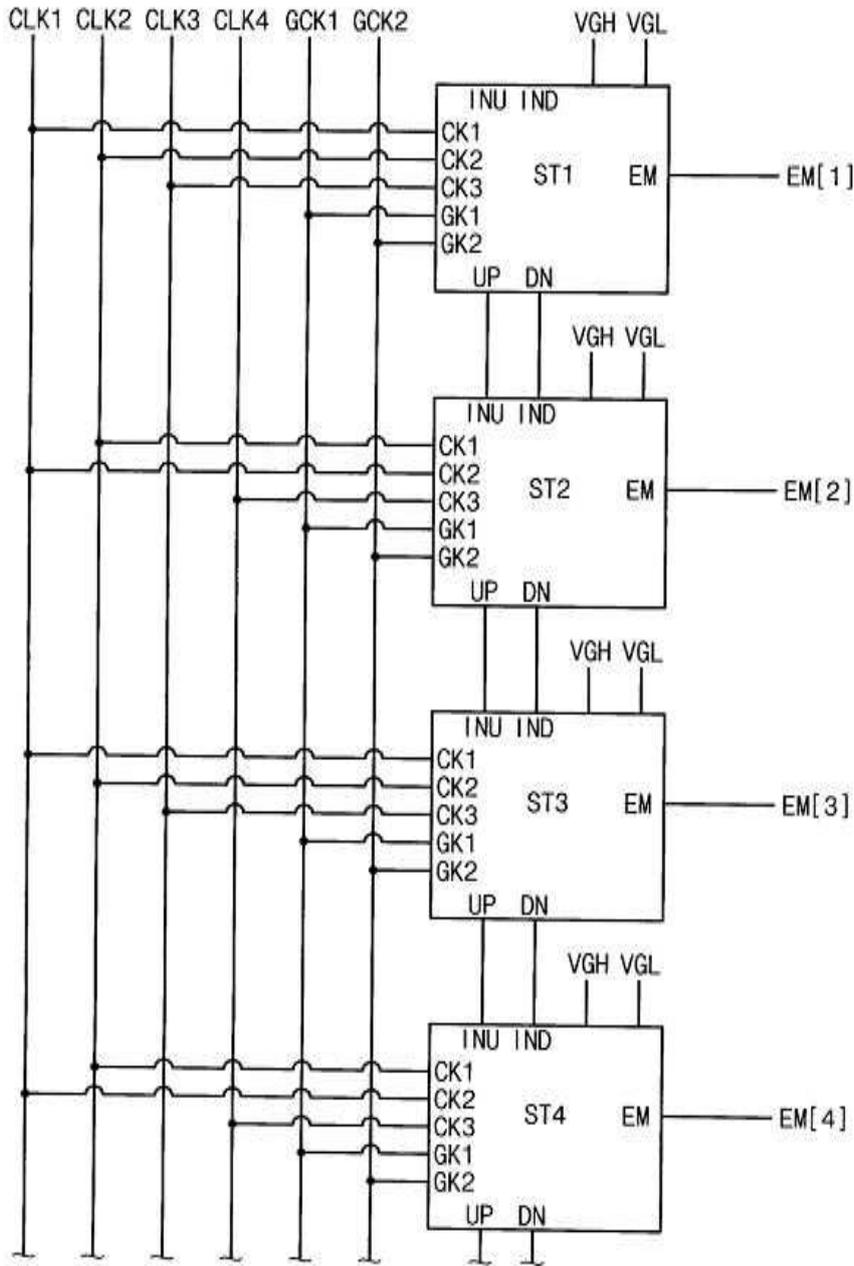


도면6

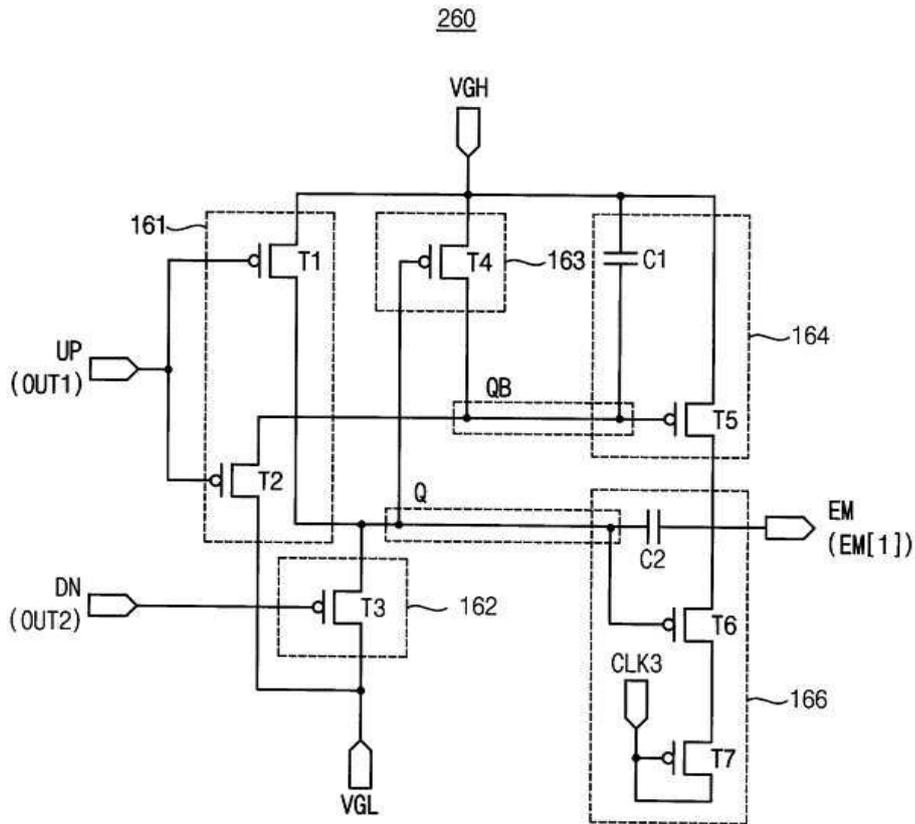


도면7

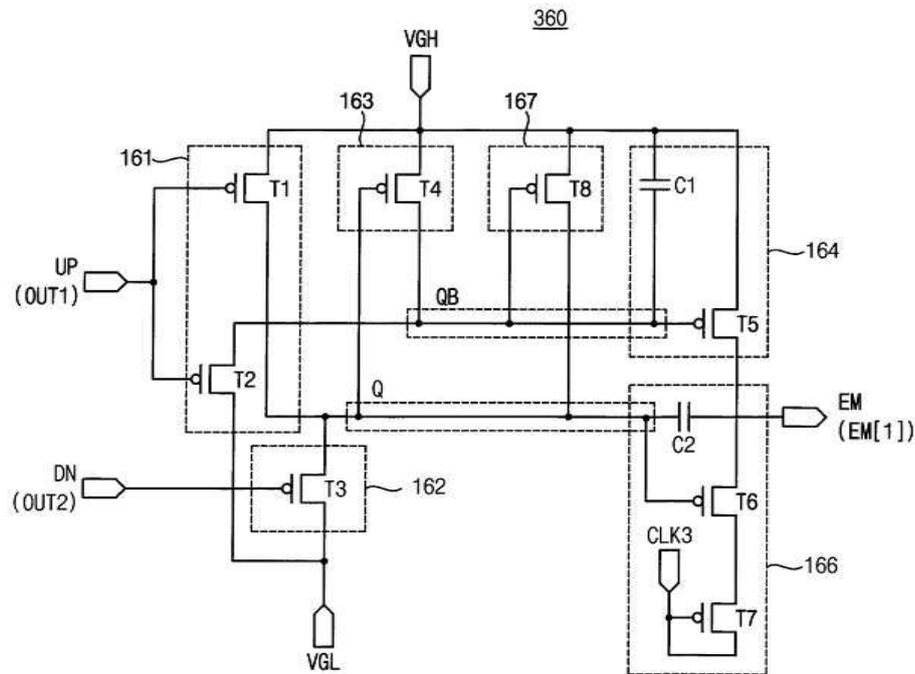
200



도면8



도면9



도면10

