(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0120176
(43) 공개일자 2014년10월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01)
(21) 출원번호 10-2013-0035940
(22) 출원일자 2013년04월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박정목
경기 수원시 영통구 영통로 111, 304동 806호 (망포동, 엘지동수원자이아파트)
(74) 대리인
권혁수, 오세준, 송윤호

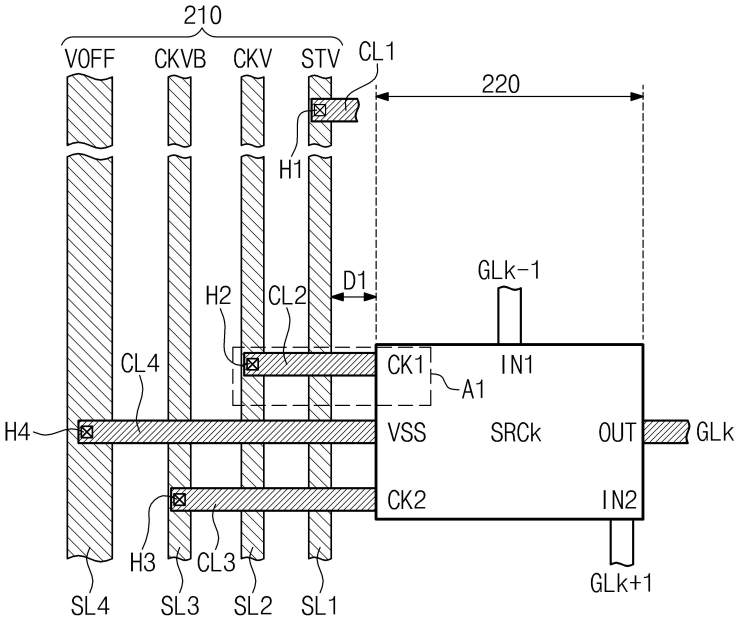
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **게이트 구동부 및 그것을 포함하는 표시 장치**

(57) 요 약

게이트 구동부는 제어 신호들을 수신하는 배선부 및 상기 배선부로부터 제공받은 상기 제어 신호들에 응답하여 복수의 게이트 신호들을 순차적으로 출력하는 시프트 레지스터를 포함하고, 상기 배선부는 상기 시프트 레지스터와 20 마이크로미터보다 크거나 같은 거리로 정의되는 제1 거리를 두고 배치된다.

대 표 도 - 도4



특허청구의 범위

청구항 1

제어 신호들을 수신하는 배선부; 및

상기 배선부로부터 제공받은 상기 제어 신호들에 응답하여 게이트 신호들을 순차적으로 출력하는 시프트 레지스터를 포함하고,

상기 배선부는 상기 시프트 레지스터와 20 마이크로미터보다 크거나 같은 거리로 정의되는 제1 거리를 두고 배치되는 게이트 구동부.

청구항 2

제 1 항에 있어서,

상기 배선부는 상기 제어 신호들을 수신하여 상기 시프트 레지스터에 제공하는 복수의 신호 라인들을 포함하고,

상기 시프트 레지스터는 서로 종속적으로 연결되어 상기 신호 라인들로부터 제공받은 상기 제어신호들에 응답하여 상기 게이트 신호들을 순차적으로 출력하는 복수의 스테이지들을 포함하고,

상기 신호 라인들 중 상기 스테이지들에 인접한 신호 라인은 상기 스테이지들과 상기 제1 거리를 두고 배치되는 게이트 구동부.

청구항 3

제 2 항에 있어서,

상기 제어 신호들은,

수직 개시 신호;

제1 클럭 신호;

상기 제1 클럭 신호와 반대 위상을 갖는 제2 클럭 신호; 및

접지 전압으로 정의되는 오프 전압을 포함하고,

상기 신호 라인들은,

상기 수직 개시 신호를 수신하여 상기 스테이지들 중 첫 번째 및 마지막 스테이지들에 제공하는 제1 신호라인;

상기 제1 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제2 신호 라인;

상기 제2 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제3 신호 라인; 및

상기 오프 전압를 수신하여 상기 스테이지들에 제공하는 제4 신호 라인을 포함하는 게이트 구동부.

청구항 4

제 3 항에 있어서,

상기 스테이지들 각각은,

상기 제1 클럭 신호를 입력받고, 제1 노드의 전압에 응답하여 상기 게이트 신호를 풀업 시키는 풀업부;

제2 노드의 전압 및 상기 제2 클럭 신호에 응답하여 상기 게이트 신호를 상기 오프 전압으로 풀 다운 시키는 풀다운부;

상기 제1 노드에 연결되며, 이전단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 온 시키고, 다음단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 오프 시키는 풀업 구동부;

상기 제2 노드의 상기 전압에 응답하여 상기 제1 노드를 상기 오프 전압으로 유지시키는 리플 방지부;

상기 제1 노드의 상기 전압에 응답하여 상기 제2 노드의 상기 전압을 변환시켜 상기 리플 방지부를 턴 오프 시키는 풀 다운 제어부; 및

상기 제1 클럭 신호를 입력받아 저장하고, 상기 저장된 제1 클럭 신호를 상기 제2 노드에 제공하는 스위칭 커패시터를 포함하고,

상기 이전단 스테이지 또는 상기 다음단 스테이지가 없을 경우, 상기 풀업 구동부는 상기 개시 신호를 제공받는 게이트 구동부.

청구항 5

제 4 항에 있어서,

상기 스위칭 커패시터와 상기 제1 신호 라인은 서로 인접하게 배치되고, 상기 제1 신호 라인은 상기 스위칭 커패시터와 상기 제1 거리를 두고 배치되는 게이트 구동부.

청구항 6

제 4 항에 있어서,

상기 스위칭 커패시터는 복수의 개구부들을 포함하고, 상기 개구부들의 전체 면적은 상기 스위칭 커패시터의 외곽 경계면에 의해 형성된 전체 면적의 40 퍼센트 이상으로 형성되는 게이트 구동부.

청구항 7

게이트 신호들에 응답하여 제공받은 데이터 신호들에 대응하는 계조를 표시하는 복수의 화소들;

게이트 제어 신호들에 응답하여 상기 화소들에 상기 게이트 신호들을 순차적으로 제공하는 게이트 구동부; 및

상기 화소들에 상기 데이터 신호들을 제공하는 데이터 구동부를 포함하고,

상기 게이트 구동부는,

상기 게이트 제어 신호들을 수신하는 배선부; 및

상기 배선부로부터 제공받은 상기 게이트 제어 신호들에 응답하여 상기 게이트 신호들을 순차적으로 출력하는 시프트 레지스터를 포함하고,

상기 배선부는 상기 시프트 레지스터와 20 마이크로미터보다 크거나 같은 거리로 정의되는 제1 거리를 두고 배치되는 표시 장치.

청구항 8

제 7 항에 있어서,

상기 배선부는 상기 게이트 제어 신호들을 수신하여 상기 시프트 레지스터에 제공하는 복수의 신호 라인들을 포함하고,

상기 시프트 레지스터는 서로 종속적으로 연결되어 상기 신호 라인들로부터 제공받은 상기 게이트 제어신호들에 응답하여 상기 게이트 신호들을 순차적으로 출력하는 복수의 스테이지들을 포함하고,

상기 신호 라인들 중 상기 스테이지들에 인접한 신호 라인은 상기 스테이지들과 상기 제1 거리를 두고 배치되는 표시 장치.

청구항 9

제 8 항에 있어서,

상기 게이트 제어 신호들은,

수직 개시 신호;

제1 클럭 신호;

상기 제1 클럭 신호와 반대 위상을 갖는 제2 클럭 신호; 및

접지 전압으로 정의되는 오프 전압을 포함하고,

상기 신호 라인들은,

상기 수직 개시 신호를 수신하여 상기 스테이지들 중 첫 번째 및 마지막 스테이지들에 제공하는 제1 신호라인;

상기 제1 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제2 신호 라인;

상기 제2 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제3 신호 라인; 및

상기 오프 전압를 수신하여 상기 스테이지들에 제공하는 제4 신호 라인을 포함하는 게이트 구동부.

청구항 10

제 9 항에 있어서,

상기 스테이지들 각각은,

상기 제1 클럭 신호를 입력받고, 제1 노드의 전압에 응답하여 상기 게이트 신호를 풀업 시키는 풀업부;

제2 노드의 전압 및 상기 제2 클럭 신호에 응답하여 상기 게이트 신호를 상기 오프 전압으로 풀 다운 시키는 풀 다운부;

상기 제1 노드에 연결되며, 이전단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 온 시키고, 다음단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 오프 시키는 풀업 구동부;

상기 제2 노드의 상기 전압에 응답하여 상기 제1 노드를 상기 오프 전압으로 유지시키는 리플 방지부;

상기 제1 노드의 상기 전압에 응답하여 상기 제2 노드의 상기 전압을 변환시켜 상기 리플 방지부를 턴 오프 시키는 풀 다운 제어부; 및

상기 제1 클럭신호를 입력받아 저장하고, 상기 저장된 제1 클럭 신호를 상기 제2 노드에 제공하는 스위칭 커패시터를 포함하고,

상기 이전단 스테이지 또는 상기 다음단 스테이지가 없을 경우, 상기 풀업 구동부는 상기 개시 신호를 제공받는 표시 장치.

청구항 11

제 10 항에 있어서,

상기 스위칭 커패시터와 상기 제1 신호 라인은 서로 인접하게 배치되고, 상기 제1 신호 라인은 상기 스위칭 커패시터와 상기 제1 거리를 두고 배치되는 표시 장치.

청구항 12

제 10 항에 있어서,

상기 스위칭 커패시터는 복수의 개구부들을 포함하고, 상기 개구부들의 전체 면적은 상기 스위칭 커패시터의 외곽 경계면에 의해 형성된 전체 면적의 40 퍼센트 이상으로 형성되는 표시 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 게이트 구동부 및 그것을 포함하는 표시 장치에 관한 것이다.

배 경 기 술

[0002] 최근 액정표시장치(Liquid Crystal Display), 유기전계발광 표시장치(Organic Light Emitting Diode), 전기습윤 표시장치(Electro Wetting Display Device), 전기영동 표시장치(Electrophoretic Display Device), 및 나노 크리스탈 디스플레이(Nano Crystal Display:NCD)등 다양한 표시장치가 개발되고 있다.

[0003] 일반적으로 표시장치는 영상을 표시하기 위한 복수의 화소들, 화소들에 게이트 신호를 제공하는 게이트 구동부,

및 화소들에 데이터 전압들을 제공하는 데이터 구동부를 포함한다. 화소들은 게이트 신호들에 응답하여 데이터 신호들을 제공받고, 데이터 신호들에 대응하는 계조들을 표시한다.

[0004] 게이트 구동부는 제어 신호들을 수신하는 배선부 및 배선부로부터 제공받은 제어 신호들에 응답하여 게이트 신호들을 순차적으로 발생하는 시프트 레지스터를 포함한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 커패시터의 정전기에 따른 배선부의 손상을 방지할 수 있는 게이트 구동부 및 그것을 포함하는 표시 장치를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 게이트 구동부는 제어 신호들을 수신하는 배선부 및 상기 배선부로부터 제공받은 상기 제어 신호들에 응답하여 게이트 신호들을 순차적으로 출력하는 시프트 레지스터를 포함하고, 상기 배선부는 상기 시프트 레지스터와 20 마이크로미터보다 크거나 같은 거리로 정의되는 제1 거리를 두고 배치된다.

[0007] 상기 배선부는 상기 제어 신호들을 수신하여 상기 시프트 레지스터에 제공하는 복수의 신호 라인들을 포함하고, 상기 시프트 레지스터는 서로 종속적으로 연결되어 상기 신호 라인들로부터 제공받은 상기 제어신호들에 응답하여 상기 게이트 신호들을 순차적으로 출력하는 복수의 스테이지들을 포함하고, 상기 신호 라인들 중 상기 스테이지들에 인접한 신호 라인은 상기 스테이지들과 상기 제1 거리를 두고 배치된다.

[0008] 상기 제어 신호들은, 수직 개시 신호, 제1 클럭 신호, 상기 제1 클럭 신호와 반대 위상을 갖는 제2 클럭 신호, 및 접지 전압으로 정의되는 오프 전압을 포함하고, 상기 신호 라인들은, 상기 수직 개시 신호를 수신하여 상기 스테이지들 중 첫번째 및 마지막 스테이지들에 제공하는 제1 신호라인, 상기 제1 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제2 신호 라인, 상기 제2 클럭 신호를 수신하여 상기 스테이지들에 제공하는 제3 신호 라인, 및 상기 오프 전압를 수신하여 상기 스테이지들에 제공하는 제4 신호 라인을 포함한다.

[0009] 상기 스테이지들 각각은, 상기 제1 클럭 신호를 입력받고, 제1 노드의 전압에 응답하여 상기 게이트 신호를 풀업 시키는 풀업부, 제2 노드의 전압 및 상기 제2 클럭 신호에 응답하여 상기 게이트 신호를 상기 오프 전압으로 풀 다운 시키는 풀 다운부, 상기 제1 노드에 연결되며, 이전단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 온 시키고, 다음단 스테이지의 게이트 신호에 응답하여 상기 풀업부를 턴 오프 시키는 풀업 구동부, 상기 제2 노드의 상기 전압에 응답하여 상기 제1 노드를 상기 오프 전압으로 유지시키는 리플 방지부, 상기 제1 노드의 상기 전압에 응답하여 상기 제2 노드의 상기 전압을 변환시켜 상기 리플 방지부를 턴 오프 시키는 풀 다운 제어부, 및 상기 제1 클럭신호를 입력받아 저장하고, 상기 저장된 제1 클럭 신호를 상기 제2 노드에 제공하는 스위칭 커패시터를 포함하고, 상기 이전단 스테이지 또는 상기 다음단 스테이지가 없을 경우, 상기 풀업 구동부는 상기 개시 신호를 제공받는다.

[0010] 상기 스위칭 커패시터와 상기 제1 신호 라인은 서로 인접하게 배치되고, 상기 제1 신호 라인은 상기 스위칭 커패시터와 상기 제1 거리를 두고 배치된다.

[0011] 상기 스위칭 커패시터는 복수의 개구부들을 포함하고, 상기 개구부들의 전체 면적은 상기 스위칭 커패시터의 외곽 경계면에 의해 형성된 전체 면적의 40 퍼센트 이상으로 형성된다.

[0012] 본 발명의 실시 예에 따른 표시 장치는 게이트 신호들에 응답하여 제공받은 데이터 신호들에 대응하는 계조를 표시하는 복수의 화소들, 게이트 제어 신호들에 응답하여 상기 화소들에 게이트 신호들을 순차적으로 제공하는 게이트 구동부, 및 상기 화소들에 데이터 신호들을 제공하는 데이터 구동부를 포함하고, 상기 게이트 구동부는, 상기 게이트 제어 신호들을 수신하는 배선부, 및 상기 배선부로부터 제공받은 상기 게이트 제어 신호들에 응답하여 상기 게이트 신호들을 순차적으로 출력하는 시프트 레지스터를 포함하고, 상기 배선부는 상기 시프트 레지스터와 20 마이크로미터보다 크거나 같은 거리로 정의되는 제1 거리를 두고 배치된다.

발명의 효과

[0013] 본 발명의 게이트 구동부 및 그것을 포함하는 표시 장치는 커패시터의 정전기에 따른 배선부의 손상을 방지할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시 예에 따른 표시 장치의 평면도이다.

도 2는 도 1에 도시된 게이트 구동부의 블록도이다.

도 3은 도 2에 도시된 스테이지의 회로도이다.

도 4는 도 2에 도시된 배선부 및 어느 하나의 스테이지의 평면도이다.

도 5는 도 4에 도시된 제1 영역의 확대도이다.

도 6은 도 3에 도시된 I-I'의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0016] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0017] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0018] 비록 제 1, 제 2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 소자, 제 1 구성요소 또는 제 1 섹션은 본 발명의 기술적 사상 내에서 제 2 소자, 제 2 구성요소 또는 제 2 섹션일 수도 있음은 물론이다.

[0019] 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0020] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.

[0021] 도 1은 본 발명의 실시 예에 따른 표시 장치의 평면도이다.

[0022] 도 1을 참조하면, 본 발명의 실시 예에 따른 표시 장치(500)는 표시 패널(100), 게이트 구동부(200), 데이터 구동부(300), 및 구동 회로 기판(400)을 포함한다.

[0023] 다양한 표시 패널(100)이 본 발명의 표시 장치(500)에 사용될 수 있다. 예를 들어, 표시 패널(100)은 서로 대향하는 전극 사이에 개재된 액정층의 배열각에 따라서 영상을 표시하는 액정 표시 패널 또는 서로 대향하는 전극들 사이에 개재된 유기전계 발광층에 의해 영상을 표시하는 유기전계 발광패널일 수 있다.

[0024] 표시 패널(100)은 매트릭스 형태로 배열된 복수의 화소들(PX11~PXnm)이 형성된 표시 영역(DA), 표시 영역(DA)을 둘러싸는 비 표시 영역(NDA), 복수의 게이트 라인들(GL1~GLn), 및 게이트 라인들(GL1~GLn)과 절연되어 교차하는 복수의 데이터 라인들(DL1~DLm)을 포함한다.

[0025] 화소들(PX11~PXnm)은 게이트 라인들(GL1~GLn)과 데이터 라인들(DL1~DLm)이 교차하는 영역에 형성된다. 따라서 화소들(PX11~PXnm)은 서로 교차하는 n개의 행들 및 m개의 열들로 배열될 수 있다. m 및 n은 0보다 큰 정수이다.

[0026] 화소들(PX11~PXnm)은 대응하는 게이트 라인들(GL1~GLn)과 대응하는 데이터 라인들(DL1~DLm)에 연결된다. 화소들(PX11~PXnm)은 대응하는 게이트 라인들(GL1~GLn)을 통해 제공된 게이트 신호들에 응답하여 대응하는 데이터 라인들(DL1~DLm)을 통해 데이터 전압들을 제공받는다. 화소들(PX11~PXnm)은 데이터 전압들에 대응하는 계조들을 표시할 수 있다.

[0027] 게이트 라인들(GL1~GLn)은 게이트 구동부(200)에 연결되어 순차적인 게이트 신호들을 수신할 수 있다. 데이터 라인들(DL1~DLm)은 데이터 구동부(300)에 연결되어 아날로그 형태의 데이터 전압들을 수신할 수 있다.

[0028] 게이트 구동부(200)는 표시 영역(DA)의 일측에 인접한 비표시 영역(NDA)에 배치될 수 있다. 구체적으로 게이트 구동부(200)는 표시 영역(DA)의 좌측에 인접한 비표시 영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태로 실장 될 수 있다.

[0029] 게이트 구동부(200)는 구동 회로 기판(400)에 실장된 타이밍 컨트롤러(미 도시됨)로부터 제공된 게이트 제어 신호들에 응답하여 게이트 신호들을 생성한다. 게이트 신호들은 게이트 라인들(GL1~GLn)을 통해 순차적으로 그리고 행 단위로 화소들(PX11~PXnm)에 제공된다. 그 결과 화소들(PX11~PXnm)은 행 단위로 구동될 수 있다.

[0030] 데이터 구동부(300)는 타이밍 컨트롤러로부터 영상 신호들 및 데이터 제어 신호들을 제공받는다. 데이터 구동부(300)는 데이터 제어 신호들에 응답하여 영상 신호들에 대응하는 아날로그 데이터 전압들을 생성한다. 데이터 구동부(300)는 데이터 전압들을 데이터 라인들(DL1~DLm)을 통해 화소들(PX11~PXnm)에 제공한다.

[0031] 데이터 구동부(300)는 복수의 소스 구동칩들(310_1~310_i)을 포함한다. i는 0보다 크고 m보다 작은 정수이다. 소스 구동칩들(310_1~310_i)은 대응하는 연성회로기판들(320_1~320_i) 상에 실장되어 구동 회로 기판(400)과 표시영역(DA)의 상부에 인접한 비 표시 영역(NDA)에 연결된다.

[0032] 본 발명의 실시 예에서 소스 구동칩들(310_1~310_i)은 연성회로기판들(320_1~320_i) 상에 실장되는 테이프 캐리어 패키지(TCP: Tape Carrier Package) 방식을 예로 들었다. 그러나, 소스 구동칩들(310_1~310_i)은 표시영역(DA)의 상부에 인접한 비 표시 영역(NDA)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장 될 수 있다.

[0033] 도 2는 도 1에 도시된 게이트 구동부의 블록도이다.

[0034] 도 2를 참조하면, 게이트 구동부(200)는 게이트 제어 신호들(STV,CKV,CKVB,VOFF)을 수신하는 배선부(210) 및 배선부(210)로부터 게이트 제어 신호들(STV,CKV,CKVB,VOFF)을 제공받는 시프트 레지스터(220)를 포함한다.

[0035] 시프트 레지스터(220)는 게이트 제어 신호들(STV,CKV,CKVB,VOFF)에 응답하여 게이트 신호들을 순차적으로 출력한다. 게이트 신호들은 게이트 라인들(GL1~GLn)을 통해 순차적으로 그리고 행 단위로 화소들(PX11~PXnm)에 제공된다.

[0036] 게이트 제어 신호들(STV,CKV,CKVB,VOFF)은 수직 개시 신호(STV), 제1 클럭 신호(CKV), 제1 클럭 신호(CKV)와 반대 위상을 갖는 제2 클럭 신호(CKVB), 및 접지 전압으로 정의되는 오프 전압(VOFF)을 포함한다.

[0037] 배선부(210)는 게이트 제어 신호들(STV,CKV,CKVB,VOFF)을 수신하여 시프트 레지스터(220)에 제공하는 복수의 신호 라인들(LS1,LS2,LS3,LS4)을 포함한다. 신호 라인들(SL1,SL2,SL3,SL4)은 수직 개시 신호(STV)를 수신하는 제1 신호라인(SL1), 제1 클럭 신호(CKV)를 수신하는 제2 신호 라인(SL2), 제2 클럭 신호(CKVB)를 수신하는 제3 신호 라인(SL3), 및 오프 전압(VOFF)를 수신하는 제4 신호 라인(SL4)을 포함한다.

[0038] 시프트 레지스터(220)는 서로 종속적으로 연결된 복수의 스테이지들(SRC1~SRCn+1)을 포함한다. 스테이지들(SRC1~SRCn+1)은 제1 내지 제4 신호라인들(SL1~SL4)로부터 제공받은 게이트 제어 신호들(STV,CKV,CKVB,VOFF)에 응답하여 게이트 신호들을 순차적으로 출력한다. 스테이지들(SRC1~SRCn+1) 중 제1 내지 제n 스테이지들(SRC1~SRCn)은 구동 스테이지들로 정의되고, 제n+1 스테이지는 더미 스테이지(SRCn+1)로 정의될 수 있다.

[0039] 각각의 스테이지(SRC1~SRCn+1)는 제1 입력단자(IN1), 제2 입력단자(IN2), 제1 클럭단자(CK1), 제2 클럭단자(CK2), 접지전압단자(VSS) 및 출력단자(OUT)를 포함한다.

[0040] 홀수 번째 스테이지들(SRC1~SRCn)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 제1 클럭 신호(CKV) 및 제2 클럭 신호(CKVB)가 제공된다. 짝수 번째 스테이지들(SRC2~SRCn+1)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 제2 클럭 신호(CKVB) 및 제1 클럭 신호(CKV)가 제공된다.

[0041] 홀수 번째 스테이지들(SRC1~SRCn)의 출력 단자들(OUT)은 제1 클럭 신호(CKV)에 동기된 게이트 신호들을 출력한다. 짝수 번째 스테이지들(SRC2~SRCn+1)의 출력 단자들(OUT)은 제2 클럭 신호(CKVB)에 동기된 게이트 신호들을 출력한다.

[0042] 더미 스테이지(SRCn+1)를 제외한 제1 내지 제n 스테이지들(SRC1~SRCn)의 출력단자들(OUT)은 대응하는 게이트 라인들(GL1~GLn)에 연결된다. 제1 내지 제n 스테이지들(SRC1~SRCn)의 출력단자들(OUT)로부터 출력된 게이트 신호들은 게이트 라인들(GL1~GLn)에 순차적으로 인가된다.

[0043] 출력단자(OUT)를 통해 출력되는 게이트 신호는 이전단 스테이지의 제2 입력단자(IN2) 및 다음단 스테이지의 제1 입력단자(IN1)로 제공된다. 즉, 현재단 스테이지의 제1 입력 단자(IN1)는 이전단 스테이지의 게이트 신호를 제공받고, 제2 입력 단자(IN2)는 다음단 스테이지의 게이트 신호를 제공받는다. 이전단 스테이지가 없는 제1 스테이지(SRC1)의 제1 입력단자(IN1)와 다음단 스테이지가 없는 제n+1 스테이지(SRCn+1)의 제2 입력단자(IN2)에는 수직 개시 신호(STV)가 제공된다.

[0044] 스테이지(SRC1~SRCn+1)들의 접지전압단자들(VSS)에는 오프 전압(VOFF)이 제공된다.

[0045] 배선부(210)와 시프트 레지스터(220) 사이의 간격이 좁을수록 시프트 레지스터(220)에서 발생된 정전기에 의해 배선부(210)가 손상될 수 있다.

[0046] 본 발명의 실시 예에 따른 게이트 구동부(200)의 배선부(210)와 시프트 레지스터(220) 사이의 간격은 시프트 레지스터(220)의 정전기에 따른 배선부(210)의 손상을 방지하기 위한 거리로 설정될 수 있다. 예를 들어, 배선부(210)는 시프트 레지스터(220)와 제1 거리를 두고 배치될 수 있다. 제1 거리는 20 마이크로미터보다 크거나 같은 거리일 수 있다. 이러한 구성은 이하, 도 4 내지 도 6을 참조하여 설명될 것이다.

[0047] 도 3은 도 2에 도시된 스테이지의 회로도이다.

[0048] 도 3에는 임의의 한 스테이지(SRCk)의 회로도가 도시되었다. k는 1보다 크고 n보다 작거나 같은 정수이다. 도시하지 않았으나, 다른 스테이지들도 도 3에 도시된 스테이지와 실질적으로 동일한 구성을 갖는다. 따라서, 이하, 도 3에 도시된 하나의 스테이지의 회로도가 설명될 것이다.

[0049] 도 3을 참조하면, 시프트 레지스터(220)의 스테이지(SRCk)는 풀업부(221), 풀다운부(222), 풀업 구동부(223), 리플 방지부(224) 및 풀 다운 제어부(225)를 포함한다.

[0050] 풀업부(221)는 제1 클럭단자(CK1)를 통해 제1 클럭신호(CKV)를 제공받는다. 풀업부(221)는 제1 노드(N1)의 전압에 응답하여 제1 클럭신호(CKV)를 출력단자(OUT)로 출력함으로써 게이트 신호를 풀-업(pull-up)시킨다.

[0051] 풀업부(221)는 제1 트랜지스터(T1) 및 충전 커패시터(C1)를 포함한다. 제1 트랜지스터(T1)의 드레인 전극은 제1 클럭단자(CK1)에 연결되고, 소스 전극은 출력단자(OUT)에 연결되고, 게이트 전극은 제1 노드(N1)에 연결된다.

[0052] 충전 커패시터(C1)는 제1 트랜지스터(T1)의 게이트 전극과 소스 전극 사이에 형성된다. 충전 커패시터(C1)는 제1 입력단자(IN1)를 통해 제공되는 이전단 스테이지의 게이트 신호(또는 수직개시신호)의 하이 값을 저장하여 제1 트랜지스터(T1)를 턴-온 시킨다.

[0053] 풀 다운부(222)는 제2 노드(N2)를 통해 제공되는 제1 클럭신호(CKV) 및 제2 클럭 신호(CKVB)에 응답하여 출력단자(OUT)로 출력되는 게이트 신호를 오프 전압(VOFF)으로 풀-다운(pull-down)시킨다.

[0054] 풀 다운부(222)는 제1 풀 다운부(222a) 및 제2 풀 다운부(222b)를 포함한다. 제1 풀다운부(222a)는 제2 클럭 단자(CK2)를 통해 수신된 제2 클럭 신호(CKVB)에 응답하여 출력단자(OUT)로 출력되는 게이트 신호를 오프 전압(VOFF)으로 풀-다운시킨다. 제2 풀다운부(222b)는 제2 노드(N2)를 통해 제공되는 제1 클럭신호(CKV)에 응답하여 출력단자(OUT)로 출력되는 게이트 신호를 오프 전압(VOFF)으로 풀-다운 시킨다.

[0055] 제1 풀 다운부(222a)는 제2 트랜지스터(T2)를 포함한다. 제2 트랜지스터(T2)의 드레인 전극은 출력단자(OUT)에 연결되고, 소스 전극은 접지전압단자(VSS)에 연결되고, 게이트 전극은 제2 클럭 단자(CK2)에 연결된다.

[0056] 제2 풀다운부(222b)는 제3 트랜지스터(T3)를 포함한다. 제3 트랜지스터(T3)의 드레인 전극은 출력 단자(OUT)에 연결되고, 소스 전극은 접지전압단자(VSS)에 연결되고, 게이트 전극은 제2 노드(N2)를 통해 스위칭 커패시터(C2)에 연결된다.

[0057] 풀업 구동부(223)는 제1 노드(N1)에 연결된다. 풀업 구동부(223)는 이전단 스테이지의 게이트 신호에 응답하여 풀업부(221)를 턴 온 시키고, 다음단 스테이지의 게이트 신호에 응답하여 풀업부(221)를 턴 오프 시킨다.

[0058] 풀업 구동부(223)는 제1 풀업 구동부(223a) 및 제2 풀업 구동부(223b)를 포함한다. 제1 풀업 구동부(223a)는 제1 입력단자(IN1)를 통해 수신되는 이전단 스테이지의 게이트 신호의 하이 값에 응답하여 풀업부(221)를 턴 온 시킨다. 제2 풀업 구동부(223b)는 제2 입력단자(IN2)를 통해 수신되는 다음단 스테이지의 게이트 신호의 하이 값에 응답하여 풀업부(221)를 턴 오프 시킨다.

[0059] 제1 풀업 구동부(223a)는 제4 트랜지스터(T4)를 포함한다. 제4 트랜지스터(T4)의 드레인 전극과 게이트 전극은 제1 입력단자(IN1)에 공통으로 연결되고, 소스 전극은 제1 노드(N1)에 연결되다.

[0060] 제2 풀업 구동부(223b)는 제5 트랜지스터(T5)를 포함한다. 제5 트랜지스터(T5)의 드레인 전극은 제1 노드(N1)에 연결되고, 게이트 전극은 제2 입력 단자(IN2)에 연결되고, 소스 전극은 접지전압단자(VSS)에 연결된다.

[0061] 제1 노드(N1)에 연결된 제1 트랜지스터(T1)의 게이트 전극은 풀업부(221)의 턴-온 또는 턴 오프를 스위칭하는 제어 단자로 정의될 수 있다.

[0062] 이전단 스테이지의 게이트 신호의 하이 값에 응답하여 제4 트랜지스터(T4)가 턴 온 된다. 턴 온된 제4 트랜지스터(T4)에 의해 이전단 스테이지의 게이트 신호의 하이 값이 제1 노드(N1)에 제공되어 충전 커패시터(C1)에 충전된다.

[0063] 충전 커패시터(C1)에 제1 트랜지스터(T1)의 문턱전압 이상의 전하가 충전되고, 로우 값이던 제1 클럭신호(CKV)가 하이 값으로 전환되면, 충전 커패시터(C1)가 부트스트랩(Bootstrap) 된다. 따라서 제1 클럭 신호(CKV)의 하이 값이 출력단자(OUT)를 통해 출력된다.

[0064] 이 후, 다음단 스테이지의 게이트 신호의 하이 값에 응답하여 제5 트랜지스터(T5)가 턴 온 되면, 충전 커패시터(C1)에 충전된 전하는 접지전압단자(VSS)의 오프 전압(VOFF)으로 방전된다. 충전 커패시터(C1)의 방전으로 제1 노드(N1)는 로우 값으로 전환된다. 따라서, 제1 트랜지스터(T1)는 턴-오프 되고, 제1 클럭 신호(CKV)의 출력이 멈춘다.

[0065] 제1 트랜지스터(T1)가 턴 오프 됨과 동시에, 제2 트랜지스터(T2)가 턴 온 되면, 출력단자(OUT)로 출력되는 게이트 신호는 오프 전압(VOFF)으로 전환된다. 또한, 스위칭 커패시터(C2)에 충전된 제1 클럭신호(CKV)의 하이 값이 제2 노드(N2)를 통해 제3 트랜지스터(T3)에 제공된다.

[0066] 제1 클럭 신호(CKV)의 하이 값에 응답하여 제3 트랜지스터(T3)가 턴 온 된다. 따라서, 출력단자(OUT)로 출력되는 게이트 신호는 계속 로우 값으로 유지된다. 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 교번적으로 턴-온 되어 출력단자(OUT)로 출력되는 게이트 신호를 로우 값으로 풀 다운시킨다.

[0067] 게이트 신호가 풀 다운부(222)에 의해 로우 값으로 전환된 후, 리플 방지부(224)는 제1 노드(N1)를 로우 값인 오프 전압(VOFF)으로 유지시켜 풀업부(221)를 턴 오프 시킨다. 또한, 리플 방지부(224)는 제1 클럭신호(CKV)의 커플링(coupling)에 의해 발생되는 제1 노드(N1)의 리플(ripple)을 방지한다.

[0068] 리플 방지부(224)는 제6 트랜지스터(T6)를 포함한다. 제6 트랜지스터(T6)의 드레인 전극은 제1 노드(N1)에 연결되고, 게이트 전극은 제2 노드(N2)를 통해 스위칭 커패시터(C2)에 연결되고, 소스 전극은 접지전압단자(VSS)에 연결된다.

[0069] 풀다운 제어부(225)는 제1 노드(N1)의 전압에 응답하여 리플 방지부(224)를 턴 오프 시킨다. 풀다운 제어부(225)는 제7 트랜지스터(T7)를 포함한다. 제7 트랜지스터(T7)의 드레인 전극은 제2 노드(N2)에 연결되고, 게이트 전극은 제1 노드(N1)에 연결되고, 소스 전극은 접지전압단자(VSS)에 연결된다.

[0070] 스위칭 커패시터(C2)를 통해 제1 클럭 신호(CKV)의 하이 값이 제2 노드(N2)에 인가되고, 제1 노드(N1)의 신호가 하이 값인 경우, 제7 트랜지스터(T7)는 턴-온 되어 제2 노드(N2)를 로우 값으로 전환시킨다. 따라서, 제1 노드(N1)가 하이 값인 경우 풀업부(221)가 턴-온되는 구간에서 제1 클럭신호(CKV)가 하이 값이 되더라도 리플 방지부(224)는 턴-오프 된다.

[0071] 스위칭 커패시터(C2)는 제1 클럭 신호(CKV)를 입력받아 저장하고, 저장된 제1 클럭신호(CKV)를 리플 방지부(224) 및 풀 다운부(222)의 제2 풀다운부(222b)에 제공한다. 스위칭 커패시터(C2)의 일단은 제1 클럭단자(CK1)에 연결되고, 타단은 제2 노드(N2)를 통해 제3 및 제6 트랜지스터들(T3, T6)의 게이트 전극들 및 제7 트랜지스터(T7)의 드레인 전극에 연결된다.

[0072] 스위칭 커패시터(C2)는 제1 클럭 신호(CKV)를 입력받아 저장하고, 저장된 제1 클럭신호(CKV)를 제2 노드(N2)에

인가하여 제3 및 제6 트랜지스터들(T3, T6)을 온/오프 시킨다.

[0073] 도 4는 도 2에 도시된 배선부 및 어느 하나의 스테이지의 평면도이다. 도 4에는 배선부(210) 및 하나의 스테이지(SRCk)의 연결 구성이 도시되었으나, 배선부 및 다른 스테이지의 연결구성도 실질적으로 도 3에 도시된 연결 구성과 갖을 것이다. 따라서, 이하, 도 4에 도시된 배선부(210) 및 스테이지(SRCk)의 연결 구성이 설명될 것이다.

[0074] 도 4를 참조하면, 수직 개시 신호(STV)를 수신하는 제1 신호라인(SL1)은 제1 컨택홀(H1)을 통해 제1 연결 라인(CL1)에 연결된다. 도시하지 않았으나, 제1 신호라인(SL1)은 제1 연결라인(CL1)을 통해 제1 스테이지(SRC1)에 연결된다. 역시 도시하지 않았으나, 제1 신호라인(SL1)은 제1 연결라인(CL1)과 동일한 연결라인을 통해 제n+1 스테이지(SRCn+1)에 연결된다.

[0075] 제1 클럭 신호(CKV)를 수신하는 제2 신호 라인(SL2)은 제2 컨택홀(H2)을 통해 제2 연결 라인(CL2)에 연결된다. 제2 연결 라인(CL2)은 스테이지(SRCk)의 제1 클럭 단자(CK1)에 연결된다.

[0076] 제2 클럭 신호(CKVB)를 수신하는 제3 신호 라인(SL3)은 제3 컨택홀(H3)을 통해 제3 연결 라인(CL3)에 연결된다. 제3 연결 라인(CL3)은 스테이지(SRCk)의 제2 클럭 단자(CK2)에 연결된다.

[0077] 오프 전압(VOFF)를 수신하는 제4 신호 라인(SL4)은 제4 컨택홀(H4)을 통해 제4 연결 라인(CL4)에 연결된다. 제4 연결 라인(CL4)은 스테이지(SRCk)의 전원 단자(VSS)에 연결된다.

[0078] 제1 내지 제4 신호라인들(SL1~SL4)은 동일한 층에 동시에 패터닝되어 형성된다. 제1 내지 제4 연결 라인들(CL1~CL4)은 제1 내지 제4 신호라인들(SL1~SL4)과 절연막을 사이에 두고 동일한 층에 동시에 패터닝되어 형성된다. 제1 내지 제4 신호라인들(SL1~SL4)은 열 방향으로 연장될 수 있다. 제1 내지 제4 연결 라인들(CL1~CL4)은 열 방향과 교차하는 행 방향으로 연장될 수 있다.

[0079] 배선부(210)는 시프트 레지스터(220)와 제1 거리(D1)를 두고 배치된다. 제1 거리(D1)는 시프트 레지스터(220)의 정전기에 따른 배선부(210)의 손상을 방지하기 위한 거리로 정의될 수 있다. 제1 거리(D1)는 20 마이크로미터(㎛)보다 크거나 같을 수 있다.

[0080] 구체적으로, 배선부(210)의 제1 내지 제4 신호라인들(SL1~SL4) 중 어느 하나는 시프트 레지스터(220)의 스테이지(SRCk)에 인접하게 배치될 수 있다. 예를 들어, 도 4에 도시된 바와 같이 제1 신호 라인(SL1)이 스테이지(SRCk)에 인접하게 배치될 수 있다. 그러나 이에 한정되지 않고, 다른 신호라인들(SL2~SL4) 중 어느 하나가 스테이지(SRCk)에 인접하게 배치될 수 있다. 또한, 도시하지 않았으나, 제1 신호 라인(SL1)이 스테이지(SRCk)를 제외한 다른 스테이지들에 인접하게 배치될 수 있다.

[0081] 시프트 레지스터(220)에서 정전기가 발생될 수 있다. 정전기가 인접한 제1 신호 라인(SL1)로 방전될 수 있다. 제1 신호 라인(SL1)이 시프트 레지스터(220)의 스테이지들(SRC1~SRCn+1)과 20 마이크로미터(㎛)보다 작은 거리를 두고 배치될 수 있다. 이러한 경우, 시프트 레지스터(220)에서 발생된 정전기가 방전되면서 생성되는 열에 의해 제1 신호 라인(SL1)이 손상될 수 있다.

[0082] 본 발명의 실시 예에 따른 배선부(210)의 제1 신호 라인(SL1)은 스테이지(SRCk)와 제1 거리(D1)를 두고 배치될 수 있다. 제1 거리(D1)는 시프트 레지스터(220)의 정전기에 따른 배선부(210)의 제1 신호 라인(SL1)의 손상을 방지하기 위한 거리로 설정된다. 따라서, 시프트 레지스터(220)의 정전기로부터 제1 신호라인(SL1)의 손상이 방지될 수 있다.

[0083] 도 5는 도 4에 도시된 제1 영역의 확대도이다. 도 6은 도 3에 도시된 I-I'의 단면도이다.

[0084] 설명의 편의를 위해 도 5 및 도 6에는 제1 라인(SL1), 제2 라인(SL2), 제2 연결 라인(CL2), 제2 연결 라인(CL2)에 연결되는 스위칭 커패시터(C2), 및 스위칭 커패시터(C2)에 연결된 제3 트랜지스터(T3)가 도시되었다.

[0085] 도 5 및 도 6을 참조하면, 제2 신호 라인(SL2)에 연결된 제2 연결 라인(CL2)은 스위칭 커패시터(C2)에 연결된다. 따라서, 앞서 설명한 바와 같이 제1 클럭 신호(CKV)는 스위칭 커패시터(C2)에 제공될 수 있다. 도시하지 않았으나, 제2 연결 라인(CL2)에 연결되는 스위칭 커패시터(C2)의 영역은 제1 클럭 신호(CKV)를 제공받는 제1 클럭 단자(CK1)로 정의될 수 있다.

[0086] 스위칭 커패시터(C2)는 전술한 바와 같이 제3 트랜지스터(T3)에 연결될 수 있다. 스위칭 커패시터(C2)는 제5 신호 라인(SL5)에 의해 제3 트랜지스터(T3)에 연결될 수 있다. 제5 신호 라인(SL5)은 제1 내지 제4 신호 라인들(SL1~SL4)과 동일한 층에 형성된다.

[0087] 스위칭 커패시터(C2)는 스테이지(SRCk)의 최 좌측에 배치된다. 즉, 스위칭 커패시터(C2)의 좌측 경계면이 스테이지(SRCk)의 좌측 경계면으로 형성될 수 있다.

[0088] 배선부(210)의 제1 내지 제4 신호라인들(SL1~SL4) 중 어느 하나는 스테이지(SRCk)의 스위칭 커패시터(C2)에 인접하게 배치될 수 있다. 예를 들어, 도 5 및 도 6에 도시된 바와 같이 제1 신호 라인(SL1)이 스테이지(SRCk)의 스위칭 커패시터(C2)에 인접하게 배치될 수 있다. 그러나 이에 한정되지 않고, 다른 신호라인들(SL2~SL4) 중 어느 하나가 스테이지(SRCk)의 스위칭 커패시터(C2)에 인접하게 배치될 수 있다.

[0089] 표시 패널(100)은 베이스 기판(111)을 포함한다. 제1 및 제2 신호라인들(SL1,SL2)은 베이스 기판(111) 상에 서로 이격되어 형성된다. 도시하지 않았으나, 제3 및 제4 신호라인들(SL3,SL4)도 베이스 기판(111) 상에 서로 이격되어 형성된다.

[0090] 스위칭 커패시터(C2)는 절연막을 사이에 두고 서로 오버랩되는 제1 전극(E1) 및 제2 전극(E2)과 복수의 오픈부들(OP)을 포함한다. 제1 전극(E1)은 제1 및 제2 신호라인들(SL1,SL2)과 동일층에 형성된다. 제2 전극(E2)은 제2 연결 라인(CL2)과 동일층에 형성된다.

[0091] 제1 전극(E1)과 제1 및 제2 신호라인들(SL1,SL2)을 덮도록 제1 기판(111) 상에 절연막(112)이 형성된다. 절연막(112) 상에 제2 연결 라인(CL2)이 형성된다. 도시하지 않았으나, 제2 내지 제4 연결 라인들(CL2~CL4)도 절연막(112) 상에 서로 이격되어 형성된다.

[0092] 제2 연결라인(CL2)은 제2 컨택홀(H2)을 통해 제2 신호 라인(SL2)에 연결된다. 제2 연결라인(CL2)은 연장되어 스위칭 커패시터(C2)의 제2 전극(E2)에 연결된다.

[0093] 예시적인 실시 예로서 도 5에는 3 개의 오픈부들(OP)이 도시되었으나, 스위칭 커패시터(C2)는 이보다 많은 오픈부들을 포함할 수 있다. 오픈부들(OP)의 면적이 작을수록 제1 및 제2 전극들(E1,E2)의 면적이 넓어지므로, 스위칭 커패시터(C2)의 개구율이 낮아진다.

[0094] 표시 패널(100)로서 액정 표시 패널이 사용될 경우, 표시 패널(100)은 화소들(PX11~PXnm)의 화소 전극들(미 도시됨)을 포함하는 제1 기판(미 도시됨), 제1 기판가 마주보도록 배치되는 공통 전극(미 도시됨)을 포함하는 제2 기판(미 도시됨), 및 제1 기판과 제2 기판 사이에 배치된 액정층(미 도시됨)을 포함한다.

[0095] 비표시 영역에는 실런트(미 도시됨)가 제공되어 실런트에 의해 제1 기판 및 제2 기판이 합착될 수 있다. 실런트는 자외선에 의해 경화될 수 있다. 스위칭 커패시터(C2)의 개구율이 낮을수록 제1 및 제2 전극들(E1,E2)의 면적이 넓어진다. 스위칭 커패시터(C2)의 제1 및 제2 전극들(E1,E2)에 의해 자외선이 차단된다. 제1 및 제2 전극들(E1,E2)의 면적이 넓어질수록 실런트에 제공되는 자외선이 줄어들 수 있으므로, 실런트의 경화율이 낮아진다. 따라서 실런트의 경화률을 확보하기 위해 스위칭 커패시터(C2)의 개구율이 소정의 면적 이상으로 확보되어야 한다.

[0096] 개구부들(OP)의 전체 면적은 스위칭 커패시터(C2)의 외곽 경계면에 의해 형성된 면적의 40 퍼센트 이상으로 형성될 수 있다. 즉, 실런트의 경화률을 확보하기 위해 스위칭 커패시터(C2)의 개구율은 40 퍼센트 이상으로 형성될 수 있다. 도시하지 않았으나, 충전 커패시터(C1)도 복수의 개구부들을 포함하고, 충전 커패시터(C1)의 개구율은 40 퍼센트 이상으로 형성될 수 있다.

[0097] 스테이지(SRCk)의 스위칭 커패시터(C2)에서 정전기가 발생될 수 있다. 스위칭 커패시터(C2)에 대전된 정전기는 인접한 제1 신호 라인(SL1)로 방전된다. 제1 신호 라인(SL1)이 스위칭 커패시터(C2)와 20 마이크로미터(㎛)보다 작은 거리를 두고 배치될수 있다. 이러한 경우, 스위칭 커패시터(C2)에서 발생된 정전기가 방전되면서 생성되는 열에 의해 제1 신호 라인(SL1)이 손상될 수 있다.

[0098] 본 발명의 실시 예에 따른 배선부(210)의 제1 신호 라인(SL1)은 스테이지(SRCk)의 스위칭 커패시터(C2)와 제1 거리(D1)를 두고 배치될 수 있다. 제1 거리(D1)는 스위칭 커패시터(C2)의 정전기에 따른 제1 신호 라인(SL1)의 손상을 방지하기 위한 거리로 설정된다. 즉, 제1 거리(D1)는 20 마이크로미터(㎛)보다 크거나 같은 거리로 설정될 수 있다.

[0099] 결과적으로 게이트 구동부(200) 및 그것을 포함하는 표시 장치(500)는 커패시터의 정전기에 따른 배선부(210)의 손상을 방지할 수 있다.

[0100] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을

이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0101] 100: 표시 패널 200: 게이트 구동부

300: 데이터 구동부 400: 구동 회로 기판

500: 표시 장치 210: 배선부

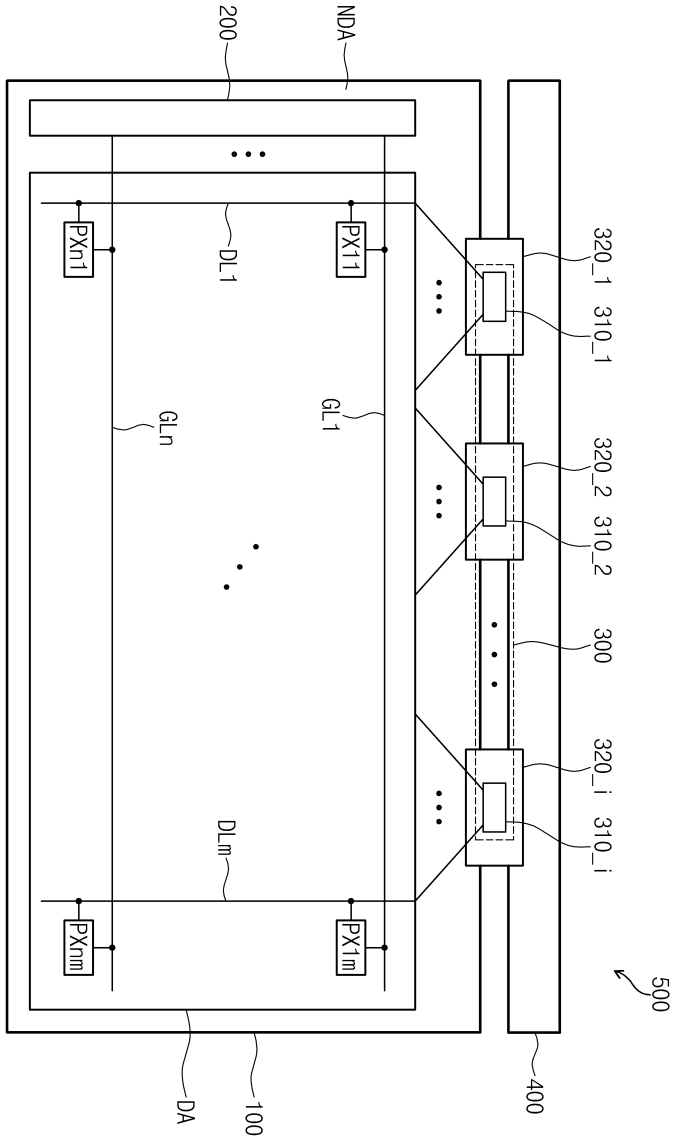
220: 시프트 레지스터 221: 풀업부

222: 풀 다운부 223: 풀업 구동부

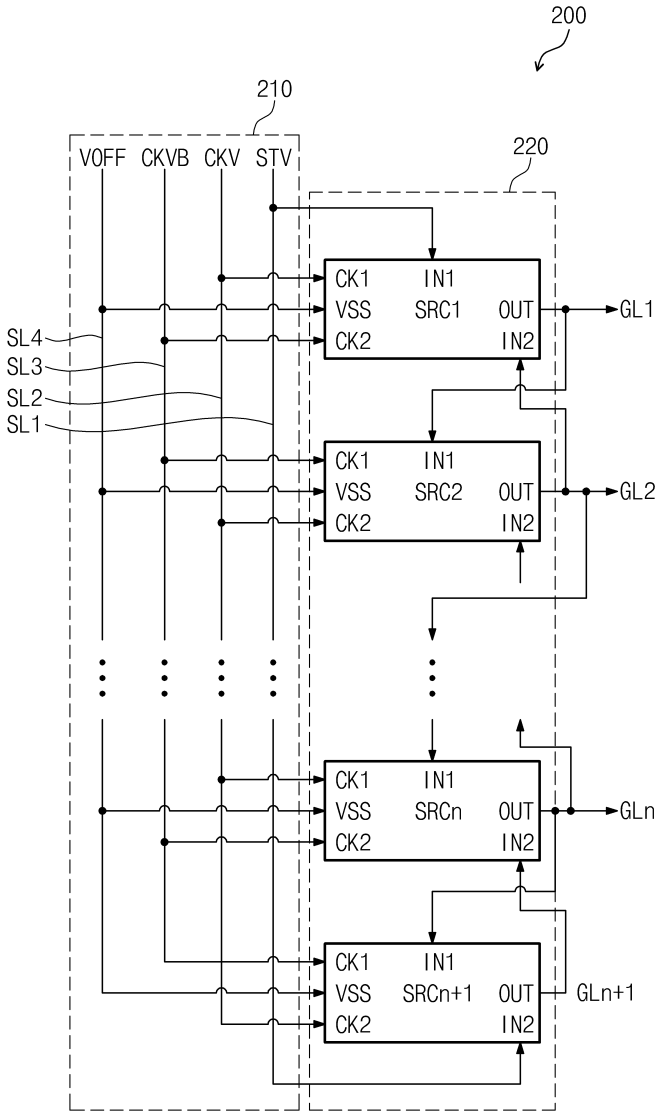
224: 리플 방지부 225: 풀 다운 제어부

도면

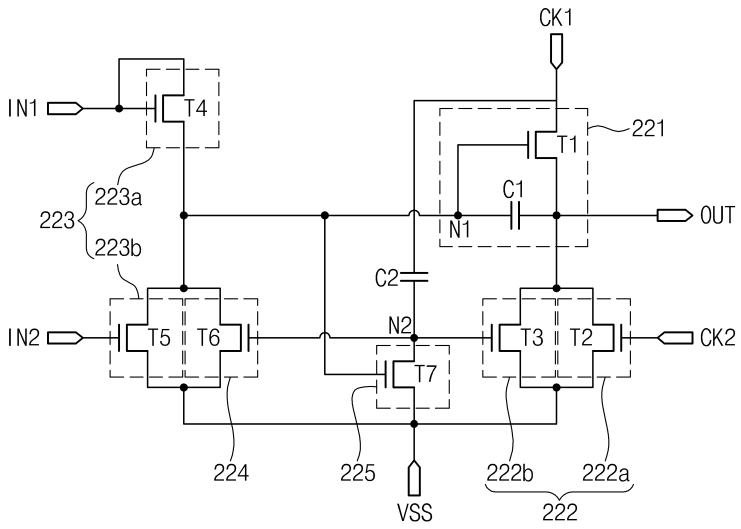
도면1



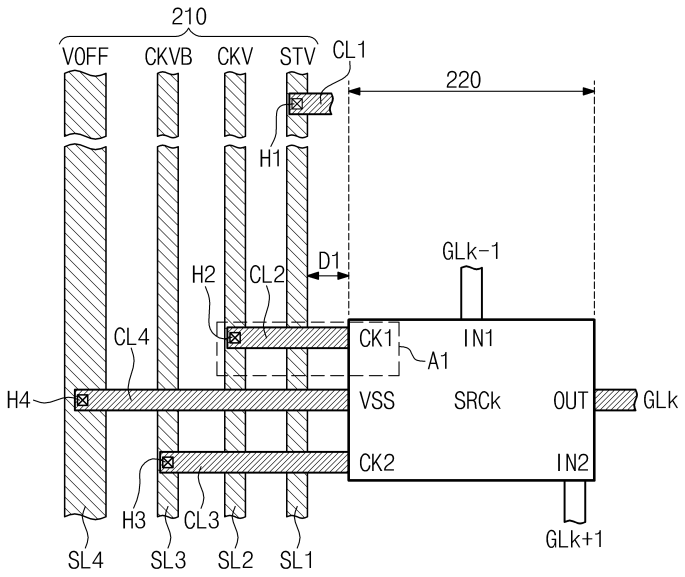
도면2


200
210
220
VOFF
CKVB
CKV
STV
SL4
SL3
SL2
SL1
CK1
IN1
VSS
SRC1
OUT
CK2
IN2
GL1
SRC2
GL2
SRCn
GLn
SRCn+1
GLn+1

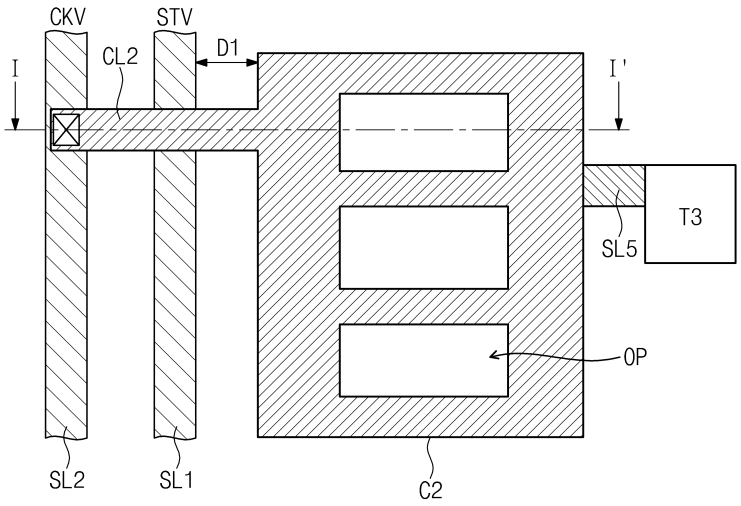
도면3


CK1
IN1
T4
223a
223
223b
T1
221
C1
N1
OUT
C2
IN2
T5
T6
N2
T3
T2
CK2
T7
224
225
222b
222a
VSS
222

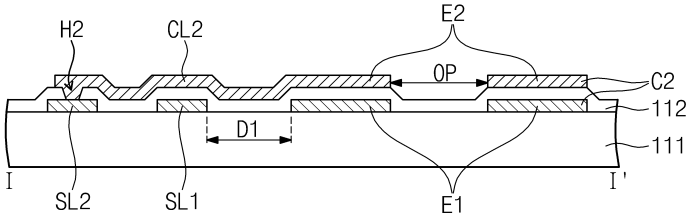
도면4


210
VOFF
CKVB
CKV
STV
CL1
220
H1
GLk-1
H2
CL2
D1
CL4
CK1
IN1
A1
H4
VSS
SRCk
OUT
GLk
CK2
IN2
H3
CL3
GLk+1
SL4
SL3
SL2
SL1

도면5


CKV
STV
D1
CL2
I
I'
T3
SL5
OP
SL2
SL1
C2

도면6


H2
CL2
E2
OP
C2
112
D1
111
I
I'
SL2
SL1
E1