

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-55024

(P2017-55024A)

(43) 公開日 平成29年3月16日(2017.3.16)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 B
 HO 1 L 23/12 5 O 1 T

審査請求 未請求 請求項の数 15 O L (全 15 頁)

(21) 出願番号	特願2015-179313 (P2015-179313)	(71) 出願人	513237652 S Hマテリアル株式会社 東京都港区新橋五丁目11番3号
(22) 出願日	平成27年9月11日(2015.9.11)	(74) 代理人	100107766 弁理士 伊東 忠重
		(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	細樅 茂 鹿児島県伊佐市大口牛尾1746番地2 大口マテリアル株式会社内

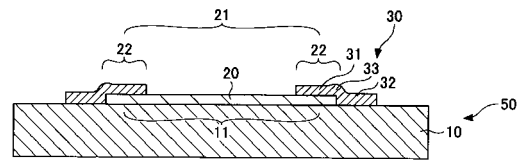
(54) 【発明の名称】 半導体素子実装用基板及び半導体装置、並びにそれらの製造方法

(57) 【要約】 (修正有)

【課題】 フリップチップ実装に適し、チップサイズの小型化が可能で、外部端子部の樹脂の密着性等品質不具合が少なく、かつ、生産性が高い半導体素子実装用基板及び半導体装置、並びにそれらの製造方法を提供する。

【解決手段】 半導体素子実装領域11に半導体素子が実装され、樹脂封止された後に除去可能な導電性基板10と、導電性基板10の表面上の、半導体素子実装領域11及び前記半導体素子の電極が接続可能な内部端子部31を含む領域に層状に設けられ、導電性基板10と同時に除去可能な内部端子支持部20と、内部端子支持部20内の内部端子部31となる領域と導電性基板10とに跨がるように内部端子支持部20及び導電性基板10の表面上に段差を有して連続して形成され、導電性基板10が除去されたときに露出した底面が外部端子部32となる層状のリード部30と、を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体素子を実装可能な半導体素子実装領域を有し、該半導体素子実装領域に前記半導体素子が実装され、樹脂封止された後に除去可能な導電性基板と、

該導電性基板の表面上の、前記半導体素子実装領域及び前記半導体素子の電極が接続可能な内部端子部を含む領域に層状に設けられ、前記導電性基板と同時に除去可能な内部端子支持部と、

該内部端子支持部内の前記内部端子部となる領域と前記導電性基板とに跨がるように前記内部端子支持部及び前記導電性基板の表面上に段差を有して連続して形成され、前記導電性基板が除去されたときに露出した底面が外部端子部となる層状のリード部と、を有する半導体素子実装用基板。

10

【請求項 2】

前記導電性基板は銅合金からなり、

前記内部端子支持部は銅からなる請求項 1 に記載の半導体素子実装用基板。

【請求項 3】

前記半導体素子がフリップチップ方式で前記内部端子部に接続可能なように、前記内部端子部は、前記半導体素子実装領域に包含される部分を含む請求項 1 又は 2 に記載の半導体素子実装用基板。

【請求項 4】

前記内部端子支持部及び前記リード部は、めっき層からなる請求項 1 乃至 3 のいずれか一項に記載された半導体素子実装用基板。

20

【請求項 5】

前記内部端子支持部の厚さは、 $20\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である請求項 1 乃至 4 のいずれか一項に記載の半導体素子実装用基板。

【請求項 6】

所定の半導体素子実装領域に設けられた半導体素子と、

該半導体素子と対向して設けられ、上面視にて前記半導体素子実装領域を含むように設けられた層状の第 1 の樹脂と、

該第 1 の樹脂上と該第 1 の樹脂の外部に跨るように、段差を有して連続的に層状に形成され、前記第 1 の樹脂の外部の領域の底面は前記第 1 の樹脂の底面と連続した同一面を形成するように設けられ、前記第 1 の樹脂上に内部端子部、前記第 1 の樹脂の外部の底面に外部端子部を有するリード部と、

30

前記半導体素子と前記内部端子部とを電氣的に接続する接続手段と、

前記第 1 の樹脂の底面及び前記外部端子部を除く前記半導体素子、前記リード部の上面及び側面、及び前記接続手段を封止する第 2 の樹脂と、を有する半導体装置。

【請求項 7】

前記内部端子部は、上面視にて前記半導体素子と重なる部分を有し、

前記半導体素子と前記内部端子部は、フリップチップ方式で接続される請求項 6 に記載の半導体装置。

【請求項 8】

前記リード部はめっき層からなる請求項 6 又は 7 に記載の半導体装置。

40

【請求項 9】

導電性基板上に、半導体素子実装領域及び内部端子部となるべき領域を含むように第 1 のめっき層を形成する工程と、

該第 1 のめっき層内の前記内部端子部となるべき領域の表面と前記第 1 のめっき層の外部の前記導電性基板の表面とに、連続的に段差を有して跨がるように第 2 のめっき層を形成することにより、前記リード部を形成する工程と、を有する半導体素子実装用基板の製造方法。

【請求項 10】

前記導電性基板は銅合金からなり、

50

前記第 1 のめっき層は銅めっき層である請求項 9 に記載の半導体素子実装用基板の製造方法。

【請求項 1 1】

前記内部端子部となるべき領域の少なくとも一部が、前記半導体素子実装領域に含まれるように前記第 1 のめっき層を形成する請求項 9 又は 1 0 に記載の半導体素子実装用基板の製造方法。

【請求項 1 2】

前記第 1 のめっき層は、20 μm 以上 100 μm 以下の厚さに形成する請求項 9 乃至 1 1 のいずれか一項に記載の半導体素子実装用基板の製造方法。

【請求項 1 3】

請求項 9 乃至 1 2 のいずれか一項に記載のされた半導体素子実装用基板の製造方法により製造された半導体素子実装用基板の前記半導体素子実装領域に半導体素子を実装し、該半導体素子の電極を前記内部端子部に所定の接続手段を用いて電氣的に接続する工程と、前記導電性基板上を、前記第 1 のめっき層、前記第 2 のめっき層、前記接続手段及び前記半導体素子を含めて第 1 の樹脂で樹脂封止する工程と、前記導電性基板及び前記第 1 のめっき層を除去する工程と、前記第 1 のめっき層が形成されていた領域を第 2 の樹脂で封止する工程と、を有する半導体装置の製造方法。

【請求項 1 4】

前記半導体素子の電極は、前記内部端子部にフリップチップ方式で接続される請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記導電性基板及び前記第 1 のめっき層は、溶解により除去される請求項 1 3 又は 1 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子実装用基板及び半導体装置、並びにそれらの製造方法に関する。

【背景技術】

【0002】

近年、携帯電話に代表されるように、電子機器の小型化・軽量化が急速に進み、それら電子機器に用いられる半導体装置も小型化・軽量化・高機能化が要求されている。特に、半導体装置の厚みについて、薄型化が要求されている。かかる要求に応えるため、QFP (Quad Flat Package) 等の金属材料を加工したリードフレームを用いた半導体装置から、以下のような導電性基板を最終的に除去する半導体装置が開発されてきている。

【0003】

具体的には、導電性を有する基板の一面側に、所定のパターンニングを施したレジストマスクを形成する。レジストマスクから露出した基板に導電性金属をめっきし、半導体素子実装用のダイパッド部と外部と接続するためのリード部とを形成し、そのレジストマスクを除去することで、半導体素子実装用基板を形成する。形成した半導体素子実装用基板に半導体素子を実装し、ワイヤボンディングした後に樹脂封止を行い、導電性基板を除去してダイパッド部やリード部を露出させ、半導体装置を完成させる。また、導電性基板の一部に凹部を形成し、その部分に導電性金属をめっきする方法も提案されている。(例えば、特許文献 1、2 参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 10 - 116935 号公報

【特許文献 2】特開 2006 - 93575 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0005】

ところで、半導体素子とリード部を連結する際には、一般的に、金線を使用したワイヤボンディング方式が採用されていた。しかし、近年のAu価格の高騰で金線を使用せず、半導体素子とリード部を直接接続するフリップチップ方式の採用が増えてきている。この、フリップチップ方式では、外部機器と接続する外部端子部と、半導体素子と接続する内部端子部の位置が異なっている。外部端子部の配置は、標準化された指定のピッチで配置される。一方、内部端子部は、フリップチップ方式では、ほぼチップサイズの外周部近辺に配置され、チップサイズはコストダウンのため集積化され、小さくなる傾向にある。このため、特許文献1や特許文献2に記載の半導体装置では、外部端子部と内部端子部をめぐり層で連結し、配線部を形成している。例えば、特許文献1の図27や特許文献2の図1がこれに該当する。

10

【0006】

上述の半導体装置において、特許文献1に記載された半導体装置は、外部端子部を樹脂の突起で形成し、その表面層をめっきしている。このため、めっき層と樹脂との密着性が弱く、めっきが剥がれる等の不具合が発生することがある。特許文献2に記載された半導体装置においては、導電性基板の一部に凹部を形成し、この凹部に配線基板等で使用するビアフィリング液を使用し、穴埋め電気銅めっきを施している。しかし、ビアフィリング液を用いた穴埋め電気銅めっきは、めっき電流が凹部底面に集中して凹部のめっきが厚くなり易く、穴埋めを行った際には、凹部と配線部の先端部でめっき厚さに差が生じやすく、かつめっき厚さを制御することが難しいという問題があった。

20

【0007】

そこで、本発明は、特にフリップチップ実装に適し、チップサイズの小型化が可能で、外部端子部の樹脂の密着性等品質不具合が少なく、かつ、生産性が高い半導体素子実装用基板及び半導体装置、並びにそれらの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の一態様に係る半導体素子実装用基板は、半導体素子を実装可能な半導体素子実装領域を有し、該半導体素子実装領域に前記半導体素子が実装され、樹脂封止された後に除去可能な導電性基板と、

30

該導電性基板の表面上の、前記半導体素子実装領域及び前記半導体素子の電極が接続可能な内部端子部を含む領域に層状に設けられ、前記導電性基板と同時に除去可能な内部端子支持部と、

該内部端子支持部内の前記内部端子部となる領域と前記導電性基板とに跨るように前記内部端子支持部及び前記導電性基板の表面上に段差を有して連続して形成され、前記導電性基板が除去されたときに露出した底面が外部端子部となる層状のリード部と、を有する。

【0009】

本発明の他の態様に係る半導体装置は、所定の半導体実装領域に設けられた半導体素子と、

40

該半導体素子と対向して設けられ、上面視にて前記半導体素子実装領域を含むように設けられた層状の第1の樹脂と、

該第1の樹脂上と該第1の樹脂の外部に跨るように、段差を有して連続的に層状に形成され、前記第1の樹脂の外部の領域の底面は前記第1の樹脂の底面と連続した同一面を形成するように設けられ、前記第1の樹脂上に内部端子部、前記第1の樹脂の外部の底面に外部端子部を有するリード部と、

前記半導体素子と前記内部端子部とを電氣的に接続する接続手段と、

前記第1の樹脂の底面及び前記外部端子部を除く前記半導体素子、前記リード部の上面及び側面、及び前記接続手段を封止する第2の樹脂と、を有する。

【0010】

50

本発明の他の態様に係る半導体素子実装用基板の製造方法は、導電性基板上に、半導体素子実装領域及び内部端子部となるべき領域を含むように第1のめっき層を形成する工程と、

該第1のめっき層内の前記内部端子部となるべき領域の表面と前記第1のめっき層の外部の前記導電性基板の表面とに、連続的に段差を有して跨がるように第2のめっき層を形成することにより、リード部を形成する工程と、を有する。

【0011】

本発明の他の態様に係る半導体装置の製造方法は、前記半導体素子実装用基板の製造方法により製造された半導体素子実装用基板の前記半導体素子実装領域に半導体素子を実装し、該半導体素子の電極を前記内部端子に所定の接続手段を用いて電氣的に接続する工程と、

前記導電性基板上を、前記第1のめっき層、前記第2のめっき層、前記接続手段及び前記半導体素子を含めて第1の樹脂で樹脂封止する工程と、

前記導電性基板及び前記第1のめっき層を除去する工程と、

前記第1のめっき層が形成されていた領域を第2の樹脂で封止する工程と、を有する。

【発明の効果】

【0012】

本発明によれば、チップサイズを小型化できるとともに、生産性を高めることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態に係る半導体素子実装用基板の一例を示す断面図である。

【図2】内部端子支持部の端部及びリード部が形成された部分を拡大して示した部分拡大断面図である。

【図3】本発明の実施形態に係る半導体装置の一例の断面図である。

【図4】本発明の実施形態に係る半導体素子実装用基板の構成例を示した図である。図4(a)は、本発明の実施形態に係る半導体素子実装用基板の一例を示す断面図である。図4(b)は、本発明の実施形態に係る半導体素子実装用基板の一例を示す平面図である。

【図5】本発明の実施形態に係る半導体素子実装用基板の製造方法の一例の前半の一連の工程を示した図である。図5(a)は、導電性基板用意工程の一例を示した図である。図5(b)は、内部端子支持部めっき用レジスト形成工程の一例を示した図である。図5(c)は、内部端子支持部めっき工程の一例を示した図である。図5(d)は、内部端子支持部めっき用レジスト剥離工程の一例を示した図である。

【図6】本発明の実施形態に係る半導体素子実装用基板の製造方法の一例の後半の一連の工程を示した図である。図6(a)は、リード部めっき用レジスト形成工程の一例を示した図である。図6(b)は、リード部めっき工程の一例を示した図である。図6(c)は、リード部めっき用レジスト剥離工程の一例を示した図である。

【図7】本発明の実施形態に係る半導体装置の製造方法の一例の前半の一連の工程を示した図である。図7(a)は、パンプ形成工程の一例を示した図である。図7(b)は、半導体素子実装工程の一例を示した図である。図7(c)は、第1の樹脂封止工程の一例を示した図である。

【図8】本発明の実施形態に係る半導体装置の製造方法の一例の後半の一連の工程を示した図である。図8(a)は、導電性基板除去工程の一例を示した図である。図8(b)は、第2の樹脂封止工程の一例を示した図である。図8(c)は、個片化工程の一例を示した図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して、本発明を実施するための形態の説明を行う。

【0015】

[半導体素子実装用基板及び半導体装置]

図1は、本発明の実施形態に係る半導体素子実装用基板の一例を示す断面図である。本実施形態に係る半導体素子実装用基板50は、導電性基板10と、その表面上に配置された内部端子支持部20と、リード部30とで構成されている。導電性基板10の表面上には、半導体素子を実装するための半導体素子実装領域11が設けられ、半導体素子実装領域11を含むように内部端子支持部20が設けられる。リード部30は、内部端子支持部20の端部の表面と、内部端子支持部20の外部の導電性基板10の表面とに跨るように、段差を有して連続して設けられる。

【0016】

半導体素子実装領域11は、導電性基板10の表面上の半導体素子を実装可能な領域であり、例えば導電性基板10の中央領域に設けられる。

10

【0017】

導電性基板10は、表面上に内部端子支持部20及びリード部30が形成される基板であり、電気めっきにより内部端子支持部20及びリード部30を形成することが可能なように、導電性を有する材料から構成される。使用する導電性基板10の材質は、導電性が得られれば特に限定はないが、一般的には金属材料が用いられる。また、導電性基板10は、半導体装置製造過程で、半導体素子等を樹脂封止後溶解除去される。一般的には、選択除去が可能なCuまたはCu合金等が用いられる。

【0018】

リード部30は、導電性基板10の表面上にめっき加工により形成されためっき層である。リード部30は、内部端子部31と外部端子部32とを有する。内部端子部31は、内部端子支持部20の上に形成されためっき層である。外部端子部32は、導電性基板10と底面が接触しためっき層である。内部端子部31と外部端子部32とは、同時にめっき加工され、連続した1つのめっき層として形成される。内部端子支持部20の端部を跨ぐように連続的に形成されるため、内部端子支持部20と導電性基板10との間に形成される段差を跨ぐように形成され、段差を有するめっき層として形成される。なお、リード部30の詳細については、後述する。

20

【0019】

内部端子支持部20は、リード部30のうち、内部端子部31を支持するために形成されためっき層である。内部端子部31は、フリップチップ方式により半導体素子の電極がはんだパンプにより接続されるとともに、半導体素子が直接実装されるため、外部端子部32よりも高い位置に配置されることが好ましい。内部端子支持部20は、所定の厚さを有して導電性基板10の表面よりも高い表面を有し、内部端子部31を導電性基板10の表面よりも高い位置で支持する。

30

【0020】

なお、内部端子支持部20は、半導体素子実装領域11を含み、更に内部端子部31の少なくとも一部が形成される領域を含む大きさに設定される。フリップチップ方式の場合、半導体素子実装領域11と内部端子部31の少なくとも一部は上面視で重なる位置に配置される必要があり、内部端子支持部20は、半導体実装領域11と内部端子部31とが上面視で重なる位置を含むように形成される。

【0021】

図2は、内部端子支持部20の端部及びリード部30が形成された部分を拡大して示した部分拡大断面図である。図2に示されるように、導電性基板10の表面上に内部端子支持部20が形成され、内部端子支持部20の外周境界線を横切って覆うようにリード部30が形成されている。リード部30のうち、内部端子支持部20上に形成された箇所が内部端子部31となり、導電性基板10の表面上に形成された箇所が外部端子部32となる。内部端子部31と外部端子部32は、形成される面の高さが異なるので、両者の間には段差が生じ、段差部33が形成される。段差部33は、内部端子部31の表面よりもやや高く隆起し、なだらかに外部端子部32の方に下降して傾斜面を形成する。

40

【0022】

内部端子支持部20は、内部端子部31を外部端子部32よりも高く支持できれば種々

50

の高さに設定可能であるが、例えば、 $20\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下に設定されることが好ましく、 $20\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下に設定されることが更に好ましい。内部端子支持部20は、種々の材料で構成されてよいが、半導体装置の製造過程で、導電性基板10とともに除去可能な材料で構成されることが好ましい。例えば、導電性基板10がCu又はCu合金で構成された場合、内部端子支持部20をCuで構成すれば、導電性基板10の溶解除去に用いる溶剤で内部端子支持部20も同時に溶解除去することが可能であり、製造工程を簡素にすることができる。

【0023】

内部端子部31は、表面上にはんだバンプが形成され、表面上に半導体素子が実装される。一方、外部端子部32は、導電性基板10が除去されたときに底面が露出し、底面が外部端子部32の接続面として機能する。よって、リード部30は、端子として接続されるのに適した材料から構成されることが好ましく、例えば、はんだバンプの濡れ性が良好になるような金属材料が選択されることが好ましい。このような金属としては、Au、Ni、Pd等の貴金属が挙げられる。例えば、Au、Ni、Pdのめっき層又はこれらの積層めっき層でリード部30を構成してもよい。

10

【0024】

次に、図3を用いて、本発明の実施形態に係る半導体素子実装用基板を用いた半導体装置の一例について説明する。図3は、本発明の実施形態に係る半導体装置の一例の断面図である。

20

【0025】

図3に示すように、本発明の実施形態に係る半導体装置100は、半導体素子60が、半導体素子60の電極61とリード部30の内部端子部31とをフリップチップ方式にて、バンプ70等を介して接続されている。また、半導体素子60及びバンプ70等の接続部、リード部30の内部端子部31を含めて全体が第1の封止樹脂80により樹脂封止されている。また、少なくともリード部30の内部端子部31の下面は、第2の封止樹脂90で樹脂封止されている。外部端子部32の底面は、第1の封止樹脂80及び第2の封止樹脂90から露出し、外部機器とはんだ接合するための外部接続端子となる。

【0026】

また、図1で存在していた導電性基板10及び内部端子支持部20は存在しない。導電性基板10及び内部端子支持部20は、第1の封止樹脂80により樹脂封止が行われた後、溶解除去されている。つまり、図1で示した半導体素子実装用基板50のリード部30と半導体素子60の電極61とがフリップチップ実装によりバンプ70を介して接続された後、半導体素子実装用基板50上で第1の封止樹脂80により樹脂封止が行われる。樹脂封止の後、導電性基板10及び内部端子支持部20が除去される。

30

【0027】

本発明の実施形態に係る半導体素子実装用基板50及び半導体装置100の特徴は、少なくとも、リード部30の内部端子部31の下面に内部端子支持部20が形成され、その後、導電性基板10と同時に除去されることにある。

【0028】

内部端子支持部20は、導電性基板上10にリード部30をめっき加工する前に形成する。その後、リード部30は、外部端子部32が導電性基板10上に、内部端子部31が内部端子支持部20上に位置するように、1つの連続するめっき層としてめっき加工にて形成される。その後、半導体素子60と内部端子部31とを接続する。例えば、フリップチップ方式で半導体素子60を実装する場合、内部端子部31の下側部には内部端子支持部20があるため、加熱や加圧等を加えても問題なく実施できる。その後、内部端子部31、外部端子部32、半導体素子60、バンプ70を含め導電性基板10の上面が樹脂封止され、更にその後、導電性基板10を溶解除去する時、内部端子支持部20も同時に溶解除去される。内部端子支持部20を除去することにより、内部端子部31がバンプ70を除き各々独立し、また、内部端子部31の下面は、内部端子支持部20の厚さ分窪んだ位置で、第1の封止樹脂80から露出する。その後、この窪み部に第2の封止樹脂90が

40

50

樹脂封止され、前工程で露出していた内部端子部 3 1 の下面は第 2 の封止樹脂 9 0 で覆われる。よって、最終的には、外部端子部 3 2 の下面のみが第 1 の封止樹脂 8 0、第 2 の封止樹脂 9 0 から露出する。これにより、内部端子部 3 1 の下面を外部に露出させず、外部機器と接触するリスクをなくしている。

【 0 0 2 9 】

また、本発明の実施形態においては、リード部 3 0 をめっき加工で形成する際、ほぼ平面上にめっき加工することで、めっき厚さのばらつきを抑える効果がある。上述した特許文献 2 において、導電性基板 1 0 に凹部を設け、その後凹部を含めてめっき用レジストを作製し、レジストのない導電性基板が露出している部分を穴埋めめっきにてめっき層を形成する旨の記載がある。この穴埋めめっきについては、配線基板等で使用するビアフィリング液を使用すると良いと記載されている。ビアフィリング液を用いると、めっき電流が凹部底面に集中して凹部のめっきが厚くなり穴埋めを行うことができる。但し、凹部と導電性基板上の配線部とを同時にめっきを行うため、凹部と配線部の先端部にはめっき厚さに差が生じ、凹部が高くなる傾向にある。また、ビアフィリング液を使用した穴埋めめっきのため、配線部のめっき厚さを個々に制御することは難しくばらつきが生じる。このため、接続部の平坦性を確保すること（配線部のめっき厚さのばらつきを抑えること）が難しい場合がある。接続方法がワイヤボンディング方式の場合には、ある程度のめっき厚みを確保できれば良いが、フリップチップ実装では、一つの半導体装置内で各内部端子部を同時に実装するため、個々の内部端子部の接続部のめっき厚の高さが同一でないと未着不具合が発生する。フリップチップ方式の接続方法では、一般的に一つの半導体装置内のめ

10

20

30

40

50

【 0 0 3 0 】

本発明は、上述の問題点を踏まえて提案されたものである。本発明の実施形態においては、特許文献 2 にあるような、導電性基板に凹部を設け、その部分に穴埋めめっきを施す工程を行わない。本実施形態では、半導体装置 1 0 0 を形成した時に内部端子部 3 1 が封止樹脂 8 0、9 0 から露出しない様に、内部端子部 3 1 と外部端子部 3 2 に段差を付けるべく、まず、内部端子部 3 1 の下方に内部端子支持部 2 0 を形成し、導電性基板 1 0 と段差を付ける。そして、その後内部端子部 3 1 と外部端子部 3 2 との段差に跨るように連続した所定の形状のリード部 3 0 を形成する。外部端子部 3 2 は導電性基板 1 0 の表面上に、内部端子部 3 1 は内部端子支持部 2 0 の上に、めっき加工で形成する。それぞれ、平坦面上に形成されるため、めっき厚さのばらつきは、穴埋めめっき等に比べ最小限に抑えられる。また、凹部にめっき加工する場合、エッジ効果により側面のある凹部端部のめっき厚が厚くなる現象が起きるが、本発明の実施形態では、内部端子部 3 1 と外部端子部 3 2 の境界部の段差部 3 3 だけであり、エッジ効果によるめっき厚が厚くなる現象の影響は小さい。なお、図 2 に示したように、段差部 3 3 のめっき形状は緩やかな R 形状に形成される。

【 0 0 3 1 】

これらより、本発明の実施形態に係る半導体素子実装用基板では、リード部 3 0 のめっき厚さのばらつきを抑えることが出来る。かかる構成は、特に、フリップチップ方式の接続方法により有効である。

【 0 0 3 2 】

次に、図 4 を用いて、本発明の実施形態に係る半導体素子実装用基板 5 0 の特徴である、導電性基板 1 0 上に形成するリード部 3 0 及び内部端子支持部 2 0 の構成について説明する。図 4 は、本発明の実施形態に係る半導体素子実装用基板の構成例を示した図である。図 4 (a) は、本発明の実施形態に係る半導体素子実装用基板の一例を示す断面図である。図 4 (b) は、本発明の実施形態に係る半導体素子実装用基板の一例を示す平面図である。

【 0 0 3 3 】

図 4 (a)、(b) に示されるように、内部端子支持部 2 0 の範囲は、少なくとも内部

端子部 31 の下面の範囲とする。また、図 4 (b) に示すように半導体装置毎に半導体素子 60 及び内部端子部 31 を含めた形状としても良い。また、隣接する半導体装置の内部端子支持部 31 と連結していても良い。内部端子支持部 20 を溶解除去後、除去して窪んだ部分が第 2 の封止樹脂 90 で樹脂封止される。よって、この第 2 の封止樹脂 90 の加工性を考慮すると、内部端子部 31 毎に個々に放射状に範囲を設定するより、半導体装置毎に半導体素子 60 及び内部端子部 31 を含めた四角形等の広くて簡素な形状等の範囲に設定することが好ましい。図 4 (b) においては、半導体素子 60 が実装される半導体素子実装領域 11 と、内部端子部 31 が形成される領域 22 を包含するように、それよりも広い長方形の領域を有する内部端子支持部 20 が形成されている。このように、内部端子支持部 20 は、製造工程を複雑化させないように、やや広い簡素な形状に構成されることが好ましい。

10

【 0034 】

内部端子支持部 20 のめっきの種類は、上述したように、半導体素子 60 を実装後、樹脂封止し、導電性基板 10 を溶解除去する時、同時に内部端子支持部 20 も溶解除去できるように、導電性基板 10 と同種の金属を選定することが好ましい。例えば、導電性基板 10 が Cu 又は Cu 合金の場合、内部端子支持部 20 は、Cu めっき層とすることが好ましい。

【 0035 】

内部端子支持部 20 の厚さは、0.02 mm 以上 0.1 mm 以下 (20 μ m 以上 100 μ m 以下) であることが好ましい。0.02 mm 未満では、第 2 の封止樹脂 90 の厚さが薄く第 1 の封止樹脂 80 と密着が不十分で、剥がれが生じる可能性が高い。一方、内部端子支持部 20 が厚くなると、内部端子支持部 20 形成後に全面をドライフィルムレジストで覆う場合、段差により空気が入り込むおそれがある。よって、リード部めっき用レジスト形成を考慮すると、内部端子支持部 20 の厚さは、0.02 mm ~ 0.04 mm (20 μ m 以上 40 μ m 以下) であることがより好ましい。

20

【 0036 】

次に、リード部 30 を構成するめっき層について説明する。リード部 30 のめっき層は、外部端子部 32 と内部端子部 31 を同時にめっき加工し形成する。外部端子部 32 は導電性基板 10 上に、内部端子部 31 は内部端子支持部 20 上に形成される。

【 0037 】

リード部 30 を構成するめっき層の種類は、特に限定はない。外部端子部 32 の下面は、外部接続端子になるため、はんだ合金と接続性の良いめっきの種類を選定する。内部端子部 31 の上面は、半導体素子 60 と接続されるため、Au、Ag、Pd 等貴金属めっきが好ましい。例えば、下面より Au めっき、Pd めっき、Ni めっき、Pd めっき、Au めっきの順で行う 5 層めっき層でリード部 30 を形成してもよい。

30

【 0038 】

[半導体素子実装用基板の製造方法]

次に、図 5 を参照して本発明の実施形態に係る半導体素子実装用基板の製造方法について説明する。図 5 は、本発明の実施形態に係る半導体素子実装用基板の製造方法の一例の前半の一連の工程を示した図である。

40

【 0039 】

図 5 (a) は、導電性基板用意工程の一例を示した図である。図 5 (a) に示されるように、本発明の実施形態に係る半導体素子実装用基板を製造するに当たり、まずは導電性基板 10 を用意する。使用する導電性基板 10 の材質は、導電性が得られるものであれば特に限定はないが、一般的に Cu 合金又は Cu が使用される。

【 0040 】

図 5 (b) は、内部端子支持部めっき用レジスト形成工程の一例を示した図である。内部端子支持部めっき用レジスト形成工程では、詳細には、レジスト被覆、露光、現像を行い、内部端子支持部めっき用レジストマスク 42 を形成する。導電性基板 10 の表・裏面全体を、レジスト 40 で被う。使用するレジスト 40 としては、ドライフィルムレジスト

50

のラミネート、又は液状レジストの塗布及び乾燥によるレジスト層の被覆等、従来からの公知の方法を用いて行うことができる。次に、露光では、前のレジスト被覆工程で導電性基板 10 の表・裏面にレジスト 40 を被覆した後、そのレジスト 40 上に表面は内部端子支持部 20 となる位置に所望のパターンを、裏面は全面を覆うパターンが形成されたマスク（紫外光遮蔽ガラスマスク）を被せ、露光を行う。

【0041】

現像では、マスクを除去してレジスト 40 を現像することにより、表面に凹部を形成する部分（未硬化部分）を除去して開口 41 を形成し、導電性基板 10 の表面を露出させる。これにより、硬化して残留したレジスト 40 と開口部からなる内部端子支持部めっき用マスク 42 が形成される。

10

【0042】

図 5 (c) は、内部端子支持部めっき工程の一例を示した図である。図 5 (c) に示されるように、形成したレジストマスク 42 を内部端子支持部めっき用マスクとして、導電性基板 10 の表面上にめっき加工を行い、内部端子支持部 20 を形成する。めっき層の厚さは 0.02 mm 以上 0.1 mm 以下で、好ましくは、0.02 mm ~ 0.04 mm である。

【0043】

図 5 (d) は、内部端子支持部めっき用レジスト剥離工程の一例を示した図である。内部端子支持部めっき用レジスト剥離工程では、硬化しているレジスト 40 を剥離する。これにより、導電性基板 10 の表面上に内部端子支持部 20 が形成される。

20

【0044】

図 6 は、本発明の実施形態に係る半導体素子実装用基板の製造方法の一例の後半の一連の工程を示した図である。

【0045】

図 6 (a) は、リード部めっき用レジスト形成工程の一例を示した図である。リード部めっき用レジスト形成工程では、詳細には、レジスト被覆、露光、現像を行い、リード部めっき用レジストマスク 45 を形成する。図 5 (d) で導電性基板 10 に内部端子支持部 20 が形成された表面と導電性基板 10 の裏面全体を、レジスト 43 で被う。使用するレジスト 43 としては、ドライフィルムレジストのラミネート、又は液状レジストの塗布及び乾燥によるレジスト層の被覆等、従来からの公知の方法を用いて行うことができる。なお、ラミネート方式で行う場合、内部端子支持部 20 に厚みがあると境界部に気泡が入ることがあるため、真空ラミネーター等を使用し、気泡の発生を防止する。次に露光では、前のレジスト被覆で導電性基板 10 の表・裏面にレジスト 43 を被覆した後、表面側では、外部端子部 32 は導電性基板 10 上に、内部端子部 31 内部端子支持部 20 上にめっき層が形成可能なように所定のパターンを形成する。一方、導電性基板 10 の裏面には、全面を覆うパターンが形成されたマスク（紫外光遮蔽ガラスマスク）を被せ、露光を行う。

30

【0046】

現像では、マスクを除去してレジスト 43 を現像することにより、リード部 30 を形成する部分（未硬化部分）を除去して開口 44 を形成し、導電性基板 10 及び内部端子支持部 20 の表面を露出させる。これにより、硬化して残留したレジスト 43 と開口部 44 からなるリード部めっき用マスク 45 が形成される。

40

図 6 (b) は、リード部めっき工程の一例を示した図である。リード部めっき工程では、図 6 (a) で形成したリード部めっき用レジストマスク 45 を使用し、導電性基板 10 の表面上に外部端子部 32、内部端子支持部 20 の表面上に内部端子部 31 を同時にめっき加工により形成する。めっき金属の種類には、特に限定はない。また、めっき厚さも、特に制限はない。例えば、Auめっき 0.003 μm ~ 0.1 μm 、Pdめっき 0.01 μm ~ 0.2 μm 、Niめっき 5.0 μm ~ 40.0 μm 、Pdめっき 0.01 μm ~ 0.2 μm 、Auめっき 0.003 μm ~ 0.1 μm の順で行う積層めっき等でもよい。リード部 30 は、内部端子部 31 及び外部端子部 32 となり、接続端子として機能するので、接続端子に適しためっき材料を用いて、用途に応じて形成することができる。

50

【 0 0 4 7 】

図 6 (c) は、リード部めっき用レジスト剥離工程の一例を示した図である。リード部めっき用レジスト剥離工程では、硬化しているレジスト 4 3 を剥離する。

【 0 0 4 8 】

これにより、半導体素子実装用基板 5 0 が完成する。なお、必要に応じ、所定の寸法に切断しシート状にしても良い。

【 0 0 4 9 】

このように、上述の各工程を順に経ることにより、本発明の実施形態に係る半導体素子実装用基板 5 0 が作製される。

【 0 0 5 0 】

[半導体装置の製造方法]

次に、図 7 及び図 8 を用いて、上述の製造方法によって作製された半導体素子実装用基板 5 0 を用いて半導体装置 1 0 0 を製造する半導体装置 1 0 0 の製造方法の一例について説明する。なお、図 7 及び図 8 では、半導体素子 6 0 とリード部 3 0 の接続方法がフリップチップ方式である例について説明する。この接続方法は、公知のワイヤボンディング方式でも可能である。

【 0 0 5 1 】

図 7 は、本発明の実施形態に係る半導体装置の製造方法の一例の前半の一連の工程を示した図である。

【 0 0 5 2 】

図 7 (a) は、パンプ形成工程の一例を示した図である。パンプ形成工程においては、半導体素子実装用基板 5 0 のリード部 3 0 の内部端子部 3 1 の表面上に、半導体素子 6 0 と接続するためのパンプ 7 0 を形成する。

【 0 0 5 3 】

図 7 (b) は、半導体素子実装工程の一例を示した図である。半導体素子 6 0 の電極部 6 1 は、図 7 (a) で形成されたパンプ 7 0 に接続され、リード部 3 0 の内部端子部 3 1 の上側に半導体素子 6 0 が実装される。

【 0 0 5 4 】

図 7 (c) は、第 1 の樹脂封止工程の一例を示した図である。第 1 の樹脂封止工程では、半導体素子実装用基板 5 0 の半導体素子 6 0 を実装した面全体を第 1 の封止樹脂 8 0 により樹脂封止する。

【 0 0 5 5 】

図 8 は、本発明の実施形態に係る半導体装置の製造方法の一例の後半の一連の工程を示した図である。

【 0 0 5 6 】

図 8 (a) は、導電性基板除去工程の一例を示した図である。導電性基板除去工程では、第 1 の封止樹脂 8 0 による樹脂封止部分から、導電性基板 1 0 と内部端子部支持部 2 0 を同時に除去する。導電性基板 1 0 と内部端子部支持部 2 0 とは同種の金属で形成されており、除去は同種の溶解液を用いて、溶解除去する。これにより、内部端子部支持部 2 0 が形成されていた箇所が窪み部 1 2 0 となり、リード部 3 0 の底面が露出する。

【 0 0 5 7 】

図 8 (b) は、第 2 の樹脂封止工程の一例を示した図である。第 2 の樹脂封止工程では、図 8 (a) で内部端子部支持部 2 0 が除去され、第 1 の封止樹脂 8 0 より露出している内部端子部 3 1 の下面を、第 2 の封止樹脂 9 0 により樹脂封止する。これにより、第 1 の封止樹脂 8 0 及び第 2 の封止樹脂 9 0 より外部端子部 3 2 の底面のみが露出した半導体装置 1 0 0 が得られる。

【 0 0 5 8 】

図 8 (c) は、個片化工程の一例を示した図である。最後に、個片化工程において、図 8 (c) に示すように、所定の半導体装置 1 0 0 の寸法になるように切断し、半導体装置を 1 0 0 完成させる。

10

20

30

40

50

【 0 0 5 9 】

このように、本実施形態に係る半導体装置の製造方法によれば、導電性基板 10 と内部端子支持部 20 を溶解除去し、内部端子支持部 20 があつた窪み部 120 を第 2 の封止樹脂 90 で封止すればよく、外部接続端子を形成するための複雑なエッチング工程を行う必要が無くなり、生産コストを低減できるとともに、生産性を高めることができる。

【 実施例 】

【 0 0 6 0 】

以下、本発明の実施形態に係る半導体素子実装用基板及び半導体装置を作製して実施した実施例について説明する。

【 0 0 6 1 】

[実施例 1]

導電性基材として板厚 0.2 mm の Cu 板（古河電気工業株式会社製：EFTEC64-T）を幅 140 mm の長尺板状に加工し、次に厚み 0.05 mm の感光性ドライフィルムレジスト（旭化成イーマテリアルズ社製 AQ-5038）をラミネートロールで、導電性基材の両面に貼り付けた。

【 0 0 6 2 】

次に、半導体素子を実装する領域及び内部端子部を含む領域を内部端子支持部とする所望のパターンを形成したガラスマスクをドライフィルムレジストの上に被せ、紫外光で露光した。

【 0 0 6 3 】

その後、炭酸ナトリウム溶液を用いて、紫外光の照射が遮られ、感光しなかつた未硬化のドライフィルムレジストを溶かす現像処理を行った。

【 0 0 6 4 】

次にレジスト層が除去された開口部の導電性基材の露出部表面に Cu めっきを 0.02 mm の厚さで施した。その後、水酸化ナトリウム溶液でドライフィルムレジストを剥離した。これにより、導電性基板上に内部端子支持部が形成された。

【 0 0 6 5 】

次に、再度、厚み 0.05 mm の感光性ドライフィルムレジスト（旭化成イーマテリアルズ社製 AQ-5038）をラミネートロールで、導電性基材の両面に貼り付けた。ここでは、真空ラミネーター装置を使用し、内部端子支持部境界部の気泡防止を行った。

【 0 0 6 6 】

次に、リード部に該当する所望のパターンを形成したガラスマスクをドライフィルムレジストの上に被せ、紫外光で露光した。

【 0 0 6 7 】

その後、炭酸ナトリウム溶液を用いて、紫外光の照射が遮られ、感光しなかつた未硬化のドライフィルムレジストを溶かす現像処理を行った。

【 0 0 6 8 】

次に、レジスト層が除去された開口部に、リード部のめっきを施した。Au めっきを約 0.003 μm 、Pd めっきを 0.01 μm 、Ni めっきを 30 μm 、Pd めっきを 0.01 μm 、Au めっきを約 0.003 μm の順番に施した。その後、水酸化ナトリウム溶液でドライフィルムレジストを剥離して、導電性基板上にリード部を形成した。

【 0 0 6 9 】

その後、所定寸法に切断することにより、本発明の実施例 1 に係る半導体素子実装用基板を得た。

【 0 0 7 0 】

次いで、作製した半導体素子実装用基板の内部端子部の接続領域にフリップチップ用のパンプを形成した。次に、半導体素子の電極部と前記パンプをフリップチップ方式にて実装し、半導体素子とリード部を接続した。次に、半導体素子を実装されている面を第 1 の封止樹脂で樹脂封止した後、樹脂封止部分から導電性基板及び内部端子支持部を同時に溶解除去した。その後、第 1 の封止樹脂より露出している内部端子部の下面を含む内部端子

10

20

30

40

50

支持部に相当する窪み部分を第2の封止樹脂により樹脂封止した。

【0071】

最後に、所定の半導体装置の寸法になるように切断し、半導体装置を完成させた。

【0072】

[実施例2]

実施例2は、実施例1において、内部端子支持部の範囲を隣接する半導体装置の内部端子支持部と連結した設定とした。その他は実施例1同様である。

【0073】

上記実施1乃至2において、リード部のめっき時間を確認した結果、数十分であることが確認できた。

【0074】

半導体装置製作工程において、フリップチップ方式で実装したが、めっき厚のばらつきが少なく、フリップチップ実装未着等不具合の発生はなかった。また、最終的に半導体装置にはんだ接合を行い外部端子の接合状況を顕微鏡にて確認を行った。外部接続端子部の接続不具合や、端子の脱落等不具合の発生はなく良好であった。

【0075】

また、各実施例の半導体素子実装用基板において、各半導体装置単位内の内部端子部の接続領域のめっき厚さのばらつきを確認した所、実施例はほぼ $\pm 2 \mu\text{m}$ 以内であり、フリップチップ実装に十分使用できる範囲であることが確認できた。

【0076】

このように、本発明の実施形態及び実施例に係る半導体素子実装用基板及び半導体装置、並びにそれらの製造方法によれば、特に、フリップチップ実装に適したもので、チップサイズの小型化が可能で、外部端子部の樹脂の密着性等品質不具合が少なく、かつ、生産性が高い半導体素子実装用基板及び半導体装置を提供することができる。

【0077】

以上、本発明の好ましい実施形態及び実施例について詳説したが、本発明は、上述した実施形態及び実施例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施形態及び実施例に種々の変形及び置換を加えることができる。

【符号の説明】

【0078】

- 10 導電性基板
- 11 半導体素子実装領域
- 20 内部端子支持部
- 30 リード部
- 31 内部端子部
- 32 外部端子部
- 50 半導体素子実装用基板
- 60 半導体素子
- 61 電極
- 70 パンプ
- 80、90 封止樹脂
- 100 半導体装置

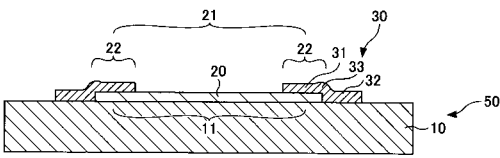
10

20

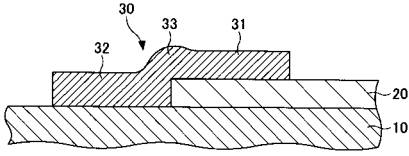
30

40

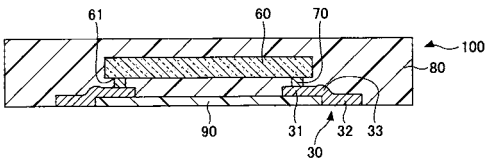
【 図 1 】



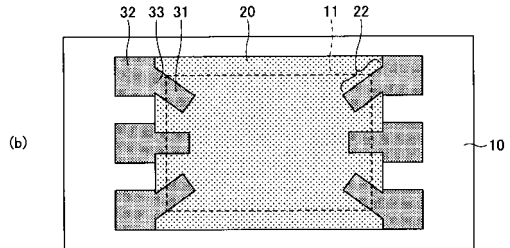
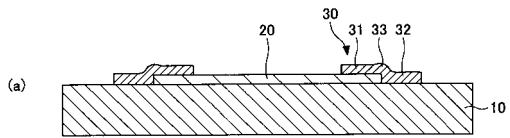
【 図 2 】



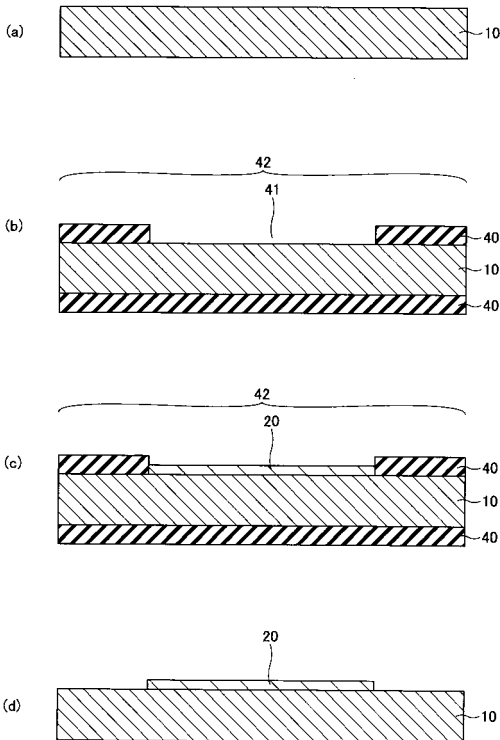
【 図 3 】



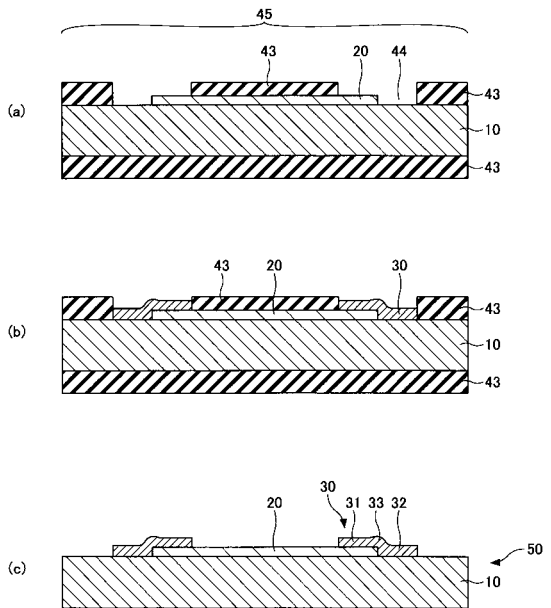
【 図 4 】



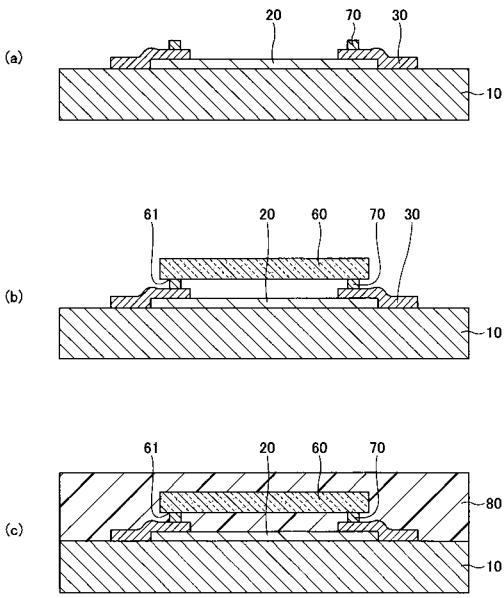
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

