



(12) 发明专利申请

(10) 申请公布号 CN 102640274 A

(43) 申请公布日 2012. 08. 15

(21) 申请号 201080054379. 4

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

(22) 申请日 2010. 09. 15

代理人 柳春雷

(30) 优先权数据

61/247, 300 2009. 09. 30 US

61/262, 122 2009. 11. 17 US

12/708, 497 2010. 02. 18 US

(51) Int. Cl.

H01L 21/336 (2006. 01)

(85) PCT申请进入国家阶段日

2012. 05. 30

(86) PCT申请的申请数据

PCT/US2010/048998 2010. 09. 15

(87) PCT申请的公布数据

W02011/041109 EN 2011. 04. 07

(71) 申请人 苏沃塔公司

地址 美国加利福尼亚州

(72) 发明人 斯科特·E·汤普森

达莫代尔·R·图马拉帕利

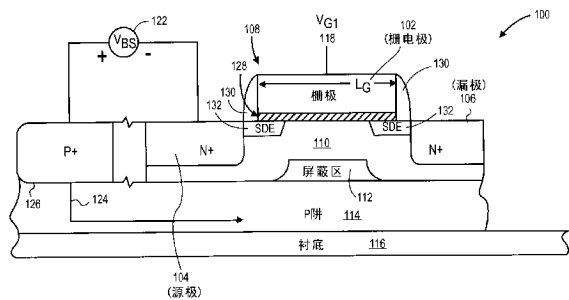
权利要求书 2 页 说明书 34 页 附图 73 页

(54) 发明名称

电子装置和系统及用于制造和使用该电子装置和系统的方法

(57) 摘要

公开一种降低电子装置中的功耗的系统和方法。主要通过重新使用块 CMOS 处理流程和制造技术来实施该结构和方法。该结构和方法涉及深度耗尽沟道设计 (DDC) 设计, 允许 CMOS 基装置相比于传统的块 CMOS 具有降低的西格玛 V_T , 并能允许在沟道区域中具有掺杂剂的 FET 的阈值电压 V_T 被更精确地设定。DDC 设计还相比于传统的块 CMOS 晶体管具有强体效应, 其允许对功耗进行重要的动态控制。



1. 一种场效应晶体管 (FET), 其具有源极、漏极和具有栅极长度的栅极, 所述场效应晶体管包括

掺杂阱,

屏蔽区域, 其接触所述掺杂阱, 并位于所述栅极的下方大于所述栅极长度的一半的距离处,

低掺杂剂沟道区域, 其具有小于 5×10^{17} 原子 / cm^3 的掺杂浓度, 所述低掺杂剂沟道区域位于所述漏极和所述源极之间以及所述屏蔽区域和所述栅极之间, 以及

电压阈值调节区域, 其在所述低掺杂剂沟道区域和所述屏蔽区域之间。

2. 根据权利要求 1 所述的场效应晶体管, 其中, 所述低掺杂剂沟道区域形成为第一外延层, 并且所述电压阈值调节区域形成为第二外延层, 并且 / 或者所述低掺杂剂沟道区域和所述电压阈值调节区域形成为单个外延层。

3. 根据权利要求 1 或 2 所述的场效应晶体管, 其中, 所述屏蔽区域具有大于 1×10^{19} 原子 / cm^3 的掺杂浓度。

4. 根据权利要求 1 至 3 中任意一项所述的场效应晶体管, 其中, 所述掺杂阱具有小于 5×10^{18} 原子 / cm^3 的掺杂浓度。

5. 根据权利要求 1 至 4 中任意一项所述的场效应晶体管, 其中, 所述电压阈值调节区域具有小于 6×10^{18} 原子 / cm^3 并大于 5×10^{17} 原子 / cm^3 的掺杂浓度。

6. 根据权利要求 1 至 5 中任意一项所述的场效应晶体管, 其中, 所述屏蔽区域具有的掺杂浓度大于所述电压阈值调节区域掺杂浓度的两倍, 并且 / 或者大于所述低掺杂剂沟道区域掺杂浓度的十倍。

7. 根据权利要求 1 至 6 中任意一项所述的场效应晶体管, 其中, 所述电压阈值调节区域具有小于 5×10^{18} 原子 / cm^3 并大于 5×10^{17} 原子 / cm^3 的掺杂浓度, 或者

其中, 所述电压阈值调节区域具有在所述屏蔽区域掺杂浓度的 1/50 至 1/2 之间的掺杂浓度。

8. 根据权利要求 1 所述的场效应晶体管, 其中, 所述屏蔽区域还包括具有大于 5nm 的厚度的层, 并且 / 或者

其中, 所述低掺杂剂沟道区域还包括具有大于 5nm 的厚度的层, 并且 / 或者

其中, 电压阈值调节区域还包括具有大于 5nm 的厚度的层。

9. 根据权利要求 1 所述的场效应晶体管, 其中, 所述屏蔽区域还包括大致平坦的层, 其具有大于 30nm 并小于 80nm 的厚度, 并且 / 或者

其中, 所述低掺杂剂沟道区域还包括具有大于 5nm 并且小于 30nm 的厚度的大致平坦的层, 并且 / 或者

其中, 电压阈值调节区域还包括接触所述屏蔽区域并具有大于 5nm 并小于 30nm 的厚度的大致平坦的层。

10. 一种形成场效应晶体管 (FET) 的方法, 所述场效应晶体管具有源极、漏极和具有栅极长度的栅极, 所述方法包括以下步骤:

形成屏蔽区域,

形成通过从所述屏蔽区域注入和 / 或者扩散而被掺杂的外延层, 以在所述屏蔽区域的上方提供具有第一厚度的电压阈值调节区域,

形成低掺杂剂沟道区域,其具有小于 5×10^{17} 原子 / cm^3 的掺杂浓度并通过在所述电压阈值调节区域上方的具有第二厚度的外延层而形成,所述各个电压阈值调节区域和所述低掺杂剂沟道的经组合的第一和第二厚度被设定成大于所述栅极堆叠的栅极长度的一半,

蚀刻穿过所述低掺杂剂沟道区域、所述电压阈值调节区域和所述屏蔽区域以隔离所述 FET, 并且

在所述低掺杂剂沟道区域的上方形成栅极。

11. 根据权利要求 9 所述的方法,其中,所述屏蔽区域具有大于 1×10^{19} 原子 / cm^3 的掺杂浓度,并且其中,所述电压阈值调节区域具有小于 5×10^{18} 原子 / cm^3 并大于 5×10^{17} 原子 / cm^3 的掺杂浓度。

12. 根据权利要求 9 或 10 所述的方法,其中,所述电压阈值调节区域具有在所述屏蔽区域掺杂浓度的 $1/50$ 至 $1/2$ 之间的掺杂浓度。

13. 根据权利要求 9 至 11 中任意一项所述的方法,其中,所述屏蔽区域还包括具有大于 5nm 的厚度的大致平坦的层。

14. 根据权利要求 9 至 12 中任意一项所述的方法,其中,所述低掺杂剂沟道区域还包括具有 10nm 和 30nm 之间的厚度的大致平坦的层。

15. 根据权利要求 9 至 13 中任意一项所述的方法,其中,电压阈值调节区域还包括具有 20nm 和 60nm 之间的厚度的大致平坦的层。

电子装置和系统及用于制造和使用该电子装置和系统的方法

[0001] 相关申请

[0002] 本申请要求 2009 年 9 月 30 日提交的美国临时申请 No. 61/247, 300 的优先权, 该临时申请的全部内容通过引用而结合于此。本申请要求 2009 年 11 月 17 日提交的美国临时申请 No. 61/262, 122 的优先权, 该临时申请的全部内容通过引用而结合于此。本申请还要求 2010 年 2 月 18 日提交的美国临时申请 No. 12/708, 497 的优先权, 该申请的全部内容通过引用而结合于此。

背景技术

[0003] 电子装置已经空前地变为日常生活的一个不可分割的一部分。诸如个人计算机和移动电话的系统已经基本上对我们如何工作、我们如何玩和我们如何通信进行改造。每过去一年都会引入诸如数字音乐播放器、电子书阅读器和平板的新装置, 并对已经存在的产品系列进行改进。这些新的产品表现出日益增长的创新, 这样的创新持续地对我们如何生活进行改变。

[0004] 电子系统对世界经济和现代文化至今通过对半导体工业坚持摩尔定律而在很大程度上产生越来越大的重要性。由首先观察该现象的英特尔的创建者的戈登摩尔命名的摩尔定律规定了在集成电路(或者芯片)上相同面积内变得廉价的晶体管的数目随着时间稳定地增长。一些行业专家将该定律量化, 例如阐述相同面积内晶体管的数目大概每两年翻倍。在没有摩尔定律提供的功能性的增加和成本和尺寸的相关减小的情况下, 今天广泛可用的许多电子系统不能付之实践或者可负担得起。

[0005] 一段时间, 半导体工业通过使用块 CMOS 技术来制造芯片中的电路而已经成功地保持摩尔定律。块 CMOS 技术已经证明特别“能缩小的 (scalable)”, 意思是在使得现有制造处理和设备最佳化和重新使用以为了维持可接受的产品成本的同时, 能将块 CMOS 晶体管造得越来越小。从历史上看, 随着块 CMOS 晶体管的尺寸减小, 其功耗也减小, 有助于该工业在保持摩尔定律的同时以降低的成本提供增大的晶体管密度。因而, 半导体工业已经能以它们的尺寸缩小块 CMOS 的功耗, 降低了操作的晶体管和它们所在的系统的成本。

[0006] 然而, 近年来, 在减小它们的尺寸的同时降低块 CMOS 的功耗已经变得越来越难。晶体管功耗直接影响芯片功耗, 又影响操作系统的成本, 并且在一些情况下, 影响系统的效用。例如, 如果在每个晶体管的功耗保持相同或者增大的同时相同的芯片面积上的晶体管的数目翻倍, 芯片的功耗将翻更多倍。这部分是因为需要冷却所得到的芯片, 因而需要更多的能量。结果, 这会使用于操作该芯片的末端用户的能量成本翻更多倍。这种增大的功耗还会例如通过降低移动装置的电池寿命而显著地降低消费者的电子产品的使用性。还有其他效果, 诸如增大热的产生, 需要散热, 潜在地减小系统的可靠性并且负面地影响着环境。

[0007] 在半导体工程师当中已经有广泛的认识: 持续地降低块 CMOS 的功耗是不可行的, 部分是因为据认为晶体管的操作电压 V_{DD} 随着晶体管的尺寸的减小而不再减小。CMOS 晶体管导通或者关断。CMOS 晶体管的状态由施加到晶体管的栅极的电压相对于晶体管的阈值电

压 V_T 的值来确定。在晶体管切换为导通的同时,其消耗能由以下公式表示的动态功率:

$$[0008] \quad P_{\text{动态}} = C V_{DD}^2 f$$

[0009] 其中, V_{DD} 是供应到晶体管的操作电压, C 是当晶体管切换为导通时晶体管的载荷电容,并且 f 是晶体管操作的频率。在晶体管关断的同时,其消耗静态电力,其能由公式: $P_{\text{静态}} = I_{\text{OFF}} V_{DD}$ 来表示,其中, I_{OFF} 是当晶体管关断时的泄漏电流。从历史上看,该工业已经主要通过降低操作电压 V_{DD} (其降低动态和静态功率两者) 来降低晶体管的功耗。

[0010] 降低操作电压 V_{DD} 的能力部分地取决于能精确地设定阈值电压 V_T , 但是随着晶体管尺寸由于各种因素 (包括例如随机掺杂波动 (RDF)) 减小, 已经变得越来越困难。对于使用块 CMOS 处理形成的晶体管, 设定阈值电压 V_T 的主要参数是掺杂剂在沟道中的量。影响 V_T 的其他因素是环状注入、源极和漏极延伸和其他因素。理论上, 这能精确地完成, 使得在相同芯片上的相同晶体管将具有相同的 V_T , 但是在现实中, 阈值电压能显著地变化。这意味着这些晶体管响应于相同的栅极电压将不都同时切换, 并且一些将不会切换为导通。对于具有 100nm 或者更小的沟道长度的晶体管, RDF 是 V_T 的变化 (通常称为西格玛 V_T 或者 σV_T) 的主要决定因素, 并且 RDF 引起的 σV_T 的量随着沟道长度减小而增大。如图 1 所示, 该图 1 是基于由英特尔公司提供的信息, 估计的实验数据, 连同在 2009 年 IEEE 国际固态电路会议上由 Kiyoo Itoh, Hitachi Ltd 进行的基调展示, 半导体工程师的传统智慧已经发现纳米级块 CMOS 中增大的 σV_T 设定 1.0V 作为用于正向的操作电压 V_{DD} 的实际下限。VDD 图示为具有降低 TARGET 区域的工业目标的下降斜坡函数 (downward-sloping function)。然而, 用于 σV_T 的曲线随着降低的器件特征尺寸而增大, 其中, RDF 实际地造成 V_{min} 增大。动态和静态功率的功函数是功率 = $C V_{DD}^2 f + I V_{DD}$ 。因而, 整个功率增大。

[0011] 由于这些和其他的原因, 半导体工业的工程师广泛地相信在未来的处理节点中必须放弃块 CMOS, 而不管有许多公知的用于降低短沟道器件中的 σV_T 的技术。例如, 一个降低块 CMOS 中的 σV_T 传统的方式涉及提供随着沟道垂直向下延伸 (朝着衬底远离栅极) 而增大沟道中的掺杂剂浓度的非均匀掺杂轮廓。尽管此类型的后退掺杂轮廓不降低对掺杂变化的灵敏度, 但是其增大对短沟道效应的灵敏度, 从而不利地影响器件的操作。因为短沟道效应, 这些掺杂参数一般不针对纳米级器件缩小, 使得此方式一般不适合用于纳米级短沟道晶体管。利用朝着在 45nm 或者甚至 22nm 处理节点处形成的短沟道器件移动的技术, 在此器件中后退方式的益处被认为是有限的。

[0012] 工作以克服这些技术障碍的半导体工程师还试图使用超陡后退阱 (SSRW) 以解决与按比较缩小到纳米区域相关的性能问题。如同用于纳米级器件的后退掺杂, SSRW 技术使用特殊的掺杂轮廓, 在轻掺杂沟道下方形成重掺杂层。SSRW 轮廓与后退掺杂不同在于掺杂剂水平具有很陡的增大以将沟道掺杂降低到尽可能低的水平。这种陡的掺杂剂轮廓能造成短沟道效应的降低, 沟道区域中的增大的迁移率和更小的寄生电容。然而, 当制造这些用于高容积、纳米级集成电路应用的器件时, 很困难实现这些结构。此困难部分是由于后退阱的扩散和 SSRW 掺杂剂物种进入沟道区域中, 尤其是对于诸如 NMOS 晶体管的 p 阱器件。此外, 使用 SSRW 不会消除随机掺杂剂密度波动 (其能将 σV_T 增大到不可接受的水平) 的问题。

[0013] 除了这些和其他克服现有块 CMOS 实施的缺点的尝试, 该工业已经变得重点聚焦在在沟道中没有掺杂剂的 CMOS 晶体管结构。这种晶体管结构例如包括全耗尽绝缘体上硅 (SOI) 和各种 FINFET, 或者欧米伽栅极器件。SOI 器件通常具有限定在薄顶部硅层上的晶体

管,该薄顶部硅层通过玻璃或者二氧化硅的薄绝缘层(公知为埋置氧化物层)而与硅衬底分开。FINFET 器件使用多个栅极以控制硅沟道中的电场。这能通过具有在硅沟道中具有低掺杂剂而具有降低的 σV_T 。这使得注入在沟道中的掺杂剂原子的数量或者位置的原子水平变化不重要。然而,器件的类型要求晶片和相关的处理比在块 CMOS 中使用的更复杂和昂贵。

[0014] 给定与过渡到新的技术相关的大致成本和风险,半导体和电子系统的制造商已经长久地寻求一种延伸块 CMOS 的使用的方法。这些努力至今证明是不成功的。持续地降低块 CMOS 中的功耗已经越来越在半导体工业中认为是不可逾越的问题。

附图说明

[0015] 图 1 示出用于用于器件缩小的功率限制和 σV_T 限制的 trends 的示例。

[0016] 图 2A 示出了根据一个实施例具有深度耗尽沟道 (DDC) 的场效应晶体管的视图。

[0017] 图 2B 示出根据一个实施例的具有深度耗尽区域的沟道的视图。

[0018] 图 2C 示出根据一个实施例具有不同掺杂浓度的三个区域的沟道的另一示例。

[0019] 图 2D 示出根据一个实施例具有深度耗尽区域的沟道的另一示例。

[0020] 图 3 示出根据一个实施例掺杂浓度与沟道深度的图。

[0021] 图 4 示出根据一个实施例掺杂剂浓度的变化与器件深度的图。

[0022] 图 5 示出根据一个实施例以供应电压为背景绘制的来自各种器件的不同阈值电压的提炼图的示例。

[0023] 图 6 图示根据一个示例的改进的 σV_T 的示例。

[0024] 图 7A 示出根据传统处理和结构而形成的块 CMOS 晶体管的示例。

[0025] 图 7B 示出了根据一个实施例的 DDC 晶体管,其与图 7A 的传统块 CMOS 器件相比具有深很多的耗尽区域。

[0026] 图 8A 示出与图 7A 中图示的传统块 CMOS 结构对应的 FET 的示例。

[0027] 图 8B 示出与图 7B 图示的新颖深阱结构对应的 FET 的示例。

[0028] 图 9 示出用于 NMOS 器件的通用迁移率曲线的示例。

[0029] 图 10 示出 DDC 结构和均匀沟道的阈值电压和本体偏压之间的比较的示例。

[0030] 图 11 示出 DDC 结构与均匀沟道的 σV_T 与本体偏压之间的比较。

[0031] 图 12 示出新颖的 DDC 结构的轮廓和具有 SSRW 的传统块 CMOS 的轮廓之间的比较的示例。

[0032] 图 13 示出传统的 CMOS 器件与根据此处公开的实施例构造的结构的比较的示例。

[0033] 图 14A-I 示出用于制造具有 DDC 掺杂轮廓的沟道的器件的处理流程的示例。

[0034] 图 15 示出具有高度掺杂屏蔽区域和将本体偏压电压施加到本体的机构的多模式器件的示例。

[0035] 图 16 示出 n 沟道 DDC 器件和传统的 n 沟道器件之间阈值电压 V_T 与偏压电压 V_{BS} 的比较的示例。

[0036] 图 17A 示出在传统器件中器件之间阈值电压的变化如何造成延迟时间的宽扩散的示例。

[0037] 图 17B 示出用于根据实施例的 DDC 器件的改进的延迟时间特性的示例。

- [0038] 图 18 示出针对根据一个实施例的器件设定的静态 V_T 的图。
- [0039] 图 19 示出根据一个实施例的具有各自本体的多组晶体管的示例。
- [0040] 图 20 示出根据一个实施例的 n 沟道 4 端子晶体管布局的示例。
- [0041] 图 21 示出根据一个实施例具有浅 P 阱 (SPW) 的沟道 4 端子晶体管的示例。
- [0042] 图 22 示出根据一个实施例具有本体存取晶体管的动态多模式晶体管的示例。
- [0043] 图 23 示出根据一个实施例具有局部沟槽隔离 (PTI) 的动态多模式晶体管的另一示例。
- [0044] 图 24 示出根据一个实施例具有 PTI 的 4 端子晶体管的示例。
- [0045] 图 25 示出根据一个实施例具有局部互连部的 3 端子晶体管的示例。
- [0046] 图 26 示出根据一个实施例用 PGC 将本体连接到栅极的 3 端子晶体管的另一示例。
- [0047] 图 27 示出根据一个实施例具有在栅极延伸的下方延伸的有源区域中形成的本体接触部的 3 端子晶体管的另一示例。
- [0048] 图 28 示出根据一个实施例具有本体接触部的 3 端子晶体管的另一示例。
- [0049] 图 29 示出根据一个实施例可编程的 4/3 端子晶体管的示例。
- [0050] 图 30 示出能使用根据一个实施例的 4 端子晶体管进行动态模式切换的电路的示例。
- [0051] 图 31 示出使用根据一个实施例的 4 端子晶体管的动态模式切换的示例。
- [0052] 图 32A 示出根据一个实施例能进行动态模式切换的电路的示例。
- [0053] 图 32B 示出用于图 32A 中的电路模块的横截面的示例。
- [0054] 图 33A 示出根据一个实施例能进行动态模式切换的电路的示例。
- [0055] 图 33B 示出用于图 33A 中的电路模块的横截面的示例。
- [0056] 图 34A 示出构造有不同的公共使用的部件的电路的示例。
- [0057] 图 34B 示出根据一个实施例使用本体存取多晶硅的晶体管组的示例。
- [0058] 图 34C 示出根据一个实施例使用本体存取晶体管的晶体管组的示例。
- [0059] 图 34D 示出根据一个实施例使用带有单独连接部的本体存取晶体管的晶体管组的示例。
- [0060] 图 34E 示出与图 34D 对应的横截面视图的示例。
- [0061] 图 35 示出使用混合的老式器件和根据一个实施例的新的器件的多模式切换电路的示例。
- [0062] 图 36 示出基于老式方式的另一多模式切换电路的示例。
- [0063] 图 37 示出根据一个实施例基于局部耗尽 (PD) SOI 技术的多模式切换电路的示例。
- [0064] 图 38 示出根据一个实施例的 6T SRAM 单元的示例。
- [0065] 图 39 示出用于图 38 的 6T SRAM 的布局示例的示例。
- [0066] 图 40A 示出图 39 的布局的横截面的示例。
- [0067] 图 40B 示出与图 39 对应的 6T SRAM 单元的立体视图的示例。
- [0068] 图 41A 示出与图 39 对应的阱的俯视图的示例。
- [0069] 图 41B 示出根据一个实施例堆叠起来形成 2x2 阵列的 6T SRAM 单元的示例。
- [0070] 图 42 示出可结合此处描述的实施例使用的连接部阱的布局示例。
- [0071] 图 43 示出与图 42 对应的横截面视图的示例。

- [0072] 图 44 示出图 42 的连接部阱的俯视图的示例。
- [0073] 图 45 示出根据一个实施例形成 2x2SRAM 的示例。
- [0074] 图 46 示出根据一个实施例使用用于 SPW 隔离的连接部单元的 4x4SRAM 的示例。
- [0075] 图 47 示出根据一个实施例用于每排 V_{SS} 的 6T SRAM 阵列的示例。
- [0076] 图 48 示出与图 47 对应的 SRAM 单元的布局的示例。
- [0077] 图 49A 示出与图 48 对应的 SRAM 布局的 SPW 和 SNW 的示例。
- [0078] 图 49B 示出根据一个实施例具有每排 V_{SS} 的技术的 2x2SRAM 阵列。
- [0079] 图 49C 示出根据一个实施例具有每排 V_{SS} 的技术的 4x4SRAM 阵列。
- [0080] 图 50 示出与图 47 对应的 SRAM 单元的布局的另一示例。
- [0081] 图 51A 示出与图 50 对应的 SRAM 布局的 SPW 和 SNW 的示例。
- [0082] 图 51B 示出根据一个实施例具有每排 V_{SS} 的 2x2SRAM 阵列的示例。
- [0083] 图 51C 示出根据一个实施例具有每排 V_{SS} 的 4x4SRAM 阵列。
- [0084] 图 52 至图 54 图示此处论述的 DDC 器件和实施例的系统应用。

具体实施方式

[0085] 提供一种新颖结构和方法,其降低宽阵列的电子器件和系统的功耗。这些结构和方法中的一些能通过重新使用现有的块 CMOS 处理流程和制造技术而大部分地实施,从而允许半导体工业以及更宽的电子工业避免有成本地和有风险地切换到替换技术。

[0086] 如将所论述,一些结构和方法涉及深耗尽沟道 (DDC) 设计。DDC 能允许 CMOS 器件与传统的块 CMOS 相比具有降低的 σVT ,并能允许在沟道区域中具有掺杂剂的 FET 的阈值电压 V_T 设定得更加精确。DDC 设计还能与传统的块 CMOS 晶体管相比具有强本体效应,从而能允许对 DDC 晶体管中的功耗进行重要的动态控制。有许多方式去构造 DDC 以实现不同的益处,并且此处呈现的附加结构和方法能单独地或者与 DDC 结合使用以产生附加的益处。

[0087] 还提供用于将晶体管集成在芯片上的有利的方法和结构,例如包括能利用 DDC 以提供改进的芯片功耗的实施。此外,晶体管和集成电路在一些实施例中能够有各种其他益处,包括低散热、改进的可靠性、小型化和 / 或更有利的制造成本。有各种方式以静态和动态地突出新的晶体管结构的一些或者所有优点。在集成电路水平处的许多研发甚至在没有此处论述的新颖晶体管的情况下也提供优点。许多方法和结构可以在除了块 CMOS 晶体管以外的器件类型中使用,例如,在沟道和 / 或本体中具有掺杂剂的其他类型的晶体管。

[0088] 还提供用于在系统中 (诸如在电子产品中) 结合和使用此处描述的创新的方法和结构以提供以下益处,在一些实施中包括处于系统水平的改进的功耗、改进的系统性能、改进的系统成本、改进的系统制造能力和 / 或改进的系统可靠性。如将所展示的,创新能有利地用在宽范围的电子系统中,包括在一些实施例中在诸如个人计算机、移动电话机、电视、数字音乐播放器、机顶盒、膝上型和掌上型计算器件、电子书阅读器、数字相机、GPS 系统、平板显示器、便携式数据存储器件和平板电脑的消费品器件以及在各种其他电子器件中。在这些实施中的一些当中,晶体管和集成电路能实质上地提高作为整体的电子系统的操作,并因而,提高该电子系统的商业适配性。在一些实施例中,创新晶体管、包含此处所描述的晶体管的集成电路和系统还可以比替换的方式进行更加环境友好的实施。

[0089] 在一个实施例中,提供一种新颖场效应晶体管 (FET) 结构,相比于传统的短沟道

器件,其具有精确控制的阈值电压。还能具有改进的迁移率和其他重要的晶体管特性。此结构和制造该结构的方法能允许与传统器件相比 FET 晶体管具有低的操作电压。附加地或者可选地,它们能允许在操作过程中这种器件的阈值电压被动态地控制。在一些实施中 FET 能为设计者提供设计具有 FET 器件的集成电路的能力,该 FET 器件能在电路处于操作中的同时被动态地调节。集成电路中的 FET 结构在一些实施例中能设计有名义上的相同结构,并且附加地或者可选地能被控制、调制或者编程以响应于不同的偏压电压在不同的操作电压下操作。这些结构能使电路以有效和可靠的方式静态地指定和 / 或动态地改变操作模式。此外,在一些实施中,这些结构能构造针对电路内的不同应用进行后制造。

[0090] 这些和其他益处提供满足设计者、生产商和消费者的许多需要的数字电路的改进。这些益处能提供由能对集成电路的持续和进一步改进的新颖结构组成的系统,得到具有改进性能的器件和系统。在一些实施中,块 CMOS 可以持续附加的时间段,以跟上摩尔定律,并且在基于块 CMOS 的电路和系统中进一步创新能持续以先进的性能速率而改进。实施例和示例将参照晶体管、集成电路、电子系统和相关方法而在此处描述,并且将强调新颖结构和方法在制造处理和贸易链(包括电子产品的终端用户)的各个水平处提供的特征和益处。在这些示例中对产生集成电路和电子系统的结构和方法的固有的原理的应用将证明是能缩小的。因而,将理解到,本发明的精神和范围不限于这些实施例和示例,但是仅仅由此处附加的还有在相关和共同转让的申请中的权利要求限制。

[0091] 具有小于 90 纳米的栅极长度的纳米级场效应晶体管(FET)设置有比传统的纳米级 FET 器件更精确的可控制的阈值电压。附加的益处包括改进的载流子迁移率和由于 RDF 而降低的阈值电压的变化。一个实施例包括可操作来具有耗尽区域的纳米级 FET 结构,该耗尽区域延伸到栅极下方的深度设定成大于栅极长度的一半。FET 结构具有至少两个不同掺杂浓度的区域,以帮助在栅极下方的耗尽区域中限定 DDC。在一个示例中,栅极附近的第一区域具有比从第一区域分开且位于栅极下方一定距离处的第二区域更低的掺杂剂浓度。这提供了与第二掺杂屏蔽区域成对的第一低掺杂沟道区域(通常,大致未掺杂外延生长沟道层),该第二掺杂屏蔽区域能通过阈值电压或者更大施加到栅极时终止从栅极发射的电场来限定 DDC。深耗尽区域能可选地称为 DDC 或者深耗尽区域,并且将取决于晶体管结构和电子操作条件而在空间范围和特性上变化。有这些结构和区域的精确几何尺寸和位置上有许多变化,并且一些在以下更详细地描述。

[0092] 这些结构和制造该结构的方法允许 FET 晶体管与传统纳米级器件相比具有低操作电压和低阈值电压两者。而且,它们允许这种器件的阈值电压在操作过程中被动态地控制。最终,这些结构和制造结构的方法提供设计具有 FET 器件的集成电路,该 FET 器件能在电路处于操作中的同时能被动态地调节。因而,集成电路中的晶体管能设计有名义上相同的结构,并能被控制、调制或者编程以响应于不同的偏压电压而在不同的操作电压下操作,或者响应于不同的偏压电压和操作电压而在不同的操作模式下操作。此外,这些能构造针对电路内的不同应用而后制造。

[0093] 某些实施例和特征此处针对晶体管进行描述,并强调新颖结构和方法提供晶体管的特征和益处。然而,对产生集成电路的结构和方法应用这些示例中固有的原理是可缩小的,并不限于晶体管或者块 CMOS。因而,本领域将理解到本发明的精神和范围不限于这些实施例和示例或者此处并且还在相关和共同转让的应用中附着的权利要求,但是可以有利地

应用在其他数字电路内容中。

[0094] 在以下描述中,许多具体的细节以本发明能实施的优选方式给出。明显地,本发明能在没有这些具体细节的情况下实践。在其他情况下,公知的电路、部件、运算和处理尚未详细地示出,或者尚未以示意或者框图的形式示出以为了不使本发明在不必要的细节方面模糊。附加地,对于大部分,关于材料、工具、处理时间、电路布局和模具设计的细节已经省略,只要这些细节不必获得本发明的完整理解,因为它们认为在相关技术领域的一般技术人员的理解范围内。在以下整个描述和权利要求中使用某些术语以指代特定系统部件。类似地,将理解到,部件可以由不同的名称指代,并且此处的描述不意在区分在名称上而不是在功能上的部件。在以下论述和权利要求书中,术语“包括”以开放端的方式使用,因而例如应该理解为意思是“包括但不限于”。

[0095] 此处描述了以上提及的方法和结构的各种实施例和示例。将认识到此详细的描述仅仅是图示性,不意在以任何方式进行限制。其他实施例对于受益于此公开的本领域的一般技术人员是容易的。将详细参照在附图中图示的实施例。相同的参考标号将在整个附图和以下详细描述中使用,以指代相同或者类似的部件。

[0096] 为了清楚的目的,没有示出和描述此处描述的实施的实施例的所有的常规特征。当然,将理解到。在研发本发明的任何实际实施中,为了实现研发者的特定目标,将做出许多实施特定决定。而且,将理解到,这种研发努力会是复杂的和费时的,但是不管怎样,是对于受益于此公开的本领域的一般技术人员是常规的工程任务。

[0097] 将在物理和功能区域或者层的方面描述在半导体的衬底或者硅层中注入或者以其他方式存在以修改半导体的物理和电气特性的原子的浓度。这些可以由本领域的技术人员理解为具有特定平均浓度的材料的三维质量。或者,它们可以理解为具有不同或者空间变化的浓度的子区域或者子层。它们还可以作为小组掺杂剂原子、大致类似掺杂剂原子等的区域或者其他实用实施例而存在。对基于这些特性的区域的描述不意在限制形状、准确的位置或者取向。它们还不意在将这些区域或者层限制到处理步骤的任何特定类型或者数目、层的类型或者数目(例如,复合或者单一)、半导体沉积、蚀刻技术或者所利用的生长技术。这些处理可以包括外延形成区域或者原子层沉积、掺杂注入方法学或者特定的竖直或者横向掺杂轮廓、包括线性、单调增长、后退或者其他适合空间改变掺杂剂浓度。实施例和包括在其中的示例可以示出特定处理技术或者所使用的材料,诸如以下描述的和在图14A-I中图示的外延和其他处理。这些示例仅仅打算作为图示性示例,并且不应该理解为限制性的。掺杂剂轮廓可以具有掺杂剂浓度不同的一个或者多个区域或者层。不管处理如何,浓度的变化和该区域或者层如何限定可以或者不可以经由包括红外光谱、卢瑟福背散射(RBS)、二次离子质谱(SIMS)的光学技术或者使用不同定量或者定性掺杂剂浓度确定方法学的其他掺杂剂分析工具而检测。

[0098] 图2A示出了根据一个实施例而配置的场效应晶体管(FET)。FET100包括栅电极102、源极104、漏极106和位于沟道110上方的栅极堆叠部108。沟道110可以深度耗尽,意思是指一般从栅极堆叠到屏蔽区域测量的沟道的深度比传统的沟道深度深很多,这在以下更详细地描述。在操作中,偏压电压 $122V_{BS}$ 可以施加到源极104,并且P+端子126在连接处124连接到P阱114以关闭电路。栅极堆叠108包括栅极102、栅接触部118和栅极介质128。包括栅间隔器130以将栅极从源极和漏极分开。源极/漏极延伸(SDE)132在介质

128 的下方延伸源极和漏极。

[0099] FET 100 作为具有由 N 型掺杂剂材料制成的源极和漏极的 N 沟道晶体管示出,并形成在作为 P 型掺杂硅衬底的衬底上,该衬底提供形成在衬底 116 上的 P 阱 114。然而,可以理解到,通过对衬底或者掺杂材料适合的改变,可以用诸如镓砷基材料的其他适合衬底形成的非硅 P- 型半导体晶体管来替换。

[0100] 源极 104 和漏极 106 能使用传统的掺杂剂注入处理和材料来形成,并可以包括例如诸如应力感应源极 / 漏极结构、升高的和 / 或凹入的源极 / 漏极、非对称掺杂、对掺杂或者晶体结构修改的源极 / 漏极或者根据 HDD (高度掺杂漏极) 技术对源极 / 漏极的注入掺杂等的修改。延伸区域 132 一般形成在衬底内,并便于吸收一些与漏极相关的电位。还能使用各种其他的修改源极 / 漏极操作特性的技术,包括源极漏极沟道延伸 (末端) 或者通过在源极 / 漏极 (S/D) 附近形成局部化掺杂剂分布而便于缩小器件沟道的长度的环状注入,其中,分布可以在沟道的下方延伸。在一些实施例中,异种掺杂剂材料能用作补偿掺杂剂以修改电气特性。

[0101] 栅电极 102 能由传统材料形成,包括但不限于某些金属、金属合金、金属氮化物和金属硅化物以及其层叠物和其复合物。栅电极 102 还可以由多晶硅形成,包括例如高掺杂多晶硅和多晶硅锗合金。金属或者金属合金可以包括含有铝、钛、钽的金属或者金属合金,或者其氮化物,包括诸如氮化钛的含有钛的化合物。栅电极 102 的形成能包括硅化物方法、化学气相沉积方法和物理气相沉积方法,诸如但不限于蒸汽方法和溅射方法。通常,栅电极 102 具有从约 1 到约 500 纳米的整体厚度。

[0102] 栅极介质 128 可以包括诸如氧化物、氮化物或者氮氧化物的传统的介质材料。可选地,栅极介质 128 可以一般包括更高的介电常数介质材料,包括但不限于氧化铪、硅化铪、氧化锆、氧化镧、氧化钛、钛酸锶钡和钛酸铅锆、金属基介质材料和具有介电特性的其他材料。优选的含有铪氧化物包括 HfO_2 、 HfZrO_x 、 HfSiO_x 、 HfTiO_x 、 HfAlO_x 等。取决于成分和可用的沉积处理设备,栅极介质 128 可以通过诸如热或者等离子体氧化的方法、氮化方法、化学气相沉积方法 (包括原子层沉积方法) 和物理气相沉积方法来形成。在一些实施例中,可以使用多个或者复合层、层叠体或者复合结构。例如,栅极介质能由具有厚度在约 0.3 和 1nm 之间的 SiO_2 基绝缘体和厚度在 0.5 和 4nm 之间的氧化铪基绝缘体形成。通常,栅极介质具有从约 0.5 到约 5 纳米的整体厚度。

[0103] 在栅极介质 128 下方,沟道区域 110 形成在屏蔽层 112 的上方,沟道区域 110 接触源极 104 和漏极 112 并在源极 104 和漏极 106 之间延伸。优选地,沟道区域包括大致未掺杂的硅,或者诸如来自 SiGe 族的先进材料,或者掺杂到很低水平的硅。沟道厚度通常能在从 5 到 50 纳米的范围。

[0104] 以下论述将聚焦在块 CMOS 器件。在许多纳米级块 CMOS FET 器件中,载流子迁移率受到设定阈值电压 V_T 所需的沟道掺杂剂的高浓度不利影响。在高掺杂剂浓度水平会阻止显著的电力泄漏的同时,当掺杂剂以高浓度出现时,它们可以用作极大地降低诸如电子的移动载流子的沟道迁移率的散射中心。在此情况下,沟道区域中的电子散射,并且不能有效地移动通过源极和漏极之间的空间。有效地,这限制了沟道能承载的最大量的电流 (I_{dsat})。此外,很薄的栅极和在栅极介质 / 沟道界面处得到的高电场会导致严重的量子力学效应,该效应降低给定栅电压下的反转层电荷密度,而反转层电荷密度与迁移率的降低和阈值电

压 V_T 的大小的增加相关,因而,再次降低了器件的性能。由于这些特性,将块 CMOS 器件的传统地缩小到期望更小的尺寸认为是越来越困难。

[0105] 作为附加的益处,大致未掺杂沟道区域的使用能增强通常用来提高晶体管性能的某些传统技术的有效性。例如,位于沟道区域 110 的相对两侧上的源极 104 和漏极 106 能构成修改在沟道区域中施加的应力。可选地,沟道区域能通过将晶格匹配和应变的硅锗 (SiGe) 结晶体薄膜晶格布置成造成在沟道的面内方向上压缩的应变而进行修改。这能造成带结构的变化,使得空穴的迁移率与本征硅相比增大。应力条件能通过改变锗 (Ge) 成分而修改 (更高的锗增大应变,并且空穴的迁移率变得越高)。对于拉伸应变,沟道区域 Si 能形成在具有更大的晶格常数的晶格常数 SiGe 上。这造成与未应变的 Si 沟道区域相比电子迁移率和空穴迁移率都增大。再次,随着基体 SiGe 的锗成分增大,应变的 Si 沟道区域中的应变量和载流子迁移率趋于增大。如将理解到,将应力施加到沟道区域不要求连续应力层,且非连续或者多个单独的应力层不能将压缩或者拉伸力施加到沿着通沟道区域的各种位置,包括应力层上方、下方、横向布置或者抵接,从而有效地允许对施加的应力进行更大的控制。

[0106] 在一些实施例中,应力层可以表示当与沟道相邻或者抵接施加时适合地将应力施加到沟道区域的任何材料的层。作为一个示例,在特定实施例中,应力层可以包括具有与半导体的剩余部分的一些或者全部不同的热膨胀率的材料。在此实施例的制造过程中,随着半导体衬底的温度降低,某些部分有差别地收缩,造成沟道区域的伸展或者收缩。结果,沟道区域的至少一部分可以变得应变,提高了载流子的迁移率。在特定实施例中,应力层可以包括具有比半导体衬底的一些或者全部更大热膨胀系数的诸如氮化硅的材料。附加地或者可选地,不同应力层可以施加到 FET 100 的不同部分,以选择性地提高沟道区域中空穴或者电子的迁移率。例如,在特定实施例中,在互补 n 型和 p 型晶体管对经由适合的 p 型和 n 型阱结构而彼此隔离的情况下,应力层可以施加到 n 型晶体管以将拉伸应力施加到 n 型晶体管的沟道区域。此拉伸应力可以诱导沟道区域中的应变,该应变提高电子通过沟道区域的迁移率。另一应力层可以施加到 p 型晶体管以将压缩应力施加到 p 型晶体管的沟道区域。此压缩应力可以诱导 p 型沟道区域中的应变,该应变提高了空穴的迁移率。

[0107] 设置具有大致未掺杂沟道的晶体管在施加应力时带来其他优点。例如,应力可以通过经由源极 / 漏极或者沟道应力技术施加的压缩或者拉伸应力而施加。与传统的具有均匀的或者高度掺杂沟道的纳米级晶体管相比,应变的沟道区域 FET 晶体管由于栅极介质附近低浓度的掺杂剂 (降低电离杂质散射) 和较低的电场 (降低表面粗糙度散射) 将提供更大的应变增强迁移率。由于降低的散射,应力增强迁移率将显著地大于传统装置。由于应变而得到的此迁移率优点将随着晶体管的尺寸规模下降而实际上增大。

[0108] 图 2A 是根据一个实施例构造的晶体管的示意图。图 2B、2C 和 2D 是进一步图示 DDC 晶体管沟道的三个不同示例的示意图,DDC 晶体管沟道可以与图 2A 的沟道 110 互换。不同的区域可以包括位于栅极介质 (诸如图 2A 所示的介质 128)、阈值电压调节区域和高度掺杂屏蔽区域附近的深度耗尽区域。图 2B 图示紧挨着栅极介质定位并具有掺杂浓度不同的两个区域的 DDC 晶体管沟道的截面的一个示例。此沟道截面的轮廓包括位于栅极介质 (未示出) 和屏蔽区域 204 之间的耗尽区域 202。掺杂原子 206 被图示,屏蔽区域 204 中的掺杂剂浓度与相较于屏蔽区域 204 的耗尽沟道区域 202 中的相对掺杂剂原子密度对应。

[0109] 图 2C 示出了沟道区域 208 的另一示例, 该示例具有掺杂剂浓度不同的三个区域。在此示例中, 耗尽掺杂剂沟道区域 214 具有最小量的掺杂剂 206, 阈值调节区域 212 一般具有比耗尽掺杂剂沟道区域 214 更高浓度的掺杂剂原子, 并且屏蔽区域 210 具有最高的浓度的掺杂剂原子。

[0110] 图 2D 示出又一变化, 其中沟道截面从顶部沟道到底部沟道具有增大的掺杂剂原子浓度 224。在不同的应用和实施例中, 沟道的顶部的掺杂剂范围能变化, 但是将通常只要处理和退火条件允许就朝着沟道的顶部变低。朝着沟道的中心的掺杂剂范围能增大通过沟道的底部, 以进入具有更高掺杂剂浓度的屏蔽区域。

[0111] 在这些构造中的任一者中, 阈值电压调节区域能形成成为单独外延生长的硅层, 或者形成成为还包括耗尽沟道区域的单个硅外延层的一部分。阈值调节区域厚度通常能在从 5 到 50 纳米厚度的范围内。当大致未掺杂时, 适合选择区域本身的厚度略微调节阈值电压, 同时对于许多通常的应用, 阈值电压调节区域被掺杂以具有范围在 5×10^{17} 和 2×10^{19} 原子 (atoms)/ cm^3 之间的平均浓度。在某些实施例中, 碳、锗等的掺杂剂迁移阻挡层能涂覆在阈值电压调节区域的上方和 / 或者下方以防止掺杂剂迁移到沟道区域中或者可选地, 阻止屏蔽区域进入阈值电压调节区域。

[0112] 如果提供的话, 则屏蔽区域是埋置在沟道区域和阈值电压调节区域下方的高度掺杂区域。屏蔽层一般定位在一定的距离处以避免与源极和漏极直接接触。在某些其他实施例中, 它可以形成成为在多个源极 / 漏极 / 沟道区域的下方延伸的板, 同时, 在其他实施例中, 它可以是自对准注入物或者与沟道区域共同扩张的层。屏蔽区域厚度通常在从 5 到 50 纳米的范围内。屏蔽区域相对于沟道、阈值电压区域 (如果提供的话) 和 P 阱高度掺杂。在实践中, 屏蔽区域被掺杂以具有在 1×10^{18} 和 1×10^{20} 原子 / cm^3 之间的浓度。在某些实施例中, 碳、锗等的掺杂剂迁移阻挡层能涂覆在屏蔽区域的上方以防止掺杂剂迁移到阈值电压调节区域中。

[0113] 在操作中, 当大于阈值电压的预定电压施加到导电栅极时, 深度耗尽区域形成在栅极堆叠和屏蔽区域之间。在导电栅极下方, 深度耗尽区域通常向下延伸到屏蔽区域中, 不过在某些高度掺杂实施例中, 深度耗尽区域可以终止在阈值电压调节区域中, 如果提供的话。如将理解到, 耗尽区域的导电栅极下方的准确深度由能由 FET 设计调节的许多因素确定。例如, 耗尽区域深度可以由空间定位和 FET 的其他元素的绝对或者相对掺杂剂浓度确定。例如, FET 可以具有在源极区域和漏极区域之间并在具有栅极长度 L_g 的栅极下方限定的沟道。DDC 深度 (X_d) 可以设定为比栅极长度的一半大可能为栅极长度一半的倍数, 或者与其成比例。在一个示例中, 此 DDC 深度可以设定为约等于沟道长度的一半, 这在操作中允许即使在一伏特下的低操作电压下也能精确地设定阈值电压。取决于特定应用的要求, 不同的深度可以提供不同的有益结果。在此公开下, 将理解到不同 DDC 深度在不同的应用、不同的器件几何形状和特定设计的各种参数中是可行的。取决于特定应用的参数, 在形成 DDC 晶体管中使用的不同区域厚度、掺杂剂浓度和操作条件可以提供不同的有益结果。

[0114] 例如, 根据另一实施例, 耗尽深度能维持从 $1/3$ 栅极长度到约等于栅极长度的深度。然而, 如本领域的技术人员将理解到, 如果晶体管的结构和操作使得耗尽深度变成小于栅极长度的一半, 则器件在功耗方面的性能将逐渐恶化, 并且 DDC 的益处将消失。当耗尽深度 X_d 在栅极长度的 $1/3$ 和 $1/2$ 之间时, 诸如例如, DDC 晶体管在栅极下方的耗尽深度设定为

约 $0.4 \times L_G$, 器件还能相对于传统器件实现最适度的改进。在此示例中, 对于屏蔽区域的适合厚度范围在 5 至 50 纳米之间, 且掺杂剂浓度范围从 1×10^{18} 到 1×10^{20} 原子 / cm^3 。对于阈值电压调节区域的适合的厚度范围在 5 到 50nm 之间, 且掺杂剂浓度范围从 5×10^{17} 和 2×10^{19} 原子 / cm^3 。未掺杂沟道区域被选择较深以足够地满足 $X_d > 1/2 \times L_G$ 的约束, 并具有小于 5×10^{17} 原子 / cm^3 的浓度。

[0115] 实际上, 为 DDC 晶体管提供深度耗尽区域能允许显著地收紧设定具有多个晶体管和 Related 器件的电路的阈值电压的公差, 并能进一步降低由于 RDF 引起的变化。结果是, 能在集成电路中的多个器件上设定更能预测和更可靠的阈值电压。此益处能用来降低器件或者系统中的功率, 并能导致更好的整体性能。

[0116] 此实施例的潜在的一个其他益处是可调节的阈值电压, 其能在构造有一个或者多个所描述的晶体管结构的器件或者系统的操作过程中静态设定或者动态可变。还在图 2A 中图示, 偏压电压能施加在晶体管源极 104 上, 并施加到与 P 阱 114 连接的相反电荷掺杂剂材料 126。传统的电路通常被加偏压到供应电压, 使得当操作电压施加到栅极时, 电流能从源极流到漏极。在之前已经提出使用可调节体偏压以动态地设定阈值电压的同时, 它一般尚未证明可实用, 因而趋于诱导芯片面积惩罚, 因而禁止芯片上集成的水平。根据此实施例, 电路可以构造成通过改变施加到阱的偏压电压而改变晶体管 (如果共用共同的阱则为晶体管组) 的阈值电压, 而不管它们构造在一个集成电路或者系统内或者单独的电路中。如以下进一步详细描述, 可靠地将阈值电压控制在封闭范围内的能力以及在用降低的芯片面积惩罚进行操作的过程中可靠和动态地改变阈值电压的能力导致器件或者系统能动态地改变器件或者系统内晶体管或者晶体管组的操作模式。

[0117] 图 3 示出了掺杂剂原子浓度与栅极介质下方沟道深度的关系以图示对于根据一个实施例的沟道中的各种深度范围掺杂剂浓度范围的图 300。示出两个曲线, 一个更实践的曲线 308 和一个理想曲线 310。如所见, 示出三个水平: 第一 5-20 纳米的沟道区域、从沟道区域挨着的 5-20 纳米的阈值电压调节区域和从阈值电压调节区域挨着的 5-20 纳米的屏蔽区域。不同水平的浓度各到达某个水平 312、314、316, 可能但是不必是在各自浓度水平处的图中的拐点, 并且这些对应于沟道掺杂剂浓度“d”小于 5×10^{17} 的某掺杂剂浓度水平 302、阈值电压调节区域浓度“d”在 5×10^{17} 和 5×10^{18} 之间的水平 304 和屏蔽区域掺杂剂浓度大于 5×10^{18} 原子 / cm^3 的水平 306。根据一些实施例, 在这些掺杂剂浓度范围内, 能实现在支持深度耗尽区域的操作的纳米级 FET 中的一些最佳益处。

[0118] 根据各种实施例的掺杂剂轮廓限定成使得产生三个区域。这三个区域在表 1 中限定, 区域 1 对应于位于栅极介质附近的沟道区域, 区域 2 对应于阈值电压调节区域, 并且区域 3 对应于屏蔽层, 并且其中, L_G 是栅极长度。如能理解到, 栅极长度大致等于沟道长度, 并且 t_1 、 t_2 和 t_3 是三个区域的各自长度。这些区域中的每个能经由代表性的厚度和测量为每立方厘米的原子数的掺杂剂剂量来表示。这些厚度和剂量的值在表 1 中给出。

[0119] 表 1

[0120]

	区域 1	区域 2	区域 3
剂量范围	剂量 $< 5 \times 10^{17}$	$5 \times 10^{17} < \text{剂量} < 2 \times 10^{19}$	剂量 $> 2 \times 10^{18}$
层厚度	$\frac{t_1}{L_G} \geq \frac{1}{2}$	$\frac{t_2}{L_G} \leq 1$	$\frac{t_3}{L_G} \leq \frac{1}{10}$

[0121] 层厚度是取决于处理节点的工艺,且它们各自厚度 t_1 、 t_2 和 t_3 与器件的栅极长度 (L_G) 和所关注的处理节点相关。表 2 包含针对 90 纳米至 15 纳米处理节点的代表性数目,图示了在区域的厚度要求上缩小 L_G 的效果。

[0122] 表 2

[0123]

节点 (nm)	90	65	45	32	22	15
L_G (nm)	60	50	40	35	30	25
沟道区域最大厚度- t_1 (nm)	30	25	20	18	15	13
V_T 调节区域最大厚 度- t_2 (nm)	60	50	40	35	30	25
屏蔽区域最小厚度- t_3 (nm)	6.0	5.0	4.0	3.5	3.0	2.5

[0124] 图 4 是根据示例实施中的器件深度的不同硼掺杂剂原子 / cm^3 的变化的图 400。在此示例中,掺杂剂浓度在从零到约 20 纳米 (nm) 的深度下晶体管栅极附近的低掺杂剂区域处最低 (小于 1×10^{17}),并且在从约 20nm 到 45nm 的阈值电压调节区域 (约 5×10^{18}) 处略高。此示例在从约 45nm 到 75nm 的屏蔽区域处到达更高 (约 5×10^{19})。此特定示例示出三个不同模拟器件 (其示出为用不同的处理完成的叠置的图)。一个在 975°C 下使用 15 秒的退火,一个在 800°C 下使用 15 秒退火,并且第三是完全不使用退火。图的结果大致类似,图示了不同处理环境下掺杂剂浓度的可靠性。本领域的技术人员将理解到不同的设计参数和应用可以要求掺杂浓度不同的区域的不同变化或者数目。

[0125] 实践中,设计者和制造商从数学模型和来自实际电路的样品测量收集统计数据,以确定电路设计的阈值电压的方差。不管是否从制造方差或者 RDF 得到,晶体管之间电压差失配确定为 σV_T 。在图 5 中图示来自各种器件的不同阈值电压与供应电压的关系的提炼图 (rendering) 的一个示例。为了使电路作为整体来操作,操作电压 V_{DD} 必须考虑 σV_T 来选择。一般地,方差越大, σV_T 就越高,使得操作电压 V_{DD} 必须针对晶体管设定越高,以适合地操作。利用在电路上实施的多个器件,为了使电路适合地操作,需要将 V_{DD} 设定为最高的整体值。

[0126] 提供其产品的结构和方法,其降低 σV_T ,从而降低在集成电路上晶体管的阈值电压的方差的范围。利用降低的 σV_T , V_T 的静态值能设定得更精确,并且甚至能响应于变化的偏压电压而变化。根据一个实施例的改进的 σV_T 一个示例反映在图 6 中,示出了通过从不同器件所取的阈值电压的下方差明显可见的阈值电压提炼图 (rendering) 的改进范围。

电路上对于标称相同器件的阈值电压可以更精确地用降低的 σV_T 设定,因而允许器件使用下操作电压 V_{DD} 操作,并且因而,消耗较少的功率。而且,利用更多的头上空间以针对给定晶体管或者晶体管组改变 V_T ,器件能在与用于特定模式的不同偏压电压对应的不同模式下操作。这可以对许多器件和系统增加功能性,并且在对器件功率模式的细微控制是有用的情况下尤其对器件有益。

[0127] 图 7A 示出根据传统处理和结构制造的晶体管 700 的示例。此示例图示为 N 型 FET,其具有源极 702、漏极 704 和包括导电栅极 706 和绝缘层 708 的栅极堆叠部。通常,栅极 706 由高度掺杂多晶硅形成,并且绝缘层由诸如氧化硅的栅极介质形成。栅极堆叠部 706 电控制在源极 702 和漏极 704 之间流动的电流。沟道 710 通常包括掺杂剂,并向下延伸到 P 阱 712,并且可以绕源极和漏极卷绕。沟道深度 X_d 714 是从栅极介质 708 向下到沟道 720 的底部的距离。在操作中,有许多诸如 E 716 的沿着此沟道深度 714 向下延伸并朝着源极 702 和漏极 704 弯曲的多个电场线。这些场线通常不是如附图所示那样直的,但是由于器件构造和操作而弯曲。诸如电子 e-718 的移动的载流子在源极 702 和漏极 704 之间通过电场 E 716 行进。还图示栅极间隔器 724 和 SDE 722。

[0128] 相反,图 7B 示出以相较于图 7A 的传统器件 700 深得多的耗尽区域进行操作的 DDC 晶体管 700' 的实施例。这提供了在不使用应力诱导层的情况下改进的迁移率的特征和益处,和改进的阈值电压设置。此示例图示为 N 型 FET,具有源极 702'、漏极 704' 和栅极 706'。晶体管包括形成在栅极介质 708' 上的栅极 706',当栅极到源极电压被偏压到大于阈值电压时,形成耗尽区域 710',并控制在源极 702' 和漏极 704' 之间流动的电流。耗尽区域 710' 向下延伸到作为 P 阱 712' 中的层注入的屏蔽层 720',并且如图可见可以绕源极 702' 和漏极 704' 两者卷绕。栅极间隔器 724'、720' 和 SDE722' 也被图示。耗尽深度 X_d 714' 是从栅极介质向下到屏蔽区域 720' 的距离,并且比图 7A 的传统的器件的耗尽区域深很多。不像图 7A 的传统的器件,器件 700' 中的屏蔽区域 720' 为诸如向下延伸到屏蔽层的电场 E 716' 的提供重度掺杂终止。在更深的耗尽 X_d 714' 的情况下,这些场线一般比传统结构 700 中的那些电场 E 716 更长和更直。类似于传统的器件,当偏压时,电流从源极 702' 流到漏极 704',并且电子 e-718' 在漏极 704' 和源极 702' 之间通过电场 E 716' 行进。然而,相比于传统器件,电子更自由地在这些电场 E 716' 中流动,提供了改进的电流流动和更好的性能。此外,此配置通过降低端沟道效应,降低由于任意掺杂剂波动而引起的变化来提高了 σV_T 。

[0129] 参照图 8A, FET800 示出对应于图 7A 图示的传统结构。泄漏发生在整个晶体管结构的各种位置处,即使当 FET 没有主动切换时也造成电力损失。图 8A 具体地图示源极 702 和阱 712 之间发生的泄漏的原理。由于正离子 802 留在阱 712 中,它们趋于经由泄漏路径 X_j 806 迁移到空穴 804。在相对短的路径 804 的情况下,泄漏在传统的纳米级器件中比较普遍。

[0130] 图 8B 示出用类似于图 7B 图示的深耗尽区域进行操作的 FET 800',并还图示在源极 702' 和阱 712' 之间发生的泄漏的原理。正离子 802' 留在阱 712' 中。然而,利用具有更深阱的新颖构造,路径 X_j 806' 显著地更长,并且它们趋于经由泄漏路径 X_j 806' 更少地迁移到空穴 804'。在相对长的路径 806' 的情况下,泄漏在此处相比于传统器件更不普遍。此外,在新颖结构中的低电场 E 716' 和在栅极 706' 和绝缘体 708' 处的泄漏的情况下,激励电子的能力被极大地降低。结果是栅极处的泄漏基本上降低。因而,具有 DDC 的新颖结

构提供了在传统器件的许多位置发生的泄漏的显著降低。

[0131] DDC 晶体管还优选地提供改进的载流子迁移率（其为该行业中极大关注的一个特征）。迁移率是定量测量当大于阈值电压 V_T 的电压施加到栅极时载流子从源极越过晶体管沟道移动到漏极的迁移能力。最佳器件的一个目标是通常根据栅极施加的电场和测得的迁移率之间的关系（公知为通用迁移率曲线）使电子或者移动载流子以最小的阻碍从源极移动到漏极。此通用迁移率曲线是在沟道的反转区域中的载流子迁移率和诱导该反转区域的电场（或者反转电荷）之间在 MOSFET 中可见的良好建立的关系。图 9 示出了用于 NMOS 晶体管的通用曲线（实线），不过对于 PMOS 也存在类似的曲线。在此附图中，绘制了用于未掺杂的沟道的通用迁移率曲线。区域 A 对应于技术 MOSFET 晶体管的通常电流状态的迁移率 / 电场操作状况，并图示这些器件以相对于低电场 / 低功率区域中的迁移率而恶化的迁移率在高功率区域中操作。

[0132] 第二迁移率曲线（虚线）适合于具有高度掺杂沟道（经常需要补偿缩小效应）和成比例的向下缩小的栅极电压和随之发生的低电场的纳米级栅极长度晶体管。这些曲线能在支持沟道中的高电场的操作条件下匹配，因为迁移率受与栅极介质和沟道硅之间的界面相关的表面粗糙度支配。当以低的栅极电压（和随之发生的低电场）操作晶体管时，这两个曲线由于掺杂剂原子的存在和对用来降低电子迁移率的沟道掺杂剂散射（普遍称为电离杂质散射）进行的支配而分歧。这能作为区域 C 而可见。在能构造以落在区域 C 内的电场操作的低功率器件的同时，所要求的高沟道掺杂由于在图 9 中以区域 A 标记的区域中的掺杂剂散射而造成迁移率的恶化。

[0133] DDC 晶体管的操作点如图 9 中的区域 B 所示沿着通用迁移率曲线布置。DDC 晶体管不仅在低电场的低功率状况下操作，而且受益于成为具有大致低掺杂剂散射以降低其迁移率的深度耗尽器件。DDC 晶体管因而在一些优选实施例中相对于传统的高功率器件能实现高达 120% 迁移率增强。

[0134] 利用这些新颖结构和形成它们的方法，电路现在能生产并构造有动态地改变 V_T 的能力。相比于传统器件，该结构优选地构造有小 σV_T ，赋予该器件不仅具有低标称阈值电压 V_T 和低操作电压 V_{DD} 的能力，还具有能响应于偏压电压而变化的精确的可调节 V_T 的能力。在操作中，偏压电压能布置在操作来升高和降低器件的 V_T 的晶体管上。这使得电路能以有效和可靠的方式（尤其是如果操作电压 V_{DD} 还被动态地控制）静态地指定和 / 或动态地改变操作模式。还有， V_T 的调节能在一个或者多个晶体管、晶体管组和电路的不同部分或者区域上完成。这种突破使得设计者能使用能被调节来在电路中发挥不同功能的通用晶体管。附加地，有许多由于这些集成电路结构的特征和益处而造成的电路和系统水平创新。

[0135] 在一个实施例中，半导体结构设置有具有 DDC 深度的 DDC，其中，沟道形成在源极区域和漏极区域之间。在一个示例中，DDC 深度至少是器件的沟道长度的一半大。这些结构能在比传统器件低的电压下操作，并不受器件沟道中的 RDF 的效应限制。新颖的结构还能使用传统的块 CMOS 处理工具和制造步骤制造。

[0136] 根据一个实施例，晶体管的沟道区域能配置有具有不同掺杂剂浓度的多个区域。在一个示例中，DDC 晶体管构造成使得三个不同区域存在栅极的下方。从栅极介质行进入到衬底中，这些区域包括沟道、阈值电压调节区域和屏蔽区域。本领域的技术人员将理解到这些区域的不同组合或者排列可以存在。

[0137] 沟道区域是在集成电路的操作过程中少数载流子从源极行进到漏极的区域。这构成流经器件的电流。在此区域中的掺杂剂的量影响器件经由杂质散射的迁移率。越低的掺杂剂浓度造成越高的迁移率。附加地, RDF 还随着掺杂剂浓度减小而减小。此未掺杂(低掺杂)沟道区域能允许 DDC 晶体管实现高迁移率和低 RDF 两者。

[0138] 阈值电压调节区域允许诸如 PMOS 的 N 型掺杂剂和 NMOS 中的 P 型掺杂剂的互补掺杂剂引入到沟道区域的下方。引入耦合到沟道区域的近端和掺杂剂水平的此 V_T 调节区域优选地允许阈值电压调节区域在不直接掺杂沟道的情况下改变沟道内的耗尽区域。此耗尽控制允许改变器件的 V_T 以实现期望的结果。附加地, V_T 调节区域能辅助防止子沟道贯穿和泄漏。在一些实施例中, 这提供了改进的短沟道效应、DIBL 和子阈值斜坡。

[0139] 在传统处理中, 其他通过改变特定结构和浓度而应对晶体管的不同性能的测量。例如, 栅极金属合金或者多晶硅可以用来调节掺杂浓度以改进短沟道效应或者其他参数。还可以调节位于栅极下方和沟道上方的栅极介质。还存在能设定晶体管的沟道中或者周围的掺杂剂浓度的其他处理。不像这些之前改进短沟道效应和器件的其他参数的尝试, 此处描述的一些实施例不仅提高器件的多个参数, 而且它们还能改进为器件设置阈值电压的精确度和可靠性。还有, 在一些实施中, 改进的器件还能对器件的阈值电压进行动态控制以增强性能, 并当采用时还提供器件或者系统的新的特征和操作。

[0140] 在一个实施例中, 晶体管器件设置有从栅极附近的沟道顶部向下到沟道中的单调增加掺杂剂浓度。在一个示例中, 存在从栅极介质掺杂剂的线性增大。这可以通过在距栅极一定距离处形成屏蔽区域并在屏蔽区域和栅极之间具有耗尽区域而完成。耗尽区域可以采取不同的形式, 包括不同掺杂剂浓度的一个或者多个区域。这些区域致力于对晶体管器件的不同改进, 包括改进设置特定阈值电压的可靠性、改进晶体管沟道的迁移率, 并能动态调节阈值电压以改进和扩大器件的不同操作模式。这些掺杂剂浓度可以诸如图 4 所示并对器件的沟道深度进行描述的浓度图来表示, 它从栅极附近的结构的顶部开始, 通过不同的层向下通过屏蔽层。

[0141] 耗尽沟道区域提供用于电子的区域以自由地从晶体管的源极移动到漏极, 因而提高了迁移率和整体性能。阈值电压调节区域与屏蔽区域结合使用以设定器件的标称本征阈值电压。屏蔽区域是增大 FET 器件的体系系数的高度掺杂区域。更高的体系系数允许本体偏压以具有动态改变 FET 的阈值电压的更大效果。这三个区域能协调用来实现多个专用器件。两个或者三个区域的多个组合能用来实现各种设计益处。例如, 所有区域能与多或者带边缘金属栅极一起使用来实现具有各种本征 V_T 值(通过阈值电压调节掺杂来实现)的低功率器件和操作的动态模式(经由本体效应)。

[0142] 沟道和屏蔽区域能结合中间隙金属栅极堆叠使用以实现超低功率器件(其中, 中间隙金属用来在没有阈值电压调节区域的辅助的情况下充分地耗尽沟道)。沟道和屏蔽区域能交替地结合双工作函数金属栅极堆叠使用以实现超低功率器件。此外, 能以多个方式实现这些区域的形成。在一些实施中, 能使用单个外延流程, 由此在生长过程中现场掺杂控制和调制在没有附加注入的情况下实现期望的轮廓, 并且未掺杂外延区域之后的多个注入能用来实现该轮廓。可选地, 可以使用具有类似于期望浓度的注入的双外延流程。或者, 由任何数目的浓度的外延和注入组成的多个外延流程能用来实现期望的轮廓。然而, 这样的变化不会脱离权利要求书的精神和范围。

[0143] 在器件的另一示例中,除了形成在衬底上的 DDC 区域之外,氧化物区域或者其他栅极绝缘体还可以形成在衬底的顶部上沟道区域的上方。器件可以包括形成在氧化物区域上的金属栅极区域。在此示例中得到的器件是具有动态可控制的阈值电压但仍对沟道区域中的 RDF 不敏感的晶体管。在此示例中,在操作中,DDC 区域具有很低的 σV_T ,而低的 V_{DD} 将深度耗尽区域中的泄漏保持较低。此外,可以提供注入以使得老式器件能要求晶体管以一伏特以上进行操作。

[0144] 在以下示例中,各种器件构造、结合这种器件的系统和制造这种器件和系统的方法论述和进一步图示在附图中。这些示例以该器件、系统和制造该系统和系统的方法的领域的技术人员很好理解的示意方式图示。这些示例连同对下面的系统的可行和可能的操作特性和性能进行论述来描述和图示器件的细节。

[0145] 与传统结构的进一步的比较在图 10 和图 11 中图示。图 10 图示具有低掺杂沟道(约 1×10^{17} 原子/cm³)的 DDC 晶体管与具有均匀掺杂沟道(不具有屏蔽区域)的类似尺寸的传统晶体管的阈值电压和本体偏压之间的示例比较。如所见,即使 DDC 晶体管不具有强本体系数所要求的显著的沟道掺杂剂,由 DDC 中的本体偏压进行的阈值电压调制还可比于均匀掺杂沟道 MOS。

[0146] 因而,在具体实施例中,DDC 结构能在短沟道器件中提供当前仅仅在长沟道器件(其置换短沟道器件是不切实际的)中实现的相当的益处。参照图 11, σV_T 与本体偏压的比较相比于 DDC 器件的示例针对均匀沟道 MOS 器件示出。显著的恶化对于短沟道器件和长沟道器件的阈值电压是明显。在此 DDC 器件中,存在阈值电压明显较少的恶化,而本体偏压电压增大。这种降低通过极大地降低短沟道效应的高度掺杂屏蔽区域促进。

[0147] 如在背景技术中所论述,某些晶体管能形成来具有根据超陡后退阱(SSRW)轮廓而掺杂的沟道层。此技术使用特定的掺杂轮廓以在轻度掺杂沟道的下方形成重度掺杂区域。参照图 12,示出 DDC 结构的示例和传统 SSRW 的轮廓的比较。如所见,SSRW 在与沟道相邻、限定沟道(未示出)的顶部的晶体管栅极介质附近具有很高的掺杂剂浓度。在沟道和栅极介质附近的这种高度掺杂浓度通常造成传统器件中差的泄漏性能,并且并在将此方法缩小到纳米级栅极长度晶体管方面存在严重困难。因而,一般不给降低电子器件的功率并提高其性能的整体需要提供适合的商业方案。DDC 晶体管的实施能包括深度耗尽的沟道,并且还包括重度掺杂并且从沟道分离的屏蔽区域。这种结构能对电路性能提供显著的改进,并且能比实施 SSRW 的电路更简单地生产。

[0148] 许多传统 CMOS 制造处理能用来制造 DDC 晶体管。图 13 是用于制造传统器件的传统 CMOS 处理与根据此处公开的实施例构造的结构的比较 1300 的示意图。在新型 CMOS 器件的一个实施例中,浅沟槽隔离(STI) 1302、1302A、阱和沟道注入部 1304、1304A、接触部 1308、1308A、和金属互连部 1310、1310A 相关的处理步骤能标准化。仅仅传统的 CMOS 栅极堆叠处理 1306 与改进的结构的栅极堆叠 1306A 不同。这为引入诸如 DDC 器件的新型 CMOS 结构提供显著的优点。主要地,这避免了研发用于制造新的器件的危险的或者昂贵的新处理步骤的要求。因而,能重新使用现有的制造处理和相关的 IP 库,节约了成本并允许制造商更快地将这种新颖和先进的器件带入市场。

[0149] 根据图 13 中的示例的 DDC 晶体管处理将在高度掺杂 N 型和 P 型区域的顶部上形成未掺杂外延硅区域以形成 DDC 掺杂轮廓。未掺杂外延硅区域厚度能在一些实施中是器件

性能的显著因素。在另一示例中, 双外延硅区域用于提供具有高度、中度和低度掺杂 (或者未掺杂) 的最终栅极堆叠。可选地, 能形成用于在衬底水平附近具有一个高度掺杂区域的最终堆叠的一个外延硅区域, 随后形成中度至低度掺杂栅极和高度掺杂屏蔽区域之间的外延生长层。为了防止层之间的掺杂剂迁移或者扩散, 在一些实施中, 能采用各种掺杂剂迁移阻挡技术或者层。例如, 在 P 型外延硅中, 能使用碳掺杂降低硼 (B) 扩散。然而, 在 N 型外延硅中, 碳可以对 As 掺杂具有负面影响。碳会位于整个硅外延或者限制到每个界面处的薄区域。可以使用现场掺杂碳或者注入的碳。如果使用现场掺杂碳, 碳可以出现在 V 型和 P 型两者中。如果碳注入, 在一些实施例中, 它能仅仅用在 P 型中。

[0150] DDC 晶体管能使用可用的块 CMOS 处理技术而形成, 包括用于沉积掺杂剂迁移阻挡层的技术、先进外延层生长、ALD 或者先进 CVD 和 PVD 或者退火, 这些都可以先在先进集成电路处理节点技术 (诸如 65nm、45 nm、32nm 和 22nm 的技术) 上使用。尽管这些处理节点一般对于 STI 隔离、栅极处理和退火具有低热预算, 但是它们仍然适合于 DDC 晶体管的形成。

[0151] 图 14A 到图 14I 示出了用于制造具有 DDC 掺杂轮廓的沟道的器件的处理流程。这些附图图示两个器件的制造的示例以示出 NMOS 和 PMOS 晶体管如何能各配置有 DDC 和屏蔽区域以提供新颖 DDC 晶体管和器件的先进特征和操作。在每个步骤中的结构以顺序的方式示出以图示形成这两个晶体管器件的样本处理。可选地, 其他处理流程可以用来制造 DDC 器件, 并且此具体处理和相关步骤为了图示的目的而示出。处理以形成、沉积或者以其他方式制成以形成晶体管结构的“区域”的术语进行描述, 但是意在还包括不同形状、尺寸、深度、宽度和高度的区域和不同形式或者轮廓或者层。

[0152] 首先, 参照图 14A, 结构 1400 以例如 P 型衬底 1406 的衬底来开始。NMOS 或者 PMOS 器件能形成在 P 型衬底上。为了简明和为了描述这些和其他附图中可能的实施例和示例, 针对 NMOS 和 PMOS 器件连同将某些特征分离的浅和局部沟槽隔离的示例描述 DDC 器件的处理流程的示例。不管怎样, 与其他公开的结构或者器件相关的相应流程将容易理解。此外, 尽管未示出, 这些处理能用现有技术中公知的各种技术执行, 诸如用在形成结构中的并排掩模作为不同区域和形成在彼此顶部上的区域。

[0153] 可选择的 N 阱注入部 1402 和 P 阱注入部 1404 形成在 p 衬底 1406 上。然后, 浅 P 阱注入部 1408 形成在 N 阱 1402 上, 并且浅 N 阱注入部 1410 形成在 P 阱 1404 上。这些不同的区域可以通过首先将氧化物垫形成到 P 衬底 1406 上然后使用光刻胶对 N 阱 1402 进行第一 N 阱注入来形成。P 阱 1404 可以用另一光刻胶来注入。浅 N 阱 1410 可以通过用另一光刻胶进行注入来形成。浅 P 阱 1408 然后可以用另一光刻胶进行注入。然后, 处理后跟随着退火处理。

[0154] 进行到图 14B, NMOS RDF 屏蔽区域 1412 形成在浅 P 阱 1408 上的处理继续。根据此实施例, NMOS RDF 区域 1412 是诸如之前为了降低 RDF 并提供改进的阈值电压设置和可靠性的许多益处并为了能进行动态调节晶体管的阈值电压而描述的高掺杂剂浓度的屏蔽区域。此屏蔽区域可以形成为使用另一光刻胶而进行的 RDF 屏蔽注入。PMOS RDF 屏蔽区域 1414 形成在浅 N 阱 1410 的上方。此区域可以形成为使用另一光刻胶进行的 PMOS RDF 屏蔽注入。

[0155] 接着参照图 14C, 在初始氧化物移除之后, NMOS 阈值电压调节区域 1416 使用光刻胶形成在屏蔽区域 1412 上, 其中可以使用外延生长或者其他类似技术的方法来沉积此阈

值电压调节区域。类似地,PMOS 阈值电压调节区域 1418 使用光刻胶形成在 PMOS RDF 屏蔽区域 1414 的上方。未掺杂区域或者低度掺杂区域 1420、1422 然后沉积在阈值电压调节区域的每个上,阈值电压调节区域被掺杂在 NMOS V_T 调节区域 1416 和 PMOS V_T 调节区域 1418 的上方。可以使用外延生长或者其他类似技术的方法来沉积这些未掺杂或者低度掺杂区域。通过以上步骤,形成符合 DDC 的沟道。尽管在这些示例中使用两个外延区域以针对每个晶体管形成期望的 DDC 轮廓,但是单个外延区域还可以用在每个上以形成 DDC 器件。

[0156] 以上处理流程通过形成沟道而制备器件供随后的制造两个晶体管或者其他更复杂电路的处理。然而,以下处理流程公开了用于形成图 14D 至图 14E 中图示的 n 沟道和 p 沟道晶体管的其余步骤的示例。

[0157] 参照图 14D,然后通过从相邻晶体管隔离晶体管来应用浅沟槽隔离 (STI) 处理以形成 STI 晶体管边界。此处,每个 STI 1424、1426 和 1428 的深度适合地设定,使得 STI 将进入 P 阱中。如所见,STI 沟槽在每个浅 P 阱和浅 N 阱 1410 下方延伸。这允许改进晶体管之间的隔离。

[0158] 此外,可以可选择地应用局部沟槽隔离 (PTI) 1430、1434 以形成阱连接部能被连接的区域。PTI 1430、1434 的深度设定成使得 PTI 将局部进入浅 P 阱中。如图 14E 所示,诸如氧化物区域 1438、1422 的绝缘体然后沉积在将形成沟道的区域中。此处,二氧化硅可以用作绝缘体,但是还可以使用其他类型的绝缘体。栅极电极 1436、1440 然后安装到各个栅极绝缘体,以在操作过程中启用供应栅极电压。

[0159] 参照图 14F,间隔器 1446 形成在 NMOS 和 PMOS 栅极和绝缘区域中的每个的各侧上。源极区域和漏极区域 1448、1450 然后注入在晶片的表面的下方每个栅极区域上,其中,源极区域和漏极区域分别受到 N 型和 P 型掺杂。可选地, NMOS 和 PMOS 环状注入处理可以在以下描述的老式模式器件上执行。此外,本体接触部区域 1444 和 1464 分别受到 p+ 型掺杂和 n+ 型掺杂以形成对晶体管的本体的接触。因而,如图 14G 所示,然后形成 NMOS 和 PMOS 晶体管,并且能提供接触部以将必要的电压供应到源极区域和漏极区域以操作器件。还在图 14G 中示出第二间隔器 1452,和使用光刻胶到 1448、1450 的 NMOS 和 PMOS 源极 / 漏极连接。然后形成源极和漏极区域 1454、1456、1458、1460。然后使用光刻胶形成接触部和金属,使得与器件电接触。取决于处理将源极和漏极定位在何处,电场可以被极大地影响。

[0160] 尽管以上描述制造 DDC 器件的某些步骤,但是可以包括其他可选的步骤,以进一步提高器件的性能,或者符合不同应用规格。例如,如图 14G 所示,能应用在现有技术中作为源极 / 漏极延伸公知的技术以降低泄漏电流。本领域的技术人员将理解到,可以进行许多不同区域组合,并且区域组合可以重新布置,并用与此处的教导一致的不同区域置换。

[0161] 阈值电压调节区域和屏蔽区域掺杂水平被限制到沟道下方间隔器边缘之间的区域。在一个方法中,使用由各个栅极 1436 和 1440 周围的间隔器所限定的掩模和栅极上的硬掩模对外侧间隔器 1452 蚀刻硅。被蚀刻的硅深度大于屏蔽区域的深度。在此示例中,在相同或者不同的步骤中对 NMOS 和 PMOS 两者蚀刻硅。在硅蚀刻之后,如图 14H 所示,硅 1466 外延生长到略高于栅极介质的水平。如图 14I 所示,外延生长硅的掺杂能在原位或者使用源极 / 漏极注入掩模以形成源极 / 漏极区域 1468、1470、1472 和 1474 来完成。首先,栅极介质 1438 和第二栅极介质 1437 层叠。层 1435 和 1436 是用适合的 N+ 或者 P+ 功函数设计的金属栅电极。在图 14I 中,多晶硅用结合有栅极介质的金属栅电极置换。为了用金属栅

极置换多晶硅,要求具有适合的功函数的两个不同的金属。需要约 4.2 和约 5.2eV 的功函数金属以调节与 N+/P+ 掺杂多晶硅(其传统地用在 CMOS 处理中)相兼容的 NMOS 和 PMOS 器件的 V_T 。栅极周围的间隔器 1452 和栅极上的硬掩模形成自对准源极/漏极区域。这造成较低的源极/漏极到本体的电容。在另一方法中,可以执行补偿源极/漏极注入。在此方法中,栅极周围的间隔器和栅极上的硬掩模允许栅极自对准。

[0162] 如将理解到,期望以多个功率模式有效地操作电路。此外,能在不同的功率模式之间快速和有效地切换能显著提高晶体管、以及使用这种晶体管制造的芯片、还有实施这种芯片的系统的省电能力和整体性能。利用有效改变操作模式的能力,当需要时,器件能输出高性能,并且在待用时通过进入睡眠模式而保存电力。根据一个实施例,各个子电路和各个器件的模式能被动态地控制。利用动态地改变器件的阈值电压的能力,还能动态地改变器件的模式。

[0163] 深度耗尽沟道器件能具有宽范围的标称阈值电压,并能使用宽范围的操作电压而操作。一些实施例可以在从 1.0 伏特到 1.1 伏特的当前标准块 CMOS 操作电压内实施,并且还可以在低很多的操作电压(诸如 0.3 至 0.7V)下操作。这些为低功率操作提供电路构造。此外,DDC 器件能由于它们的强的本体效应而比传统的器件更有响应性。在此方面,强本体效应能允许器件通过经由共用的阱而大致直接连接到其他器件而影响电路的变化。在一个示例中,共用的阱可以包括在器件组下方的共同 P 阱或 N 阱。在操作中,这些器件通过修改器件的各自本体偏压电压和/或者操作电压的设置而能改变模式。这使得能更快地切换单个器件或者一个或者多个器件组,并且比传统器件使用更少的能量。因而,能快速地发生模式的动态变化,并且系统能改进管理电力节省和整体系统性能。

[0164] 此外,在一些应用中,可以要求对现存环境的向后兼容,使得 DDC 基器件能与传统器件无缝操作。例如,可以将操作电压 1.1 伏特下运行的新的 DDC 基器件和传统器件混合。可以需要执行水平转换,以为了将 DDC 基器件与传统器件连接。很期望 DDC 基器件与老式器件无缝操作。

[0165] 屏蔽区域提供高本体效应,这对于晶体管中响应性多模式切换具有杠杆(leverage)作用。具有屏蔽区域的晶体管的响应能在更宽的范围内变化到本体偏压的变化。更具体地,高度掺杂屏蔽区域能允许器件电流导通和电流关断以在各种本体偏压下更宽地变化,并能由此促进动态模式切换。这是因为 DDC 器件能构造有比传统器件更低的 σV_T 、设定阈值电压的较低方差。因而,阈值电压能设定为不同的值 V_T 。此外,器件或者器件组能本体偏压,以为了改变阈值电压,因而 V_T 自身能响应于变化的本体偏压电压而变化。因而,更低的 σV_T 提供更低的最小操作电压 V_{DD} ,和更宽范围的可用标称本征值 V_T 。增大的本体效应允许在那更宽的范围内动态控制 V_T 。

[0166] 此外,如果需要,还能期望将器件配置成最大性能,即使这种性能可以造成功率消耗的增大。在可选实施例中,当器件不在高性能激活的操作条件下,可以期望将器件布置在显著低的功率的模式(睡眠模式)中。在电路利用 DDC 晶体管时,以足够快的切换时间设置模式切换,以不影响整体系统响应时间。

[0167] 期望在根据此处图示和描述的不同 DDC 实施例和示例配置的晶体管或者晶体管组中可以有若干不同类型的模式。一个模式是低功率模式,其中,本体和源极电压之间的偏压 V_{BS} 是零。在此模式中,器件以低操作电压 V_{DD} 和比非 DDC 器件更低的有源/无源功率但

是以与任何传统器件相当的性能操作。另一模式是加强 (turbo) 模式, 其中, 器件的偏压电压 V_{BS} 是正向偏压。在此模式中, 器件以低 V_{CC} 和大致低的无源功率操作。在老式模式中, 处理流程被修改以允许非 DDC MOSFET 器件大致与老式器件相同地操作。

[0168] 尽管 DDC 构造的器件相对于传统器件提供了很大的性能优势, 但是由于屏蔽区域提供的强本体效应而还能增强动态模式切换。本体连接部允许应用施加到器件的期望本体偏压以实现期望的模式。这可以用如上所述具有低度掺杂沟道和屏蔽区域的 DDC, 或者可选地用具有掺杂剂浓度不同的多个区域或者层的 DDC 来实现。当多模式切换用于诸如存储器模块或者逻辑模块的晶体管组时, 使用传统的块 CMOS 技术的各个晶体管控制会不切实际, 并会对控制电路造成实质的架空。需要实施额外的控制电路, 用于控制不同器件或者不同器件组的广泛的专用布线和一切要显著地添加到集成电路的整个成本中。

[0169] 因而, 期望研发能用来形成用于动态模式切换的一组或者多组晶体管的子电路或者单元。此外, 还期望提供一种方案, 其可以向老式器件提供本体偏压控制技术, 使得仅仅单个 (standing) 或者在混合的环境中, 老式器件还可以受益于动态控制。

[0170] 附加地, 具有屏蔽区域的晶体管的相对高的本体效应使得其在某些实施例中不管在静态设计还是动态地都适合于使用本体偏压作为用于控制用于在各种模式下进行操作的器件, 同时, 传统的块 CMOS 器件可以要求物理设计替换。

[0171] 在图 15 中示出具有高度掺杂屏蔽区域和将本体偏压施加到本体的机构的基本多模式器件, 从图 2A 连同图示不同模式的相应表格而再现。如结合图 2A 论述, 偏压电压 V_{BS} 可以施加在阱连接部和源极之间, 以控制器件的电场, 包括源极和器件本体之间的场。图 15 图示 n 沟道 4 端子 MOSFET 的样本结构。端子 106 指定为漏极, 而端子 104 指定为源极。在操作过程中, 电流在这两个端子之间流动。端子 102 称为栅电极, 并且电压经常施加到此端子以控制在漏极和源极之间的电流流动。端子 126 提供对晶体管的本体 (在此示例中是 P 阱 114) 的连接。施加到漏极的电压是正供应电压 (称为 V_{DD}), 并且施加到源极端子的电压是低供应电压。电场影响器件的特性。根据此处描述的各种实施例, 器件能通过适合地选择偏压电压 V_{BS} 和供应电压 V_{DD} 而构造成多个和不同的模式。

[0172] 在传统块 CMOS 器件中, 衬底经常连接到源极以维持相同的源极本体电压。因而, 本体偏压对于衬底上的所有器件通常相同。这类似于 DDC 器件用在以上所述的正常的低功率 / 低泄漏模式的状况, 其中施加正常的操作电压, 并施加零偏压电压, 使得 $V_{BS} = 0$ 。然而, 根据此处描述的各种实施例构造的多模式器件可以提供有效的模式控制手段代替本体连接部。这在如上所述器件在距栅极一定距离处包括重度掺杂屏蔽区域的情况尤其是这样。不像绝缘体上硅偏压器件 (其具有低的本体效应), DDC 偏压器件能构造在块硅上以产生具有高本体效应的器件。因而, DDC 构造的器件能利用变化的本体偏压作为进行多模式操作的手段。如在图 15 的示例中所示的多模式晶体管在 P 阱上方具有 n 沟道。P+ 型区域形成在 P 阱上。本体连接部 (未示出但是以下论述) 耦合到 P+ 区域以使与 P 阱 (其为 n 沟道器件的本体) 导电接触。由于本体连接部是 p+ 掺杂, 与本体连接部的连接将能与器件的 P 阱 (即, 器件的本体) 连接。本体偏压电压然后可以施加在源极和本体连接部之间, 本体偏压电压能有效地控制 n 沟道器件的操作模式。如在 n 沟道器件中那样, 动态模式切换技术能应用到 N 阱上方的 p 沟道器件, 其中, 形成 n+ 区域以容纳本体连接部。此外, 具有此处描述的强本体偏压的新颖结构能应用到其中 n 沟道和 p 沟道器件存在相同衬底或者阱上的

CMOS 器件。这种实施例的示例在以下图示和描述。

[0173] 施加在源极和本体之间的器件偏压电压能有效地改变 CMOS 器件的行为。对于前述具有本体连接部的器件,能独立于栅极源极和漏极源极电压而施加源极本体电压。使用本体偏压来作为用于多模式控制的控制手段的一个优点是器件可以像它是传统器件那样连接,例如,在传统器件中栅极-源极电压和漏极-源极电压被以相同方式构造。在此情况下,模式选择能响应于本体偏压而进行。因而,器件能在零偏压下正常地操作,这与传统器件相同。当期望更高的性能模式(加强模式)时,正向偏压电压可以施加在阱连接部和源极之间,即, $V_{BS} > 0$ 。用于加强模式的操作电压可与正常模式的操作电压相同或者略高于该操作电压。另一方面,当期望睡眠模式时,反向偏压电压可以施加在阱连接部和源极之间,即, $V_{BS} < 0$ 。用于睡眠模式的操作电压可与正常模式的操作相同或者略低于该操作电压。

[0174] 当施加零本体偏压时,多模式器件在正常低功耗模式下操作。本体偏压能加正向偏压,正电压如图 15 的示例所示施加在本体和源极之间以增大器件的性能。这正向偏压模式称为用于增大高驱动电流方面的性能的“加强”模式。然而,性能的增强是以增大的泄漏电流为代价的。在深睡眠模式中,本体被加反向偏压,负电压如图 15 的示例所示施加在本体和源极之间以降低泄漏电流。当器件处于空闲状态或者待用状态时期望此模式。

[0175] 图 16 图示在 n 沟道 DDC 器件的示例和传统的 n 沟道器件之间阈值电压 V_T 与偏压电压 V_{BS} 的比较。曲线 1610 表示 DDC 器件,而曲线 1612 表示传统器件。图 16 示出 DDC 器件的阈值电压在一些实施中比传统器件更响应于偏压电压。DDC 器件还能提供响应于本体偏压的宽的延迟范围。对于传统器件,阈值电压从器件到器件的变化如图 17A 所示造成延迟时间的广泛扩散。带 1702、1704 和 1706 分别表示 $-0.5V$ 、 $0.0V$ 和 $+0.5V$ 的偏压电压 V_{BS} 的延迟变化,其中,延迟时间以与在 $V_{DD} = 1.1V$ 、 $V_{BS} = 0.0V$ 、 $\sigma V_T = 0.0V$ 和温度 $= 85^\circ$ 的情况下的传统器件的归一化为 1 的延迟时间相对比例示出。水平轴对应于 $3\sigma V_T$ 值。传统器件的 σV_T 通常是约 $15mV$,这造成 $3\sigma V_T = 45mV$ 。如图 17A 所示,三个带 1702、1704 和 1706 大致重叠,使得难以根据延迟时间区分模式。图 17B 示出 DDC 器件的示例的改进延迟时间。在图 17B 中,三个带不仅不重叠,而且还具有小很多的扩散。在三个不同偏压电压 $-0.5V$ 、 $0.0V$ 和 $+0.5V$ (反向偏压、零偏压和正向偏压)下,DDC 器件图示三个很大不同的带 1708、1710 和 1712。三个明显不同的带图示在一些实施例中的 DDC 器件很有效地在多操作模式下使用。

[0176] 能提供降低的 σV_T 并且因而提供能更精确地被控制的 V_T 的晶体管的一个其他益处是动态地控制 V_T 的能力。在传统器件中, σV_T 是如此大,使得需要考虑 V_T 横跨宽的范围。根据此处描述的实施例,能通过调节本体偏压电压而动态地改变 V_T 。通过增大的本体效应而提供 V_T 的动态调节,并且动态控制的范围由降低的 σV_T 提供。参照图 18,图示一个图解示例,其示出针对器件设定的静态 V_T , V_{T0} , 还进一步示出能调节器件的多个 V_T 。每个具有相应的 ΔV_T , 或者用于每个相应 V_T 值的单独 ΔV_T 。根据此处描述的实施例,器件能构造成具有在要求电压范围内调节本体偏压电压并具有适合的电压调节速度的动态可调节的 V_T 。在某些实施例中,能以预定的步骤进行电压调节,或者电压调节可能连续地变化。

[0177] 根据另一实施例,尽管图 15 图示能在各种模式进行操作的样本多模式器件,但是针对晶体管组,器件包括隔离本体的结构也是有用的。这可以提供器件在各种模式下有效地独立操作的能力。如果多模式晶体管组的本体被连接,整个组将同时切换,限制了促进模

式切换的能力。另一方面,如果两组多模式晶体管的本体未被连接,两组能被单独地控制。因而,图 15 中示出的基本多模式晶体管能进一步提供能分成每组具有单独本体偏压的多个模块的晶体管组。这些将在以下描述。

[0178] 因而,能利用 DDC 结构(诸如图 14A 至图 14I 图示并在以上论述的晶体管结构)构造改进的系统。这些结构的变化可以实施到在性能方面具有明显优点的集成电路和系统。已经示出该结构如何能构造成缩小晶体管,并且现在将示出这些结构如何能用作模块以缩小更广泛的集成电路和系统。利用 DDC 结构、STI、PTI、结合在例如集成电路和系统中的浅阱和 / 或共用阱,能针对新的和改进的系统性能而构造集成电路和系统。此外,利用本体连接部和 / 或本体存取晶体管的新创新能与 DDC 结构均匀地间隔开使用,以为集成电路和系统提供新的特征和益处。因而,这些块 CMOS 和其他新颖的结构和处理的创新能用来以极大改进的操作构建新的缩小的集成电路。

[0179] 尽管至此描述的晶体管实施例可以提供块 CMOS 晶体管和其他器件等的连续功率缩小,但是通过根据此处论述的晶体管实施例而适合地修改电路模块的布局和布线,充分利用处于芯片水平的 DDC 结构的一些益处和特征的期望也能这样做。例如,如之前论述的,知道动态地调节晶体管的本体偏压电压以调节它们的阈值电压的原理,但是该原理在纳米级器件中尚未被实践证明可实施。原因是在一些实施中,(1) 传统块 CMOS 纳米级器件的大的 σV_T 不会提供关于现有纳米级器件的晶体管之间的足够的区别;(2) 传统块 CMOS 纳米级器件的相对低的本体系数不会提供在操作模式之间足够快地切换以避免影响芯片操作的能力;以及 (3) 将本体偏压线布线到每个晶体管或者电路模块能显著地降低能集成在芯片上的晶体管的数量,因而禁止以芯片水平进行缩小。一些 DDC 晶体管实施例能通过以下解决第一两个问题 (1) 通过提供显著降低的 σV_T , 从而允许要设计的相同晶体管不仅以不同阈值电压工作而且以不同的操作电压工作;和 / 或 (2) 通过提供显著增大的本体系数,从而允许晶体管和电路模块快速和有效地在操作模式之间切换。DDC 晶体管在一些实施例中能作为变色龙状(chameleon-like)场可编程晶体管(FPT)处理,其中一些或者全部具有相同的标称结构和特性,但是可独立地构造成作为必须已经在传统块 CMOS 中不同制造的晶体管而操作。本体偏压线的改进的布线是以下论述的另一要素,其提供了如何使用多模式晶体管的其他示例。

[0180] 图 19 是图示晶体管组的多模式操作的原理的简化图,其中每个模块或者电路可以基于所供应的本体偏压电压和操作电压在不同的模式下操作。在一些实施中,向各个模块施加单独的本体偏压能允许通过动态地调节其阈值电压,允许共同连接的部件在共同模式下操作并允许单独连接的部件或者系统在单独控制的模式下操作来控制系统。在图 19 描述的示例情况中,器件 1900 分成具有单独本体偏压接触部的五组晶体管或者电路模块 1910、1920、1930、1940 和 1950。根据此处描述的实施例,五个电路模块的本体彼此隔离,使得不同的本体偏压能独立地施加到每个模块。在此示例中,每个电路模块具有与其他组隔离的本体,并且本体通过各个本体连接部(1915、1925、1935、1945 和 1955)而连接。五个模块意在图示促进晶体管组之间的隔离以形成隔离模块的需要。图 19 还图示每个模块分别连接到各个本体偏压 V_{B1} 、 V_{B2} 、 V_{B3} 、 V_{B4} 和 V_{B5} 。如本领域的技术人员能理解到,每个模块还将要求其他供应电压,诸如漏极的 V_{DD} 、源极的 V_{SS} 、栅极的 V_G 和其他型号。附加地,不同的操作电压 V_{DD} 可以单独地施加到每个电路模块。每个电路模块的模式可以通过设计(例如,通过将

不同电路模块连接到不同的本体偏压电压和操作电压以彼此独立地建立它们的操作模式)而静态设定,并且/或它可以通过控制电路和在操作过程中调节每个电路模块的本体偏压和/或操作电压以设定其操作模式的运算而动态地设定。利用低的 σV_T 和调节阈值电压 V_T 的能力,在值的比较宽的范围上,各个晶体管和晶体管组的操作模式可以单独地控制。

[0181] 在以下示例中,将描述各种晶体管。这些晶体管意在用作模块以将晶体管组形成到具有隔离本体的模块中。例如再次参照图 14G,示出一对构造有新颖的 DDC 结构的 CMOS 晶体管的一个实施例,该晶体管具有本体连接部,其中 n 沟道器件和 p 沟道器件在相同衬底上。这些结构可以用来研发性能得到极大提高的电路和系统,包括以下描述的实施例。其他晶体管可以与新颖 DDC 构造的晶体管组合利用,并且此处的一些实施例可以在没有 DDC 构造的晶体管的情况下进行构造。

[0182] 图 20 图示具有阱结构的 n 沟道 4 端子晶体管布局的示例,其中,单个 P 阱 2060 在 P 衬底 2080 上。4 端子晶体管的布局 2000 示出源极/漏极对 2020 和 2030、栅极 2040 和本体连接部 2050。还示出位置 2010 处的横截面,其中,浅沟槽隔离 (STI) 2070 深度小于 P 阱深度。P 阱 2060 对于 P 衬底 2080 上的所有 n 沟道晶体管是公共的。因而,4 端子晶体管不会提供 n 沟道晶体管之间的隔离。如在此示例中所示,本体连接部是 P+ 掺杂并靠近晶体管横向布置(参照所示出的栅极取向)。此外,本体连接部由 STI 2070 从晶体管隔离。

[0183] 图 21 图示具有新颖浅沟槽 P 阱 (SPW) 的 n 沟道 4 端子晶体管的示例,其中,SPW 深度小于 STI 深度。此 4 端子 n 沟道晶体管的布局 2100 示出源极和漏极对 2020 和 2030、栅极 2040 和本体连接部 2050。截面视图 2180 图示位置 2110,并且截面视图 2190 图示位置 2112。浅阱能进行本体隔离,并结果,能在某些实施中允许针对器件组(诸如存储器单元或者其他数字电路)进行动态模式切换,因而,降低必须在集成的电路上进行布线的本体偏压电压线的数目。如横截面视图 2180 和 2190 所示,晶体管在互补 N 阱 2164 上具有浅 P 阱 2160。由于 p-n 结,N 阱 2164 没有导电地连接到浅 P 阱 2160,并且 N 阱没有导电地连接到 P 衬底 2080。因而,晶体管能在相同衬底上与在 N 阱 2164 上具有浅 P 阱 2160 的其他 n 沟道晶体管隔离。有源区域在栅极下方延伸。最小有源区域临界尺寸 (CD) 用于在栅极下方延伸的有源部分。延伸有源区域边缘可以布置在间隔器边缘之间以避免由于硅化而短路。在栅极外延伸有源区域上方能进行本体接触。N+ 注入边缘可以在栅极延伸(端帽)区域的下方。尽管该示例图示形成 n 沟道 4 端子晶体管的一个方法,布局还能应用来形成 p 沟道 4 端子晶体管。如图 21 所示,在一些实施中,STI 能比 SPW 更深。在一些实施中,如果两个相邻晶体管不具有公共的 SPW,它们能彼此独立地偏压。可选地,相邻晶体管组可以共用共同的 SPW,并且能通过施加相同的本体偏压而以相同的模式操作。

[0184] 在动态多模式晶体管的又一实施例中,如图 22 所示,本体存取晶体管能形成在实际晶体管和本体连接部之间。图 22 图示 n 沟道 4 端子晶体管布局 2200 和相关的横截面视图 2280,其中,浅 P 阱 (SPW) 2160 由 STI 2070 隔离。本体存取晶体管能将本体连接部从晶体管隔离。本体存取晶体管能形成为似乎存在一种其中栅极 2041 用作作用于本体存取晶体管的栅极并且本体连接部作为源极/漏极被处理的晶体管。这能简化处理,并降低进行本体连接部连接所需的区域。本体存取晶体管与浅阱组合使用变成有用的模块,以能够以细微的粒度进行动态模式切换。对于要一起切换的晶体管组或者电路组,它们能布置成共用相同的浅阱。此外,通过使用本体存取晶体管以提供与本体的连接并供应本体偏压而形成一

个或者多个栅极连接部。

[0185] 如上所述,局部沟槽隔离 (PTI) 是将本体连接部从晶体管隔离的另一优选方式。根据图 23 图示的另一实施例,用于 n 沟道 4 端子晶体管的示例布局 2300 和横截面视图 2380 包括浅 P 阱 (SPW) 和局部沟槽隔离 (PTI)。横截面视图 2380 对应于位置 2310 处的横截面。SPW 深度能小于 STI 深度。PTI 氧化物能防止 n 型源极 / 漏极和 p 型块连接部之间硅化物短路。PTI 深度可以小于浅阱深度,使得维持浅阱在晶体管内的连续性。PTI 方式在一些实施中能提供防止本体连接部和源极 / 漏极之间由于硅化物的可能的短路的优良保护。然而,PTI 还在器件的制造过程中要求一个或者多个附加处理步骤。PTI 深度在一些实施例中优选地大于源极 / 漏极结以将 P+ 块连接部和 N+ 源极 / 漏极分开,由此使 N+/P+ 结泄漏最小。

[0186] 用于源极 / 漏极的有源区域和用于阱连接部的有源区域的相对平面位置可以不同地布置,以形成如图 24 中的示例所示具有 PTI 的 4 端子晶体管 2400 的变形。横截面视图 2480 和 2490 分别对应于位置 2410 和 2412。如所示,浅 P 阱由 STI 隔离。

[0187] 尽管以上示例图示设置本体连接部用于施加本体偏压电压的 4 端子晶体管,但是存在可以不需要用于本体偏压的第四端子的情况。例如,当 CMOS 晶体管在公共的 N 阱上具有浅 P 阱和 N 阱,在 N 阱上具有浅 N 阱的 p 沟道晶体管将总是具有公共的 N 阱。在这种实施中,可以不需要提供连接到本体的单独的第四端子。结果,此处图示 3 端子晶体管的几个示例,并将这些示例用作模块以形成具有本体隔离模块的晶体管组。在另一情况下,晶体管可以在其中所述晶体管意在以本体浮置进行操作的互补阱上具有浅阱。在此实施中,不需要使用第四端子。

[0188] 对于 3 端子结构 2500 的一个示例,局部互连部将栅极和本体连接以将端子的数目从四个降低为三个,如图 25 所示,横截面视图 2580 和 2590 分别对应于位置 2510 和 2512。在 2580,局部互连部 (LI) 接触部 2551 用来将本体接触部连接到延伸的栅极。在此示例中,使用金属接触部在延伸的有源区域的上方进行栅极到本体的接触。在 SRAM 单元中使用的矩形接触部还可以用来将栅极连接到本体。

[0189] 在另一实施例中,3 端子动态多模式晶体管通过多晶硅的下方使用本体接触部而形成。使用 GA (栅极到有源层) 接触掩模而移除栅极下方的氧化物。在栅极介质移除区域上方,可以形成多晶硅栅极接触 (PGC) 注入,其具有与 SPW 相同的极性。如图 26 的结构 2600 所示,使用 PGC2650 将本体连接到栅极。横截面视图 2680 和 2690 对应于位置 2612 和 2614。此局部方案可以有若干个潜在的优点,包括与本体的自对准栅极接触的能力、和 / 或进行自对准 GC (栅极接触) 注入的能力。由于 GC 注入能具有与 SPW (P+ 掺杂) 相同的极性,在一些实施例中,在有源区域中没有弯曲,这是友好制造的设计 (DFM)。使用 PGC 进行连接可以造成对本体更高的接触电阻。然而,对于一些实施例中的静态模式控制,接触电阻不是关键的。因而,当需要静态控制时,可以使用 PGC。

[0190] 可选地,如图 27 所示,类似于 3 端子单个栅极晶体管 2700,本体接触能在栅极延伸的下方延伸的有源区域中进行。横截面视图 2780 和 2790 对应于位置 2712 和 2714。最小有源区域临界尺寸 (CD) 可以用于延伸的有源部分。延伸的有源区域边缘能位于栅极的下方有源区域的间隔器边缘之间。栅极下方的氧化物可以使用 GA 接触掩模而移除。在栅极已经移除的区域的上方,可以形成具有与 SPW 相同极性的 GC 注入,并且按后本体用来将本体连接到栅极。在一些实施中,此方式能提供类似的优点,包括使用与本体的自对准栅极接

触或者自对准 GC 注入的能力,这是因为 GC 注入具有与 SPW 相同的极性 (P+ 掺杂)。

[0191] 尽管如图 27 中的示例所示用于栅极和阱连接部的接触部能沿着多晶硅位于不同位置处,它们能如图 28 中的结构 2800 所示以相同的位置取向。横截面视图 2880 和 2890 分别对应于位置 2812 和 2814。

[0192] 在另一实施例中,布局将允许可编程的 4 端子 /3 端子晶体管。如图 29 的结构 2900 所示,栅极和本体可以使用金属区域 2950 断开或者连接,分别得到 4 端子或者 3 端子。横截面视图 2980 和 2990 分别对应于位置 2912 和 2914。结果,金属区域连接有助于可编程的 4 端子 /3 端子晶体管布局。

[0193] 各种晶体管已经在此处进行描述,并且在各种实施例和示例中描述的不同结构能用在不同的组合和子结构中以形成有用的系统,其在许多情况下相对于传统的系统具有改进的性能。这些晶体管结构还可以用于形成分成多个模块的晶体管组并具有用于动态模式切换的各个本体偏压连接的模块。一些示例在下面描述。

[0194] 根据此处描述的一些实施例构造的晶体管的一个优选优点是动态模式切换的能力。这能通过施加受控制的本体偏压电压以设定或者调节可变操作电压来进行。图 30 图所示能使用 4 端子晶体管进行动态模式切换的电路 3000 的一个示例,其中,示出各个偏压电压和操作电压。电路模块 a1-a4 分别对应于标准的低泄漏并且两个加强模式。每个电路模块使用一对 4 端子晶体管、p 沟道 4 端子晶体管 3010 和 n 沟道 4 端子晶体管 3020,其中,4 端子指定为 S(源极)、D(漏极)、G(栅极)和 B(本体)。在模块 a1 中,具有本体连接部的 4 端子晶体管用作传统晶体管。用于 n 沟道器件(所示的下晶体管)的本体连接到源极电压 V_{SS} 。用于 p 沟道器件(所示的上晶体管)的本体连接到操作电压 V_{DD} 。在模块 a2,当器件未被激活使用时,器件被加反向偏压以实现低泄漏。反向偏压能通过将用于 n 沟道器件的本体连接到用于 n 沟道的反向偏压电压 V_{BBN} 来实现,该 V_{BBN} 低于 V_{SS} ,并且用于 p 沟道器件的本体连接到用于 p 沟道的反向偏压电压 V_{BBP} ,该 V_{BBP} 高于 V_{DD} 。如果期望更高的性能,则如模块 a3 和 a4 所示器件能置于正向偏压条件中。在 a3(i) 中,p 沟道本体和 n 沟道分别连接到专用正向偏压电压 V_{FBP} 和 V_{FBN} ,其中, V_{FBP} 小于 V_{DD} ,并且 V_{FBN} 高于 V_{SS} 。可选地,通过消除为正向偏压电压的所要求的附加供应,源极和漏极能用于正向偏压以节省系统成本。如 a3(ii) 所示,p 沟道的本体连接到 V_{SS} ,并且用于 n 沟道器件的本体连接到 V_{DD} 。a4(i) 和 a4(ii) 中电路除了高操作电压 V_{DDH} 被连接之外类似于 a3(i) 和 a3(ii) 中的电路。

[0195] 如图 31 所示,还有在动态切换环境中使用 4 端子器件的若干其他变化。在图 31 中,电路模块 a1 图示 4 端子器件的本体未被连接以形成本体浮置的情况。存在两个形式的图 31 图示的浮置本体 3100,其中子模块 a1(i) 使用 V_{DD} 作为操作电压,而子模块 a1(ii) 使用 V_{DDH} 作为操作电压。这将输送中等的性能。在电路模块 a2 中,p 沟道和 n 沟道器件的本体和漏极都连接在一起以实现加强模式。相同动态模式切换特征根据此处描述的一个实施例能延伸到具有更多晶体管的大规模电路。

[0196] 图 32A 图示使用简化壳体的动态模式切换的实施。图 32A 示出了电路 3200,其中,两个电路模块 3220 和 3230 具有隔离的本体,使得能施加独立的本体偏压。能经由本体接触部 3225 施加用于电路模块 3220 的本体偏压,而能经由本体连接部 3235 施加用于电路模块 3230 的本体偏压。没有示出类似于图 30 所示的用于其他电压的电源架。然而,本领域的技术人员容易理解到在图 32 中的用于系统的电源架的实施。用于这种电路模块的示例

横截面 3250 在图 32B 中示出,与电路模块 3220 和 3230 相对应地描述在 N 阱 3264 上具有浅 P 阱 3260 和 3261 的 n 沟道器件。浅 P 阱 3260 和 3261 通过 STI3263 在两个电路模块之间隔离以形成用于两个电路模块的单独的浅阱。两个浅 P 阱 3260 和 3261 由于 p-n 结效应而未被位于 P 衬底 3266 上方的下方 N 阱 3264 连接。本体存取晶体管用来形成连接部,并还将连接部从共用 SPW 阱的有源晶体管隔离。p 型接触区域 3210 用于本体接触部以提供与浅 P 阱的连接。图 32B 中的示例图示了浅沟道 STI3262 与本体连接部一起使用以形成用于动态模式切换的隔离多模式模块。尽管该示例针对 n 沟道器件而图示,但是它能容易地应用到 p 沟道器件。

[0197] 而且,它还能延伸到在结构 3310 中具有 p 沟道和 n 沟道器件的图 33A 中的示例所图示的器件 3300。图 33B 表示 CMOS 器件具有两个浅 P 阱 3260、3261 并还具有带有各个本体接触部 3325、3335 和 3345 的浅 N 阱 3360 的情况。全部都在 N 阱 3264 上。示出三个电路模块:电路模块 3320 和电路模块 3330 是 n 沟道器件,并且电路模块 3340 是 p 沟道器件。每个电路模块能共用相同的 N 阱 3264。由于 p-n 结效应,用于电路模块 3320 和 3330 的浅 P 阱在一些实施方式中总是从 p 沟道器件隔离。可以有一个以上的 p 沟道电路模块。然而,由于浅 N 阱总是连接到下方的 N 阱,每个 p 沟道器件能具有相同的本体偏压。因而,在一些应用中,诸如用于 p 沟道器件的 3360 的浅 N 阱不能与其他浅 N 阱器件共用公共的 N 阱。在此应用中,当使用公共阱时,N 阱器件不能分成隔离的浅阱。因而,从动态功率模式切换观点来看,不需要形成用于 p 沟道器件的各个电路模块。在一些实施例中,在单个 N 阱的情况下,仅仅 n 沟道器件可以经由本体偏压而单独地受控制。当下面的晶体管构造有此处描述的高本体效应晶体管时,本体的使用能变成促进动态模式切换的有效方式。对于 p 沟道器件,N 阱中的浅 N 阱是可选的。

[0198] 以下附图图示了可以使用多个方法和结构而形成的一定数量的电路示例,其能用作根据此处论述的实施例的用于集成电路的模块。该论述将开始于使用了当前在工业中使用的一些模块处理和结构的示例。后述附图将图示使用实质上比传统的方式有提高的模块结构和处理的示例。

[0199] 图 34A 示出了构造有不同的常用电路部件的电路的示例,该电路示例将用在后述的附图中以图示动态模式切换的实施。在图 34A 中,组合电路 3410 示出具有 NAND 门 NAND23402、逆变器 INV 3403(逆变器)和本体连接部 TAP 3406。这些有用的结构可以根据此处描述的各种实施例来使用以提供具有新的和增强的特征的更好构造和有用的电路。

[0200] 在图 34B 中,布局 3420 示出使用虚拟多晶硅 3428 实施晶体管组以将连接部 3427 和 3429 形成到各个阱中的传统方式。本体连接部提供了与对于所有器件是公共的阱或者衬底的连接。图 34B 示出延伸到阱中的本体连接部。布局的下部示出了在 N 阱上具有浅 P 阱的 n 沟道中实施的器件的这部分。浅 P 阱由 STI 从相邻的器件隔离,因为浅 P 阱的深度小于 STI 深度。布局的上部示出在 P 阱上具有浅 N 阱的 p 沟道中实施的器件的这部分。再次,浅 P 阱由 STI 从相邻器件隔离。由于使用两个单独的阱(P 阱和 N 阱)和各个浅阱,全互补器件允许对 n 沟道器件以及 p 沟道器件的单独的各个动态控制。在包括 NAND 门 NAND23433、逆变器 INV 3434 和 TAP 3426 的图 34B 中,器件的上部和下部具有各个本体连接部 3427 和 3429。布局的下部示出在 P 阱上具有浅 P 阱的 n 沟道中实施的器件的这部分。布局的上部示出在 N 阱上具有浅 N 阱的 p 沟道中实施的器件的这部分。包括 NAND 门 NAND23433、逆变

器 INV 3434 和本体存取晶体管 TAP 3426 的图 34C 除了单个本体连接部 3437 和 3439 基于新颖的本体存取晶体管 3438 而实施之外类似于图 34B。这些新颖本体存取晶体管提供允许对晶体管本体进行存取的新颖构造。不像传统器件设计,这些结构对器件和电路提供有意义的操作能力。

[0201] 图 34D 图示包括 NAND 门 NAND23433、逆变器 INV 3424 和本体存取晶体管 TAP3446 的电路布局 3440 的示例,其使用本体存取晶体管 3450 以形成由 STI 分开的两个本体连接部 3437 或者 3439,以提供与各个阱的连接。对于图 34D,本体存取多晶硅用来实施与本体的连接。具有两个单独的本体连接部的本体存取晶体管由 STI 隔离;STI 的左侧和右侧具有隔离的浅阱以允许各个本体偏压连接到左侧和右侧。图 34E 分别示出了与位置 3482 和 3484 对应的横截面视图 3490 和 3495。在横截面视图 3490 中,n 沟道晶体管(例如,3460)在两侧被 STI 3464 和 3465 隔离的浅 P 阱 3462 上。浅 P 阱 3462 在 N 阱 3466 上,并且 N 阱在 P 衬底 3468 上。本体连接部 3439 连接到浅 P 阱 3462。器件 3440 的上部在被 STI 3474 和 STI3475 隔离的浅 N 阱 3472 上包括 p 沟道晶体管(例如,3470)。浅 N 阱 3472 在 P 阱 3476 上,P 阱 3476 在相同的 P 衬底 3468 上。本体连接部 3437 提供与浅 N 阱 3472 的连接。器件 3449 图示具有全互补多晶体管的实施例的示例,该多晶体管具有带有用于动态模式控制的单独的本体连接部(3439 和 3437)的隔离浅阱(3462 和 3472)。

[0202] 尽管图 34D 示出基于构造有 DDC 的晶体管的动态模式切换实施,但是该动态模式切换还能应用到具有老式器件和新的器件的混合环境中。图 35 图示使用对于由 NAND 门 NAND23502、INV 3504 和 TAP 3506 组成的相同电路使用混合老式器件和新的器件的实施的示例,其包括 STI 3524 和 3534 以将浅阱分开。再次,使用 N 阱和 P 阱两者。然而,NAND2 和 TAP 两者使用其中浅阱在相同掺杂类型的阱上的老式方式来实施。NAND23502 和 TAP 3506 总是具有在 N 阱上或者 P 阱上的公共阱。因而,用于 NAND23503 和 TAP 3506 的浅阱不能被 STI 隔离。此布置仅仅可以使用于 INV 3504 的浅阱能被隔离。取决于设计,INV 3504 本体能浮置(即,不提供连接到各个浅阱的本体连接部或者本体连接部不被连接)或者连接到本体偏压。然而,由于使用两个单独的阱,两个单独的本体偏压电压能施加到 P 阱上的 n 沟道器件和 N 阱上的 p 沟道器件。

[0203] 图 35 还分别图示在位置 3510 和 3512 处的横截面视图 3550 和 3560 的示例。横截面视图 3550 示出在浅 P 阱 3522 和 3521 上的 n 沟道晶体管和连接部 3516 两者。浅 P 阱 3522 和 3521 两者在 P 阱 3526 上,P 阱 3526 在 P 衬底 3528 上。本体连接部 3516 提供了与用于 n 沟道晶体管的本体的连接。在下部中用于 p 沟道的浅 N 阱 3532 被隔离和左浮置。横截面 3560 示出浅 N 阱 3533 和 3535 上的 p 沟道晶体管和连接部 3514 两者。浅 N 阱 3533 和 3535 两者在 N 阱 3536 上,N 阱 3536 在 P 衬底 3538 上。本体连接部 3514 提供与 p 沟道晶体管的本体的连接。在上部中用于 n 沟道浅 P 阱 3523 被隔离和左浮置。用于浅 N 阱 3523 中的 p 沟道器件和浅 P 阱中的 n 沟道器件的本体连接部能如上所述添加有本体存取晶体管。

[0204] 图 36 图示基于其中使用两个单独的阱的老式方式的实施的示例。n 沟道晶体管在被 STI 3623 和 3624 隔离的浅 P 阱 3622 上。由于用于所有 n 沟道晶体管的浅 P 阱 3622 在 P 阱 3626 上,浅 P 阱 3632 将与 STI 3624 和 STI3625 之间的相邻电路隔离,因为 P 阱提供其他浅 P 阱上 n 沟道晶体管之间的导电性。P 阱 3636 和 N 阱 3636 两者在深 N 阱 3628 上,深 N 阱 3628 在 P 衬底 3630 上。还示出本体存取接触部 3612 和 3614。

[0205] 前述示例图示使用块 CMOS 的各种动态模式切换实施。不管怎样,新颖本体连接部设计还能应用到使用非 CMOS 块器件的半导体器件。例如,本体连接部能形成在如图 37 所示的包括 NAND23722、INV 3724 和 TAP3746 的局部耗尽 (PD) SOI 技术上。电路 3700 类似于其中本体存取晶体管用来形成单独的本体连接部 3712 和 3714 的图 34D。图 37 还示出与沿着位置 3716 和 3718 的布局对应的横截面视图 3740 和 3760。电路 3700 的下部与在由 STI 3743 和 3745 隔离的 P 阱 3744 上的 n 沟道器件相关联。因而,它能允许多个隔离的 P 阱形成在 SOI 上,使得本体偏压能独立地施加到各个电路模块。电路 3700 的上部与在由 STI 3747 和 3749 隔离的 N 阱上的 p 沟道器件相关联。因而,它能允许多个隔离 N 阱形成在 SOI 上,使得本体偏压能独立地施加到各个电路模块。P 阱 3744 和 N 阱 3764 两者在埋置氧化物 (BOX) 3748 上。根据此处描述的各种实施例,此构造促进单独地偏压晶体管组或者相关可切换器件的能力。

[0206] 静态随机存取存储器广泛地用在诸如中央处理单元 (CPU)、微处理器 / 微控制器、数字信号处理器 (DSP)、场可编程门阵列 (FPGA) 和其他器件的各种数字处理器中或者与之相关地使用。在工业中有广泛使用的若干个器件结构。在它们当中,6T-SRAM(6-晶体管 SRAM) 单元是最经常使用的,因而它能使用通用 CMOS 处理来实施。结果,它能容易地嵌入到任何数字处理器中。利用以上论述的新颖结构,改进的 SRAM 能构造有更好的性能和降低的电路面积。通过实施新颖的本体连接部、本体存取晶体管和 / 或新颖的 DDC 结构,能使用公知的处理设备和设施来产生显著改进的 SRAM。还有,可以使用新颖 DDC 构造的晶体管还有与新颖 DDC 构造的晶体管组合的其他类型的晶体管来形成这些 SRAM 电路实施例中的一些。此外,此处的一些实施例可以在没有 DDC 构造的晶体管的情况下构造,但仍然受益于改进 SRAM 性能和特征。

[0207] 在一个实施例中,基本 6T-SRAM 单元包括存取一位数据并使用两个通门 (PG) 晶体管以控制位线和反相位线的两个上拉 (PU) 晶体管和两个下拉 (PD) 晶体管。该示例在图 38 中的结构 3800 中示出。通门晶体管切换能被字线控制,允许具有低的操作功耗以及低的泄漏电流的 SRAM 设计。在图 38 中的 6T SRAM 的示例中,使用 p 沟道 4 端子晶体管 3010 实施 PU 晶体管,而其他使用 n 沟道 4 端子晶体管 3020 来实施。图 28 还示出用于 6T SRAM 的信号和电源,包括字线 (WL)、位线 (BL)、位线否定 (BLN)、 V_{SS} 和 V_{DD} 。图 38 还示出能提供与用于 n 沟道晶体管的本体 (浅 P 阱, SPW) 和用于 p 沟道晶体管的本体 (N 阱, NW) 的连接。

[0208] 存储器存取能消耗电子系统中大量的电力。在技术领域已经努力研发用于在存储器存取过程中以及在数据保持过程中降低功耗的实施和系统。SRAM 通常用在用于程序以及数据存储的计算机系统中。在程序执行或者数据存取的过程中,存储器的一部分可以主动地存取,而其他部分可以不工作。如果用于 SRAM 的操作模式以细微的粒度动态地切换,则是有益的。在一个实施中,每个单元的本体可以在结构上隔离,使得单元的偏压能个别地受控制。在实践中,通过连接用于排的源极电压,一排单元可以一起受到控制。除了上述基于 V_{SS} 的 6T SRAM 模式切换控制和本体连接部和本体存取晶体管技术之外,还有另一形成多模式启用 SRAM 的方式。该方式例如通过使用本体存取晶体管技术中断用于单元模块的浅阱扩散而实施用在 SRAM 中。期望的本体偏压能经由本体连接部选择性地施加到 SRAM 单元模块,以确定期望的操作模式。

[0209] 为了形成动态多模式 SRAM 阵列,提供使用部件模块的实施例示例。这些模块包括

各种 4 端子、3 端子和可编程 3/4 端子晶体管。这些模块连同各种本体连接结构一起可以组合来构建更有效地操作的改进 SRAM 电路。例如,本体存取晶体管能通过将 STI 上的多晶硅转换成晶体管而形成,同时将本体连接部作为源极 / 漏极对中之一来处理。本体存取单元能添加到周围区域以隔离 SRAM 的浅阱,使得本体偏压能个别地施加到 SRAM 阵列。6T SRAM 实施和相关的本体存取晶体管的示例连同连接 SRAM 单元和本体存取单元以形成动态多模式 SRAM 阵列的处理描述如下。

[0210] 图 39 图示用于图 38 的 6T SRAM 的布局示例。6T SRAM 单元包含 6 个晶体管,其中,PG 表示通门晶体管的位置,PD 表示下拉晶体管的位置,并且 PU 表示上拉晶体管的位置。PD 和 PG 晶体管是 n 沟道晶体管,并且形成在 N⁺ 注入区域 3910 中,并且 PU 晶体管是形成在 P⁺ 注入区域 3920 中的 p 沟道晶体管。n 沟道晶体管形成在浅 P 阱 3940 上,而 p 沟道晶体管形成在 N 阱 3950 上。在 N 阱 3950 中使用浅 N 阱在此实施例的实施是可选项的。信号线和电源线在图 38 和其他附图中示出。

[0211] 用于 SRAM 单元结构 3900 的一个优选布局的横截面在图 40A 示出。横截面视图 4010 对应于 PG 晶体管和 PD 晶体管所在的线 4015。附加 PG 和 PD 晶体管朝着 SRAM 单元的另一端定位,并具有类似的横截面视图。横截面视图 4010 还示出晶体管在 N 阱 4040 上具有浅 P 阱 3940。N 阱在 P 型衬底 4050 上。横截面视图 4020 对应于 PU 晶体管所在的线 4025。横截面示出 PU 晶体管在 N 阱 4040 上具有浅 N 阱 3950。用于 p 沟道晶体管的浅 N 阱 3950 在具有相同类型的掺杂剂的阱 (N 阱) 上。因而,浅 N 阱和 N 阱可以被导电地连接。在 N 阱中的浅 N 阱是可选项的。然而,对于 n 沟道器件,浅 P 阱 3940 可以从其下方的 N 阱 4040 隔离。与图 39 对应的 6T SRAM 单元的 3D 视图在图 40B 中示出,其中阱结构和晶体管类型被标示。

[0212] 图 41A 图示和一个优选阱结构的俯视图的示例 (N 阱未示出,因为它延伸通过整个单元区域)。对于图 39 的 6T SRAM 布局,浅 P 阱在 y 方向上从一端延伸到另一端,其中, x 和 y 表示表征 6T SRAM 单元的相对方位的任意方向。图 41B 图示堆叠起来以形成 2x2 阵列的 6T SRAM 单元,其中, y 方向上两个相邻单元之一在 y 方向上被倒装以形成该单元的镜面图像。因而,如果在 y 方向上连接大量的单元,所有的单元将共用相同的浅 P 阱。为了增加用于动态模式切换的粒度,需要使用中断浅 P 阱 3940 的连续性的结构。连接部单元用作隔离浅 P 阱并且提供与浅 P 阱连续的目的。

[0213] 图 42 图示与此处描述的实施例结合使用的连接部单元的布局示例。布局设计成匹配以下描述的 SRAM 单元布局。连接部单元的上部和下部具有隔离的浅 P 阱,使得它们能个别地连接到用于本体偏压的各个供应 (示出为 VSPW0 和 VSPW1)。图 43 图示在虚线表示的两个位置处的横截面视图的示例,其中,附图被旋转。横截面视图 4210 对应于位置 4215 处的剖视图。左侧的浅 P 阱 3940 能与 STI 的右侧的浅 P 阱 3940 导电隔离。此浅阱隔离能允许施加到这两个浅阱的不同本体偏压。为了对浅 P 阱形成接触, p 型注入用于本体存取晶体管源极 / 漏极区域。由于此 p 型源极 / 漏极区域具有与浅 P 阱相同的掺杂类型,可以形成从 p 型源极 / 漏极 (即,本体连接部) 到浅 P 阱的导电。横截面视图 4220 对应于位置 4225。由于本体连接部区域掺杂有与浅 N 阱相同的掺杂类型,本体连接部形成与浅 N 阱的连接。横截面 4210 和 4220 的阱结构分别类似于横截面 4010 和 4020 的阱结构。

[0214] 图 44 图示图 42 的连接部单元的俯视图的示例。不像其中浅 P 阱 3940 从一端延伸到另一端的 SRAM 单元,在上侧用于连接部单元的浅 P 阱 3940 能在分开线 4480 处与下侧的那

些隔离。浅 N 阱 3950 的隔离如之前那样并不是一个顾虑,因为浅 N 阱导电地连接到其下方的 N 阱区域,并且 N 阱延伸通过整个单元。连接部单元还提供通过 SPW 连接部 4460 与浅 P 阱 3940 的连接和通过 SNW 连接部 4470 与浅 N 阱 3950 的连接。图 45 图示形成体现根据此处描述的实施例的动态模式控制特征的 2x2SRAM 阵列 4500 的示例。SRAM 阵列由 2x2SRAM 单元和 y 边界的每侧上的两个连接部单元组成以形成 SPW 连接部和隔离。再次,x-y 方向是示出阵列方位的相对方向。如图 45 所示,在 y 方向上两个相邻 SRAM 单元具有连续的 SPW。SPW 在 y 方向上超过两个相邻单元的连续被连接部单元 4200 中的 STI 终止。因而,本体偏压 $VSPW_n$ 能施加到 2x2SRAM 阵列,而本体偏压 $VSPW_{(n-1)}$ 能施加到顶部上的相邻阵列(未完全示出),并且本体偏压 $VSP_{(n+1)}$ 能施加到底部上的相邻阵列(未完全示出)。图 46 图示使用用于 SPW 隔离的连接部单元的 4x4SRAM 阵列 4600 的示例。图 45 和图 46 图示在 y 方向上具有 SPW 连接性的 SRAM 单元的使用和终止 SPW 的连续性的本体存取单元(还称为连接部单元)的使用。因而,能相应地形成具有期望尺寸的动态模式切换 SRAM 阵列。

[0215] 尽管图 45 和图 46 聚焦在 SPW 连续性和隔离的示例,但是如上所述需要许多其他信号和供应电压以形成完整的阵列。这些信号和供应电压到 SRAM 阵列的连接对于本领域的技术人员是公知的,并且其细节将不在这里提供。在与图 46 对应的完全连接的 4x4SRAM 中,字线(WL)信号能连接到每排 SRAM 阵列,并且位线(BL)信号能连接到每列 SRAM 阵列。

[0216] 本体控制信号($VSPW_n$)能平行于字线而行进。在 SRAM 阵列的操作过程中,如果选择了所选的字组中的任何字,则选择的字组的本体偏压能被切换到正。当从特定的字组读取或者写入时,子阵列中的所有其他字组能具有为泄漏降低而反向偏压(或者零偏压)的本体。

[0217] 在使用本体连接部/本体存取单元以促进模式切换的 6T SRAM 的一些使用中,浅 P 阱本体能用于动态地切换,同时 p 沟道本体(N 阱)能用于静态偏压。在组中选择的任何字能使所选的字组中所有 n 沟道晶体管的浅 P 阱本体切换。用于 p 沟道和 n 沟道的偏压能设定为零,然后根据期望的模式正向或者反向地偏压。

[0218] 以上所述的基于本体存取单元的动态模式切换 SRAM 阵列在可缩小的细微粒度控制上具有优势。然而,除了 SRAM 单元之外,此方式还将要求本体存取单元。有不要求额外的本体存储单元的其他方法和系统。这些方式之一使用每排 V_{SS} ,而在基于本体存取单元的方式中 SRAM 阵列的所有单元共用公共的 V_{SS} 。如果 V_{SS} 能每排个别地受控制,独特 V_{SS} 的能施加到每排以为每排形成期望本体偏压。在此情况下,本体电压可不受控制。然而, V_{SS} 能单独地被控制,以造成不同的 V_{SS} 电压(本体和源极之间的电压),并实现动态模式切换。

[0219] 图 47 图示用于基于每排 V_{SS} 的多模式切换的 6T-SRAM 电路 4700 的一个示例。再次,SRAM 单元由两个上拉(PU)晶体管和两个下拉(PD)晶体管和两个通门(PG)晶体管组成。图 47 图示的示例和图 38 的 6T SRAM 之间的一个区别是在图 47 中使用的通门(PG)是 n 沟道 3 端子双栅极晶体管 4710。3 端子双栅极晶体管的布局 and 相应的横截面在图 26 和图 27 中示出。双栅极晶体管具有连接到本体的栅极,即,PG 晶体管(即,WL)的栅极连接到单元的本体。PU 和 PD 晶体管在图 38 的示例中是相同的类型。图 48 图示图 47 的 SRAM 单元的布局 4800 的示例,其中,示出单元的边界 4860。在 p 沟道器件用于 PU 晶体管的同时,使用用于浅 P 阱中的 PG 和 PD 晶体管的 n 沟道器件。此 SRAM 单元的阱结构非常类似于图 39 的结构。因而,示出横截面视图。SPW 和 SNW 两者在公共的 N 阱上,并且 N 阱遍及单元使用。

[0220] 图 49A 图示出图 48 的 SRAM 布局的 SPW 和 SNW 的结构 4900。 V_{SS} 接触部 4910 针对此布局明显示出。当连接多 SRAM 单元时,经常使用金属区域连接接触部。图 49B 图示使用图 48 的 SRAM 单元的 2×2 SRAM 阵列 4920,其中,SPW3940 不连续地形成为图 45 或者图 46 的 SRAM 阵列。图 49B 还图示针对每排个别地连接 V_{SS} (V_{SS0} 4921 和 V_{SS1} 4922)。图 49C 图示基于每排 V_{SS} 技术的 4×4 SRAM 阵列 4930,其中,针对每排使用独特的 V_{SS} (V_{SS0} 4931、 V_{SS1} 4932、 V_{SS2} 4933 和 V_{SS3} 4934)。

[0221] 在与图 49C 对应的 4×4 SRAM 阵列的全部布局中,类似于基于本体存取单元技术的动态模式切换 4×4 SRAM 阵列,可以逐排地连接字线 (WL),同时逐列地连接位线 (BL)。用于每排的字线可以连接到 SPW (即,各个器件的本体)。还可以逐排地连接 V_{SS} 。因而,能逐排地实现个别本体偏压。每 16 (或者 32) 字线可以发生 N 阱本体连接部。

[0222] 用于 6T SRAM 5000 的基于 V_{SS} 的模式切换的可选实施在图 50 中示出,其中,3 端子双栅极晶体管的外延接触部形成在 PG 沟道上,其中,示出单元边界 5060。图 51A 图示图 50 的 SRAM 布局的 SPW 和 SNW。针对此布局明显地示出 V_{SS} 接触部。图 51B 图示使用图 50 的 SRAM 单元的 2×2 SRAM 阵列 5120。图 51B 图示使用图 50 的 SRAM 单元的 2×2 SRAM 阵列 5120,其中,SPW3940 不连续地形成为图 45 或者图 46 的 SRAM 阵列。图 51B 在结构 5100 中还图示针对每排个别地连接 V_{SS} (V_{SS0} 4921 和 V_{SS1} 4922)。图 51C 图示基于每排 V_{SS} 的技术的 4×4 SRAM 阵列 5130,其中,针对每排使用独特的 V_{SS0} (V_{SS0} 4931、 V_{SS1} 4932、 V_{SS2} 4933 和 V_{SS3} 4934)。此单元和区域的特性与图 48 的示例相同。

[0223] 根据包括 V_{SS} 、n 沟道偏压、字线 (WL) 状态、位线 (BL) 状态、 V_{DD} 和 p 沟道本体偏压的若干条件确定用于单元的操作模式。 V_{SS} 、n 沟道偏压、字线 (WL) 状态、位线 (BL) 状态能用于动态控制,而 V_{DD} 和 p 沟道本体偏压能用于静态模式控制。对于 SRAM 阵列,基于每排使用专用的 V_{SS} (V_{SS0} 、 V_{SS2} 、 V_{SS3})。类似地,连接到浅 P 阱以动态地控制 n 沟道本体偏压的 WL 也以每排一个 WL (WL0-WL3) 进行组织。BL 和 V_{DD} 线用来沿着垂直的方向连接单元。如所示,组织 BL 和 V_{DD} 两者以按照每列提供一个 BL 和一个 V_{DD} 。通常的 SRAM 可以包括读取 / 写入、NOP (非操作) 和深睡眠模式。这些模式的进一步细节将在以下描述。

[0224] 在待机和数据保持模式 (对应于深睡眠模式) 中, V_{SS} 能被正偏压,以反向偏压 n 沟道器件的本体,并降低有效的 V_{DS} 。此构造降低待机泄漏。例如, V_{SS} 能被设定为 0.3V,并且 V_{DD} 设定为不大于 0.6V,使得 $V_{DS} \leq 0.3V$ 。在此条件下反向偏压 PG 和 PD 晶体管。p 沟道器件被零偏压或者反向偏压,以保持 PU 晶体管电流 $1000 \times PD$ 关断电流。在 NOP 的模式下,PG 和 PD n 沟道器件的两者具有带有反向偏压的偏压本体,并且 PU p 沟道器件本体以零偏压或者反向偏压而偏压。作为示例, V_{DD} 设定为 1.0V,并且 V_{SS} 和 BL 设定为 0.6V,使得 $V_{DS} \leq 0.4V$,并实现低待机电流。

[0225] 在读取模式中,PG 和 PD n 沟道器件两者能具有正向偏压。动态 V_{DS} 切换可以被限制到选择的字 (或排)。对于 PG 器件, $V_{GS} = V_{BS} \leq 0.6V$,并且 $V_{DS} \leq 0.6V$ 。对于 PD 器件, $V_{GS} = 1.0V$,并且 $V_{BS} \leq 0.6V$ 。由于更大的 PD V_{DS} 能实现有利的 PD/PG β 比。PD 器件宽度能与 PD 器件宽度相同。这能实现有利的读取静态噪音余量和低的读取单元电流。

[0226] 在写入模式中,PG 和 PD n 沟道器件两者能具有正向偏压。动态 V_{SS} 切换可以被限制到选择的字 (或排)。对于 PG 器件, $V_{GS} = V_{BS} \leq 0.6V$ 。尽管浅 P 阱中的 n 沟道 PG 晶体管和 PD 晶体管和 p 沟道 PU 晶体管用在以上示例中,但是浅 N 阱中的 p 沟道 PG 晶体管和 PD

晶体管和 n 沟道 PU 晶体管还能用来实现相同的设计目标。

[0227] 尽管每排 V_{SS} 技术不要求用于浅阱隔离的本体存取,但是每个 SRAM 单元大于用于基于本体存取单元的技术的 SRAM。为了将单元从相邻的单元隔离以促进每排的基于 V_{SS} 本体偏压的控制,不工作区域能添加到单元周围。结果,单元高度在此示例中可以增大 130nm。这对应于单元面积增大 38%。所有的晶体管沿着相同方向取向。作为设计示例,晶体管的尺寸如下:

[0228] 通门 (PG) :W/L = 70nm/40nm

[0229] 下拉 (PD) :W/L = 85nm/35nm

[0230] 上拉 (PU) :W/L = 65nm/35nm

[0231] 此示例在 45nm 处理节点中得到 $x*y = 0.72 \mu m * 0.475 \mu m = 0.342 \mu m^2$ 。

[0232] 图 52 示出包括根据需要使用互连部 5210 互连的一定数量的功能单元的系统 5200。例如,在一些情况下,互连部 5210 提供用于所有功能单元 5204-1、5204-2、5204-3 至 5204-n 之间通信的公共路径。在其他情况下,互连部提供一组功能单元之间点到点通信,同时提供在另一组功能单元之间公共的通信路径。互连部 5210 因而可以以适合于满足系统设计者使用用于使用在目标系统中可用的功能单元(包括例如有线、无线广播和点到点)进行的通信的传统技术的目标的任何方式而构造。5204-n 中的“n”意思是表示可以有和系统设计者认为需要的一样多的功能单元,并且没有暗示存在最多九个的功能单元。

[0233] 根据一些实施例,系统 5200 是具有多个独立封装部件和 / 或子组件的电子系统。这种系统的示例今天包括个人计算机、移动电话机、数字音乐播放器、电子书阅读器、游戏操作台、便携式游戏系统、线缆套上箱、电视、立体设备和类似于可以从此处公开的技术所提供的功耗的增大控制而受益的电子系统的任何其他电子设备。在此系统中,功能单元 5201、5201、5203、5204-1 至 5204-n 是用于这种系统的通常的系统部件,并且互连部 5210 通常使用印刷板或者后连线板(未示出)设置。例如,在个人计算机的情况下,功能部件包括 CPU、系统存取器和诸如硬盘驱动器或者固态硬盘驱动器的大容量存储器件,以上所有这些都可以根据需要通过在母板上实施的系统互连而互连。类似地,移动电话机例如包括各种一个或者多个芯片和显示面板,以上所有这些通常使用可以包括柔性连接器的一个或者多个印刷电路板 (PWB) 而互连。

[0234] 根据其他实施例,系统 5210 是系统级封装 (SIP),其中,每个功能单元是集成电路,所有功能单元一起封装在单个多芯片封装中。在 SIP 系统中,互连部 5210 可以由诸如线缆结合、引线结合、焊球或者金柱凸点的直接芯片到芯片互连,以及由封装衬底提供的互连而提供,封装衬底可以例如包括公共的母线型互连、点对点互连、电压平面和接地平面。

[0235] 根据另一实施例,系统 5200 是诸如系统上芯片 (SOC) 的单个芯片,并且功能单元实施为(例如,当块 CMOS 和 SOI 结构在 SOI 衬底上实施时)公共半导体衬底或者半导体上绝缘体衬底上的晶体管组(例如,电路模块或者单元)。在此实施中,互连部 5210 可以使用可用于将集成电路中的电路模块互连的任何技术来提供。

[0236] 如上所述,所论述的晶体管和集成电路技术允许在公共半导体衬底上制造和使用能独立地指定,静态地设计和 / 或动态地调节本体偏压和 / 或者操作电压的多模式晶体管。这些相同的技术还能以系统水平提供相同的益处,即使仅仅其中一个功能单元实施该技术。例如,功能单元 5202 可以包括动态地调节 DDC 晶体管的操作模式以降低功耗的逻辑

(未示出)。这可以例如通过在功能单元 5202 上实施的数字或者模拟技术而完成。可选地,功能单元 5202 可以响应于来自另一功能单元(例如,功能单元 5201)的外部控制信号而控制功耗。不管每个功能单元的功耗是由功能单元局部地控制、由控制器功能单元中心地控制或者以混合方式控制,能实现对功耗更多的控制。

[0237] 功耗的系统水平控制是已知的,尤其在计算系统中。例如,先进构造和功率界面(ACPI)规格是操作系统进行的系统部件的电力管理的开放标准。以上所述的深耗尽沟道、晶体管和集成电路技术通过允许系统中的每个功能单元中的个别电路模块的系统控制而补充和延伸这种电力管理方式的能力。例如,由 ACPI 提供的最低水平的控制是器件水平,其对应于诸如个人计算机的多部件系统的功能单元(例如,芯片或者硬盘驱动器)。通过提供对器件内的个别电路模块的功耗的粒度个别控制,许多更多的器件和系统功率状态是可行的。

[0238] 系统水平电力管理在使用 DDC 结构的 SOC 系统中特别有益。如之前所述,DDC 结构允许纳米级晶体管中高水平的可编程能力。因为可用的标称阈值电压 V_T 的相对宽的范围,相对低的 σV_T 以及 DDC 结构的相对高的本体系数,在电路模块上通过电路模块偏压而使用不同的实际 V_T 和潜在地不同的实际操作电压 V_{DD} ,在功率上升以在明显的操作模式下进行操作之后能构造都被制造成具有相同本征 V_T 并以相同的操作电压 V_{DD} 操作的晶体管。这种柔性允许相同的芯片被设计用在各种目标系统和操作条件下,并动态地构造用于现场的操作。这对系统特别有用,而不管有时连接到 AC 电源并在其他时间使用电池电源的 SOC 如何。

[0239] 图 53 示出包括根据需要使用互连部 5310 而互连的一定数量的系统 5301、5302 和 5303 的网络 5300。例如,在一些情况下,互连部 5310 提供用于系统 5304-1 至 5304-n 之间通信的公共路径。在其他情况下,互连部提供一组系统之间点到点的通信,同时提供另一组系统之间公共的通信路径。互连部 5310 因而可以以适合于满足网络设计者使用用于使用能连接到目标网络(包括例如有线、无线广播、点到点和端对端)的系统进行通信的传统技术的目标的任何方式而构造。5304-n 中的“n”意思是表示可以允许和网络一样多的系统,并且没有暗示存在最多九个的功能单元。

[0240] 以上所述的深度耗尽沟道、晶体管、集成电路和系统技术提供了对连接到网络的系统的高度粒度控制的能力。对网络化系统具有这种高水平控制对企业网络降低能量成本(其由待机但未使用的设备造成)方面尤其有用。不管辅助控制功耗、取决于订阅方面而开启或者关闭系统能力、选择性地某功能单元或者其部分置于更高执行的操作模式(例如,“加强模式”)以增强性能。

[0241] 图 54 图示使用诸如参照图 52 所述的系统的示例方法,不管单独地还是结合诸如参照图 53 所示的网络。在步骤 5410 系统通电之后,系统响应于通过网络提供的外部信号、由系统内的功能单元提供的中央模式控制信号或者在能进行多模式操作的每个功能单元中单独地产生的局部模式控制信号而设定使用此处论述的各个类型的晶体管、晶体管组和/或集成电路而形成的系统部件(例如,功能单元)的功率模式。如上所述,单个部件可以具有构造成在不同模式中操作的不同部分;例如,部件的一部分可以构造成在老式模式中操作,而相同部件的另一部分可以构造成在低功率、低泄漏模式中操作。在步骤 5430,系统监视其使用以确定是否改变其功率模式。监视功能可以由一个功能单元在中央执行,可以分配给多个功能单元,每个功能单元可以基于监视特定条件进行关于模式的局部判定,或

者两者都进行（例如，一个功能单元可以基于自身的标准判定应该进入睡眠模式，而不管中央监视器尚未判定将整个系统置于深睡眠中；类似地，中央监视器可以判定将整个系统置于深睡眠中，而不管为了增强性能在初始模式设定之后一个部件已经判定将自身置于加强模式中）。步骤 5430 重复，直到判定为系统或者功能单元的状态已经变化，使得要求新的功率模式，在此情况下，执行步骤 5440。如所示，如果在步骤 5440 判定为要求系统功率下降，则系统在步骤 5450 关闭。否则，取决于要求何种状态变化，针对一个或者多个功能单元重复步骤 5420。以此方式，使用此处描述的技术的系统或者芯片的用户可以从其优点受益。

[0242] 尽管已经描述并在附图中示出某些示例实施例，要理解到，这些实施例仅仅是示例性的，并不是对宽的发明限制，并且本发明不受限制于所示出和所描述的特定的构造和布置，因为本领域的技术人员可以想到各种其他修改。因而，说明书和附图视为图示性的而不是限制性的。

CMOS 功率限制-1.0伏范例

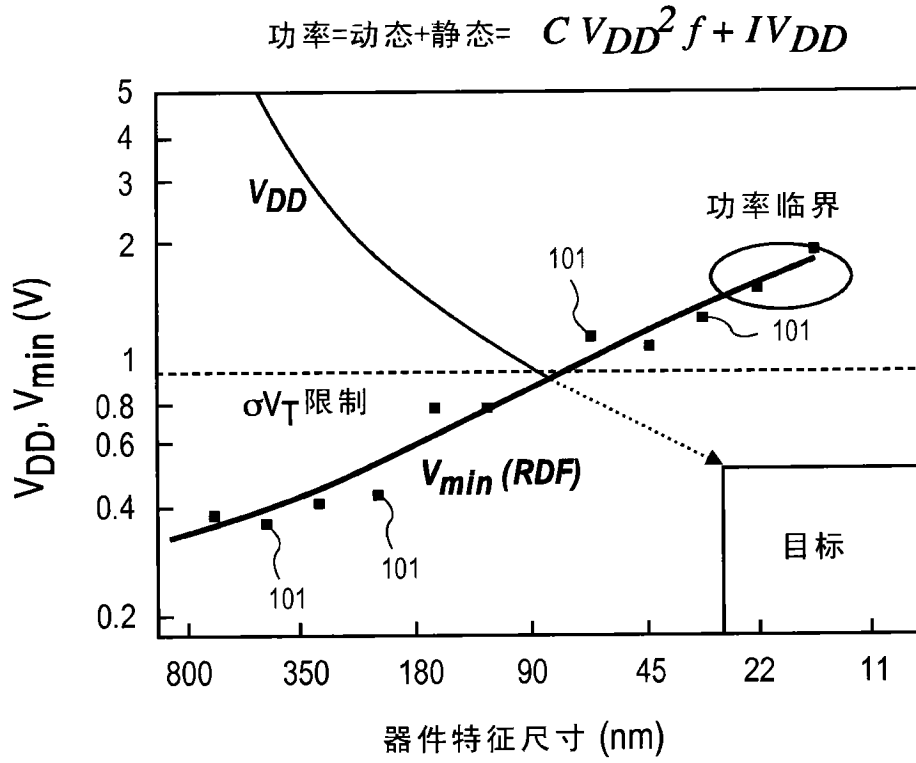


图 1

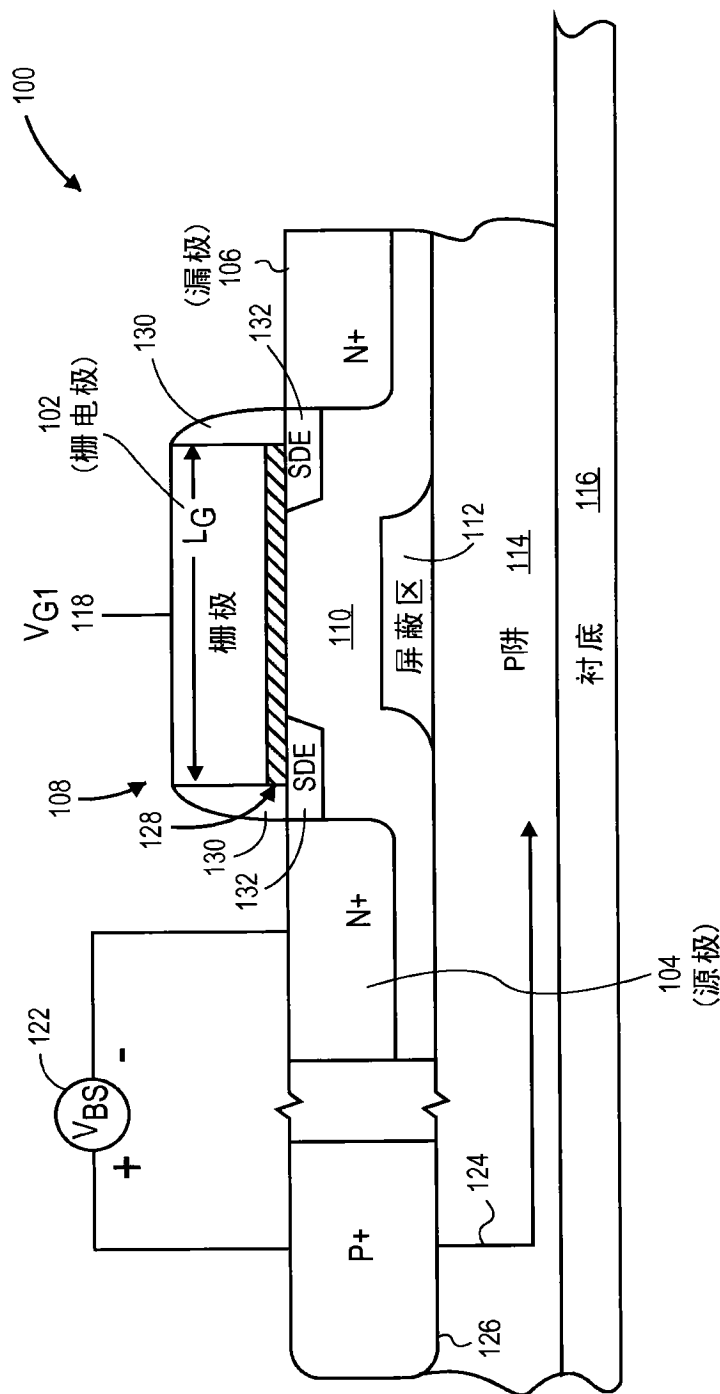


图 2A

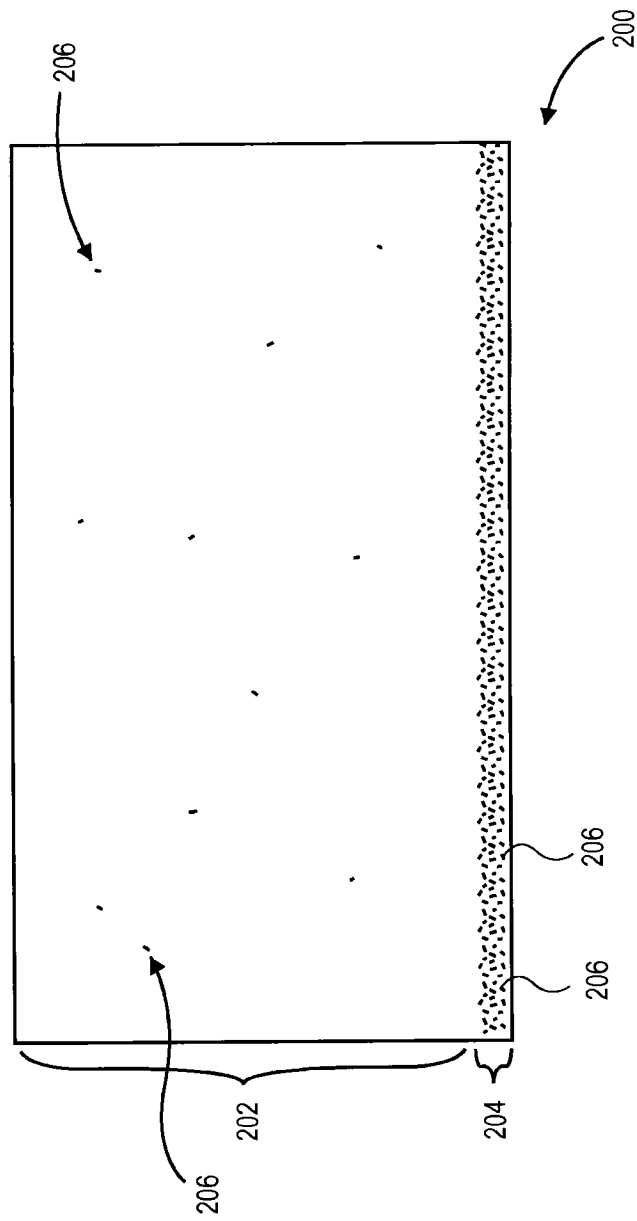


图 2B

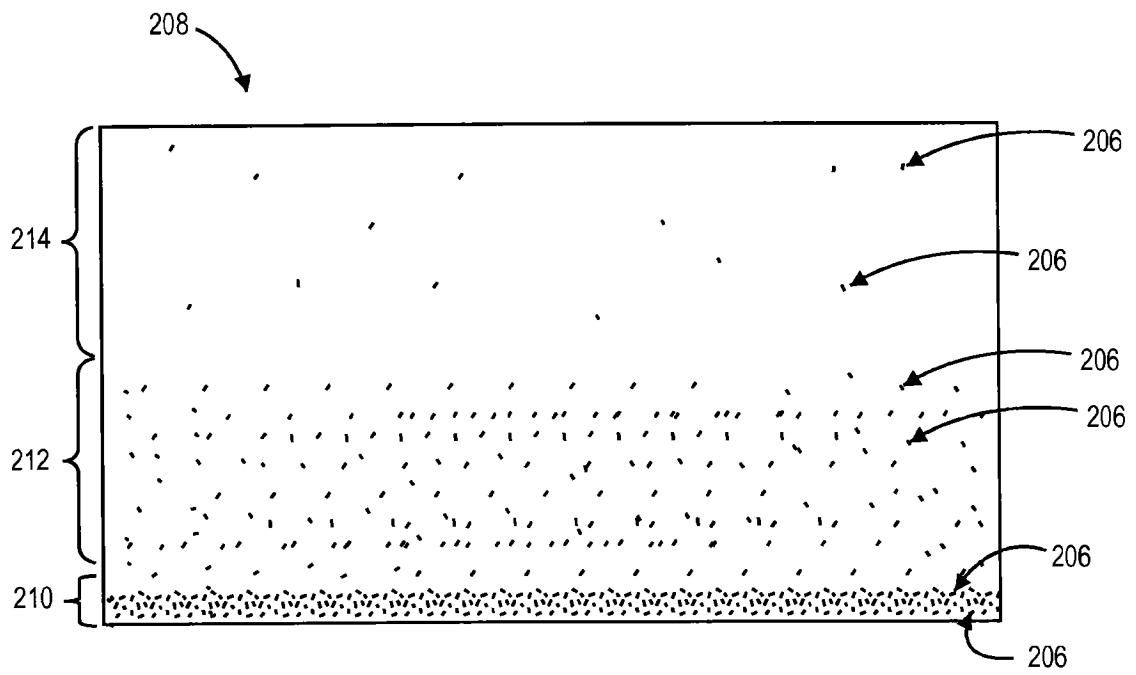


图 2C

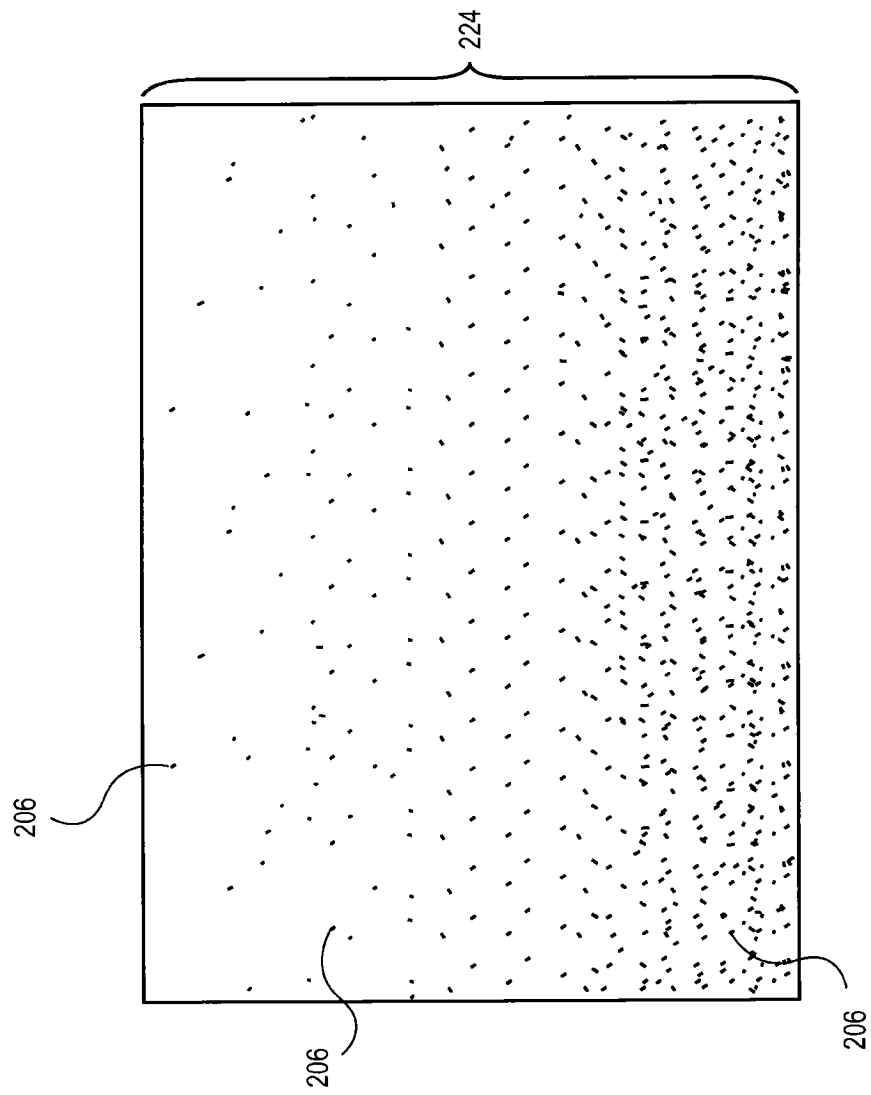


图 2D

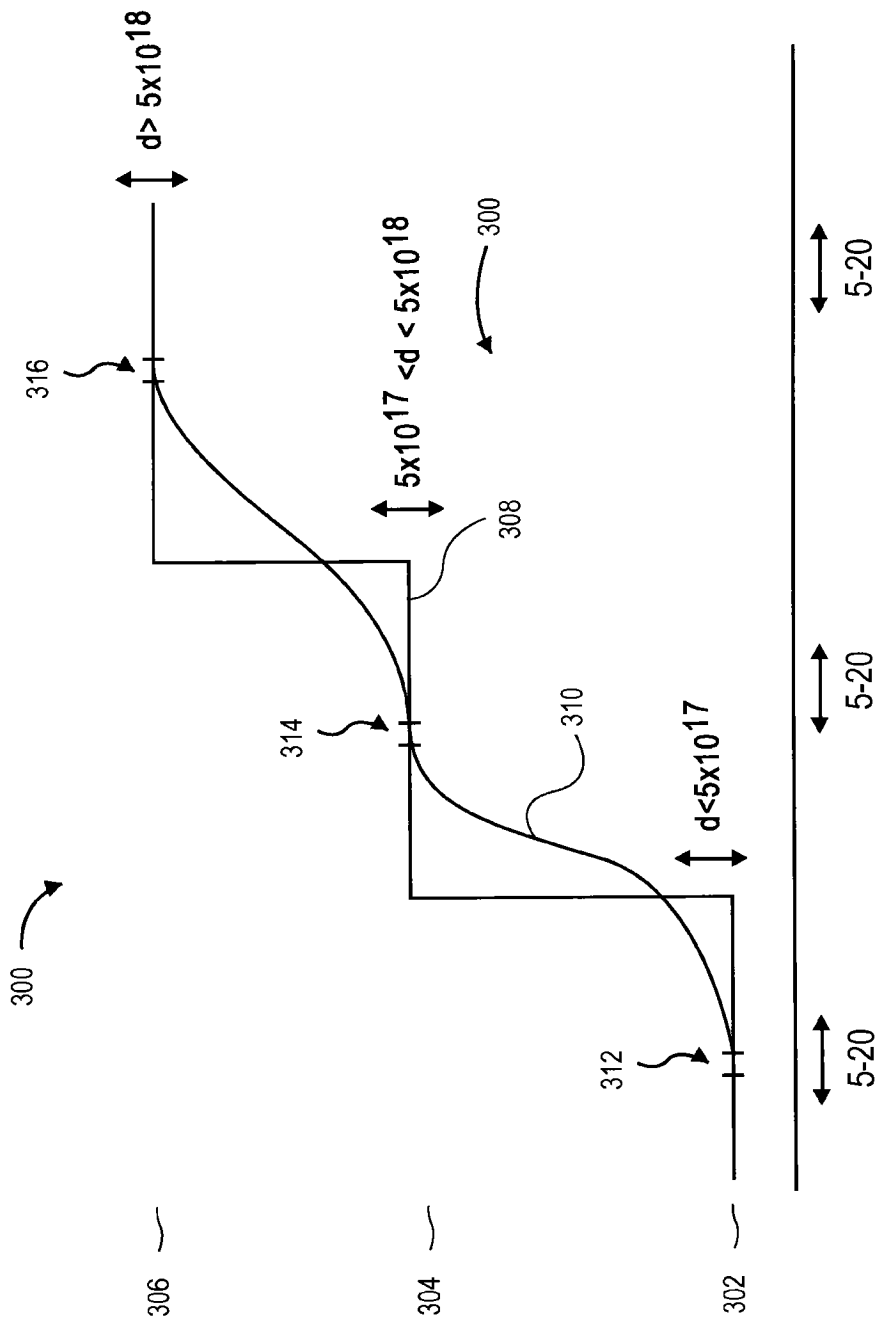


图 3

新的DDC-ATT SIMS沟道硼掺杂轮廓

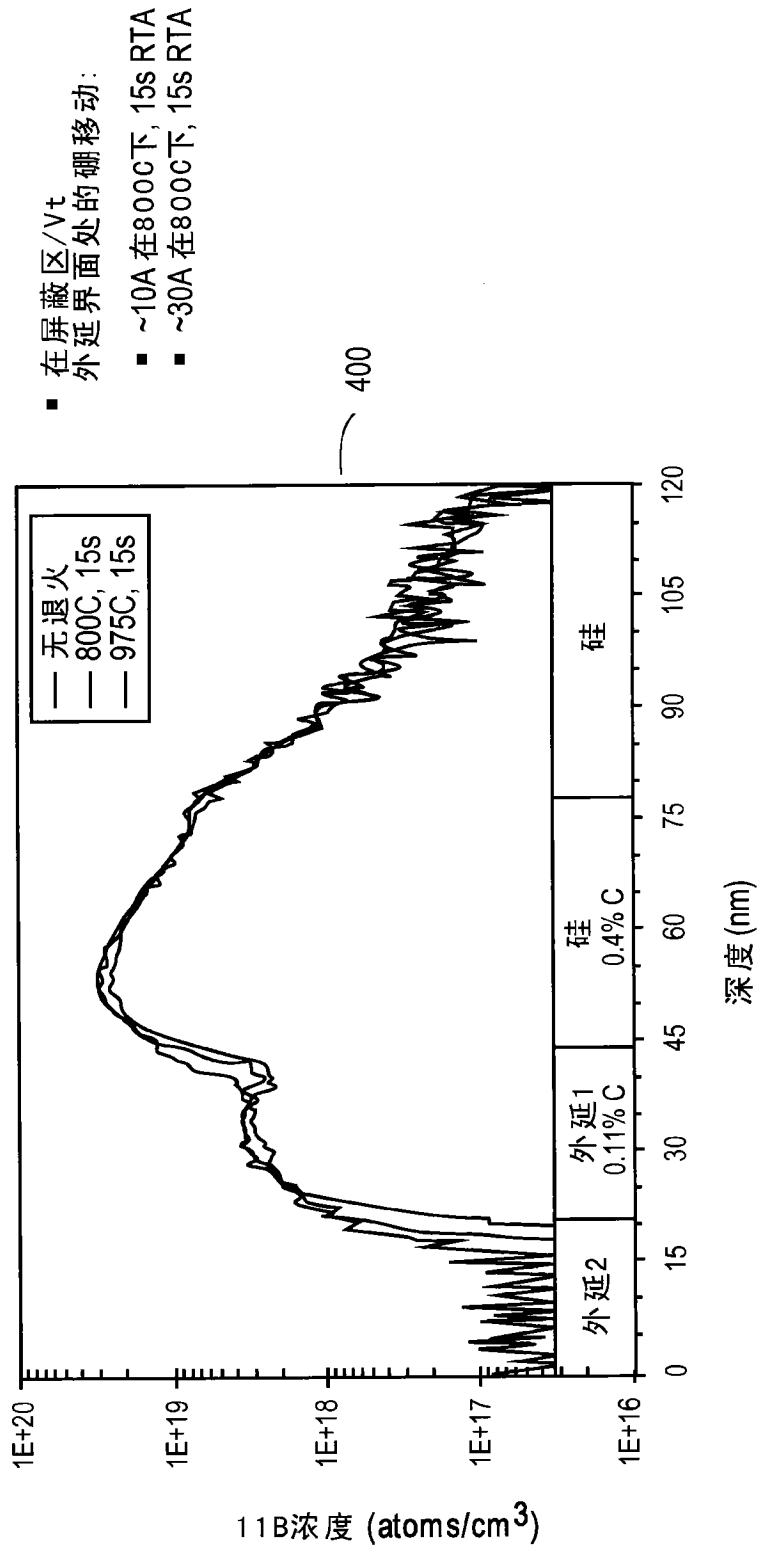
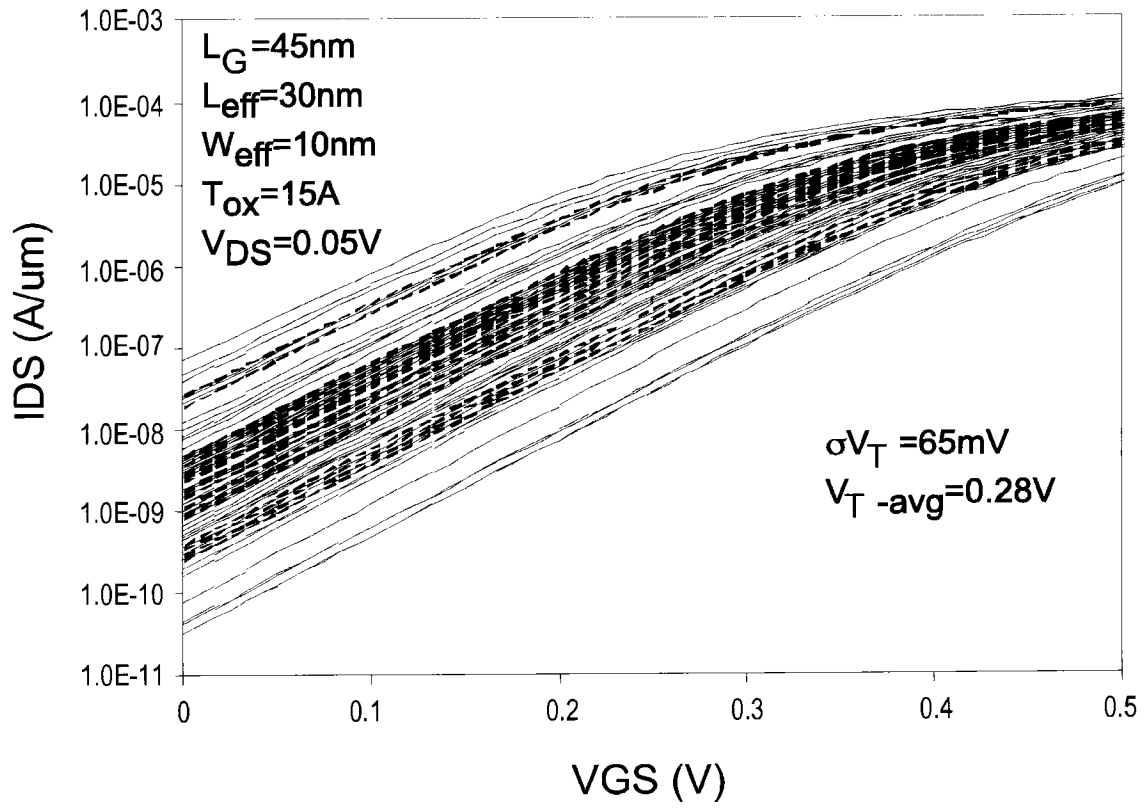


图 4

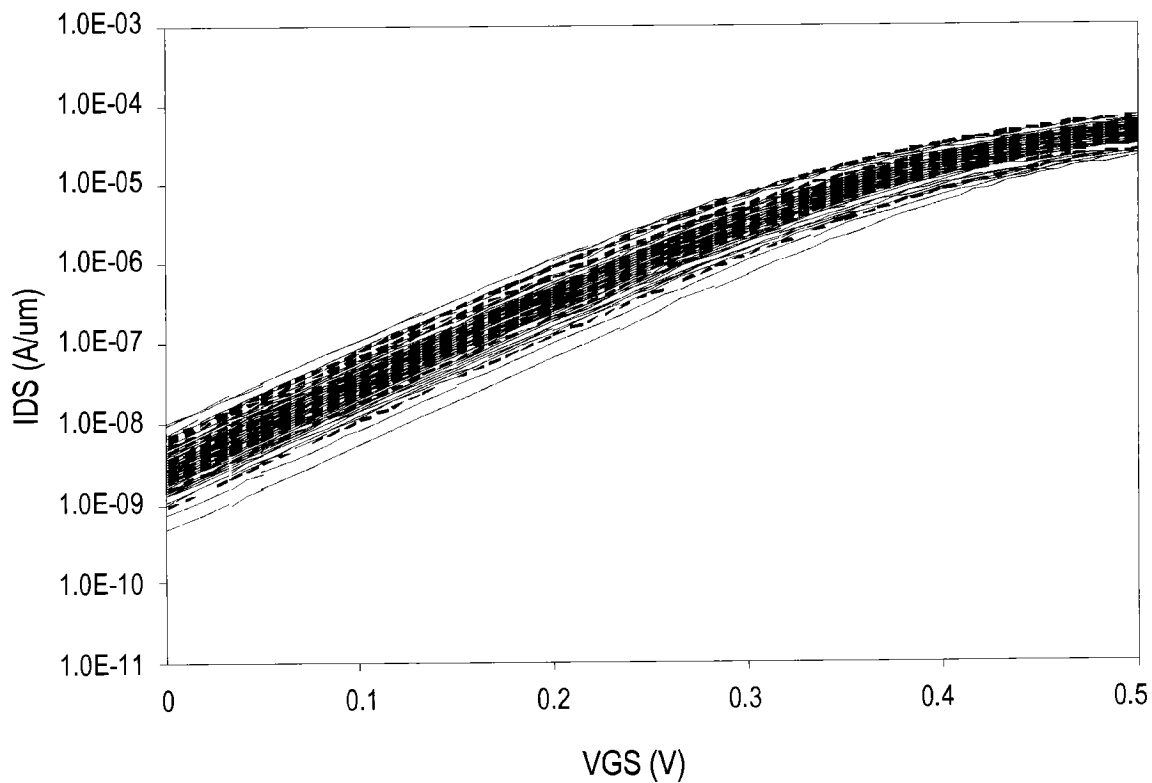
作为在具有均匀掺杂沟道的nMOS中的
RDF的结果的IDS-VGS特性



$L_G=45\text{nm}$ 并且 $W_g=90\text{nm}$	沟道 RDF (σV_T)
均匀 nMOS	22mV

图 5

作为在具有 $V_{BS}=0V$ 的深耗尽沟道nMOS中的RDF的结果的 $I_{DS}-V_{GS}$ 特性



$L_G=45nm$ 并且 $W_g=90nm$	沟道 RDF (πV_T)
均匀 nMOS	22mV
DDC nMOS	7.7mV

图 6

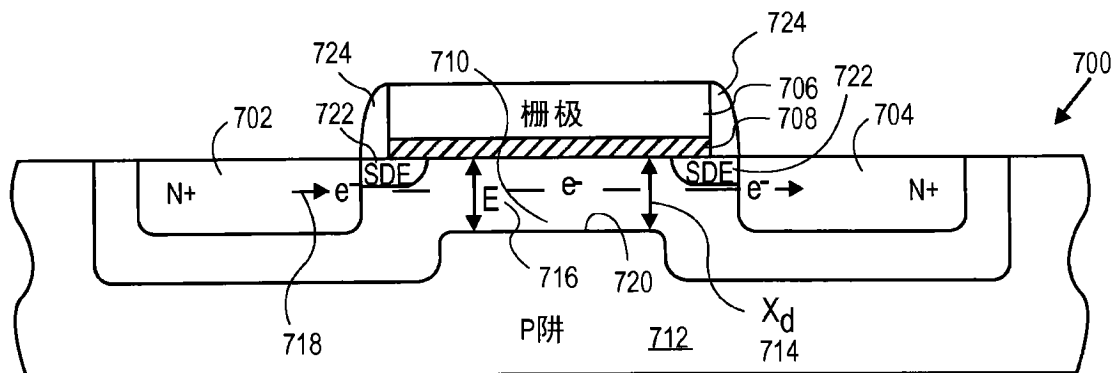


图 7A(传统技术)

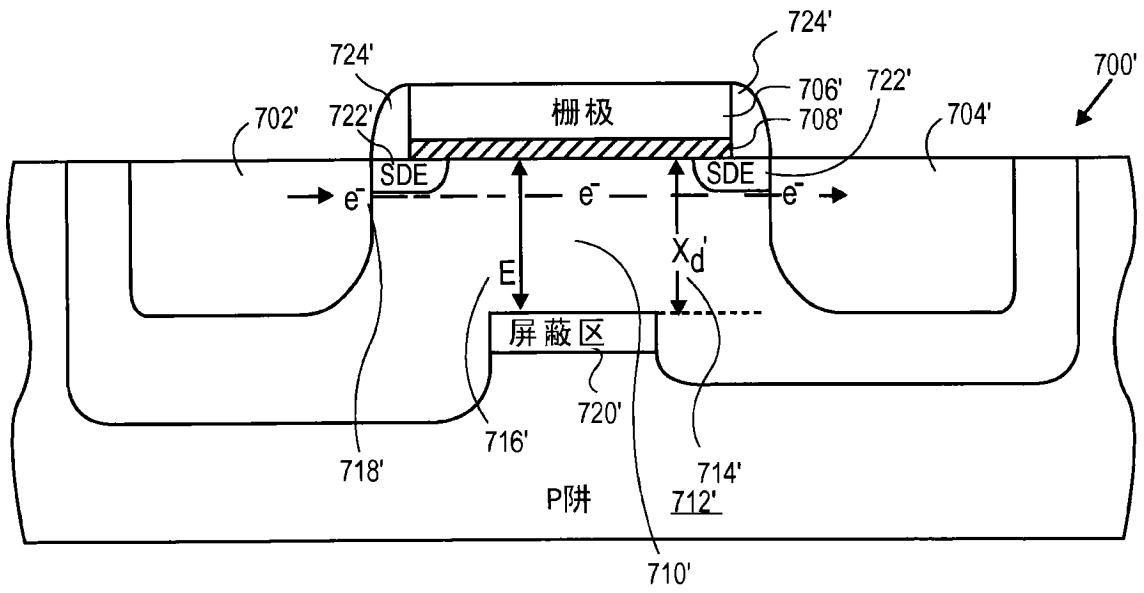


图 7B

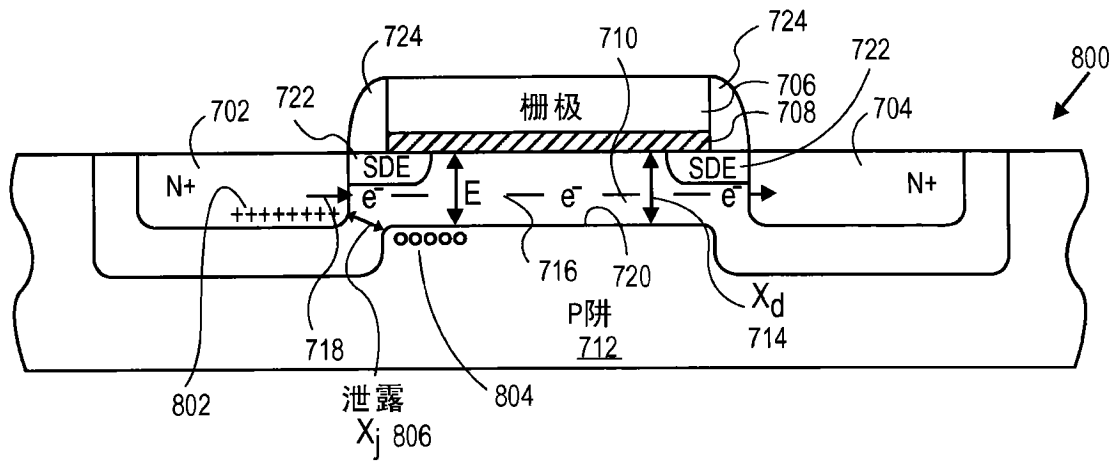


图 8A(传统技术)

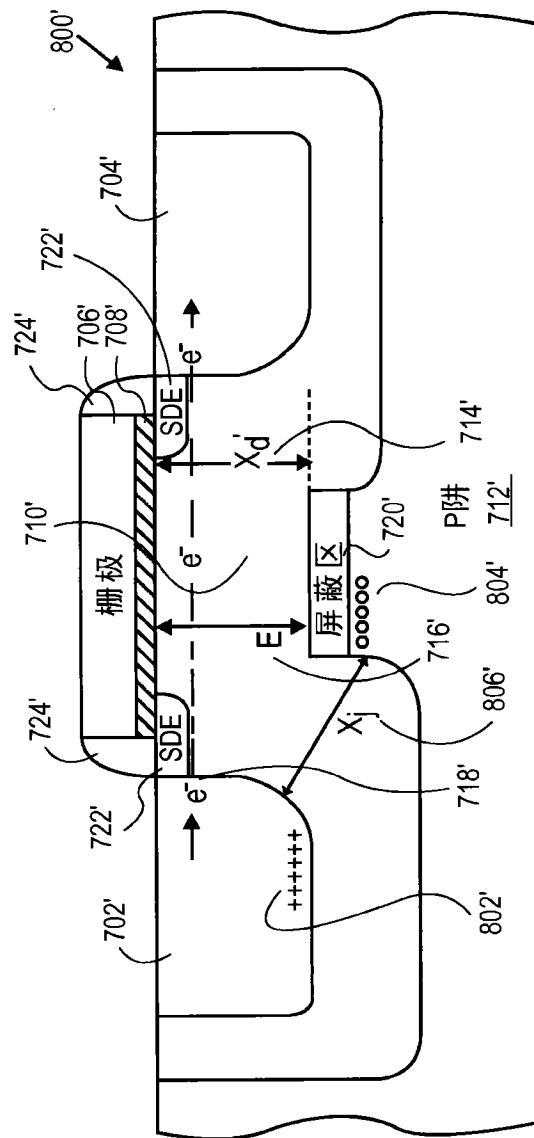


图 8B

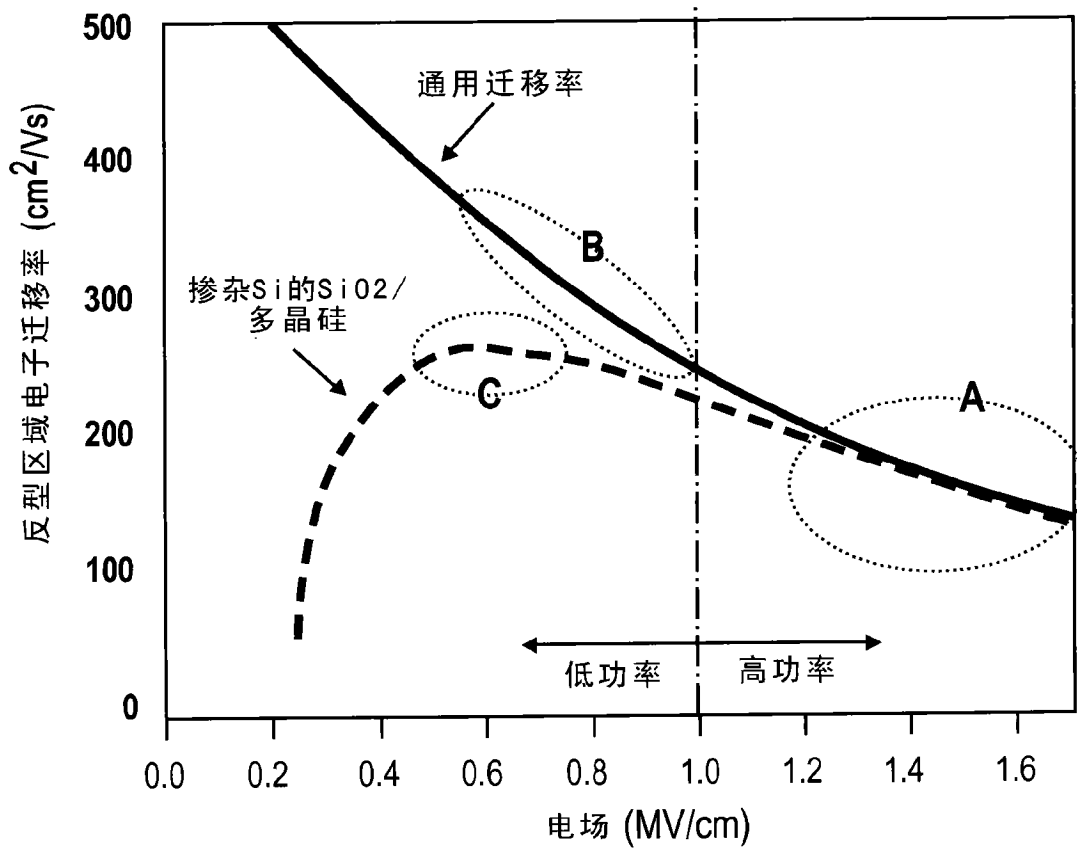


图 9

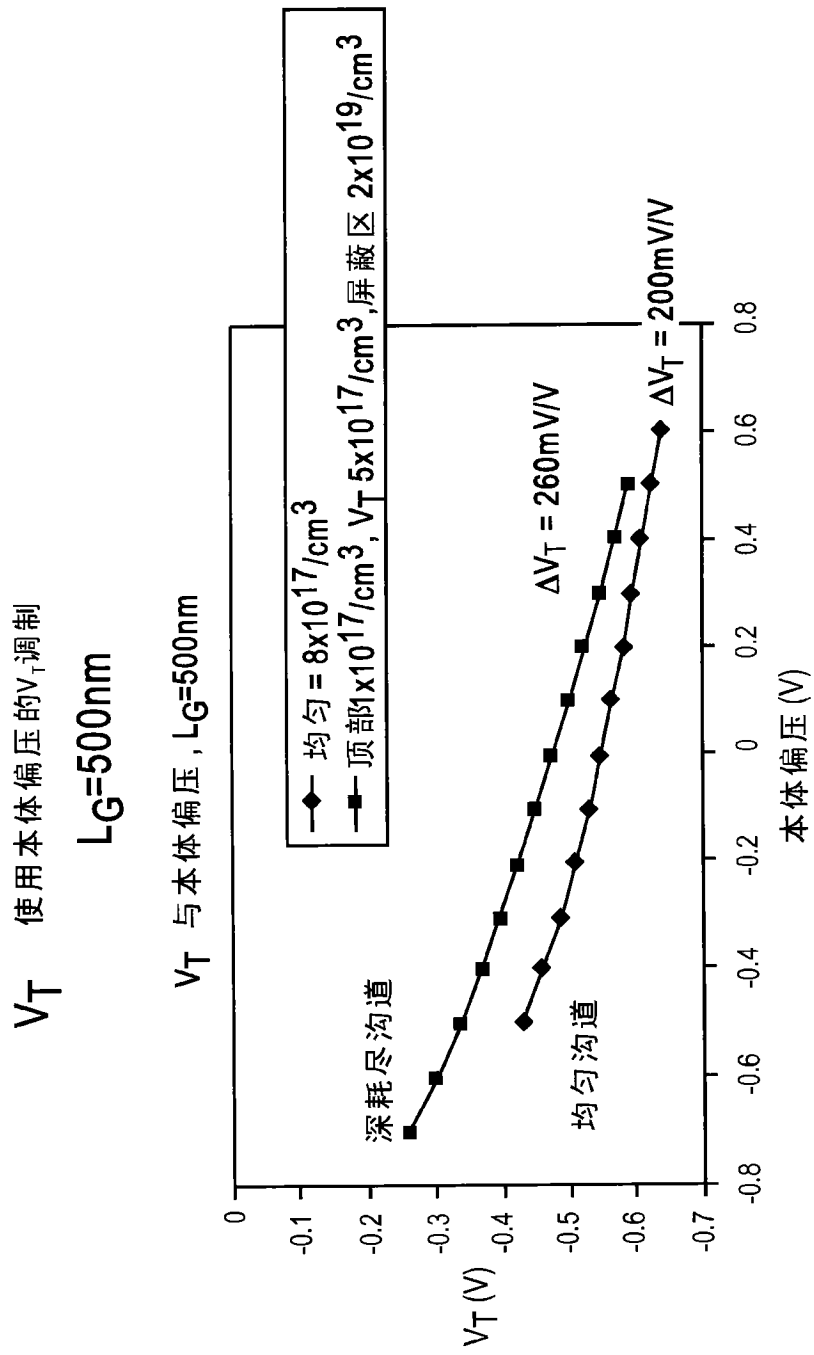


图 10

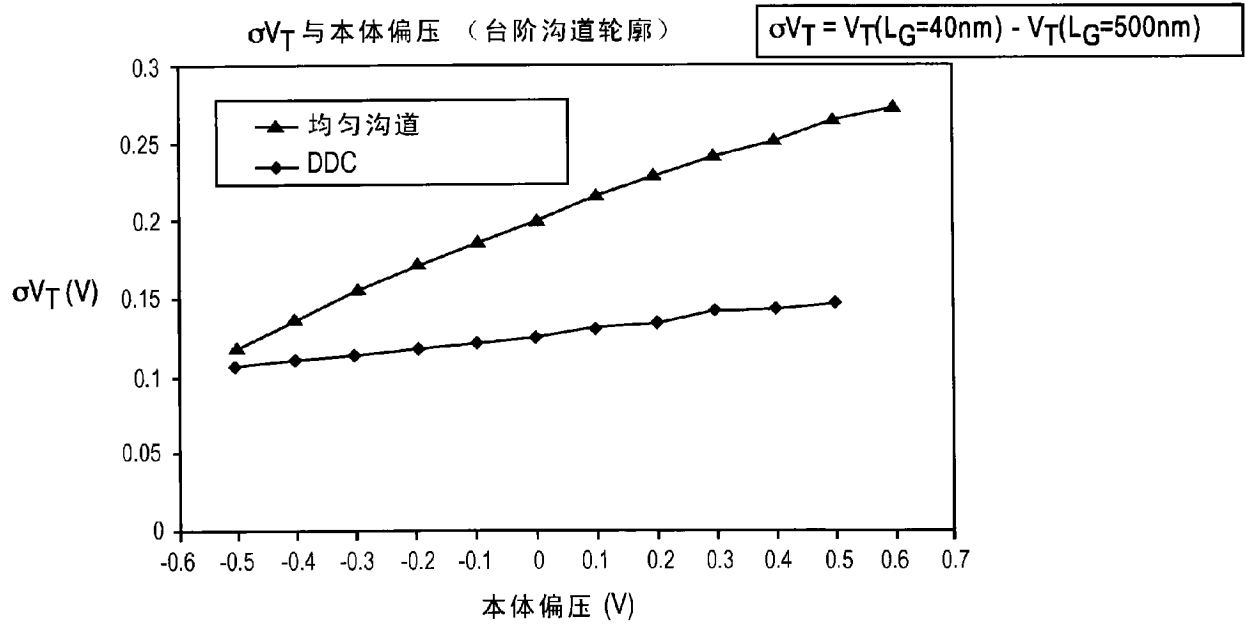


图 11

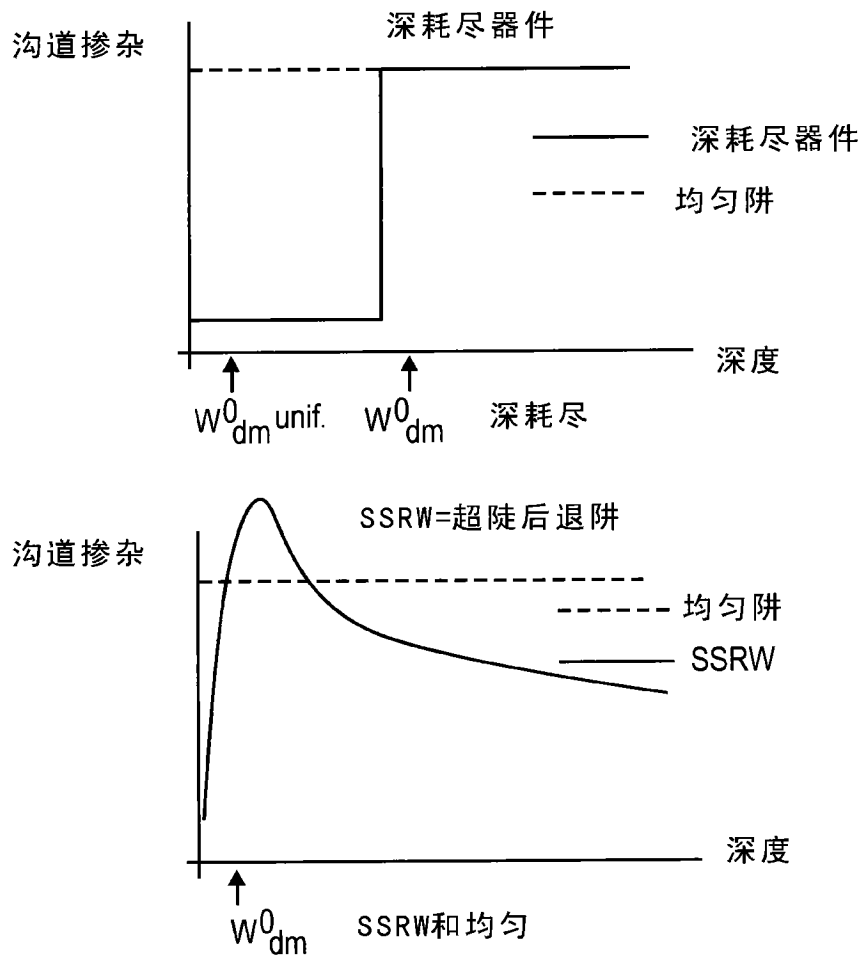


图 12

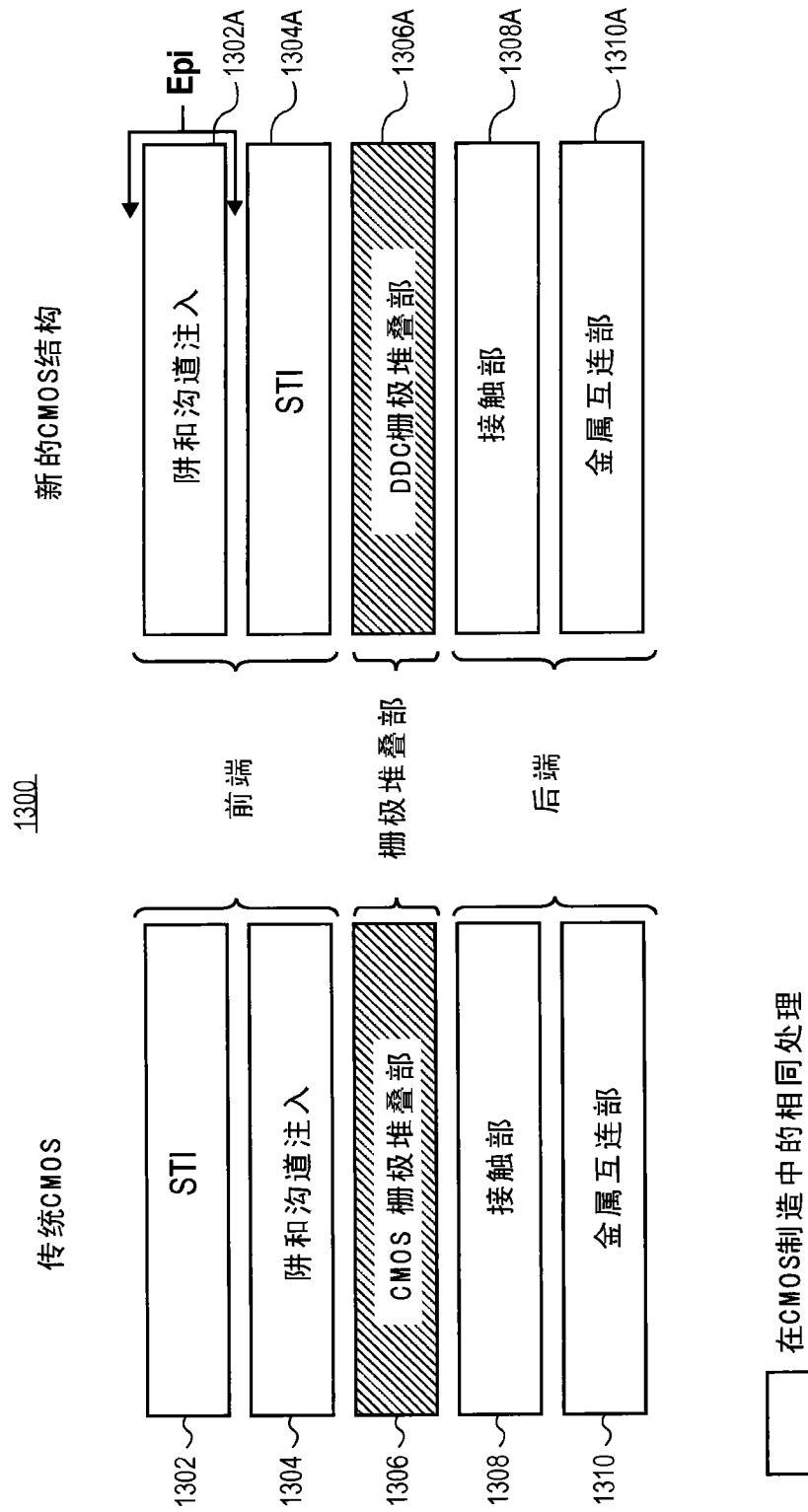


图 13

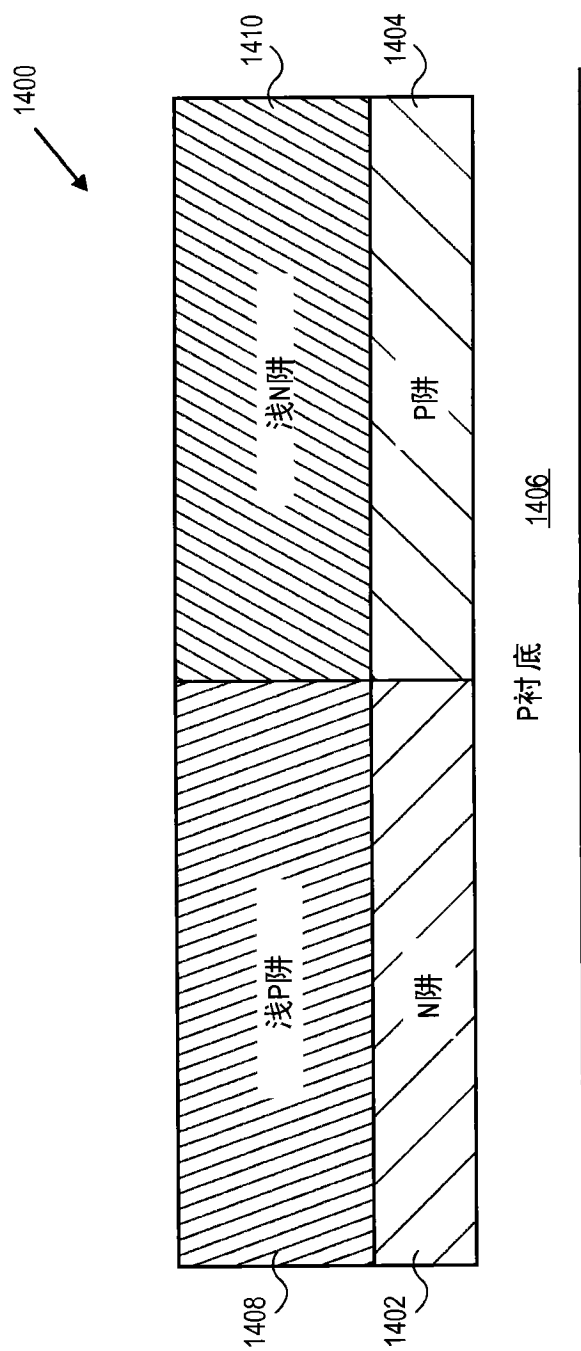


图 14A

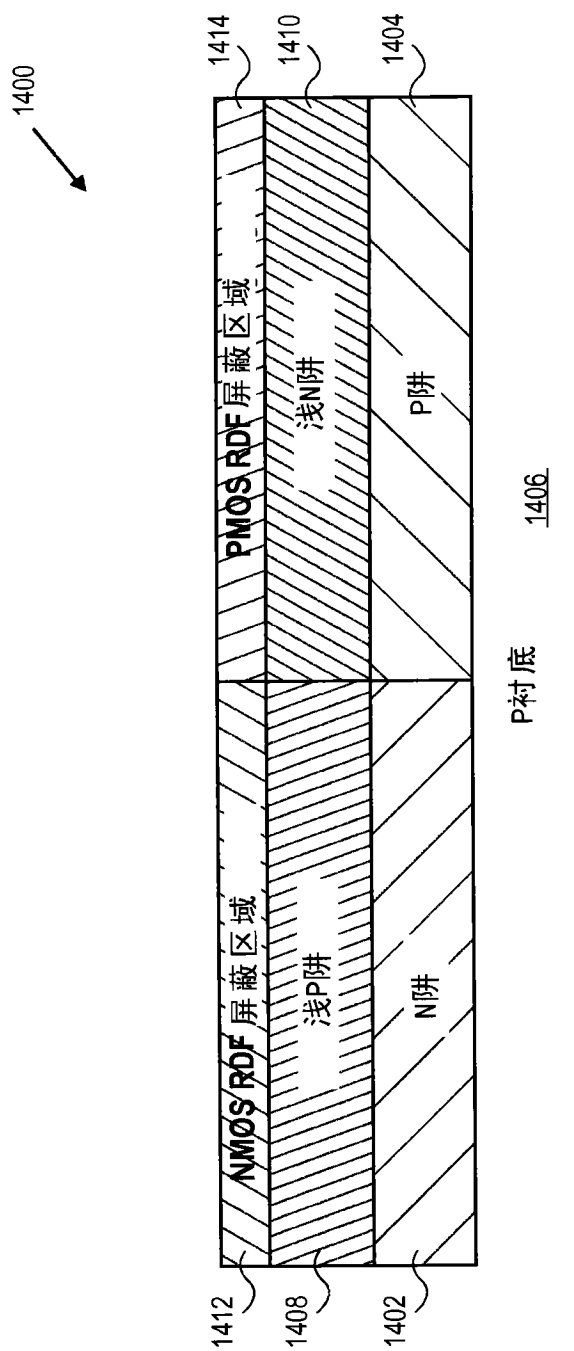


图 14B

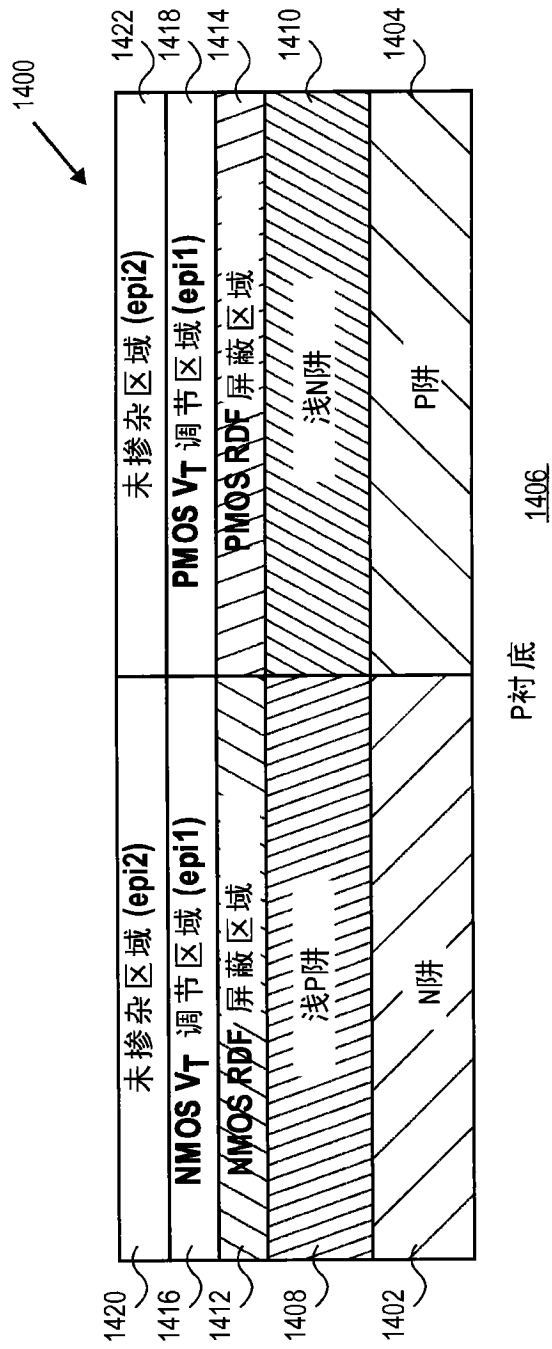


图 14C

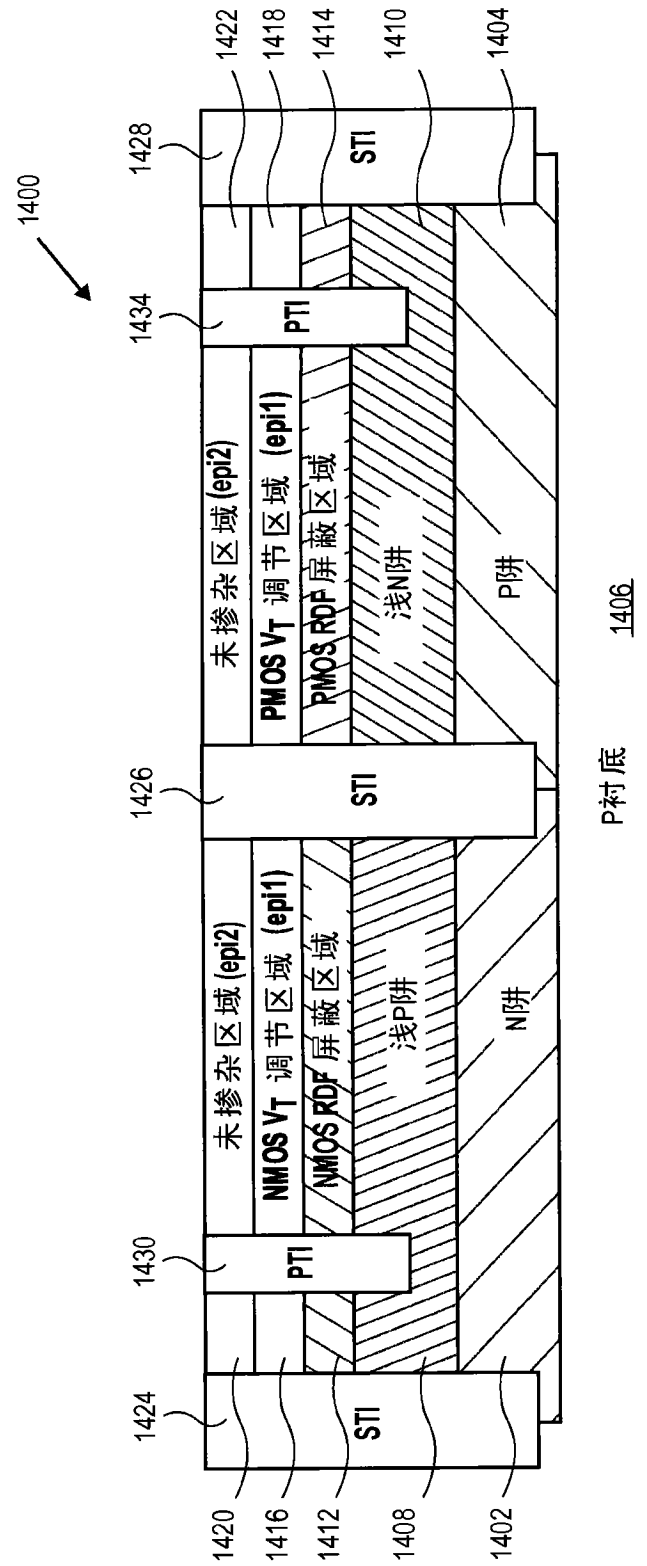


图 14D

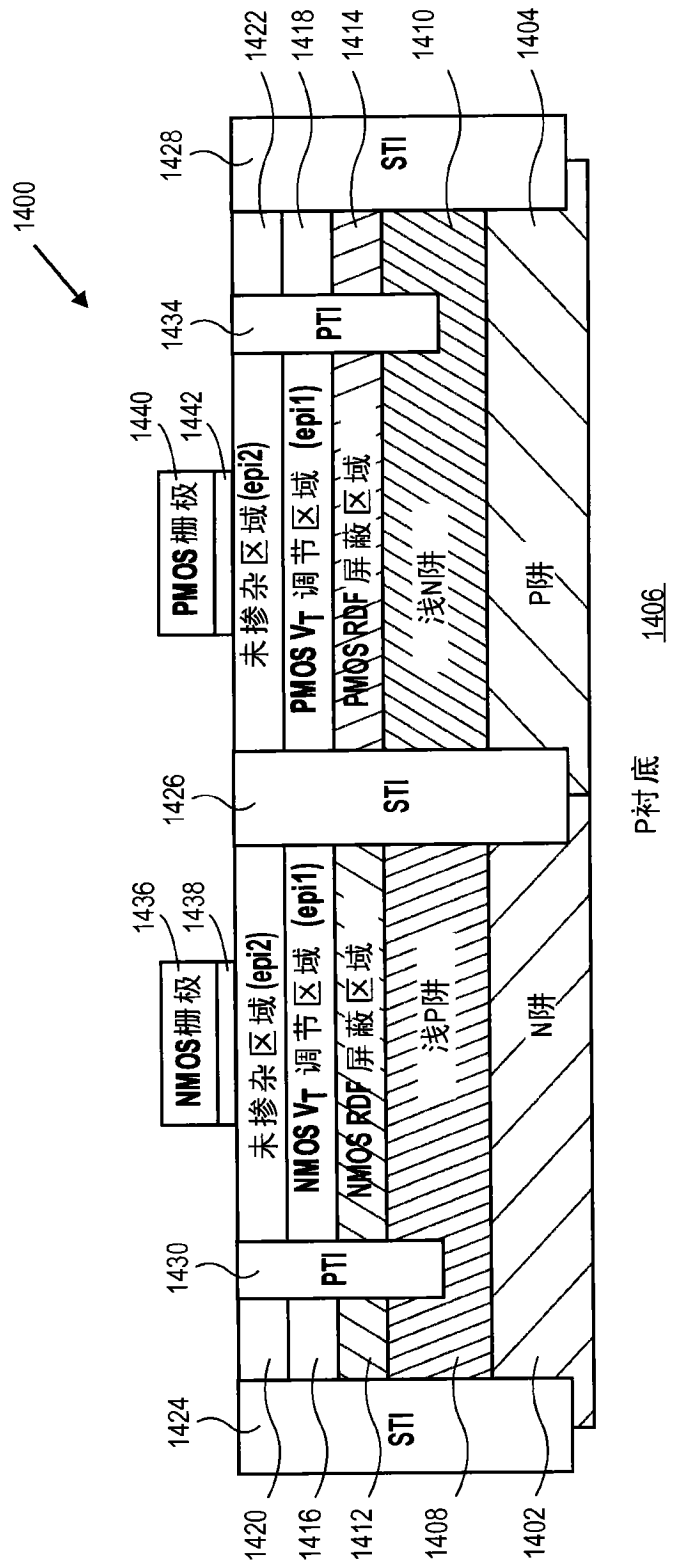


图 14E

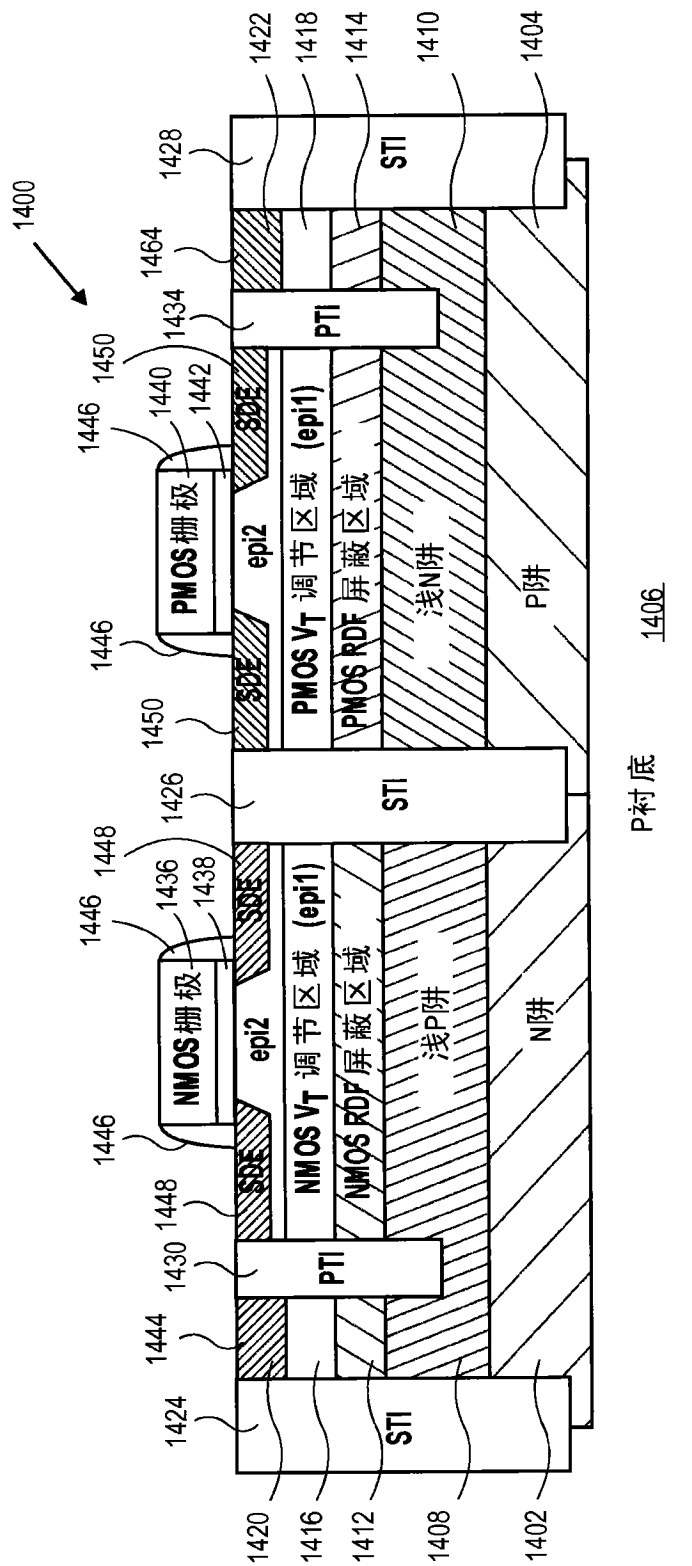


图 14F

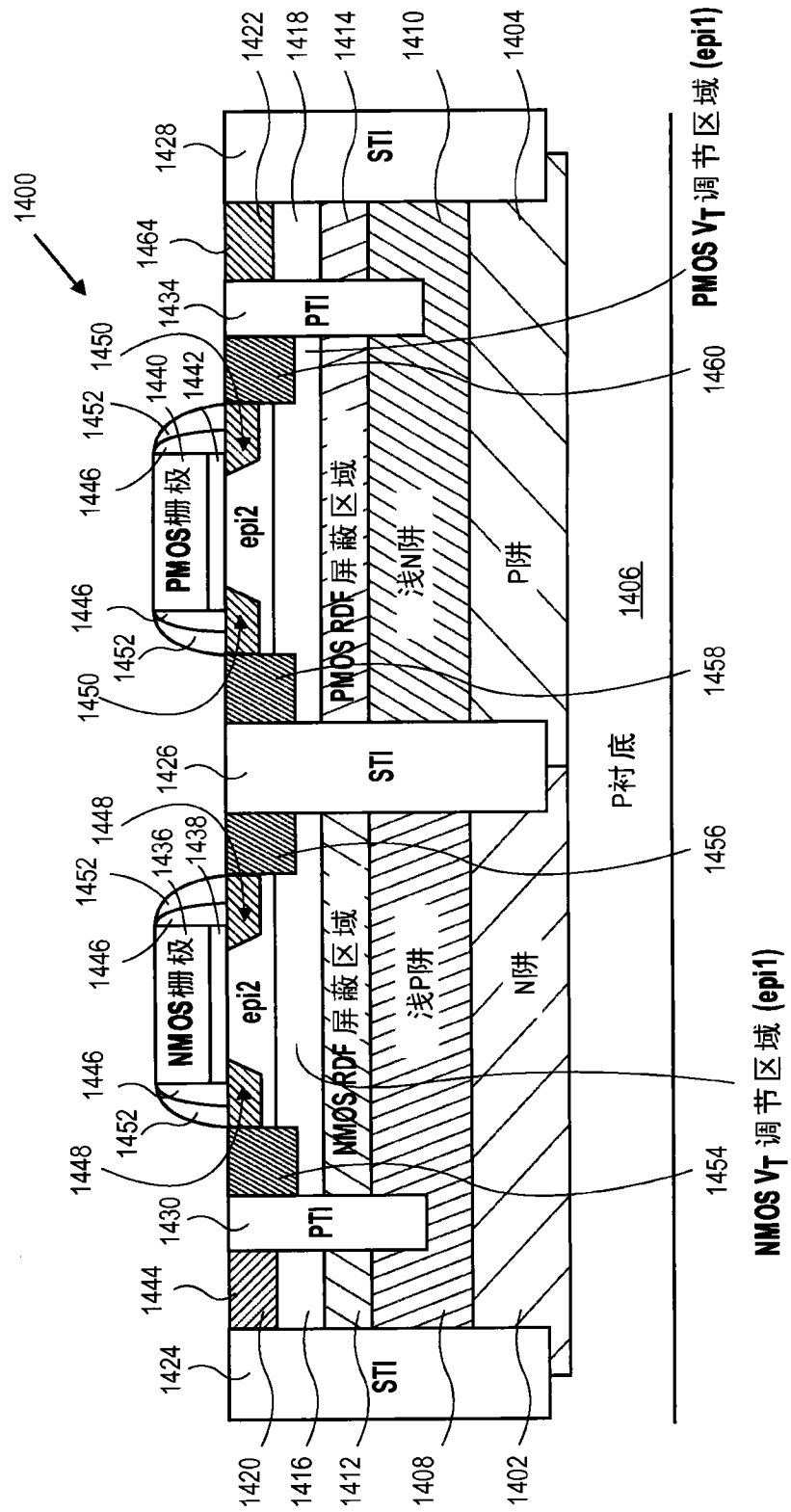


图 14G

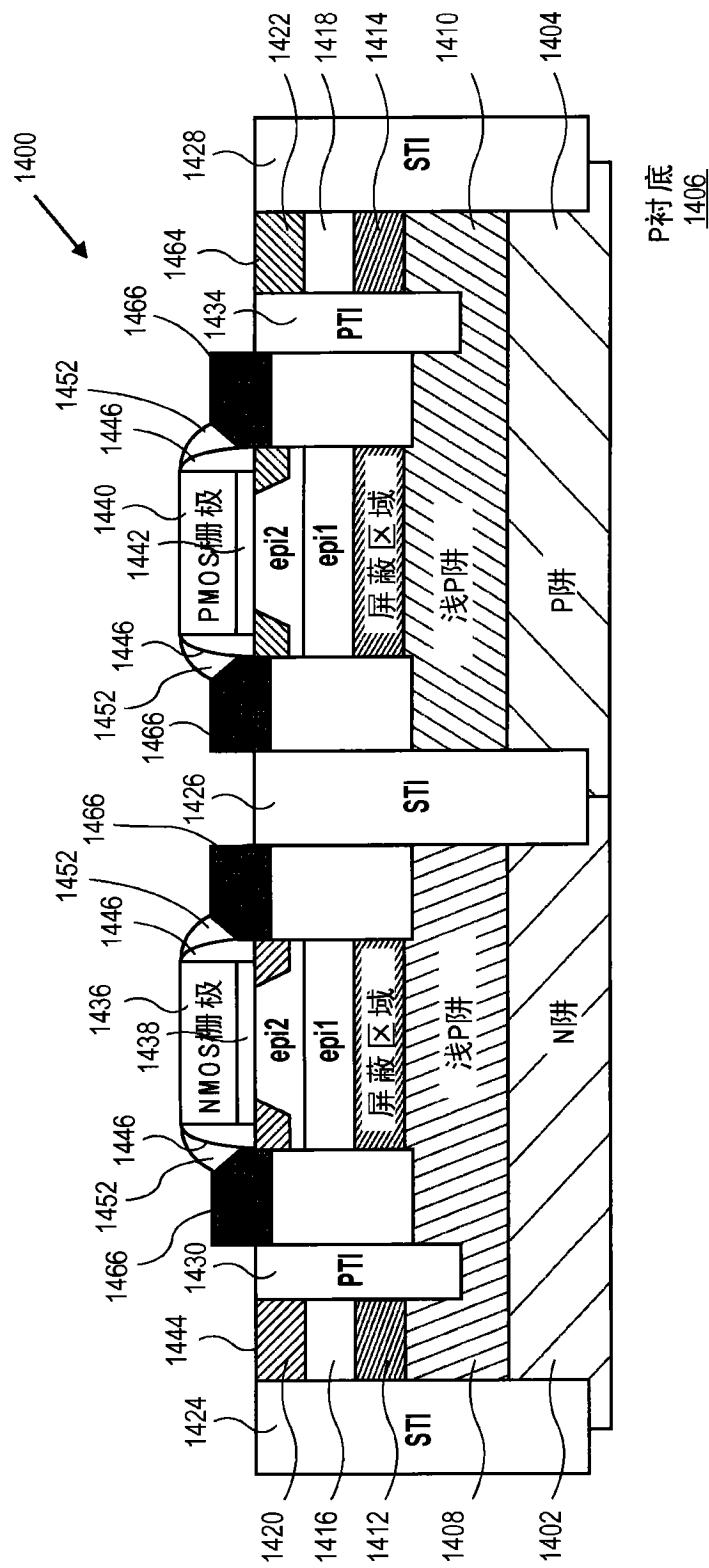


图 14H

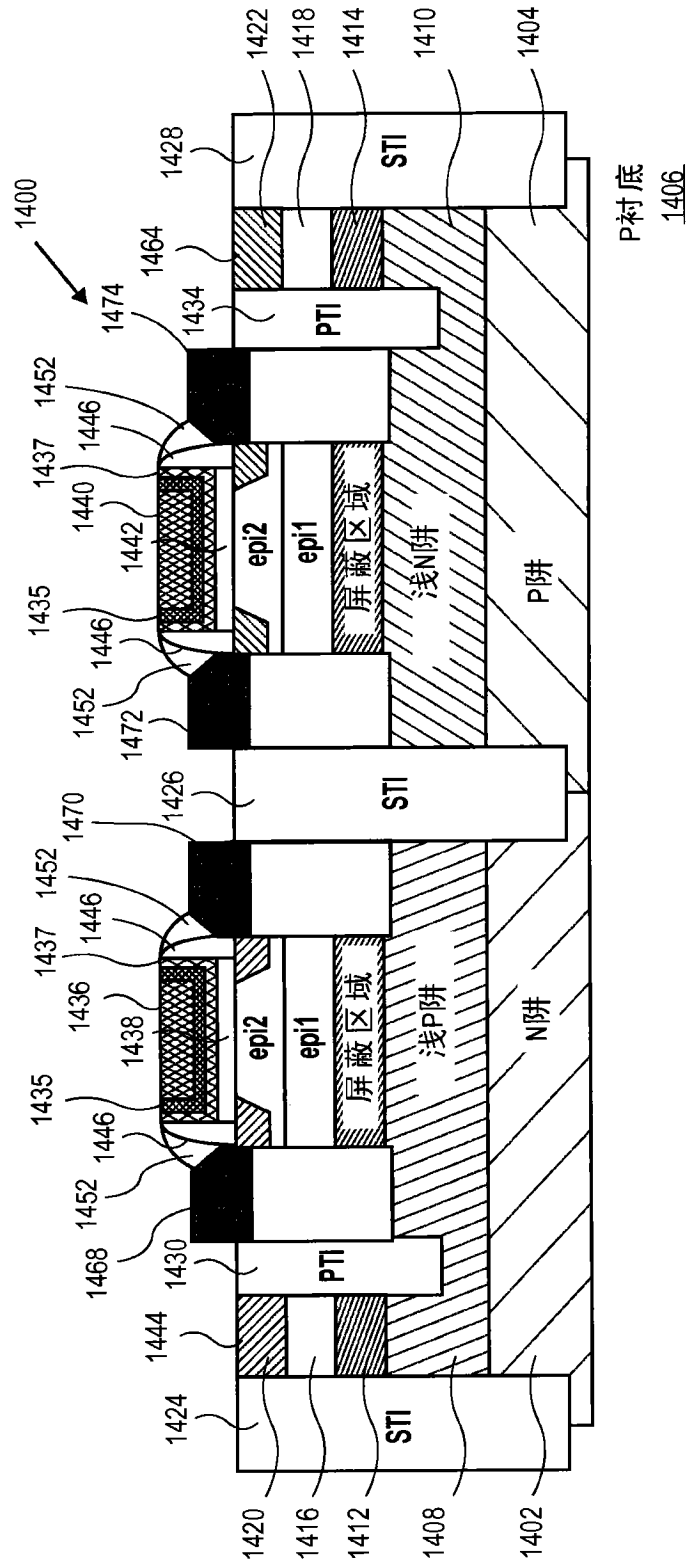


图 14I

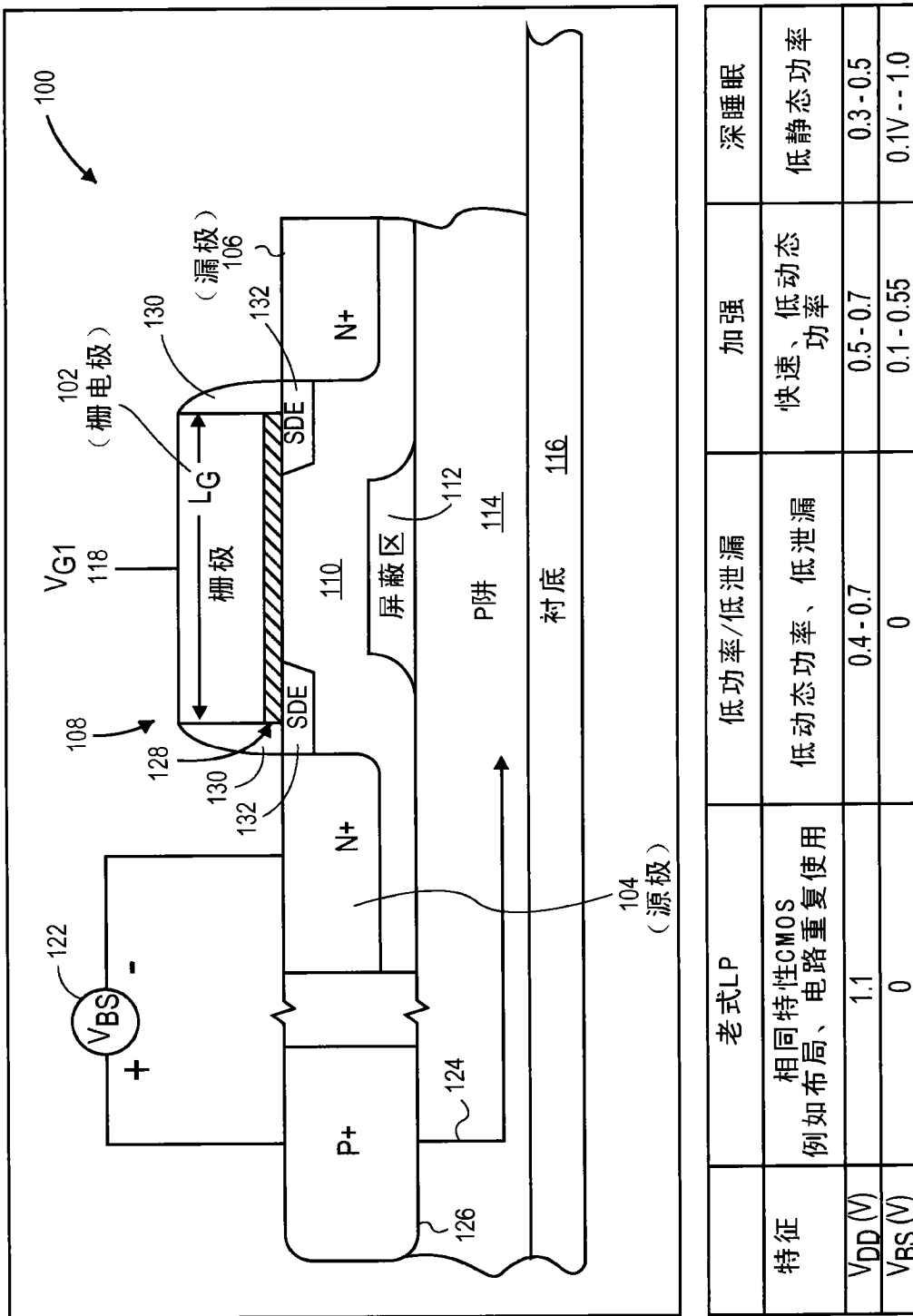


图 15

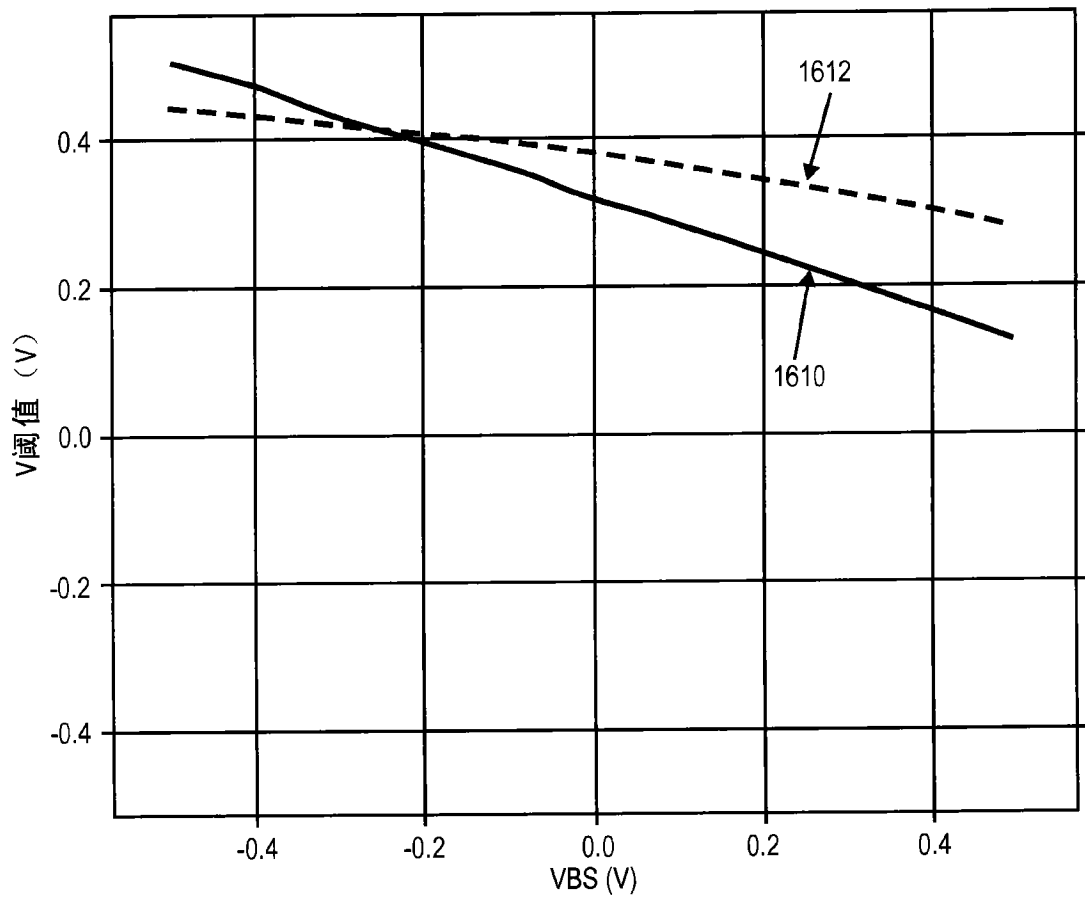


图 16

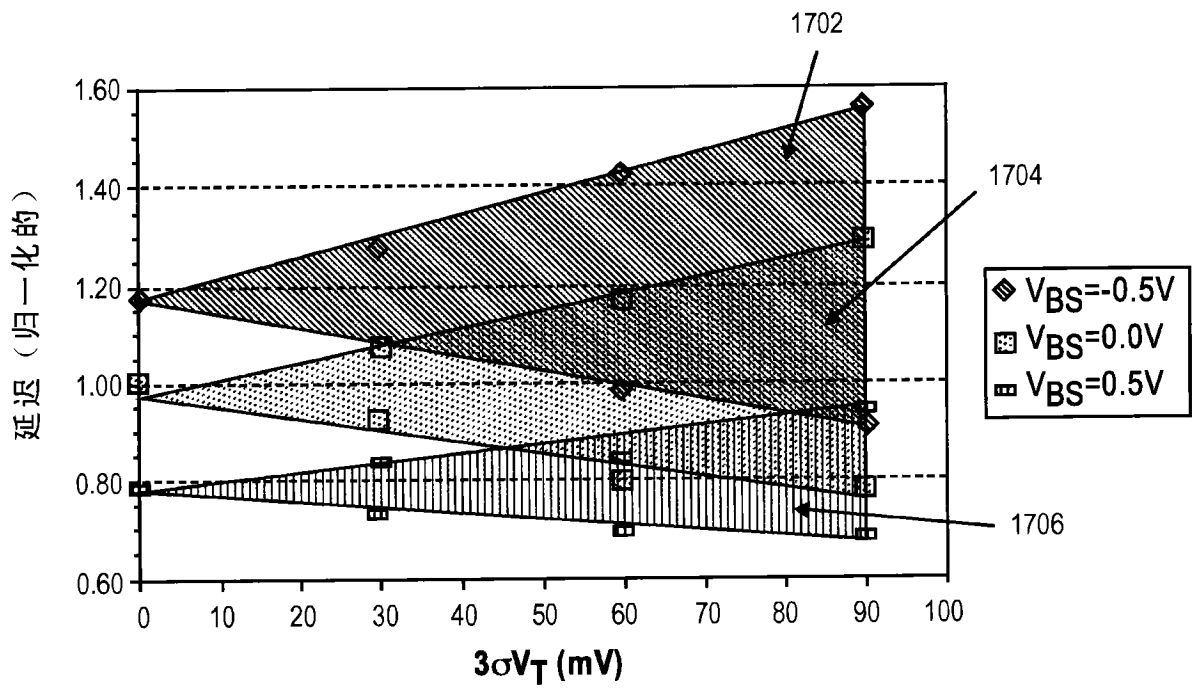


图 17A

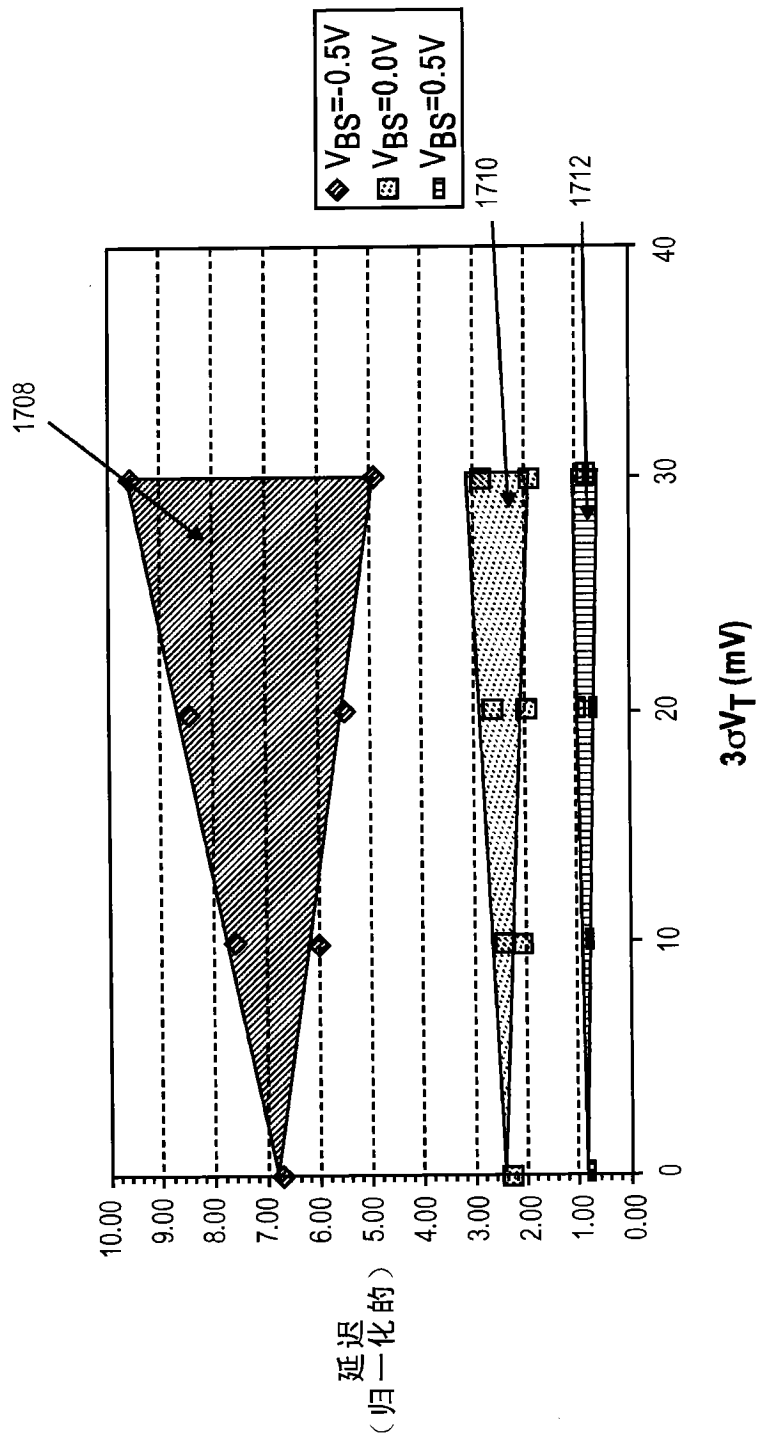


图 17B

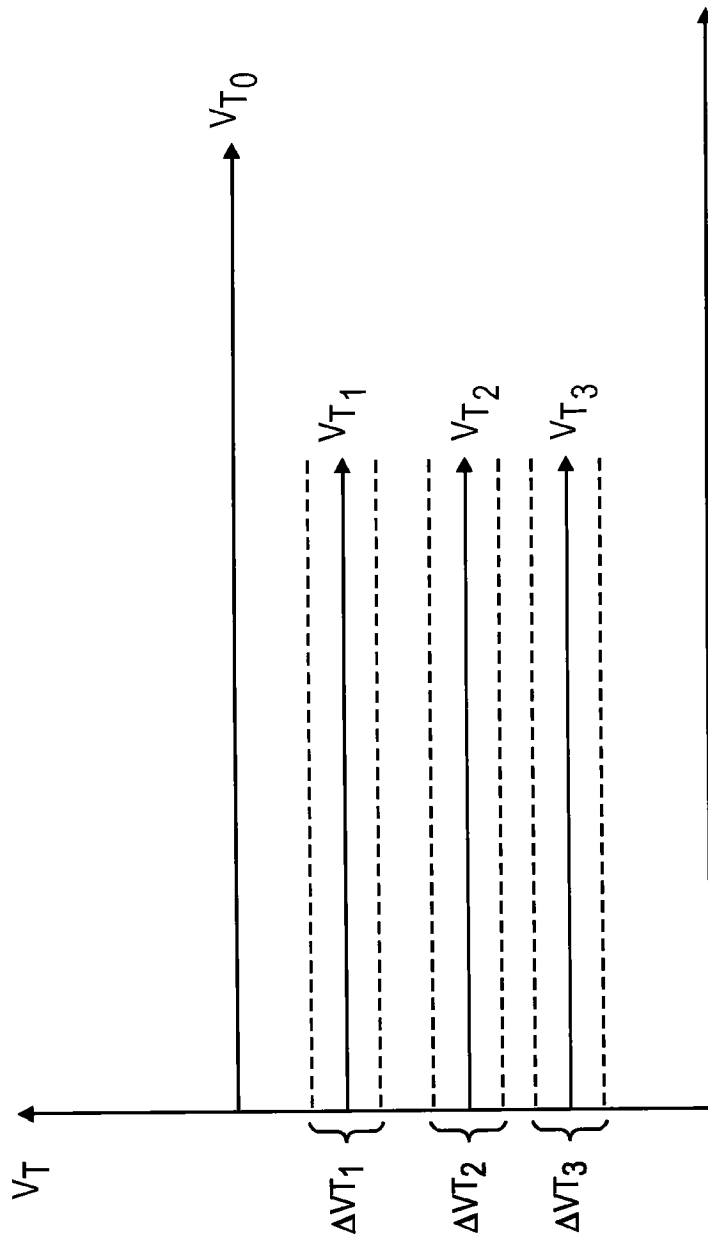


图 18

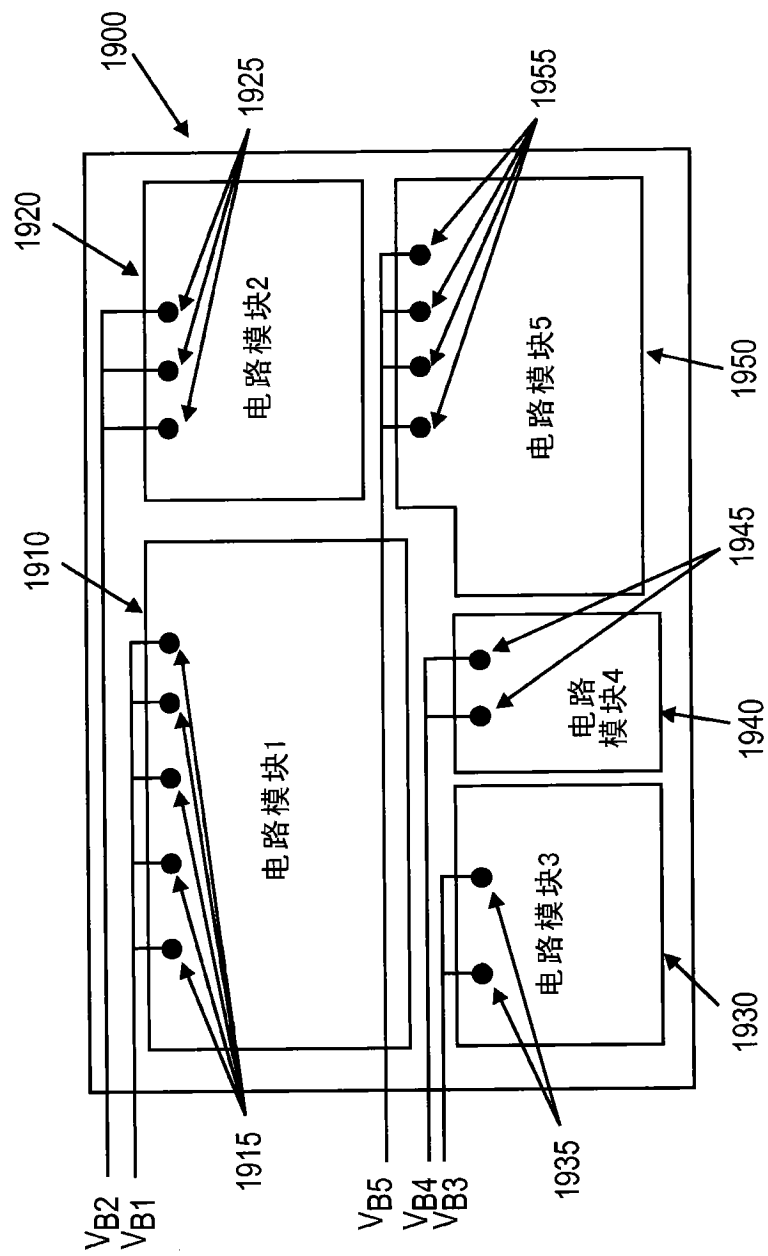
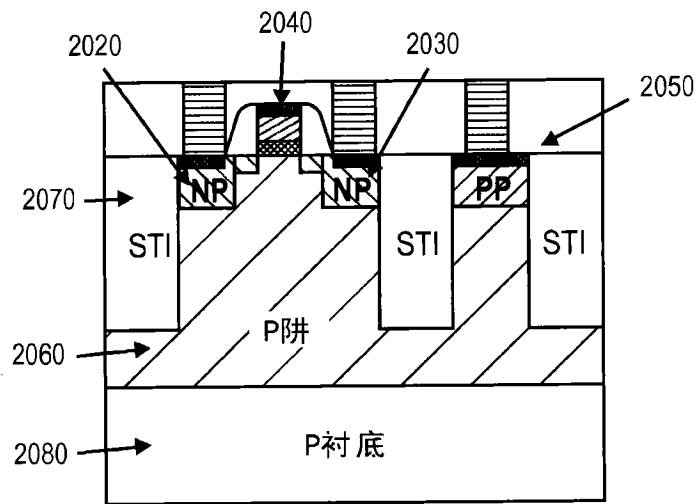
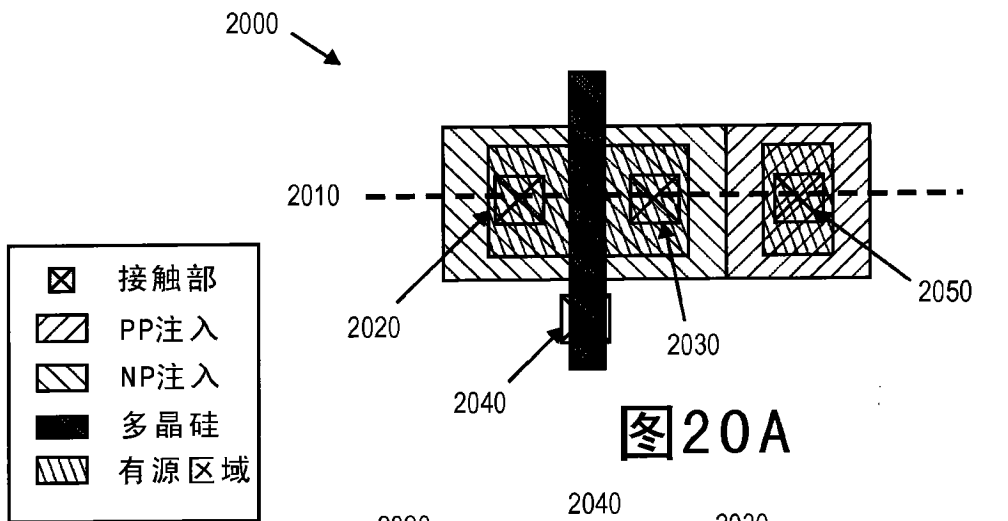


图 19



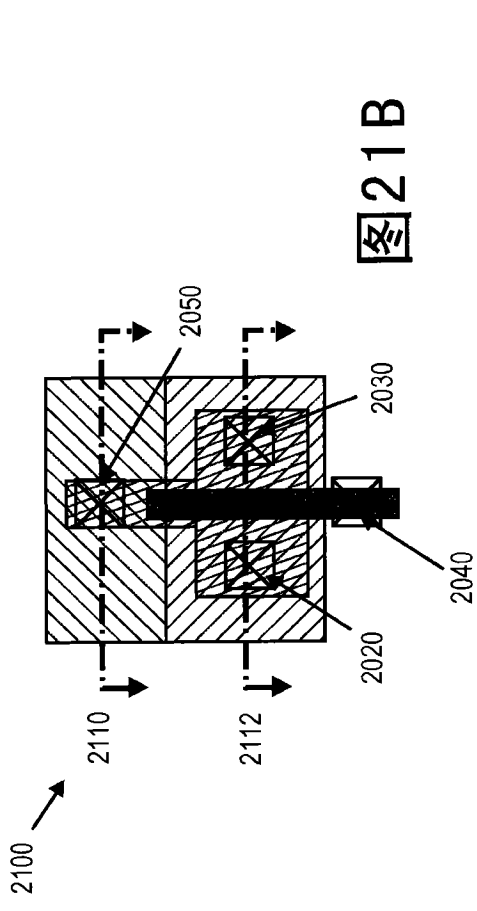


图21B

	接触部
	PP注入
	NP注入
	多晶硅
	有源区域

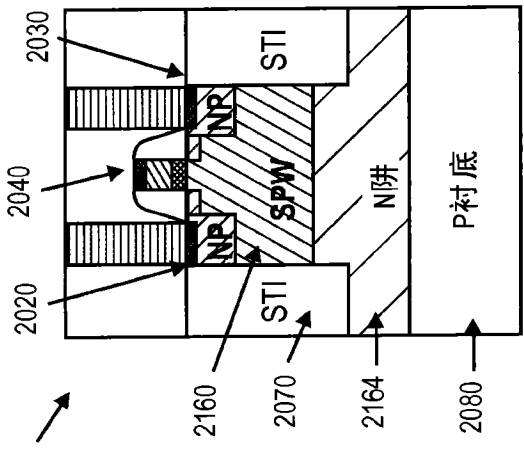


图21C

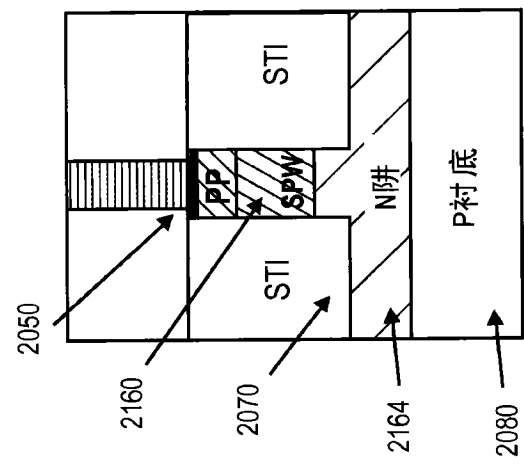
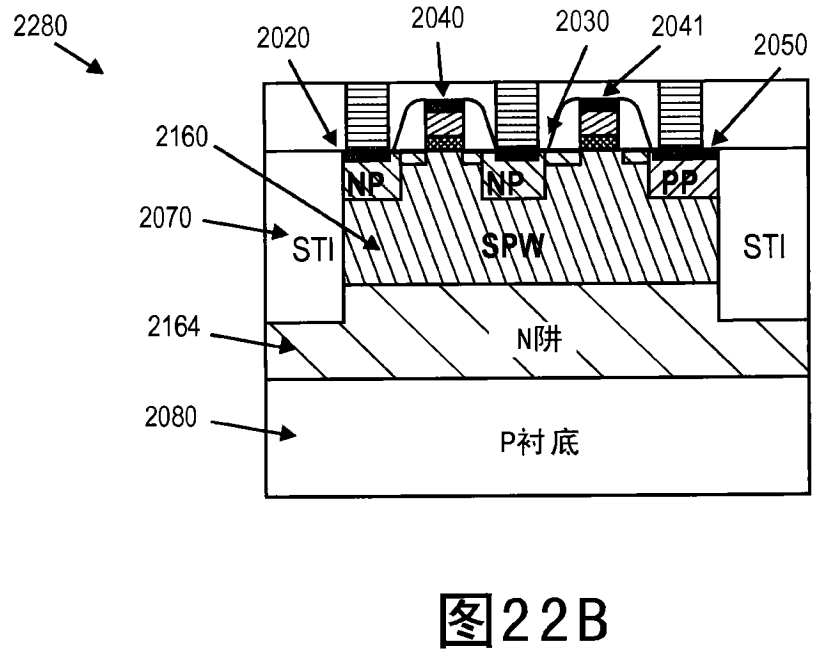
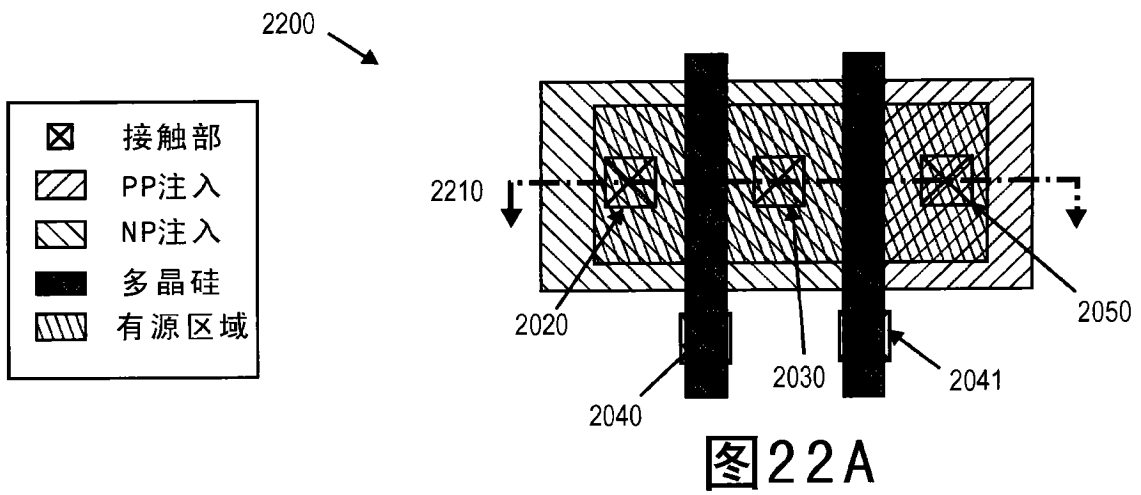
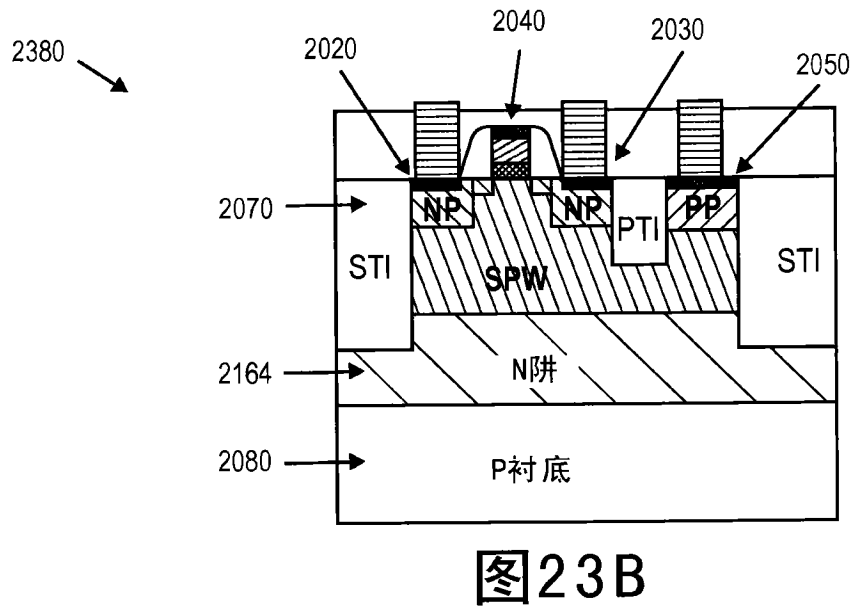
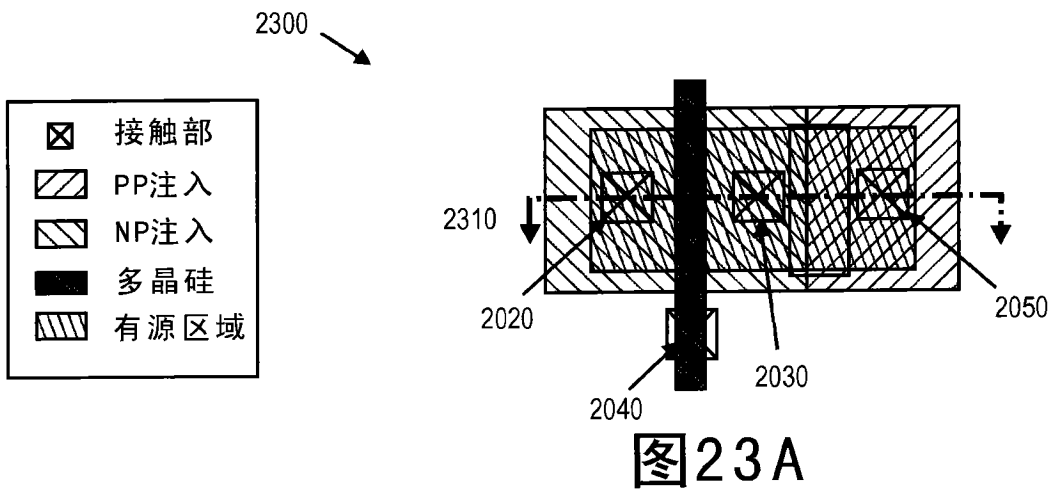
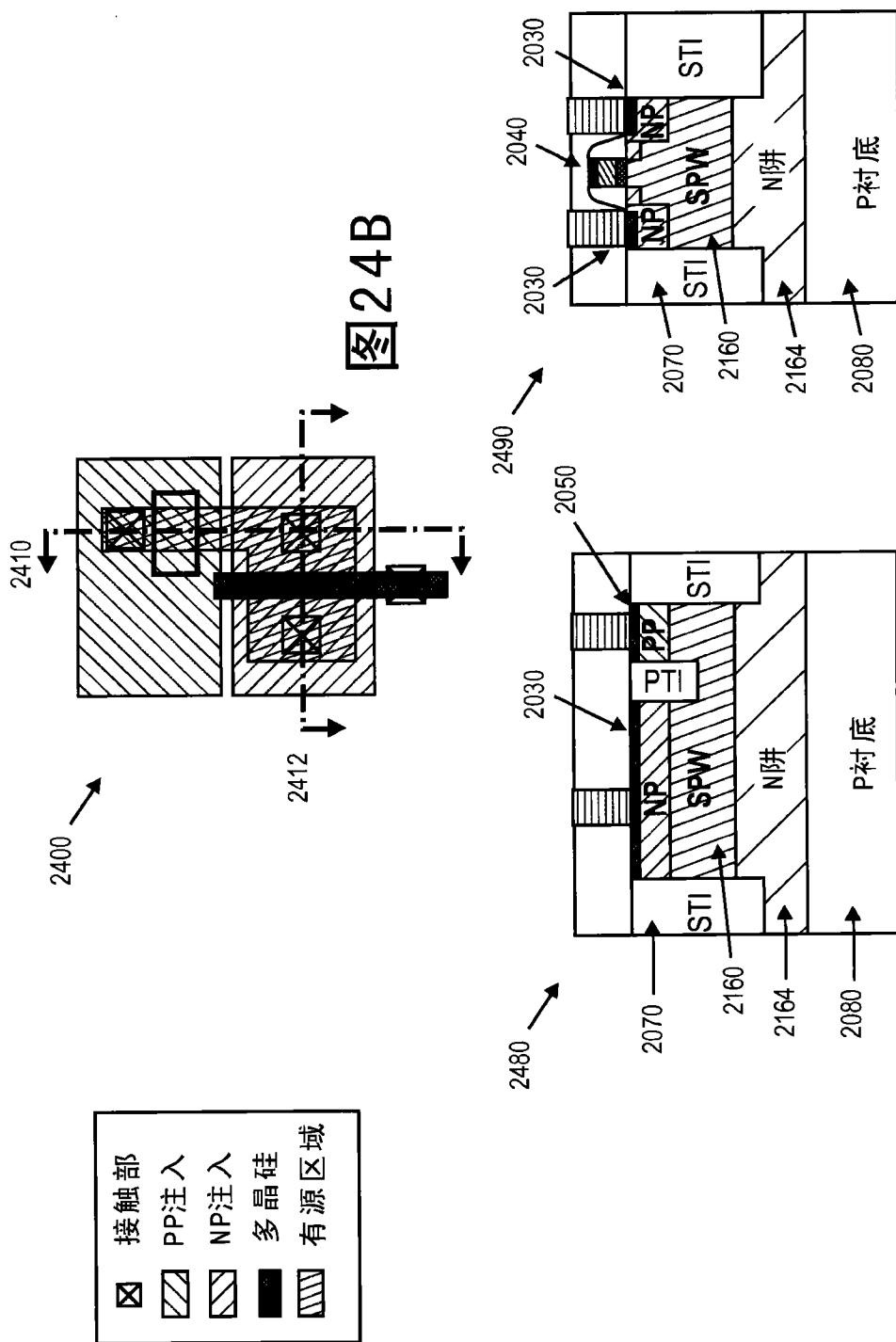
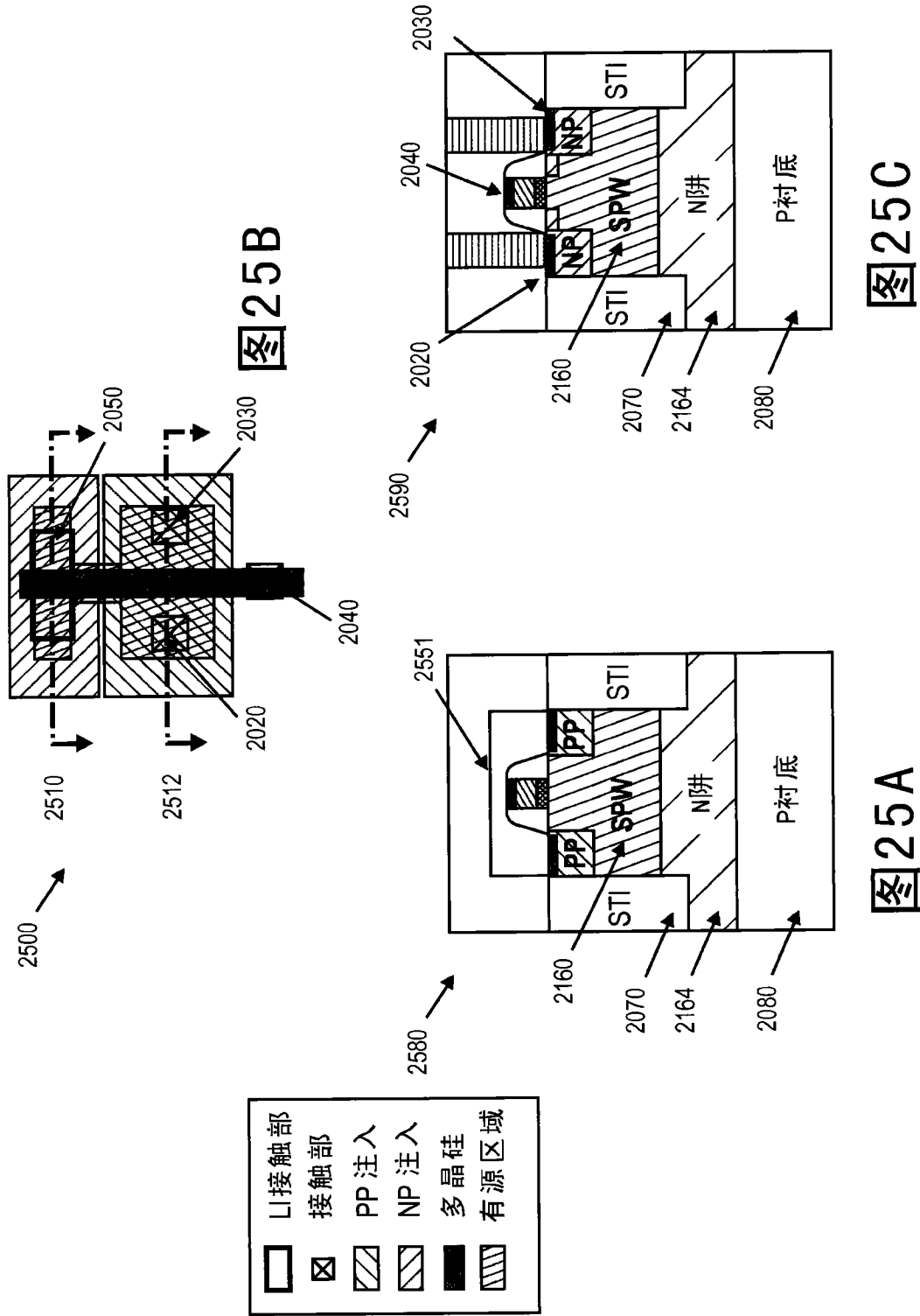


图21A









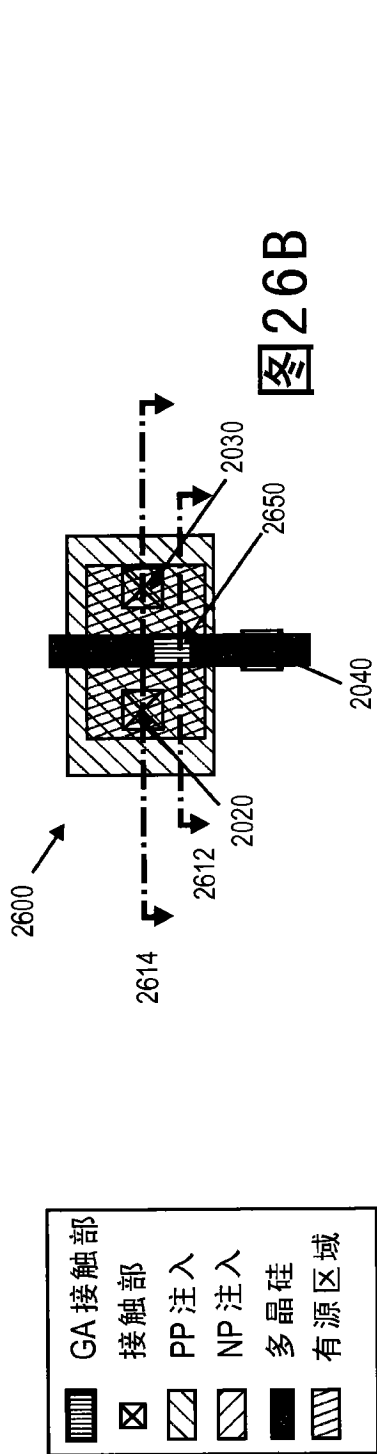


图26B

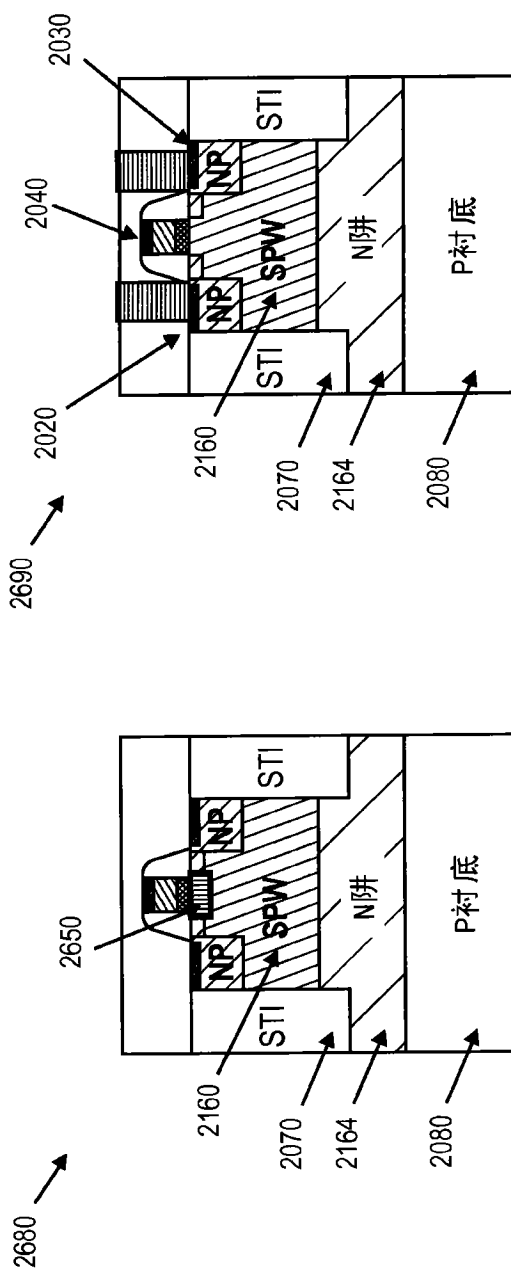
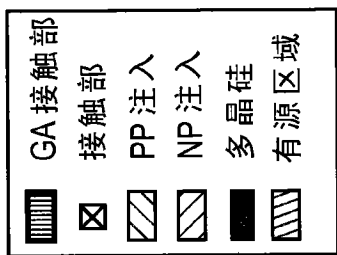
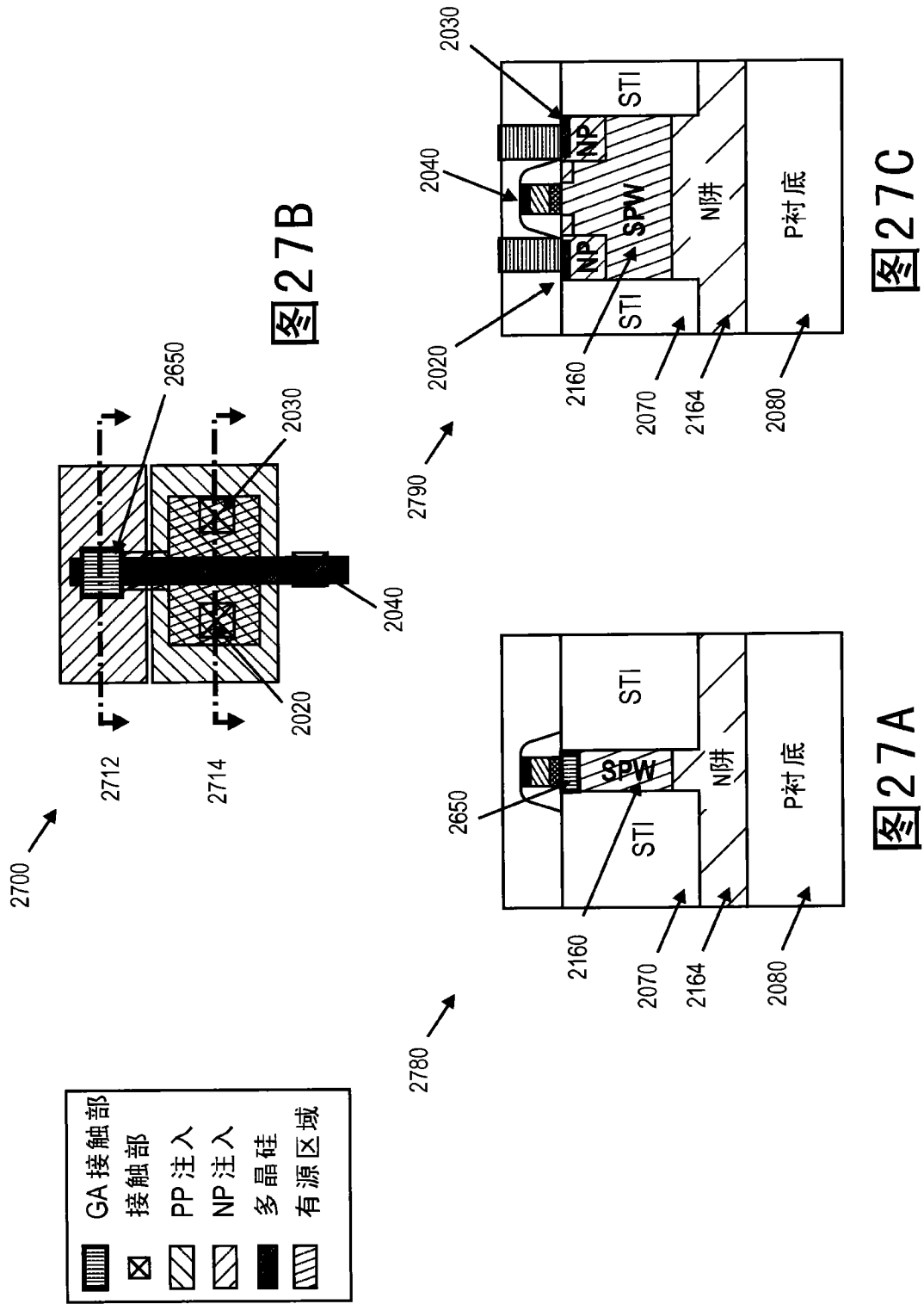


图26C

图26A



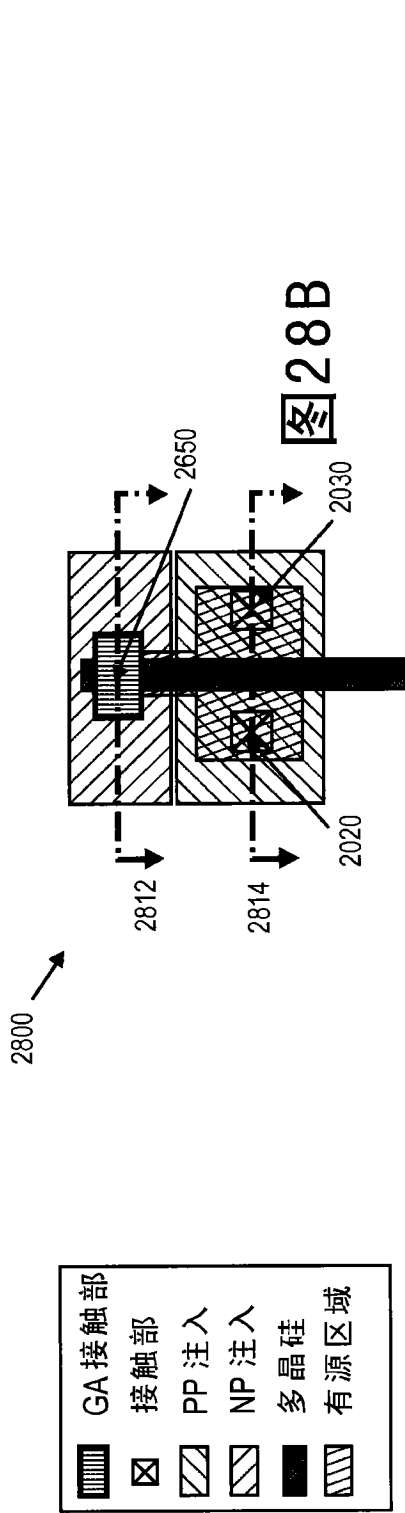


图28B

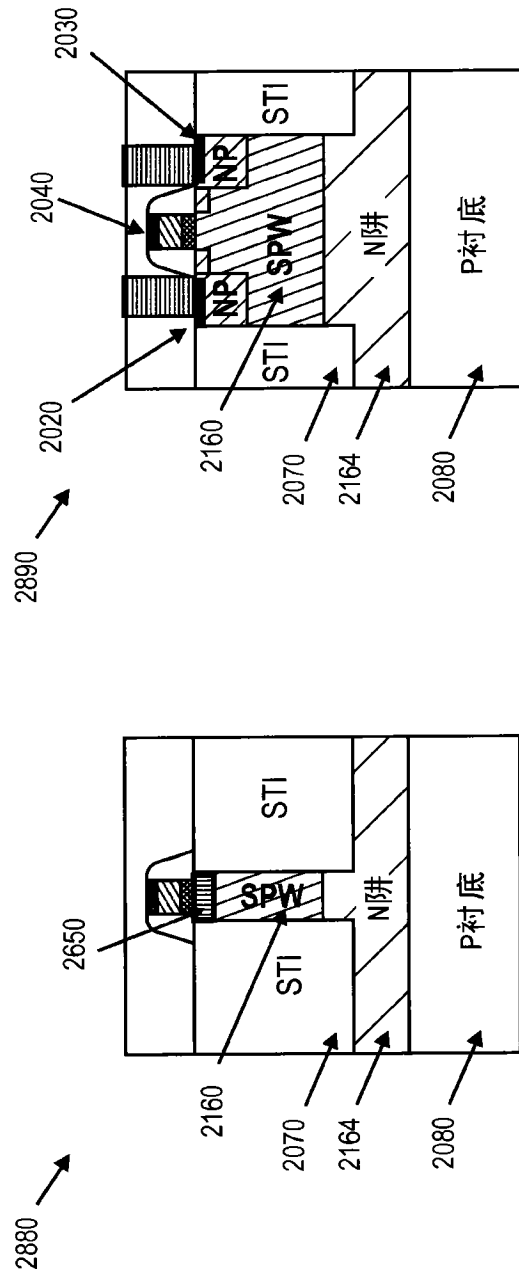


图28A

图28C

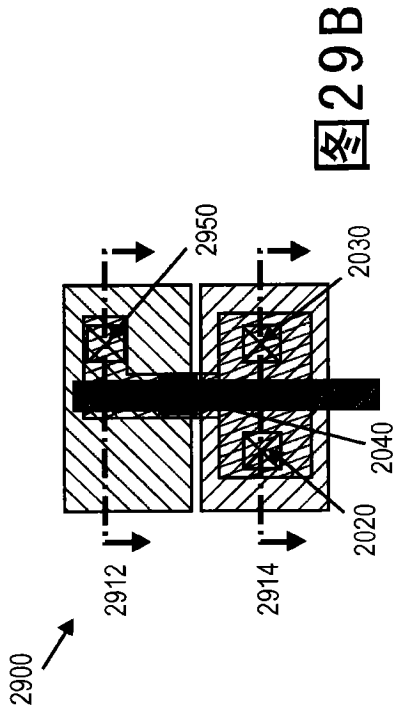


图29B

	接触部
	PP注入
	NP注入
	多晶硅
	有源区域

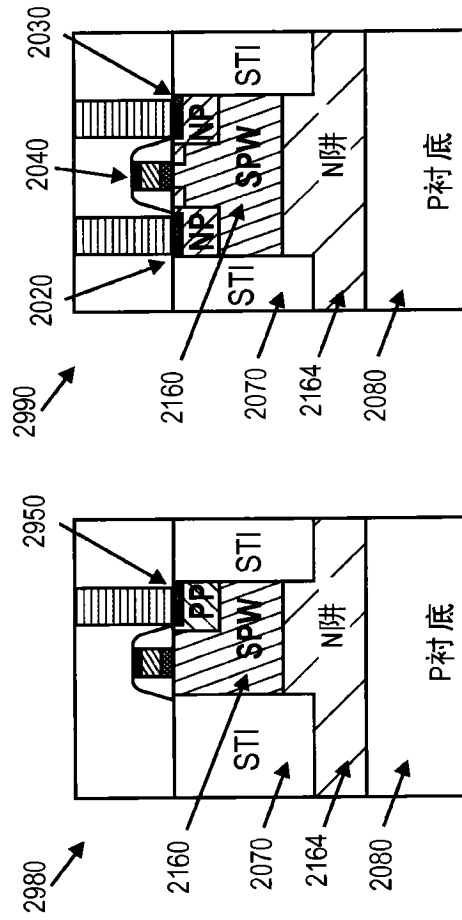


图29C

图29A

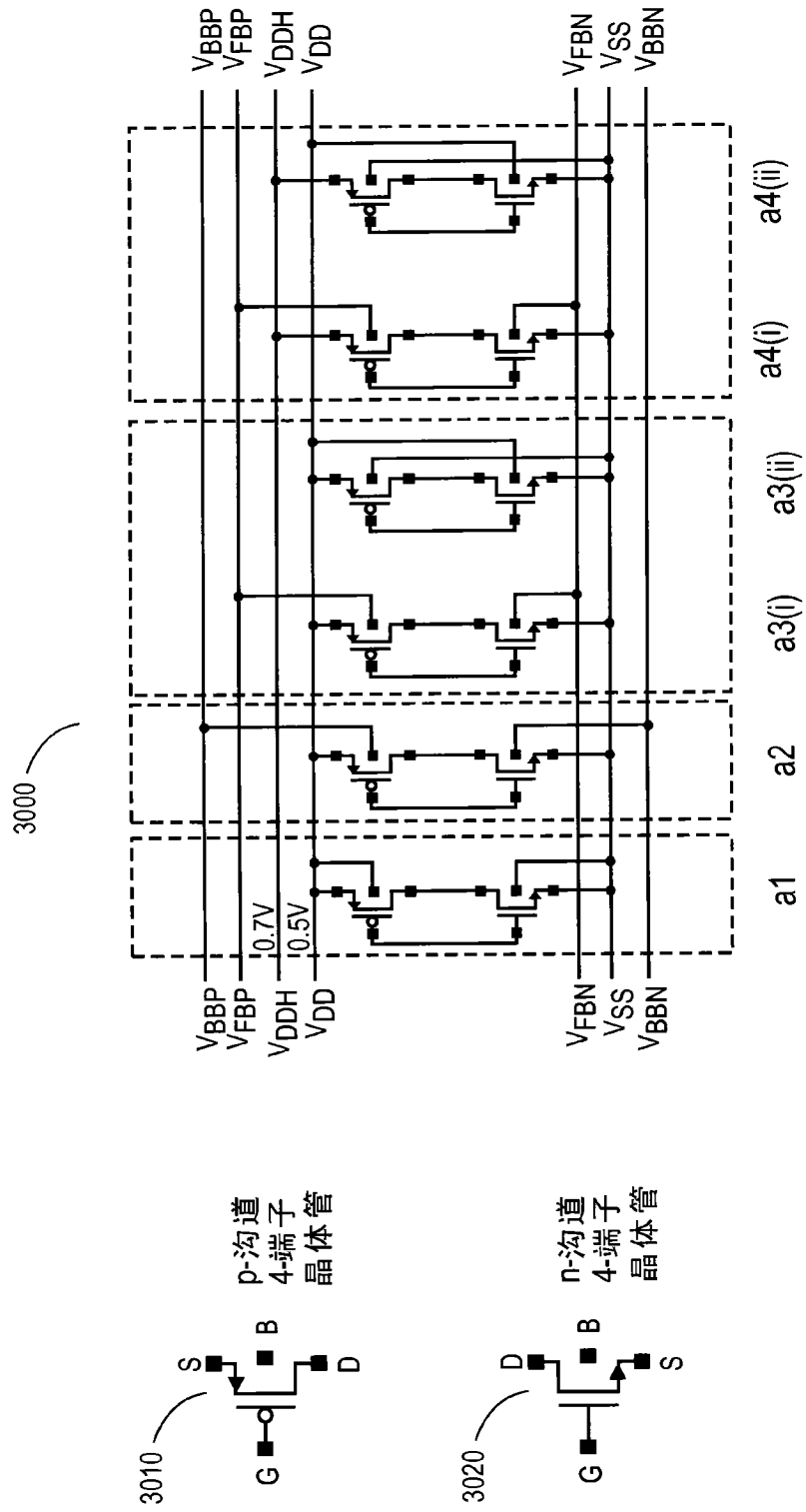


图 30

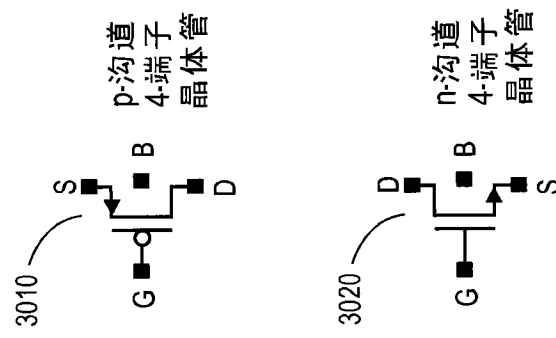
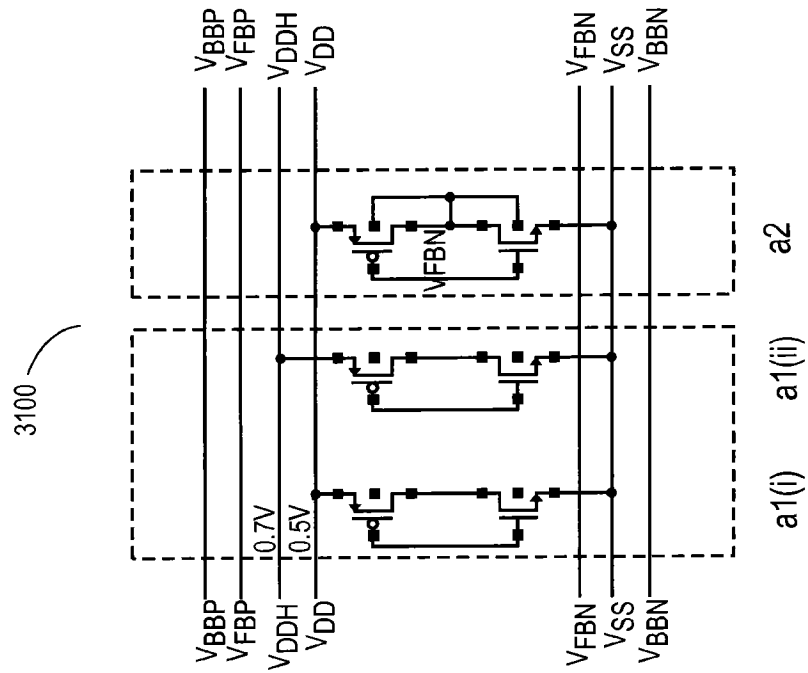


图 31

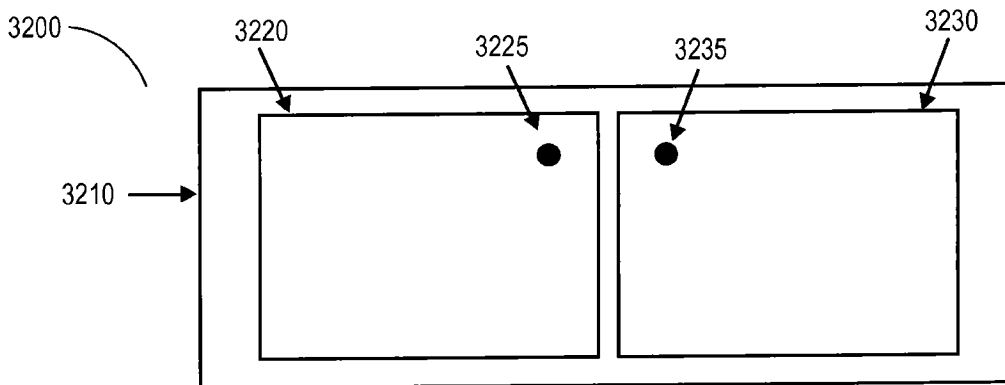


图 32A

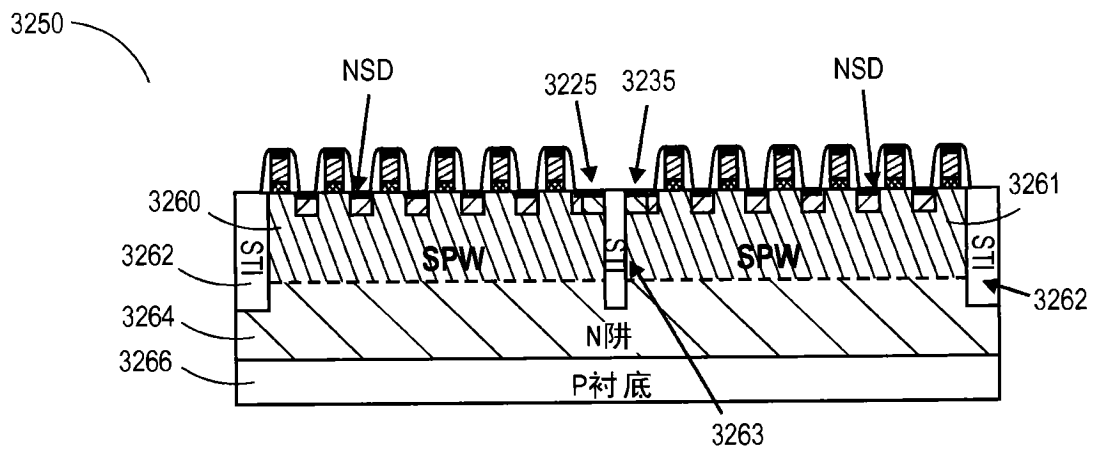


图 32B

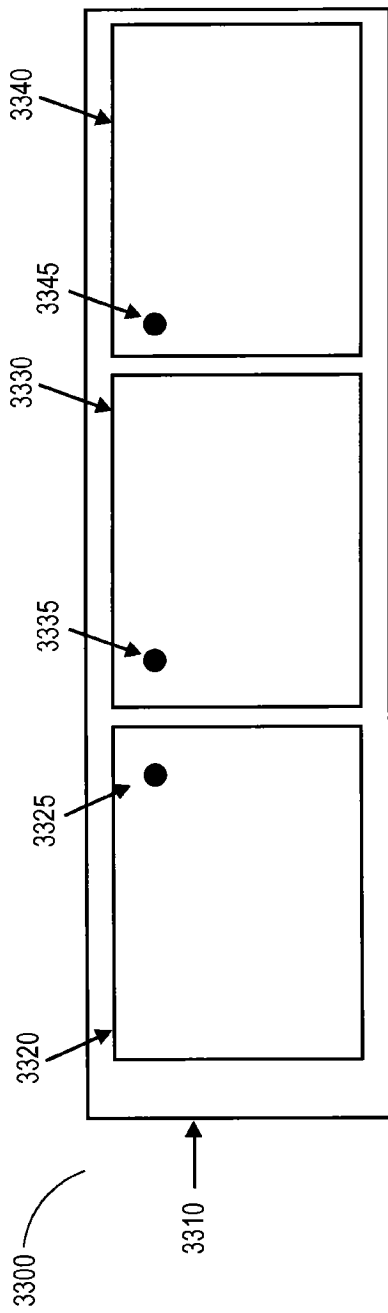


图 33A

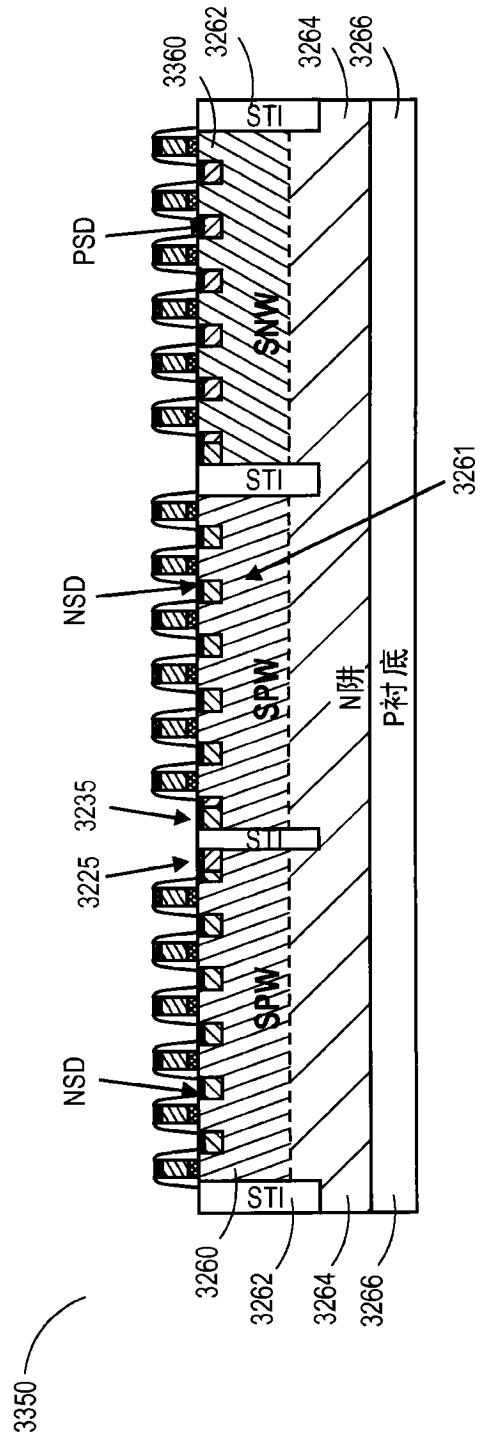


图 33B

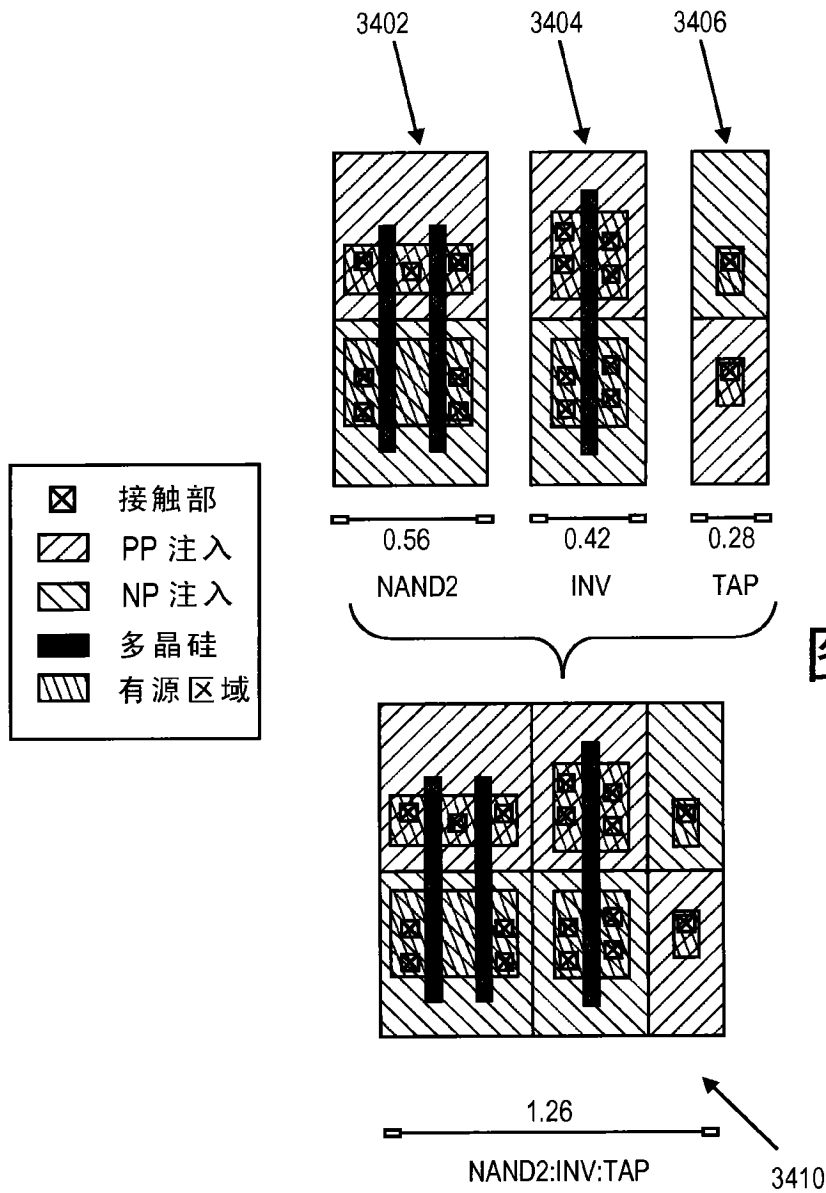


图34A i

图34A i i

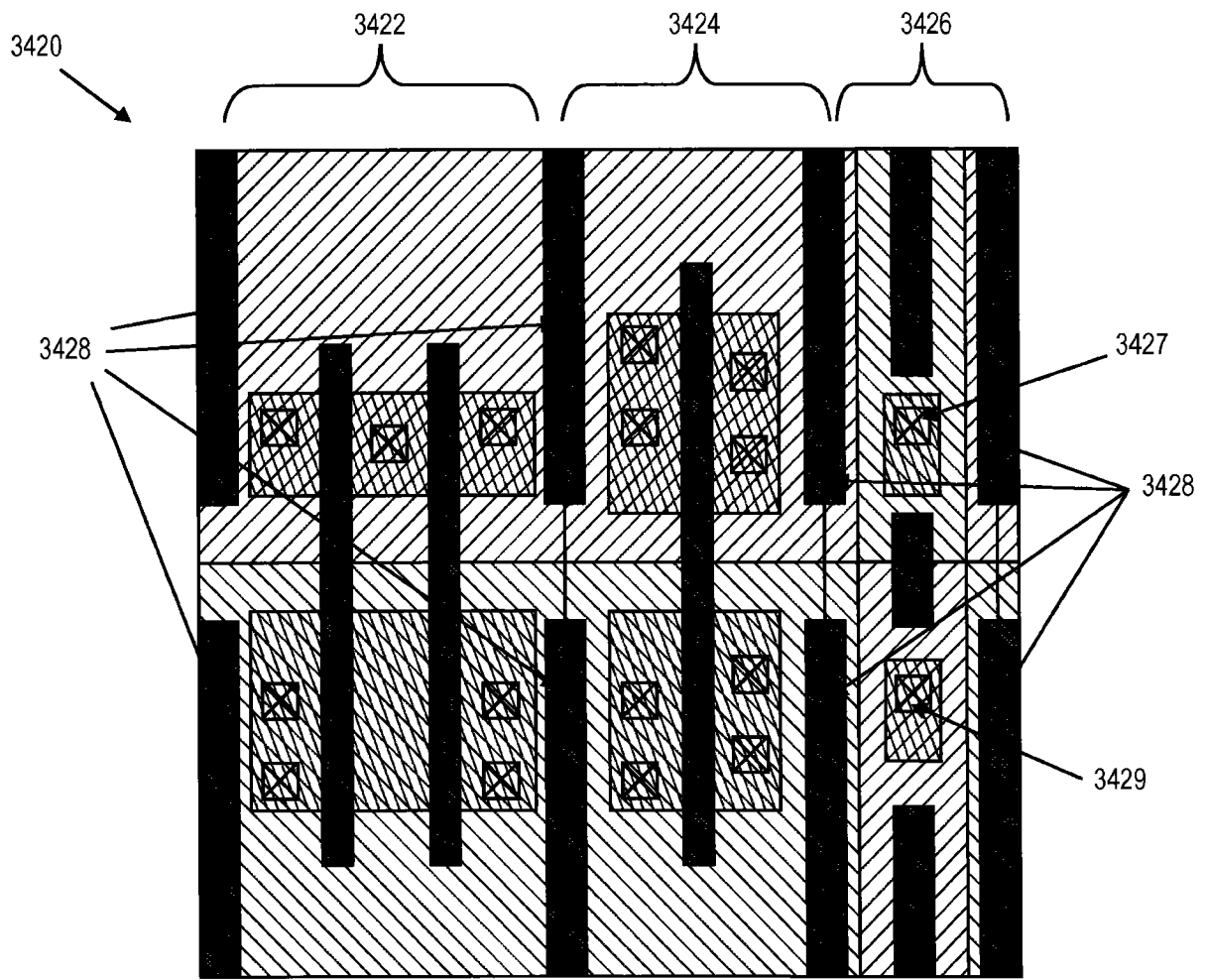


图 34B

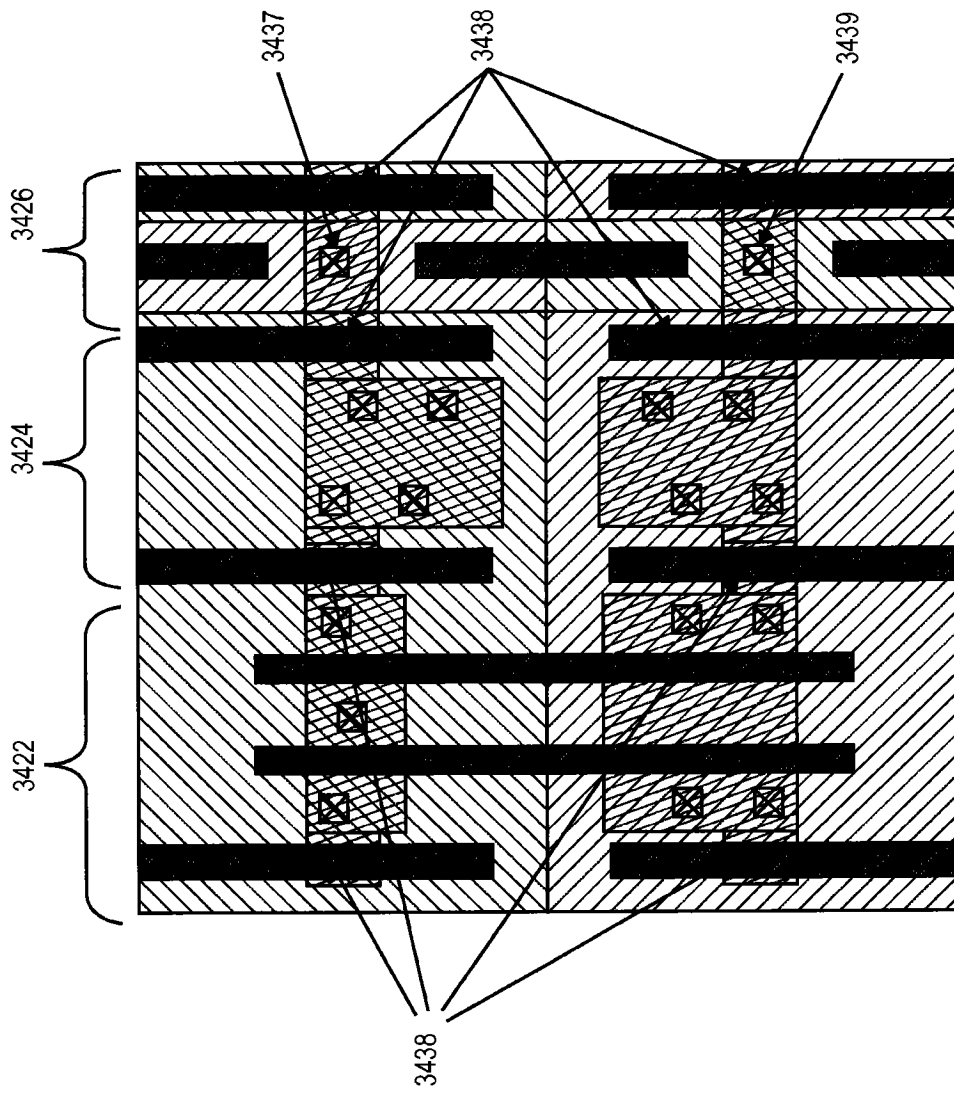


图 34C

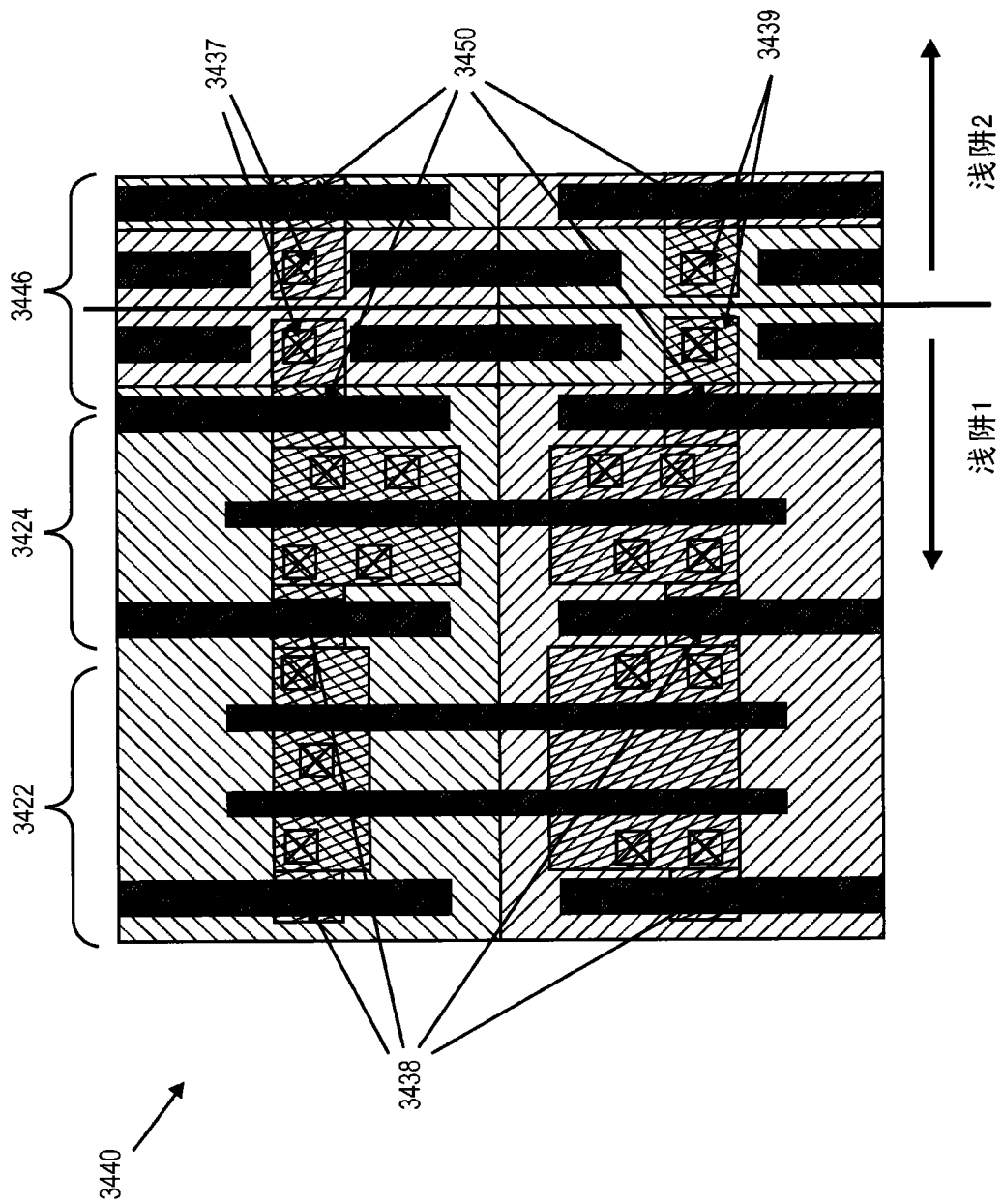


图 34D

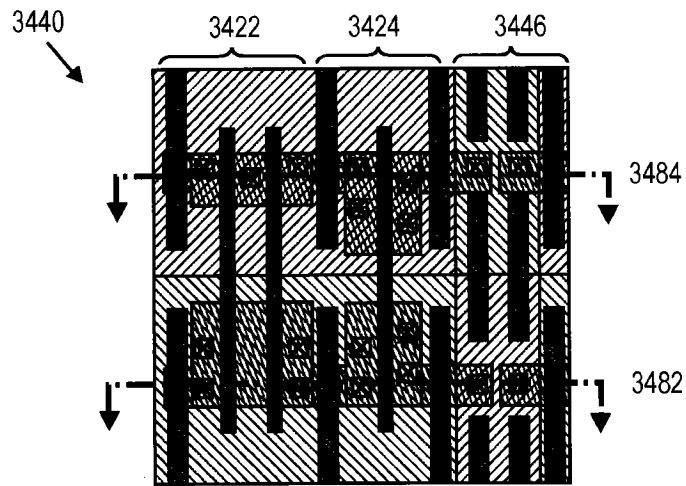


图 34Ei

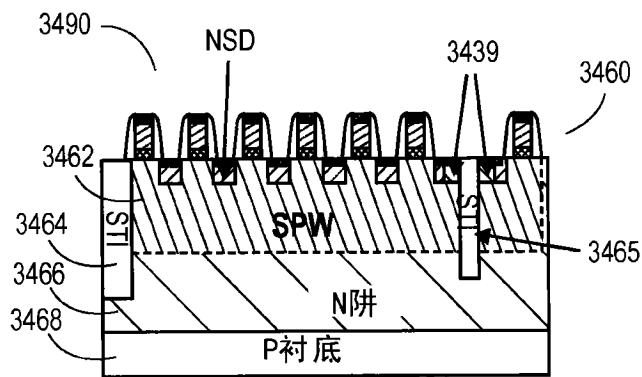


图 34Eii

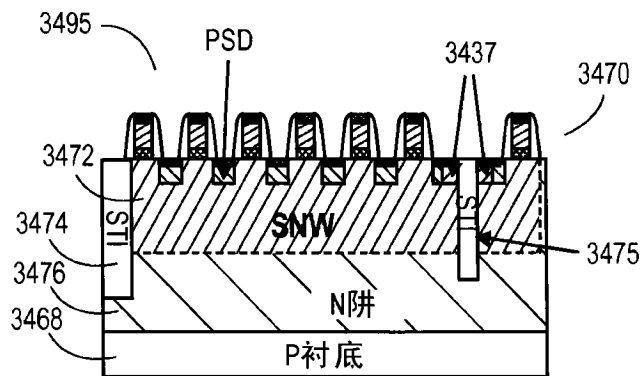


图 34Eiii

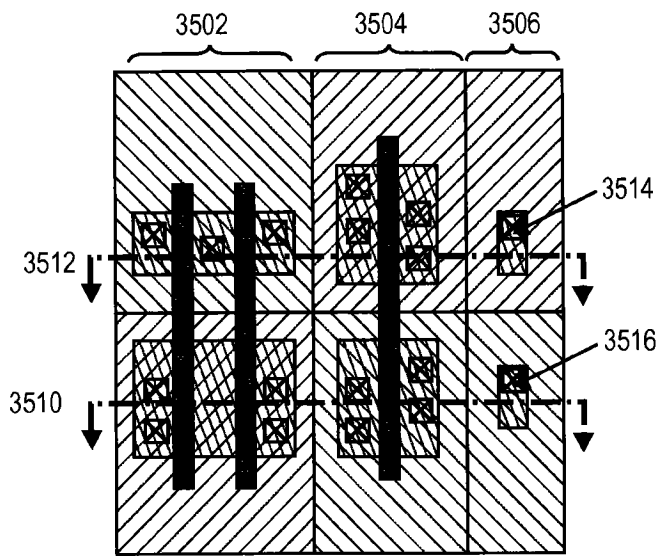


图 35A

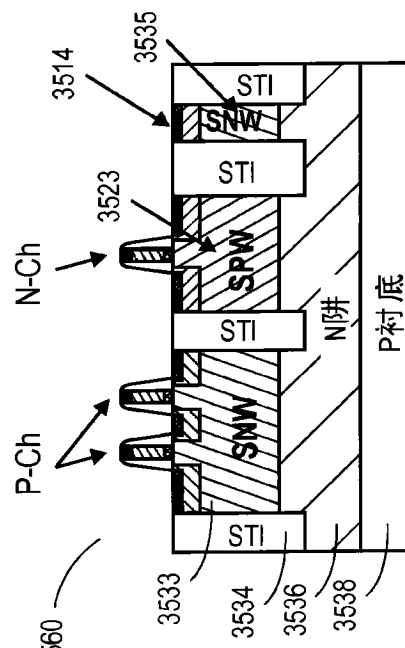


图 35C

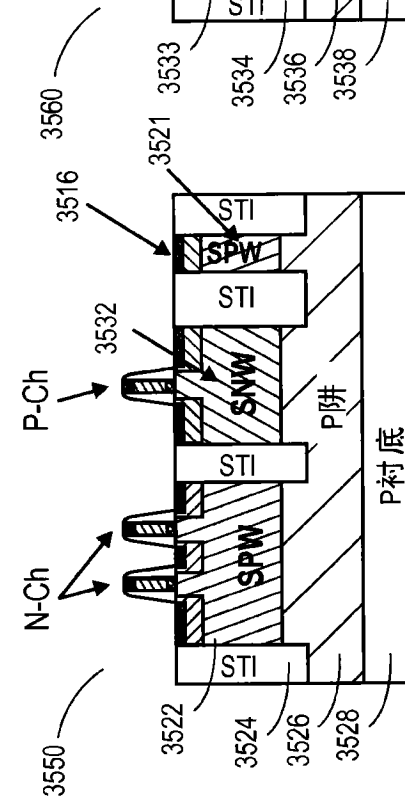


图 35B

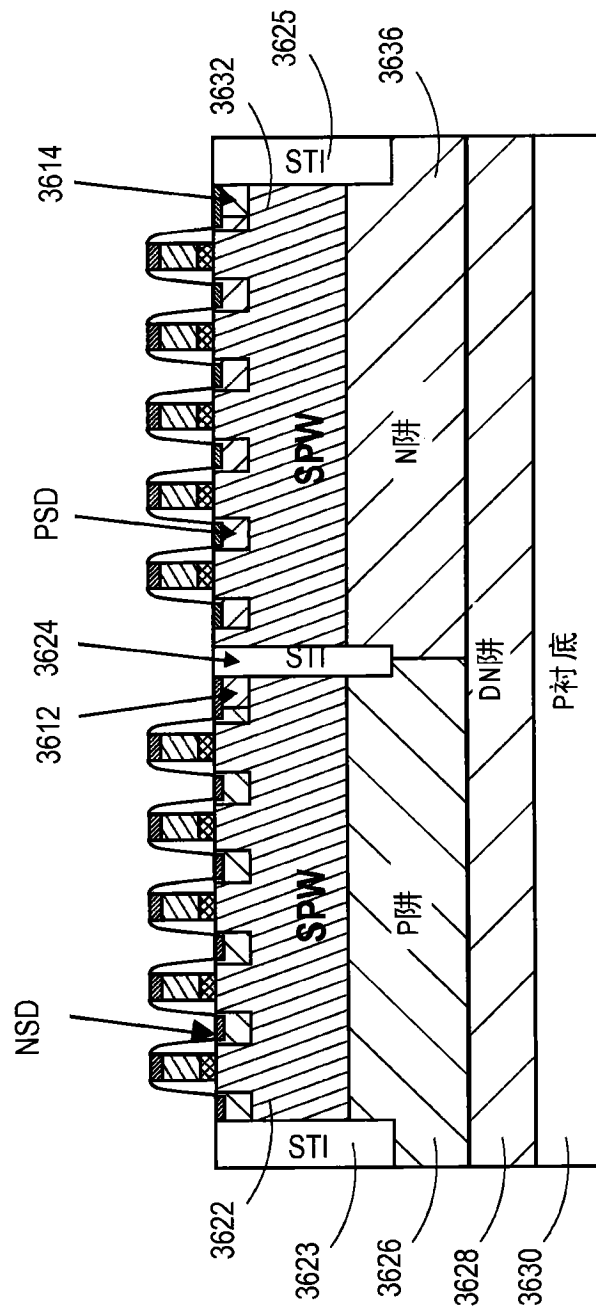


图 36

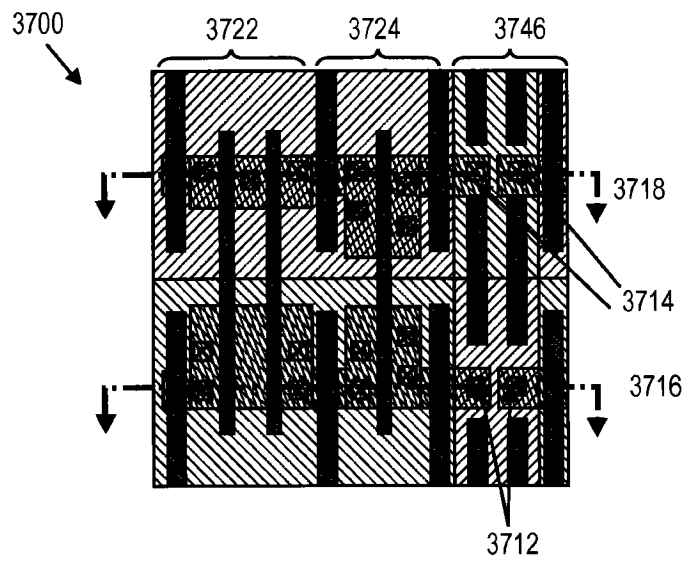


图 37A

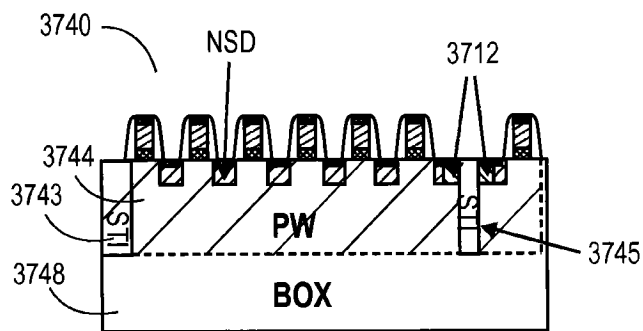


图 37B

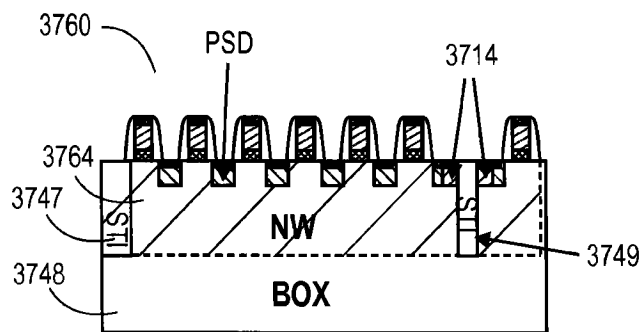


图 37C

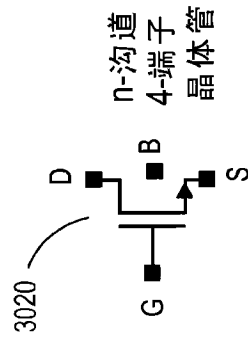
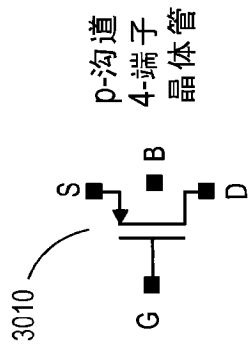
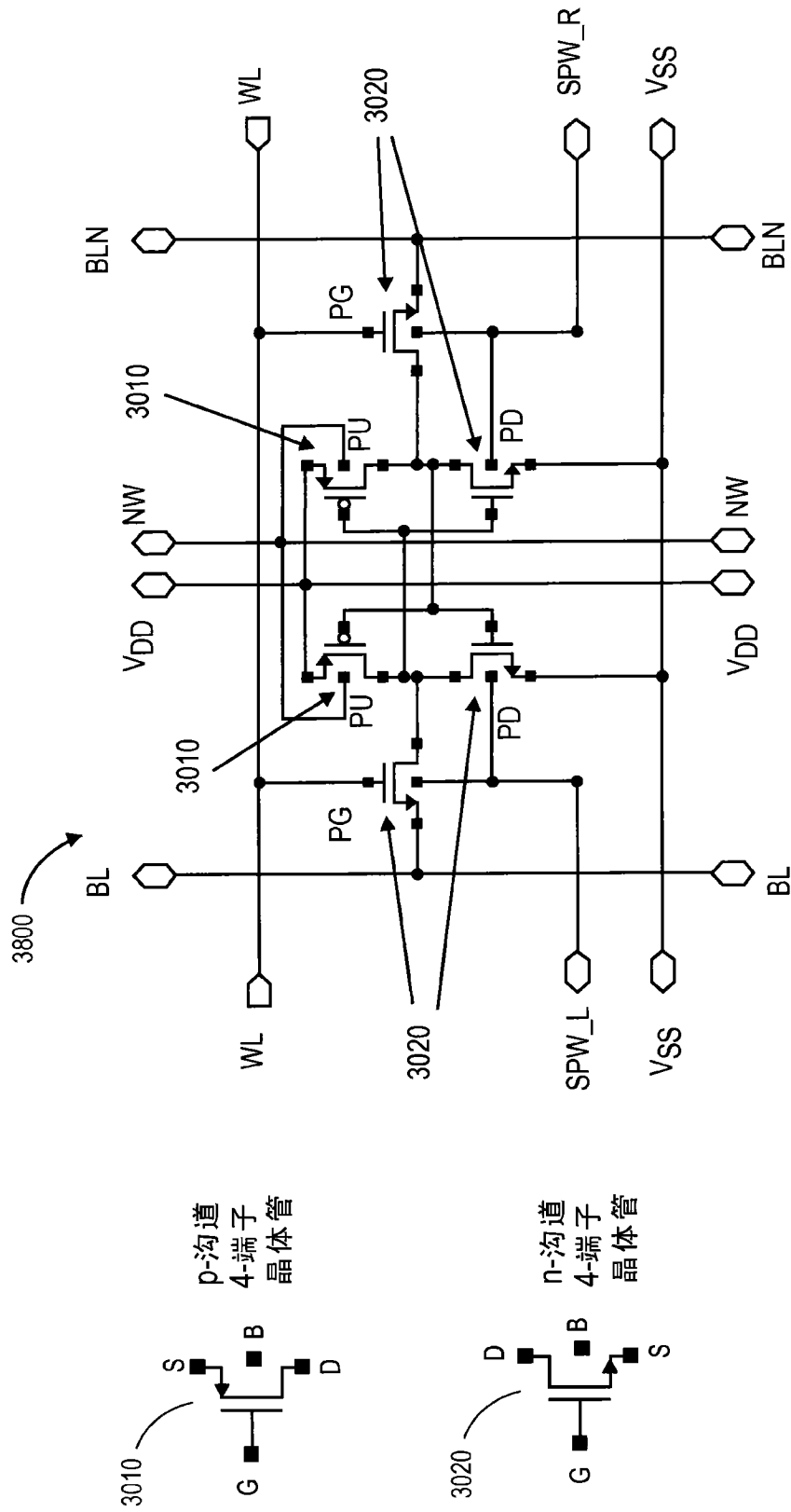


图 38

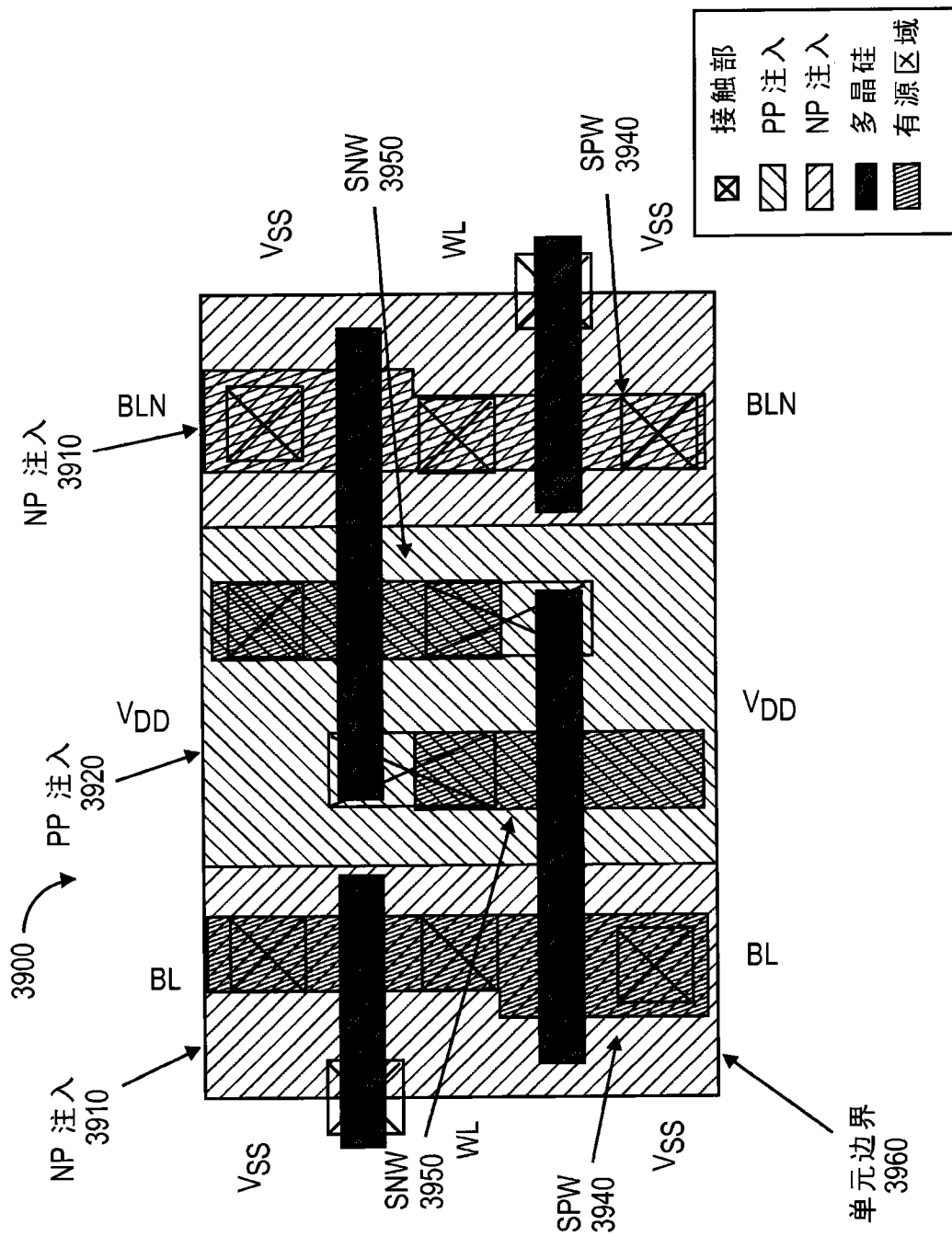


图 39

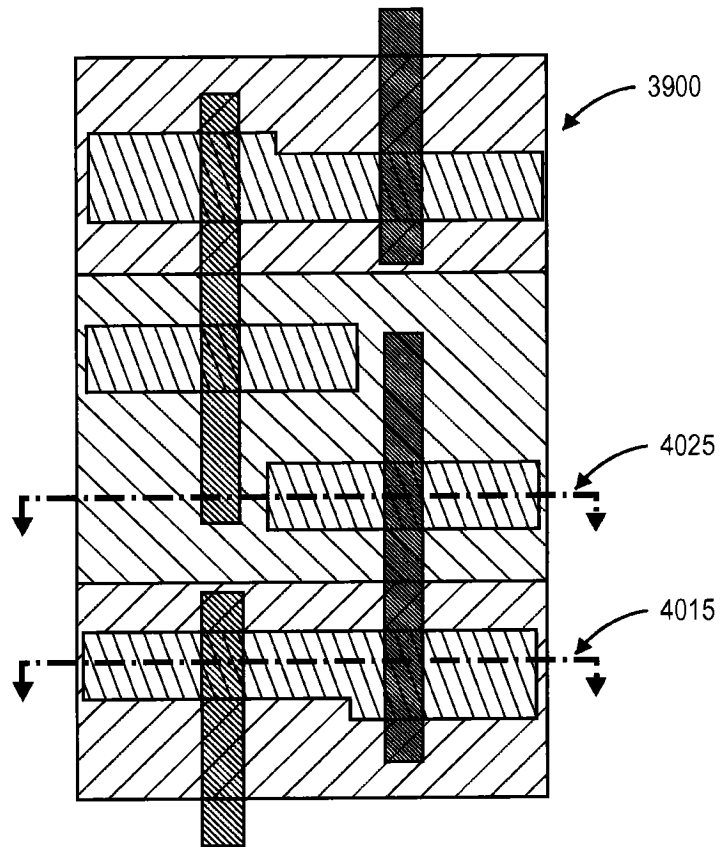


图 40Ai

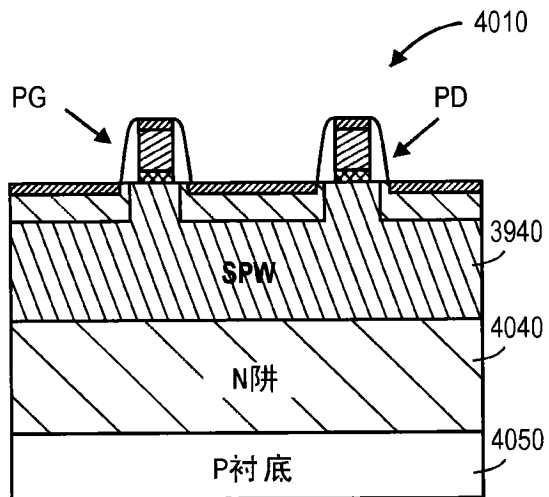


图 40Aii

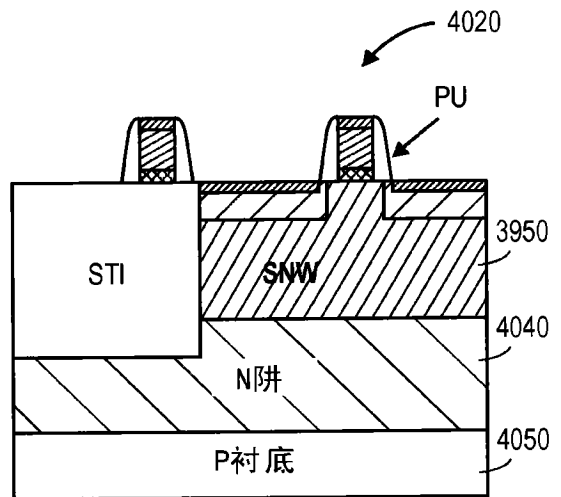


图 40Aiii

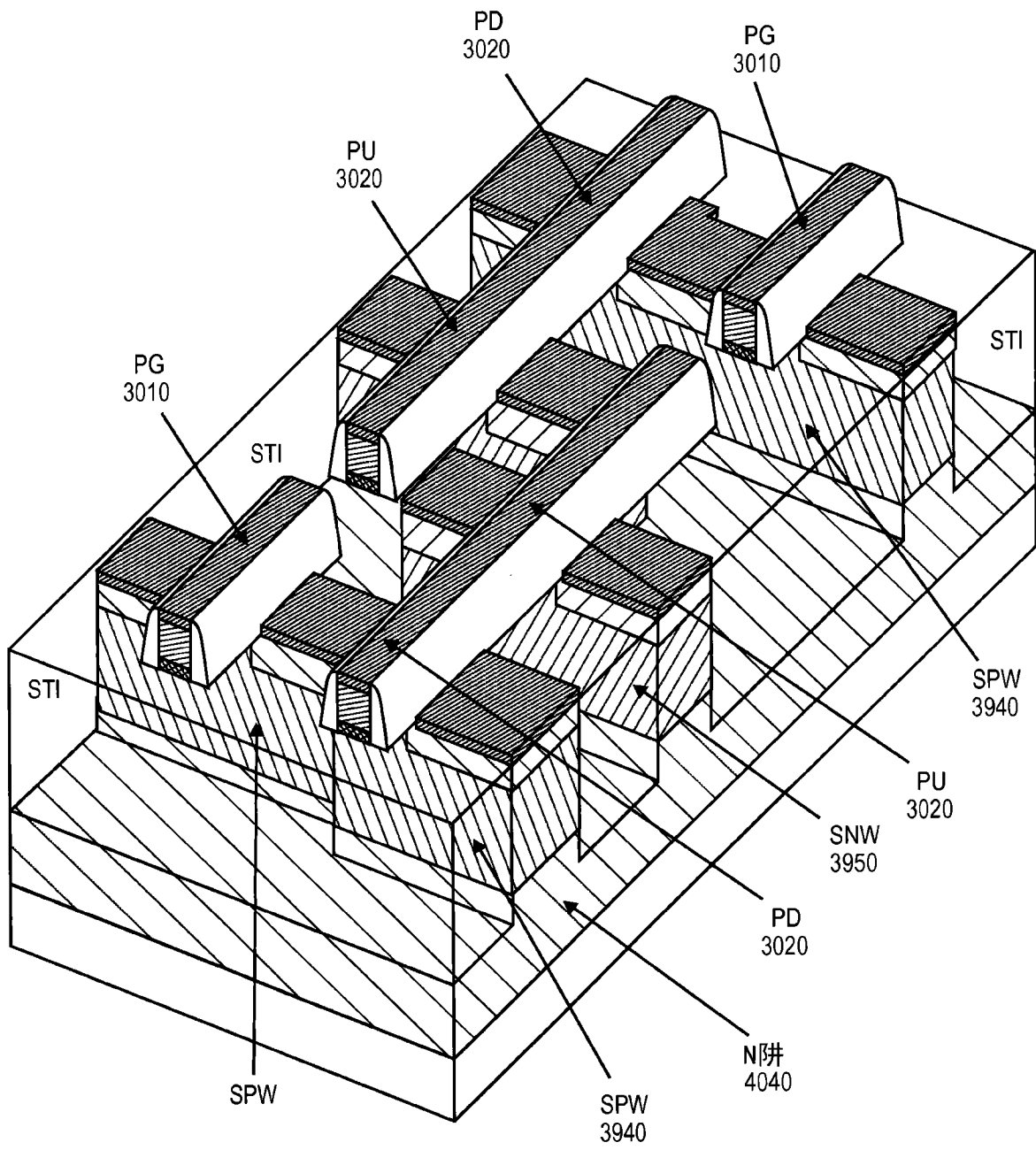


图 40B

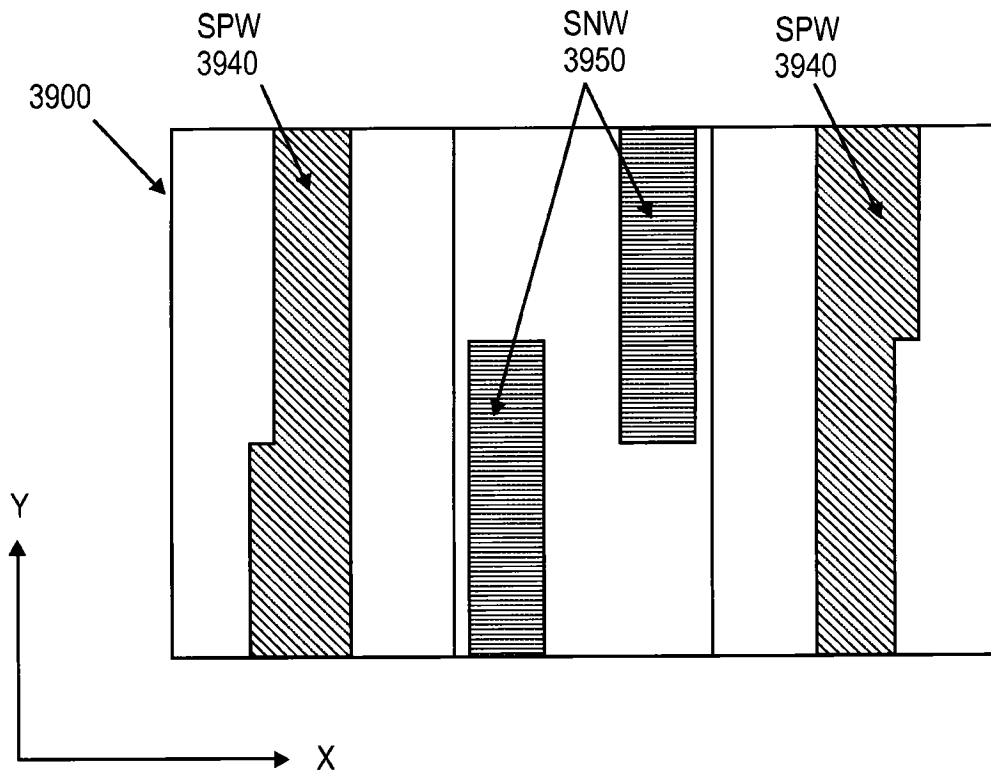


图 41A

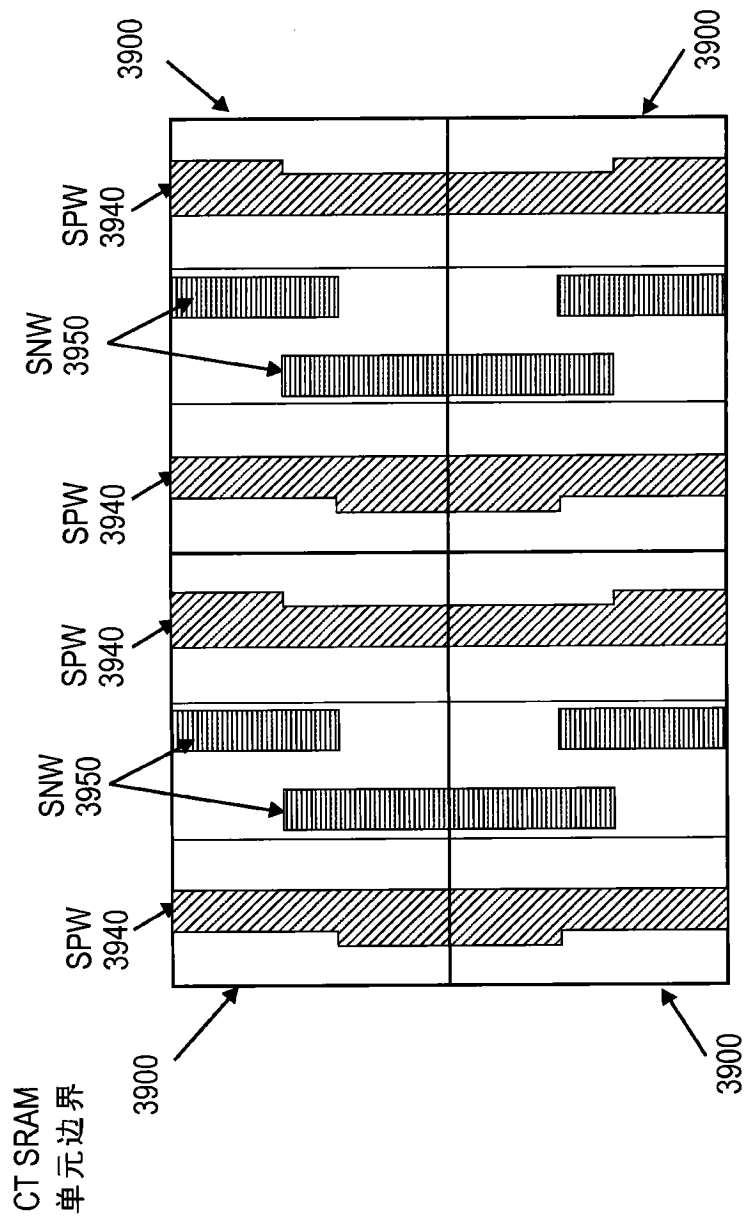


图 41B

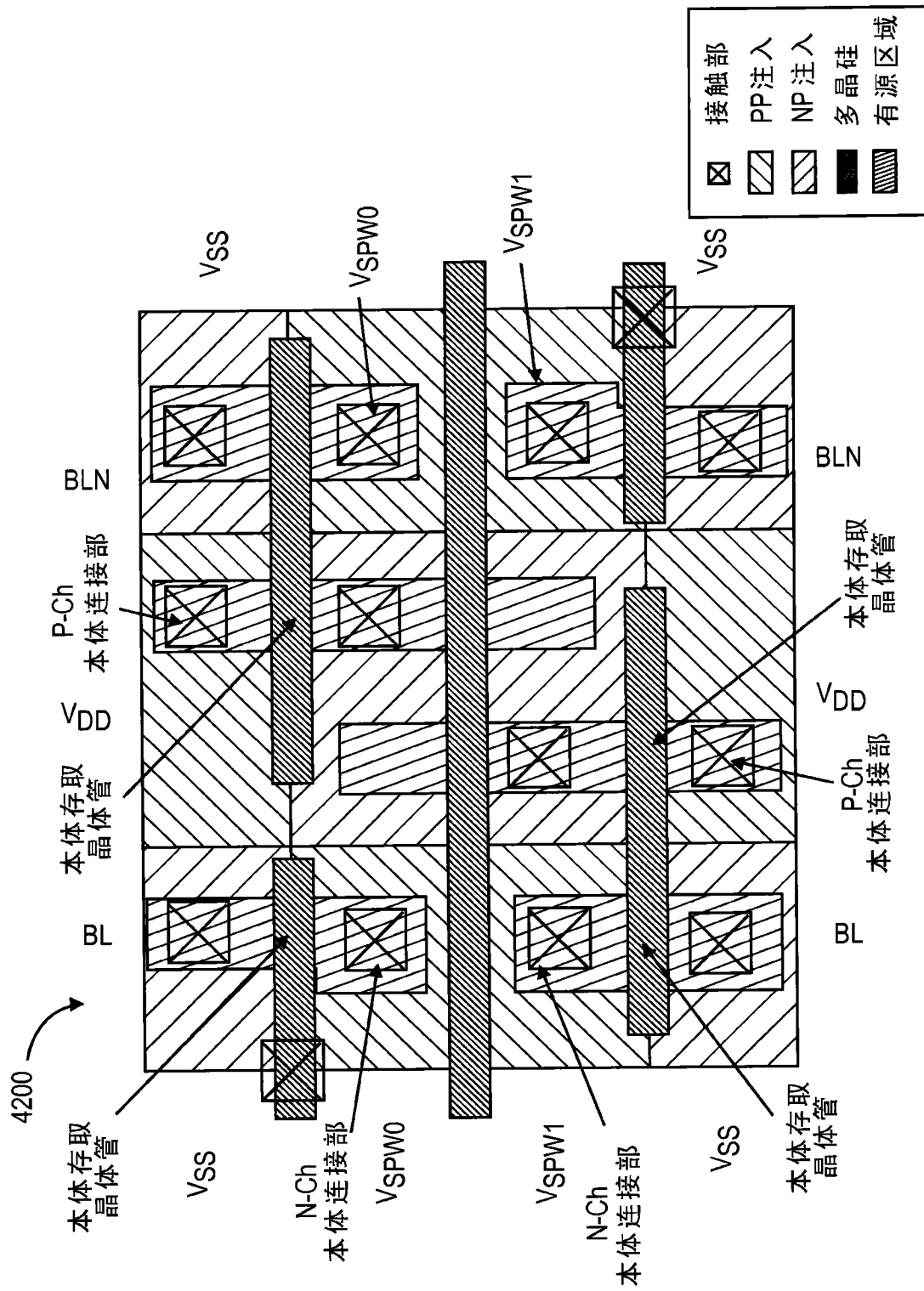


图 42

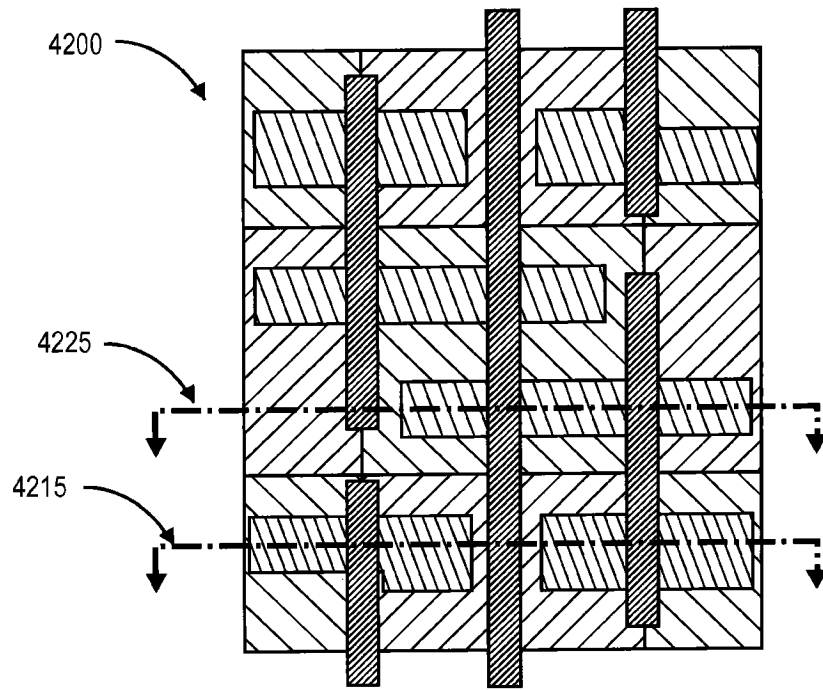


图 43A

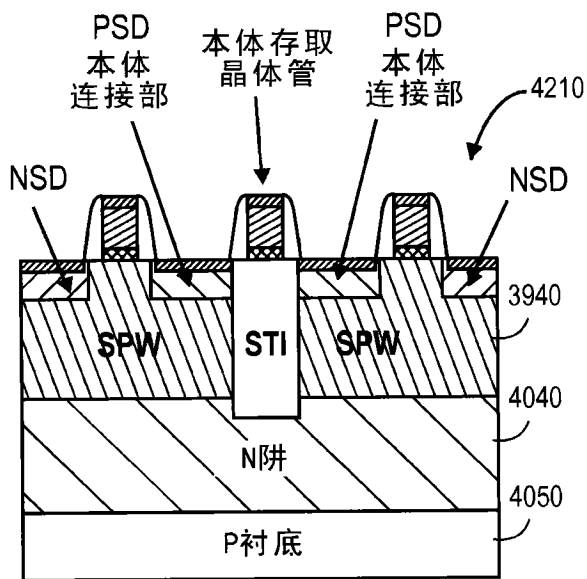


图 43B

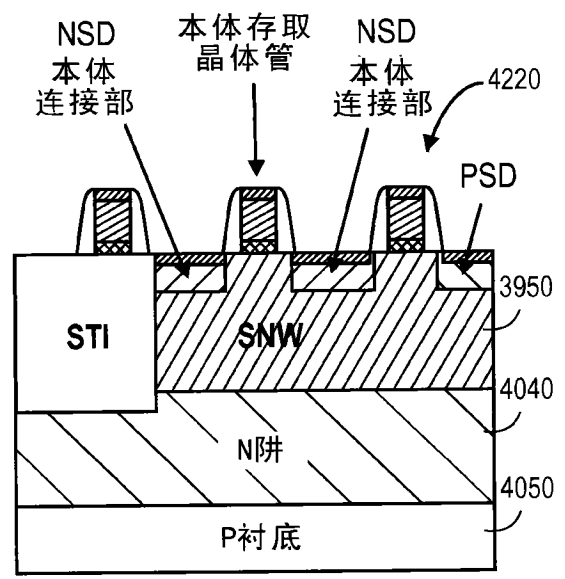


图 43C

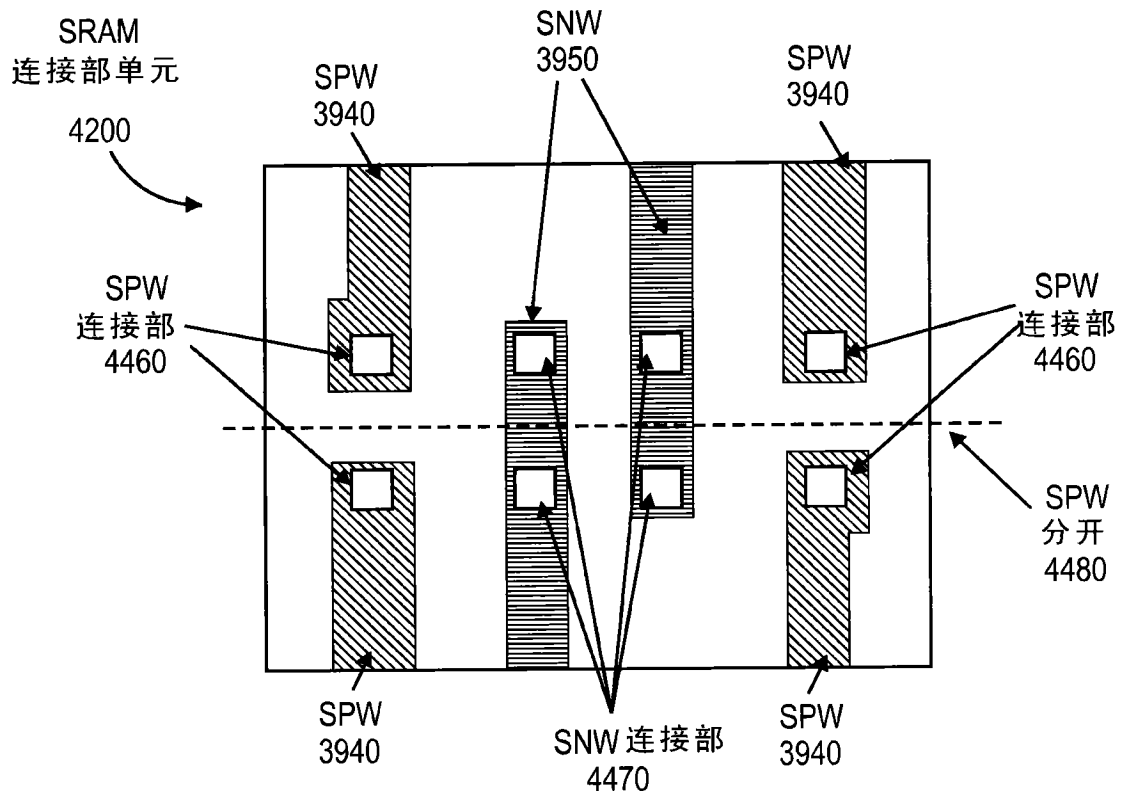


图 44

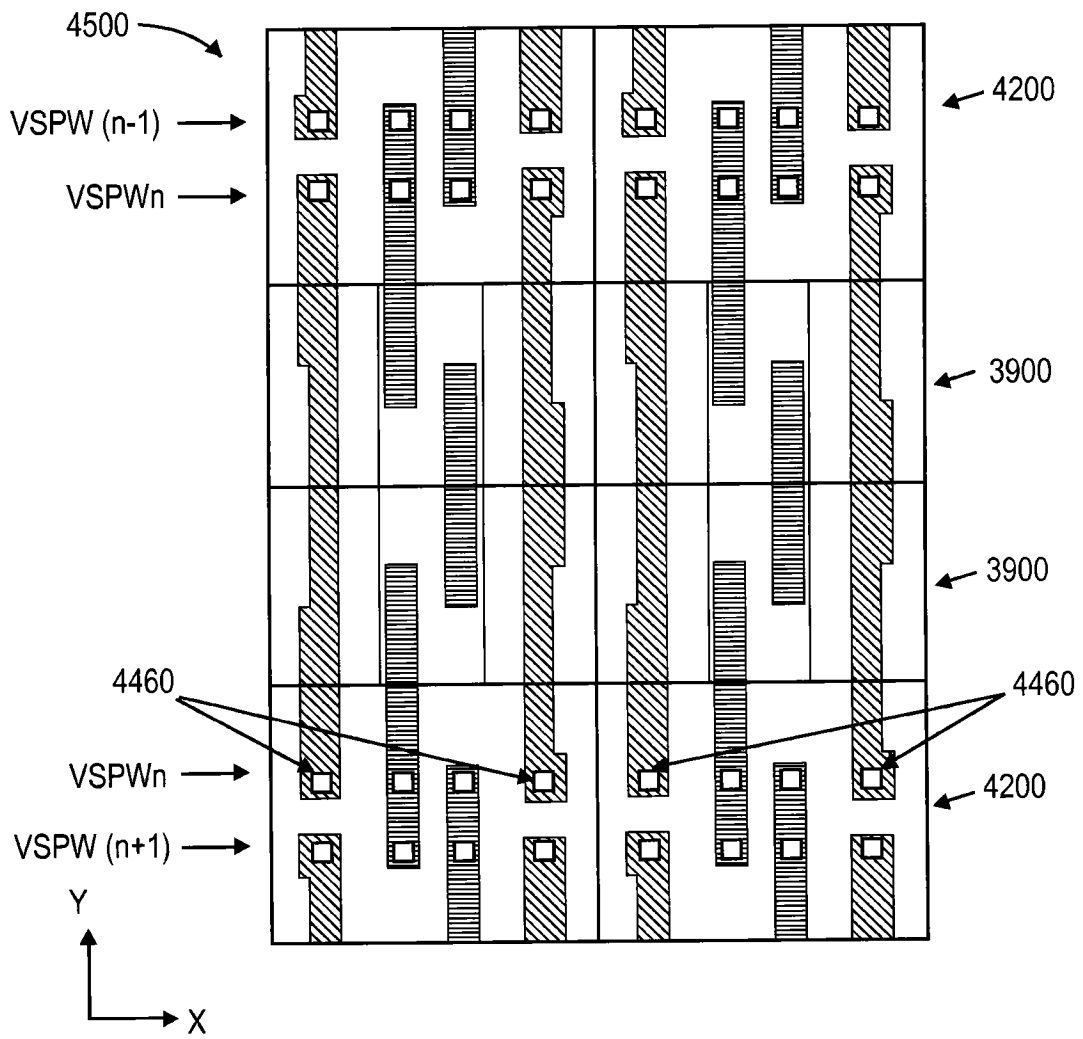


图 45

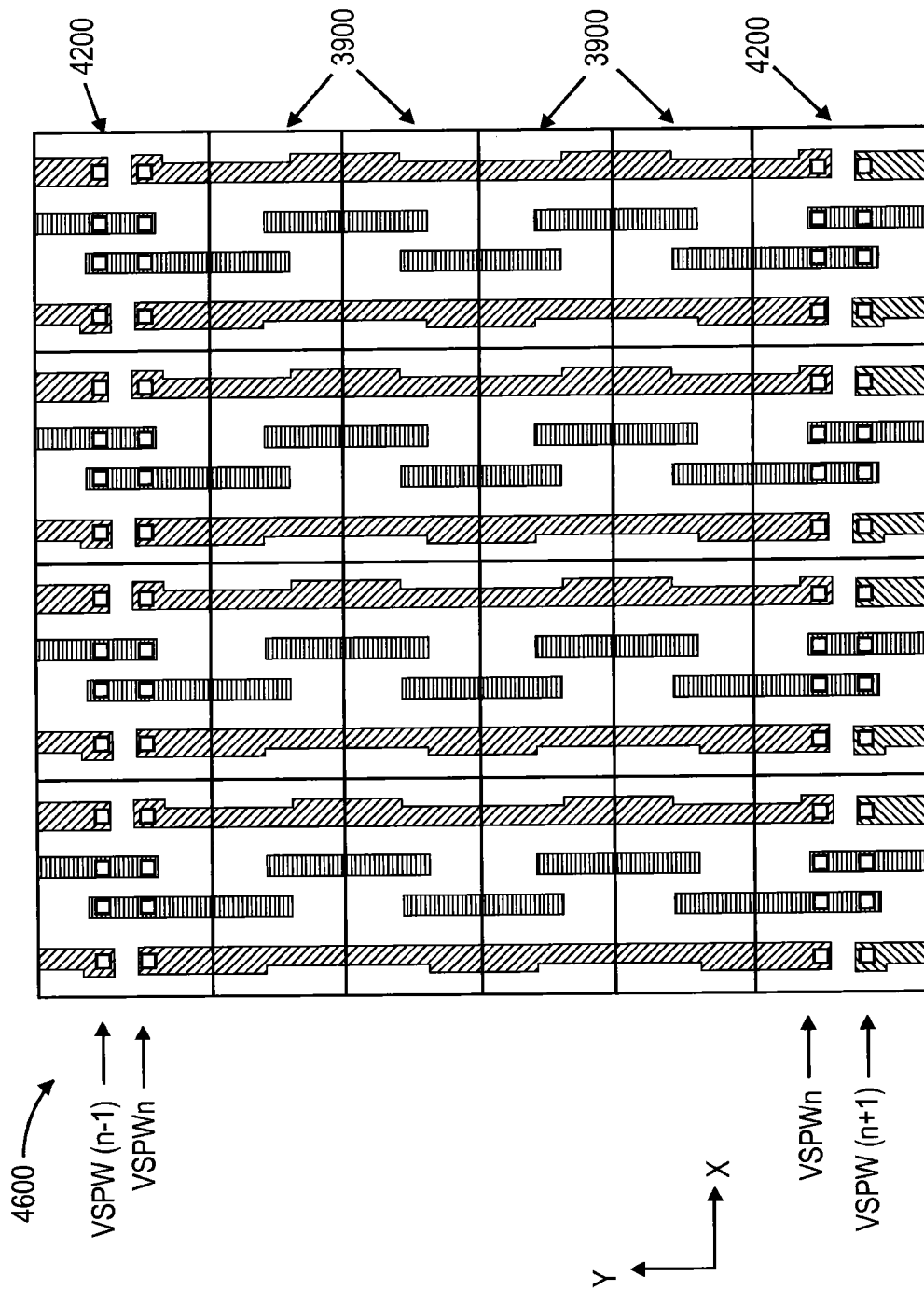


图 46

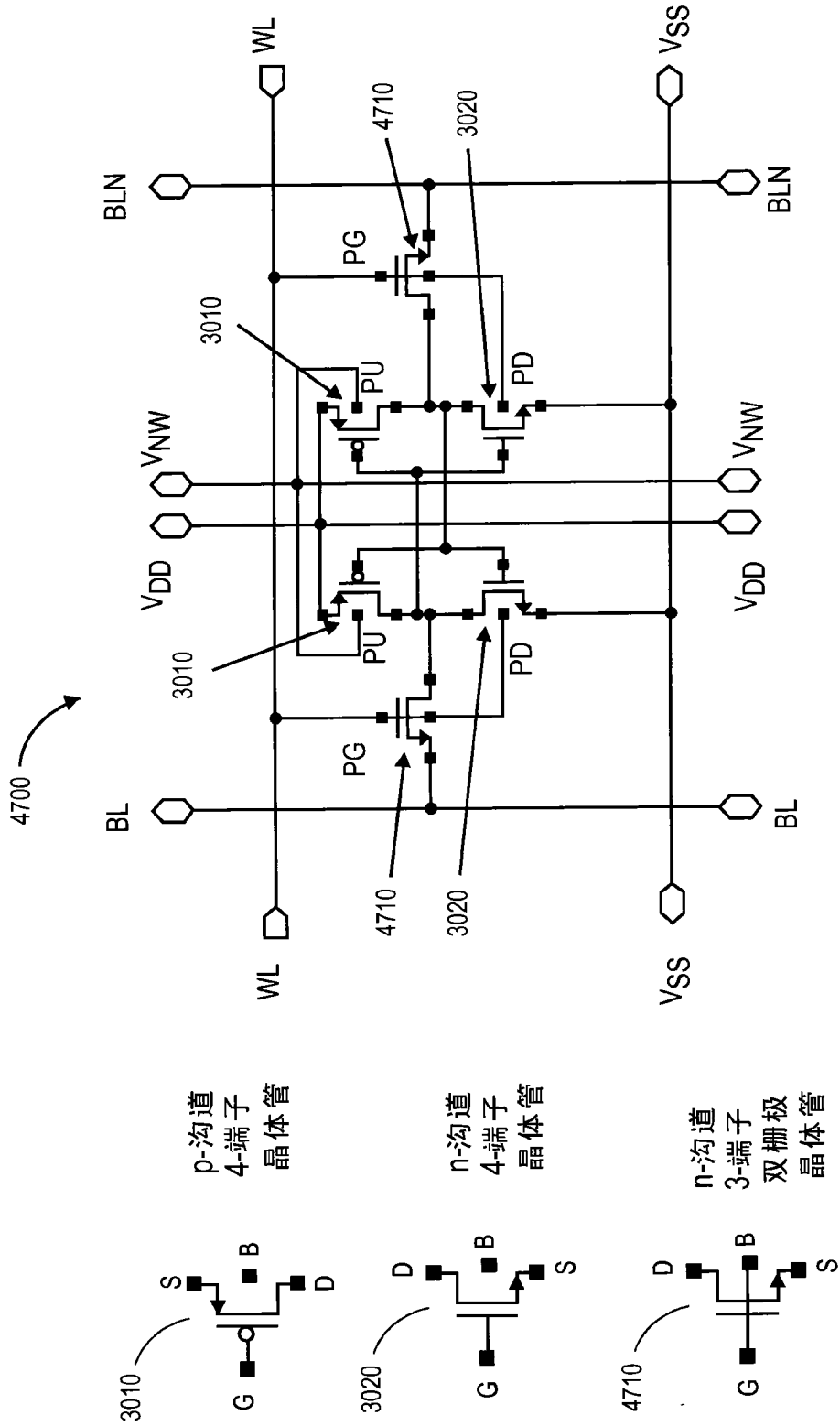


图 47

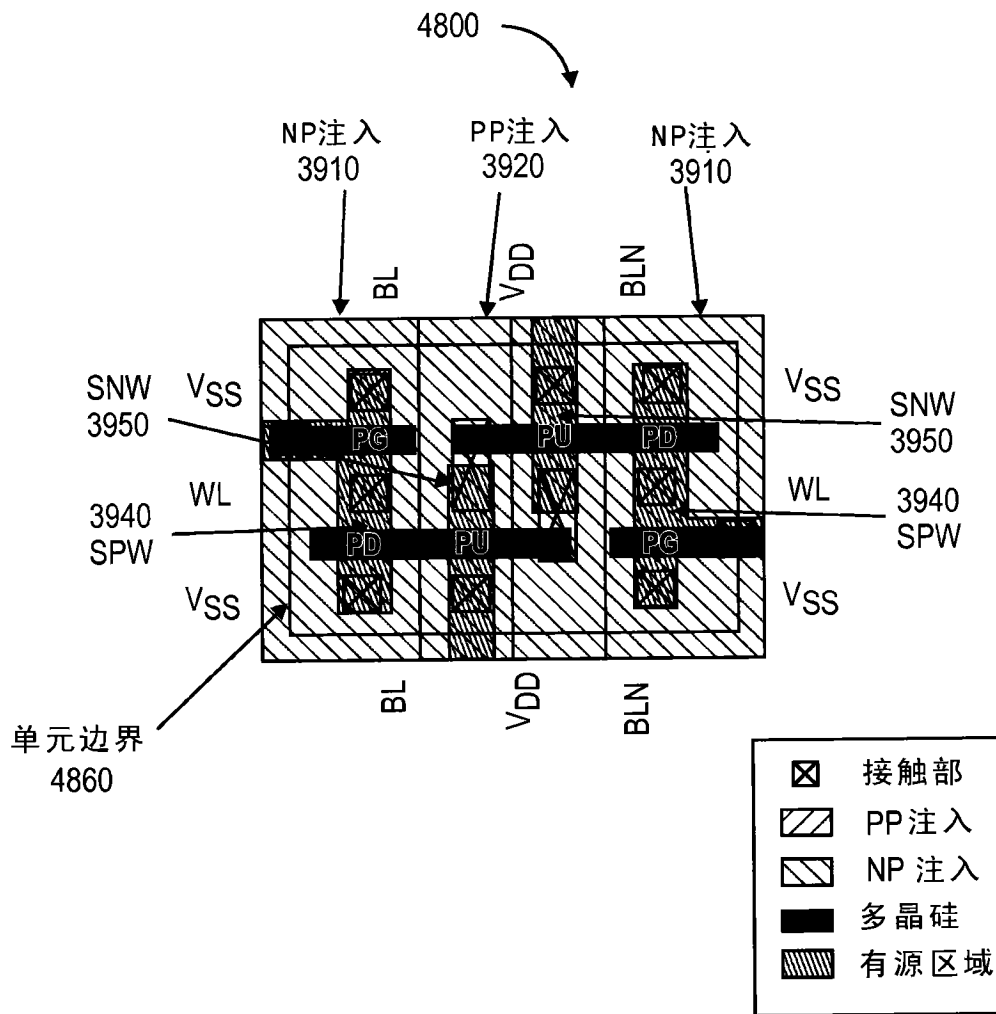


图 48

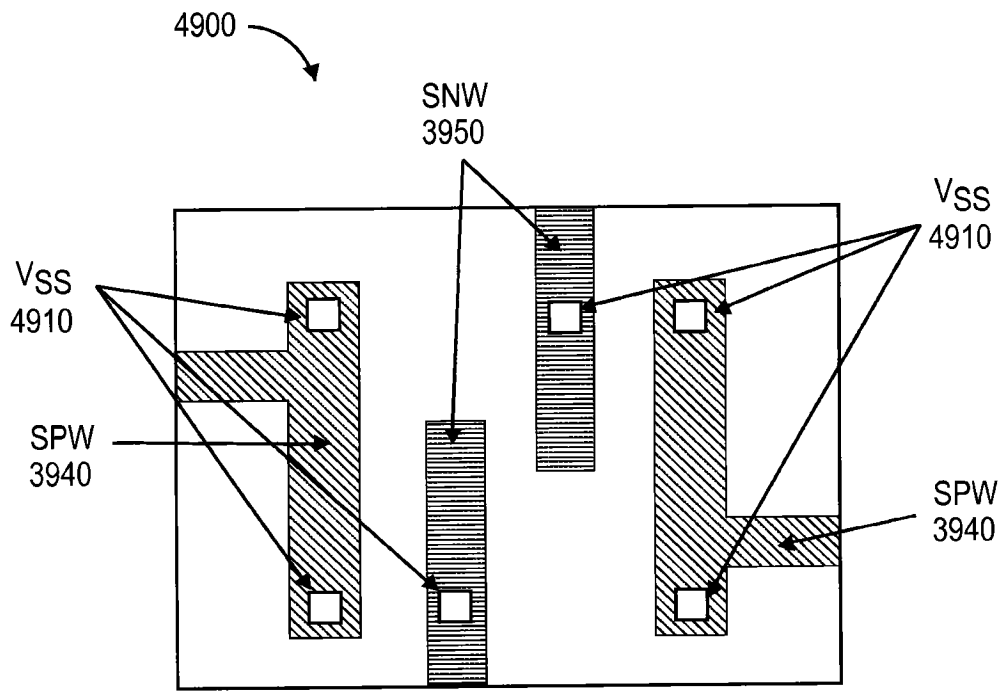


图 49A

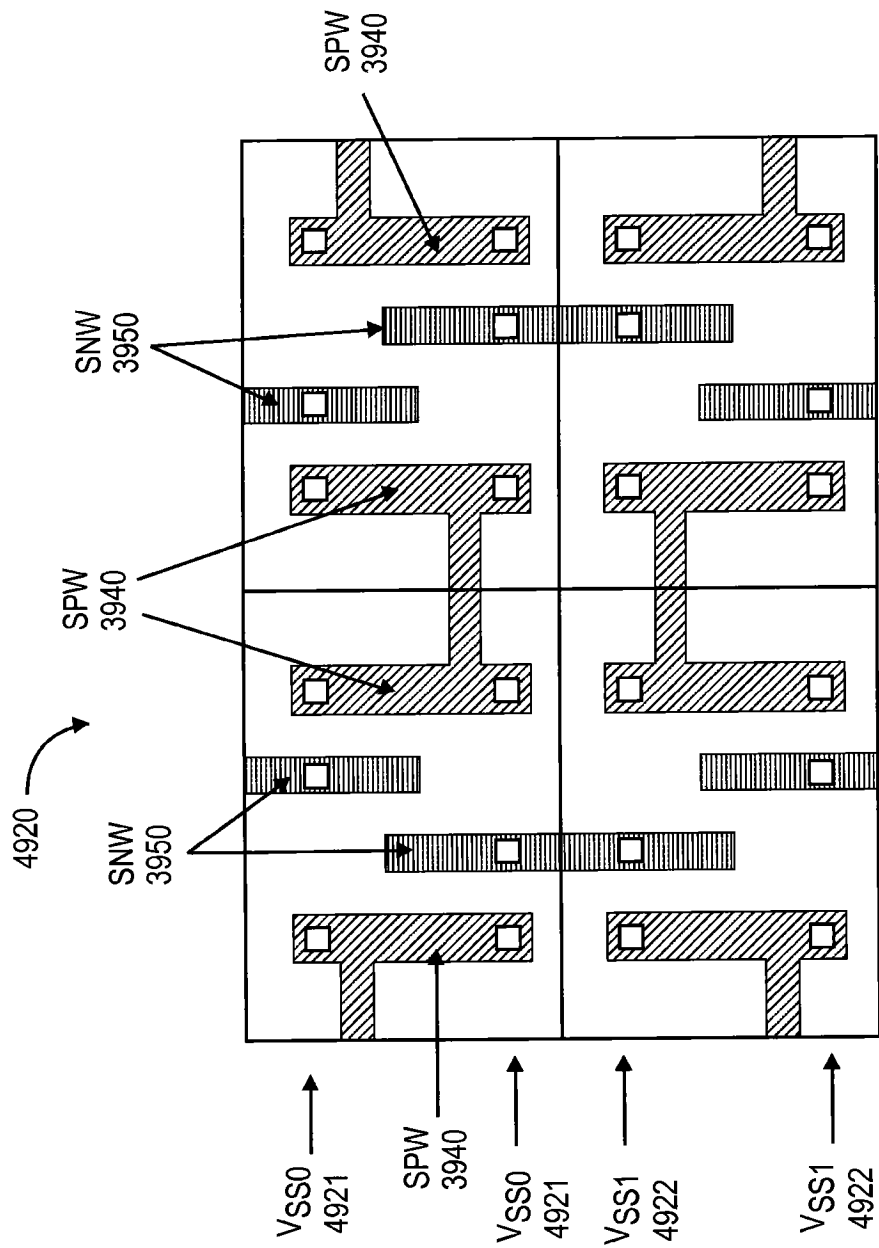


图 49B

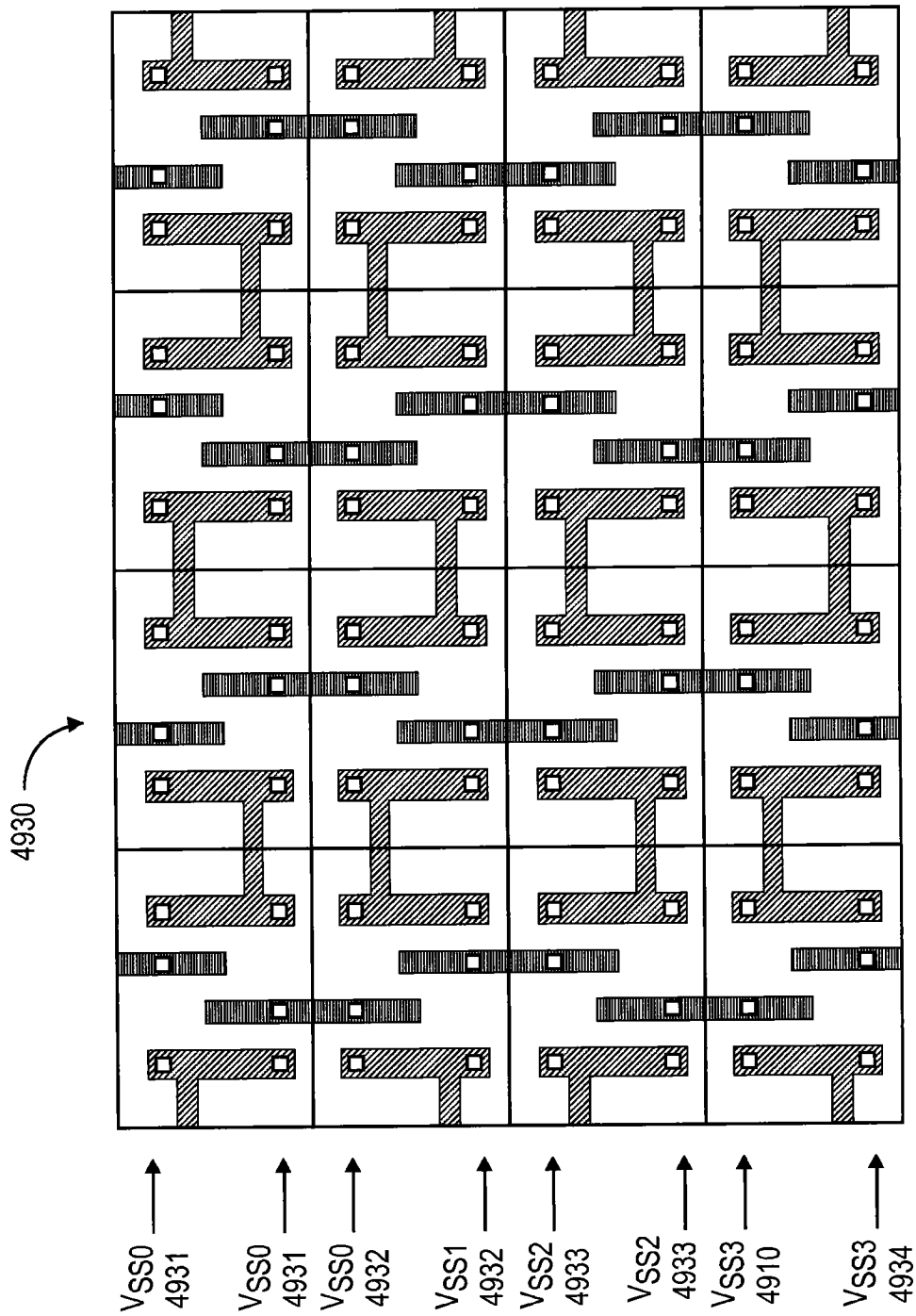


图 49C

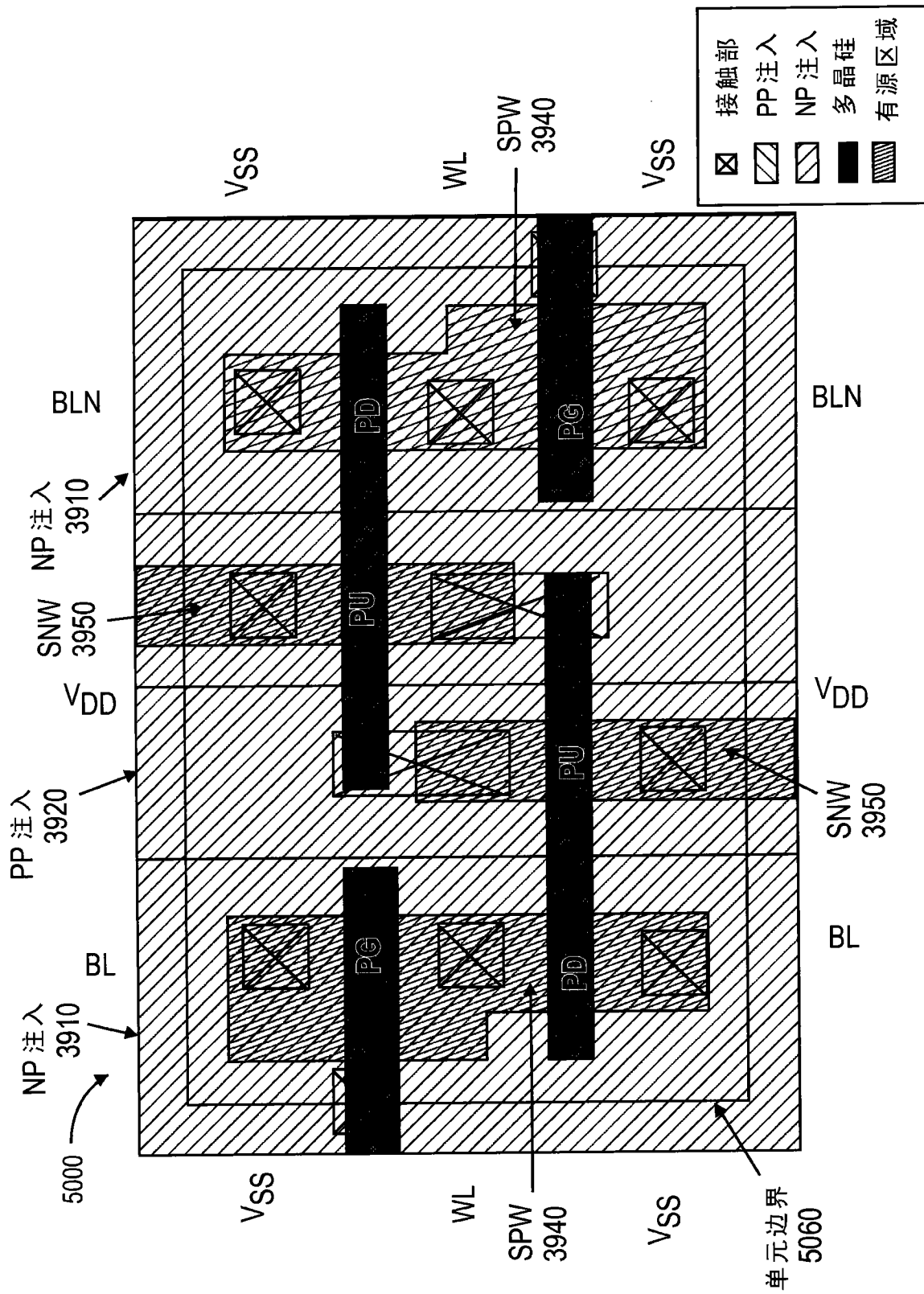


图 50

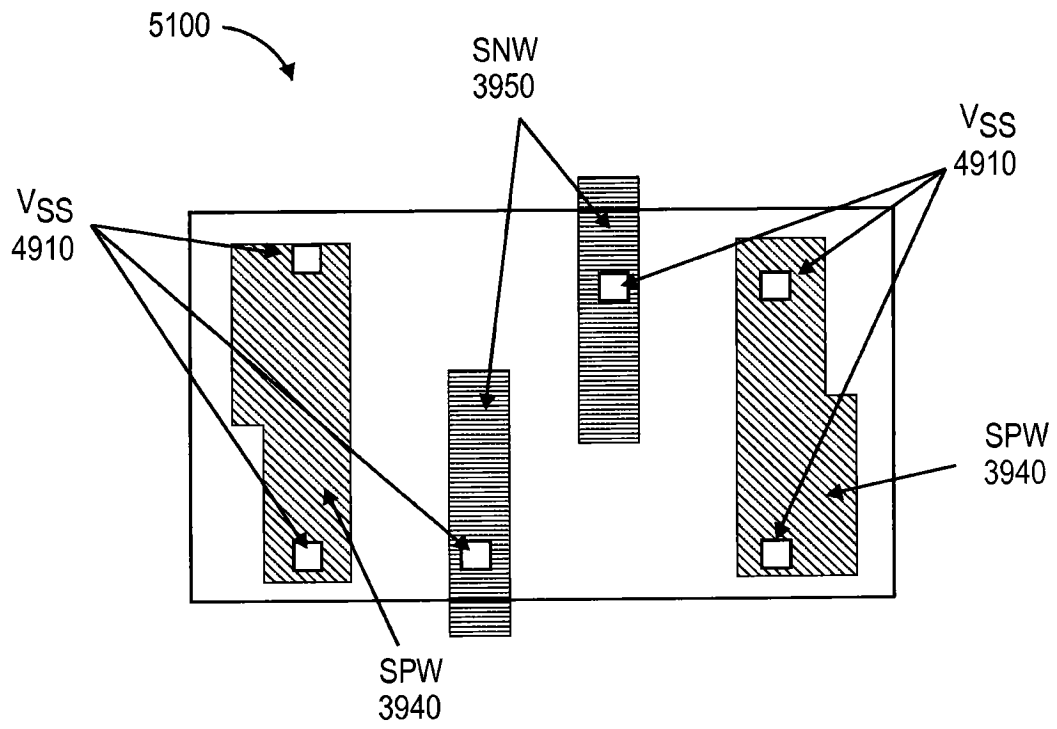


图 51A

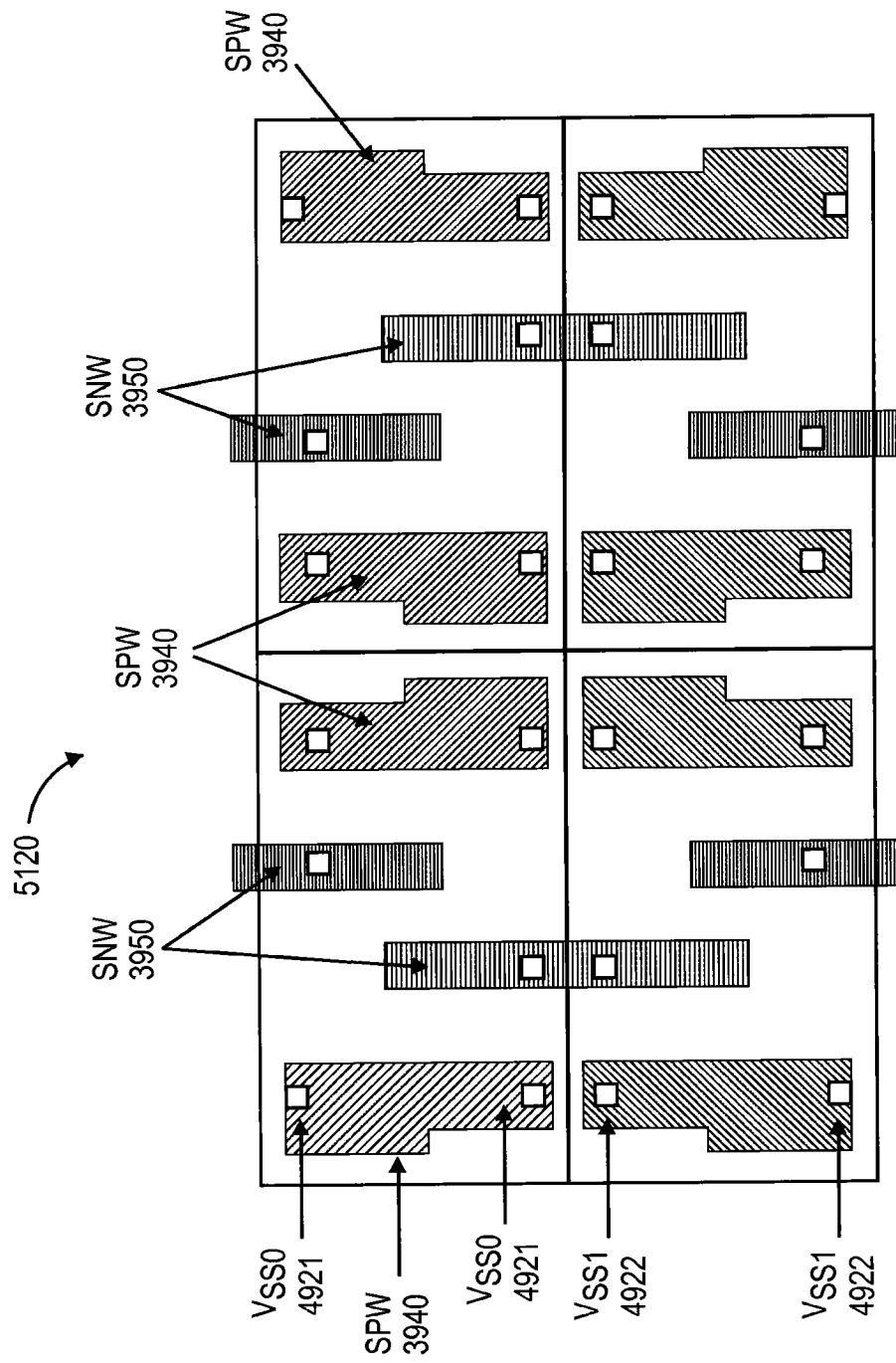


图 51B

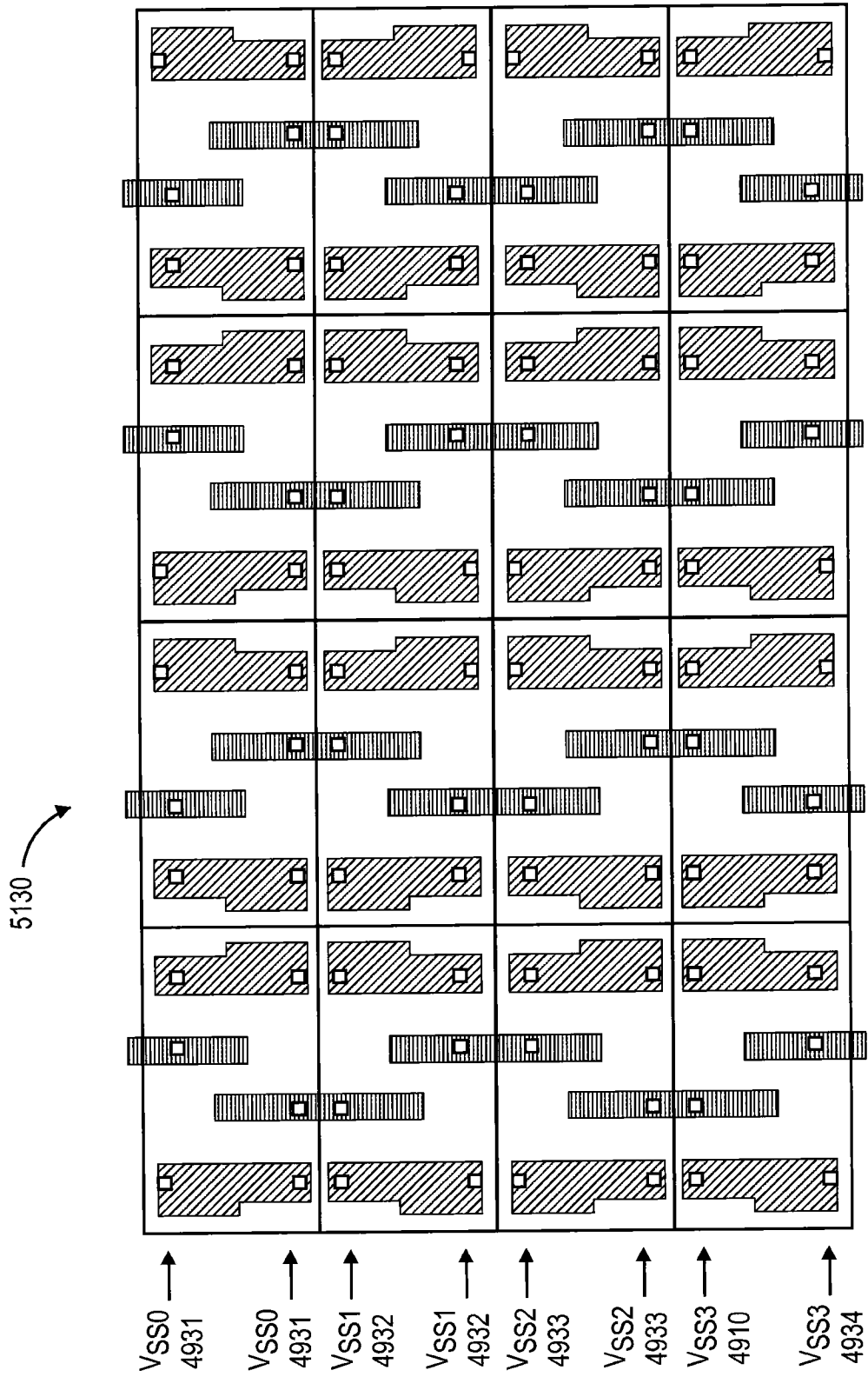


图 51C

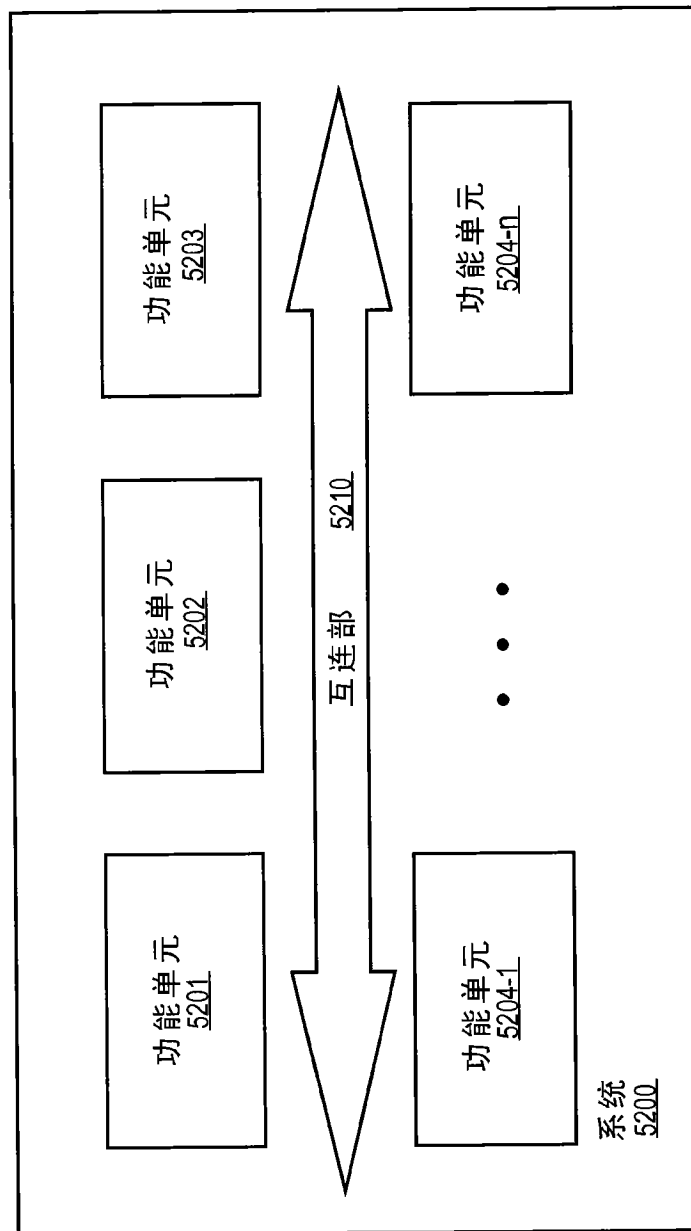


图 52

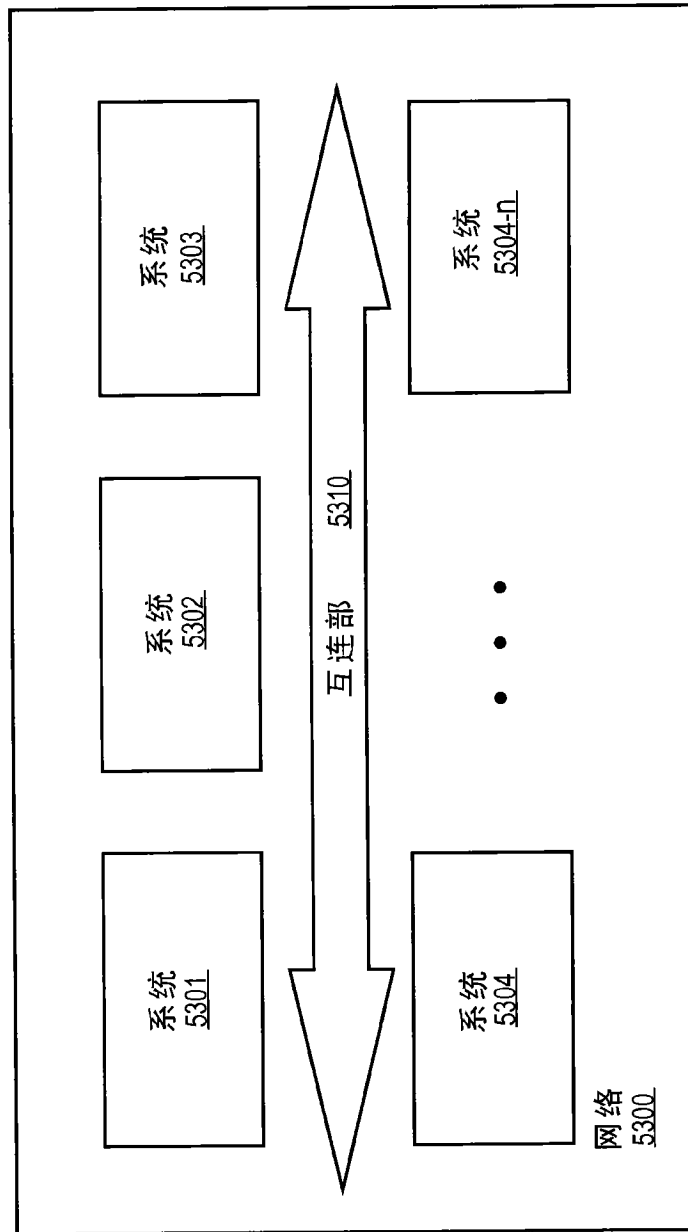


图 53

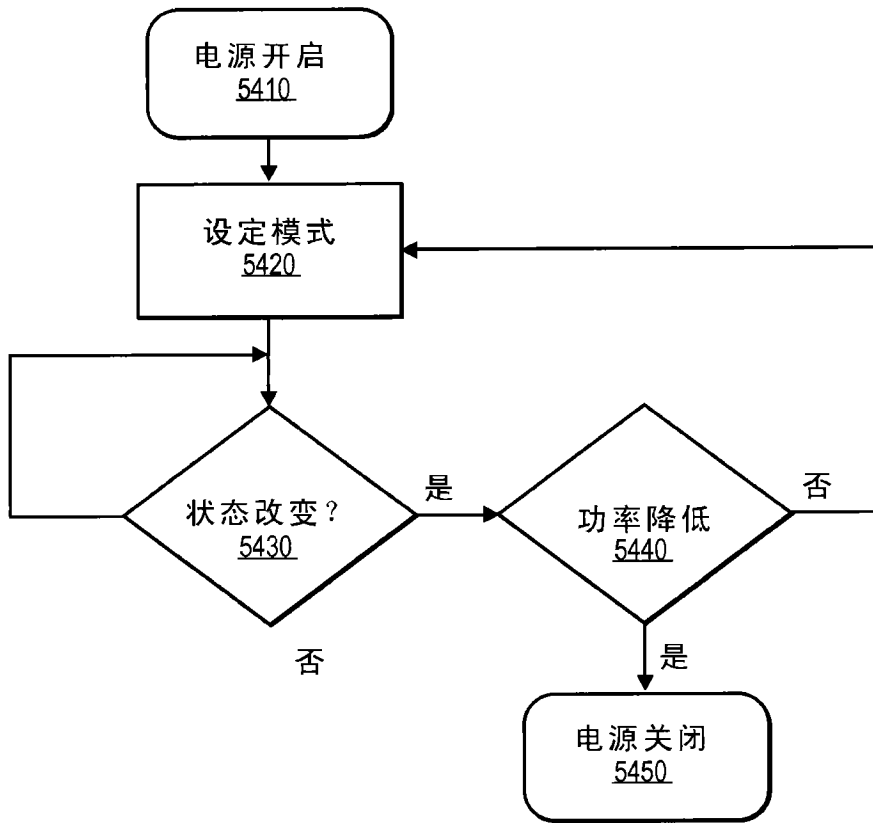


图 54