



(12) 发明专利

(10) 授权公告号 CN 111459704 B

(45) 授权公告日 2023.05.30

(21) 申请号 201910052753.X

(22) 申请日 2019.01.21

(65) 同一申请的已公布的文献号
申请公布号 CN 111459704 A

(43) 申请公布日 2020.07.28

(73) 专利权人 群联电子股份有限公司
地址 中国台湾苗栗县竹南镇群义路1号

(72) 发明人 林纬 刘安城 陈思玮 杨宇翔

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205
专利代理师 罗英 臧建明

(51) Int.Cl.
G06F 11/10 (2006.01)

(56) 对比文件

CN 106158040 A, 2016.11.23

CN 107436820 A, 2017.12.05

US 2016148703 A1, 2016.05.26

US 2017308432 A1, 2017.10.26

审查员 黄碧琴

权利要求书6页 说明书23页 附图11页

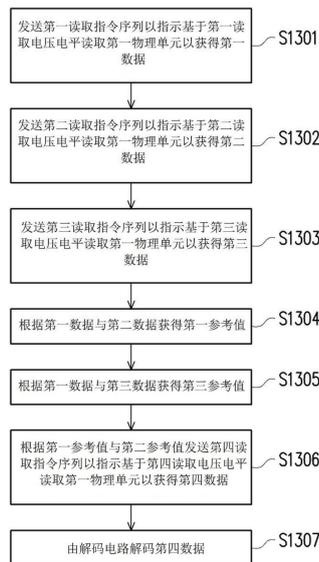
(54) 发明名称

存储器控制方法、存储器存储装置及存储器控制电路单元

(57) 摘要

本发明的范例实施例提供一种存储器控制方法、存储器存储装置及存储器控制电路单元，所述存储器控制方法用于可复写式非易失性存储器模块。所述方法包括：基于第一读取电压电平读取第一物理单元以获得第一数据；基于第二读取电压电平读取所述第一物理单元以获得第二数据；基于第三读取电压电平读取所述第一物理单元以获得第三数据；获得第一参考值，其反映第一数据与第二数据之间的数据变化状况；获得第二参考值，其反映第一数据与第三数据之间的数据变化状况；根据第一参考值与第二参考值而基于第四读取电压电平读取所述第一物理单元以获得第四数据；以及由解码电路解码第四数据。

CN 111459704 B



1. 一种存储器控制方法,用于可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个物理单元,所述存储器控制方法包括:

发送第一读取指令序列以指示基于第一读取电压电平读取所述多个物理单元中的第一物理单元以获得第一数据;

发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据;

发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据;

根据所述第一数据与所述第二数据获得第一参考值,其中所述第一参考值反映所述第一数据与所述第二数据之间的数据变化状况;

根据所述第一数据与所述第三数据获得第二参考值,其中所述第二参考值反映所述第一数据与所述第三数据之间的数据变化状况;

根据所述第一参考值与所述第二参考值之间的数值关系发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据;

由解码电路解码所述第四数据;

根据所述第四数据与目标数据获得第三参考值,其中所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况;

根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据;

由所述解码电路解码所述第五数据;

其中第一电压间隙是所述第四读取电压电平的电压值与所述第二读取电压电平的电压值或所述第三读取电压电平的电压值之间的电压差,

其中第二电压间隙是所述第五读取电压电平的电压值与所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平中的一者的电压值之间的电压差,

其中所述第二电压间隙的电压是所述第一电压间隙的电压的一半,

在进入软比特解码模式之前,收集基于多个读取电压电平读取所述第一物理单元所获得的信息,其中所述多个读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平、所述第四读取电压电平和所述第五读取电压电平;

根据所述信息获得对应于所述第一物理单元的可靠度信息;以及

在进入所述软比特解码模式之前,由所述解码电路根据所述可靠度信息执行解码操作,

其中所述可靠度信息是根据至少两个或更多个电压间隙来确定的。

2. 根据权利要求1所述的存储器控制方法,其中所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值,所述第三读取电压电平的电压值高于所述第一读取电压电平的所述电压值,而根据所述第一参考值与所述第二参考值之间的所述数值关系发送所述第四读取指令序列的步骤包括:

根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压

电平。

3. 根据权利要求2所述的存储器控制方法,其中根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的步骤包括:

若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系,决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值;以及

若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系,决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

4. 根据权利要求1所述的存储器控制方法,其中所述第五读取电压电平的电压值介于所述第二读取电压电平的电压值与所述第三读取电压电平的电压值之间。

5. 根据权利要求1所述的存储器控制方法,其中所述第四读取电压电平的电压值高于所述第三读取电压电平的电压值,且所述第五读取电压电平的电压值高于所述第四读取电压电平的所述电压值。

6. 根据权利要求1所述的存储器控制方法,其中所述第四读取电压电平的电压值低于所述第二读取电压电平的电压值,且所述第五读取电压电平的电压值低于所述第四读取电压电平的所述电压值。

7. 根据权利要求1所述的存储器控制方法,还包括:

由所述解码电路解码所述第一数据;

在解码所述第一数据后,由所述解码电路解码所述第二数据与所述第三数据的其中之一;以及

在解码所述第二数据与所述第三数据的所述其中之一后,由所述解码电路解码所述第二数据与所述第三数据的其中之一。

8. 一种存储器存储装置,包括:

连接接口单元,用以连接至主机系统;

可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个物理单元;以及

存储器控制电路单元,连接至所述连接接口单元与所述可复写式非易失性存储器模块,

其中所述存储器控制电路单元用以发送第一读取指令序列以指示基于第一读取电压电平读取所述多个物理单元中的第一物理单元以获得第一数据,

所述存储器控制电路单元还用以发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据,

所述存储器控制电路单元还用以发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据,

所述存储器控制电路单元还用以根据所述第一数据与所述第二数据获得第一参考值,其中所述第一参考值反映所述第一数据与所述第二数据之间的数据变化状况,

所述存储器控制电路单元还用以根据所述第一数据与所述第三数据获得第二参考值,其中所述第二参考值反映所述第一数据与所述第三数据之间的数据变化状况,

所述存储器控制电路单元还用以根据所述第一参考值与所述第二参考值之间的数值关系发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据,并且

所述存储器控制电路单元还用以解码所述第四数据,

所述存储器控制电路单元还用以根据所述第四数据与目标数据获得第三参考值,其中所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况,

所述存储器控制电路单元还用以根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据,

所述存储器控制电路单元还用以解码所述第五数据,

其中第一电压间隙是所述第四读取电压电平的电压值与所述第二读取电压电平的电压值或所述第三读取电压电平的电压值之间的电压差,

其中第二电压间隙是所述第五读取电压电平的电压值与所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平中的一者的电压值之间的电压差,

其中所述第二电压间隙的电压是所述第一电压间隙的电压的一半,

所述存储器控制电路单元还用以在进入软比特解码模式之前,收集基于多个读取电压电平读取所述第一物理单元所获得的信息,其中所述多个读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平、所述第四读取电压电平和所述第五读取电压电平,

所述存储器控制电路单元还用以根据所述信息获得对应于所述第一物理单元的可靠度信息,并且

所述存储器控制电路单元还用以在进入所述软比特解码模式之前,根据所述可靠度信息执行解码操作,

其中所述可靠度信息是根据至少两个或更多个电压间隙来确定的。

9. 根据权利要求8所述的存储器存储装置,其中所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值,所述第三读取电压电平的电压值高于所述第一读取电压电平的所述电压值,而所述存储器控制电路单元根据所述第一参考值与所述第二参考值之间的所述数值关系发送所述第四读取指令序列的操作包括:

根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平。

10. 根据权利要求9所述的存储器存储装置,其中所述存储器控制电路单元根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的操作包括:

若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系,决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值;以及

若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系,决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

11. 根据权利要求8所述的存储器存储装置,其中所述第五读取电压电平的电压值介于所述第二读取电压电平的电压值与所述第三读取电压电平的电压值之间。

12. 根据权利要求8所述的存储器存储装置,其中所述第四读取电压电平的电压值高于所述第三读取电压电平的电压值,且所述第五读取电压电平的电压值高于所述第四读取电压电平的所述电压值。

13. 根据权利要求8所述的存储器存储装置,其中所述第四读取电压电平的电压值低于所述第二读取电压电平的电压值,且所述第五读取电压电平的电压值低于所述第四读取电压电平的所述电压值。

14. 根据权利要求8所述的存储器存储装置,其中所述存储器控制电路单元还用以解码所述第一数据,

所述存储器控制电路单元还用以在解码所述第一数据后,解码所述第二数据与所述第三数据的其中之一,并且

所述存储器控制电路单元还用以在解码所述第二数据与所述第三数据的所述其中之一后,解码所述第二数据与所述第三数据的其中之一。

15. 一种存储器控制电路单元,用于控制可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个物理单元,其中所述存储器控制电路单元包括:

主机接口,用以连接至主机系统;

存储器接口,用以连接至所述可复写式非易失性存储器模块;

解码电路;以及

存储器管理电路,连接至所述主机接口、所述存储器接口及所述解码电路,

其中所述存储器管理电路用以发送第一读取指令序列以指示基于第一读取电压电平读取所述多个物理单元中的第一物理单元以获得第一数据,

所述存储器管理电路还用以发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据,

所述存储器管理电路还用以发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据,

所述存储器管理电路还用以根据所述第一数据与所述第二数据获得第一参考值,其中所述第一参考值反映所述第一数据与所述第二数据之间的数据变化状况,

所述存储器管理电路还用以根据所述第一数据与所述第三数据获得第二参考值,其中所述第二参考值反映所述第一数据与所述第三数据之间的数据变化状况,

所述存储器管理电路还用以根据所述第一参考值与所述第二参考值之间的数值关系发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据,并且

所述解码电路用以解码所述第四数据,

所述存储器管理电路还用以根据所述第四数据与目标数据获得第三参考值,其中所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况,

所述存储器管理电路还用以根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据,

所述解码电路还用以解码所述第五数据，

其中第一电压间隙是所述第四读取电压电平的电压值与所述第二读取电压电平的电压值或所述第三读取电压电平的电压值之间的电压差，

其中第二电压间隙是所述第五读取电压电平的电压值与所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平中的一者的电压值之间的电压差，

其中所述第二电压间隙的电压是所述第一电压间隙的电压的一半，

所述存储器管理电路还用以在进入软比特解码模式之前，收集基于多个读取电压电平读取所述第一物理单元所获得的信息，其中所述多个读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平、所述第四读取电压电平和所述第五读取电压电平，

所述存储器管理电路还用以根据所述信息获得对应于所述第一物理单元的可靠度信息，并且

所述存储器管理电路还用以在进入所述软比特解码模式之前，指示所述解码电路根据所述可靠度信息执行解码操作，

其中所述可靠度信息是根据至少两个或更多个电压间隙来确定的。

16. 根据权利要求15所述的存储器控制电路单元，其中所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值，所述第三读取电压电平的电压值高于所述第一读取电压电平的所述电压值，而所述存储器管理电路根据所述第一参考值与所述第二参考值之间的所述数值关系发送所述第四读取指令序列的操作包括：

根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平。

17. 根据权利要求16所述的存储器控制电路单元，其中所述存储器管理电路根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的的操作包括：

若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系，决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值；以及

若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系，决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

18. 根据权利要求15所述的存储器控制电路单元，其中所述第五读取电压电平的电压值介于所述第二读取电压电平的电压值与所述第三读取电压电平的电压值之间。

19. 根据权利要求15所述的存储器控制电路单元，其中所述第四读取电压电平的电压值高于所述第三读取电压电平的电压值，且所述第五读取电压电平的电压值高于所述第四读取电压电平的所述电压值。

20. 根据权利要求15所述的存储器控制电路单元，其中所述第四读取电压电平的电压值低于所述第二读取电压电平的电压值，且所述第五读取电压电平的电压值低于所述第四读取电压电平的所述电压值。

21. 根据权利要求15所述的存储器控制电路单元,其中所述解码电路还用以解码所述第一数据,

所述解码电路还用以在解码所述第一数据后,解码所述第二数据与所述第三数据的其中之一,并且

所述解码电路还用以在解码所述第二数据与所述第三数据的所述其中之一后,解码所述第二数据与所述第三数据的其中之一。

存储器控制方法、存储器存储装置及存储器控制电路单元

技术领域

[0001] 本发明涉及一种存储器控制技术,尤其涉及一种存储器控制方法、存储器存储装置及存储器控制电路单元。

背景技术

[0002] 数码相机、移动电话与MP3播放器在这几年来的成长十分迅速,使得消费者对存储媒体的需求也急速增加。由于可复写式非易失性存储器模块(rewritable non-volatile memory module)(例如,快闪存储器)具有数据非易失性、省电、体积小,以及无机械结构等特性,所以非常适合内建于上述所举例的各种可携式多媒体装置中。

[0003] 存储器存储装置中的存储单元是以电压的形式存储数据。例如,处于某一个电压范围的存储单元可用以存储比特“0”,而处于另一个电压范围的存储单元可用以存储比特“1”等等。然而,在存储器存储装置使用一段时间后,存储单元可能发生老化而导致电压偏移。此时,可通过解码从存储单元中读取的数据以尝试更正受电压偏移影响而出现的错误比特。

[0004] 在一般的解码流程中,硬比特解码模式会先被启动以提供快速且低复杂度的解码能力。例如,在硬比特解码模式,一次只使用一个读取电压电平来读取存储单元的数据比特(亦称为硬比特),且这个单一的读取电压电平可根据存储器模块的制造商所提供的重试表格来进行调整。在判定硬比特解码模式失败后,软比特解码模式可被启动,以提供速度较慢但复杂度较高的解码能力。例如,在软比特解码模式中,更多的读取电压电平可被用于读取单一存储单元以获得额外的信息(亦称为软比特)。根据此软比特,数据的解码成功虽可被提高,但缺点是解码速度可能会大幅降低。

发明内容

[0005] 本发明提供一种存储器控制方法、存储器存储装置及存储器控制电路单元,可在进入软比特解码模式之前,即有效提高读取数据的解码成功率,进而提高存储器存储装置的数据读取效能。

[0006] 本发明的范例实施例提供一种存储器控制方法,其用于可复写式非易失性存储器模块。所述可复写式非易失性存储器模块包括多个物理单元。所述存储器控制方法包括:发送第一读取指令序列以指示基于第一读取电压电平读取所述物理单元中的第一物理单元以获得第一数据;发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据;发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据;根据所述第一数据与所述第二数据获得第一参考值,其反映所述第一数据与所述第二数据之间的数据变化状况;根据所述第一数据与所述第三数据获得第二参考值,其反映所述第一数据与所述第三数据之间的数据变化状况;根据所述第一参考值与所述第二参考值发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据;以及由解码电路解码所述第四数据。

[0007] 在本发明的一范例实施例中,所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值,所述第三读取电压电平的电压值高于所述第一读取电压电平的所述电压值,而根据所述第一参考值与所述第二参考值发送所述第四读取指令序列的步骤包括:根据所述第一参考值与所述第二参考值之间的数值关系决定所述第四读取电压电平。

[0008] 在本发明的一范例实施例中,根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的步骤包括:若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系,决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值;以及若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系,决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

[0009] 在本发明的一范例实施例中,所述的存储器控制方法还包括:根据所述第四数据与目标数据获得第三参考值,其中所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况;根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据;以及由所述解码电路解码所述第五数据。

[0010] 在本发明的一范例实施例中,所述的存储器控制方法还包括:在进入软比特解码模式之前,收集基于多个读取电压电平读取所述第一物理单元所获得的信息,其中所述读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平;根据所述信息获得对应于所述第一物理单元的可靠度信息;以及在进入所述软比特解码模式之前,由所述解码电路根据所述可靠度信息执行解码操作。

[0011] 在本发明的一范例实施例中,所述的存储器控制方法还包括:由所述解码电路解码所述第一数据;在解码所述第一数据后,由所述解码电路解码所述第二数据与所述第三数据的其中之一;以及在解码所述第二数据与所述第三数据的所述其中之一后,由所述解码电路解码所述第二数据与所述第三数据的其中之一。

[0012] 本发明的范例实施例另提供一种存储器存储装置,其包括连接接口单元、可复写式非易失性存储器模块及存储器控制电路单元。所述连接接口单元用以连接至主机系统。所述可复写式非易失性存储器模块包括多个物理单元。所述存储器控制电路单元连接至所述连接接口单元与所述可复写式非易失性存储器模块。所述存储器控制电路单元用以发送第一读取指令序列以指示基于第一读取电压电平读取所述物理单元中的第一物理单元以获得第一数据。所述存储器控制电路单元还用以发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据。所述存储器控制电路单元还用以发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据。所述存储器控制电路单元还用以根据所述第一数据与所述第二数据获得第一参考值,其中所述第一参考值反映所述第一数据与所述第二数据之间的数据变化状况。所述存储器控制电路单元还用以根据所述第一数据与所述第三数据获得第二参考值,其中所述第二参考值反映所述第一数据与所述第三数据之间的数据变化状况。所述存储器控制电路单元还用以根据所述第一参考值与所述第二参考值发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据,并且所述存储器控制电路单元还用以解码所述第四数据。

[0013] 在本发明的一范例实施例中,所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值。所述第三读取电压电平的一电压值高于所述第一读取电压电平的所述电压值。所述存储器控制电路单元根据所述第一参考值与所述第二参考值发送所述第四读取指令序列的操作包括:根据所述第一参考值与所述第二参考值之间的数值关系决定所述第四读取电压电平。

[0014] 在本发明的一范例实施例中,所述存储器控制电路单元根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的操作包括:若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系,决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值;以及若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系,决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

[0015] 在本发明的一范例实施例中,所述存储器控制电路单元还用以根据所述第四数据与目标数据获得第三参考值,其中所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况。所述存储器控制电路单元还用以根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据,并且所述存储器控制电路单元还用以解码所述第五数据。

[0016] 在本发明的一范例实施例中,所述存储器控制电路单元还用以在进入软比特解码模式之前,收集基于多个读取电压电平读取所述第一物理单元所获得的信息,其中所述读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平。所述存储器控制电路单元还用以根据所述信息获得对应于所述第一物理单元的可靠度信息。所述存储器控制电路单元还用以在进入所述软比特解码模式之前,根据所述可靠度信息执行解码操作。

[0017] 在本发明的一范例实施例中,所述存储器控制电路单元还用以解码所述第一数据。所述存储器控制电路单元还用以在解码所述第一数据后,解码所述第二数据与所述第三数据的其中之一。所述存储器控制电路单元还用以在解码所述第二数据与所述第三数据的所述其中之一后,解码所述第二数据与所述第三数据的其中之一。

[0018] 本发明的范例实施例另提供一种存储器控制电路单元,其用于控制可复写式非易失性存储器模块。所述可复写式非易失性存储器模块包括多个物理单元。所述存储器控制电路单元包括主机接口、存储器接口、解码电路及存储器管理电路。所述主机接口用以连接至主机系统。所述存储器接口用以连接至所述可复写式非易失性存储器模块。所述存储器管理电路连接至所述主机接口、所述存储器接口及所述解码电路。所述存储器管理电路用以发送第一读取指令序列以指示基于第一读取电压电平读取所述物理单元中的第一物理单元以获得第一数据。所述存储器管理电路还用以发送第二读取指令序列以指示基于第二读取电压电平读取所述第一物理单元以获得第二数据。所述存储器管理电路还用以发送第三读取指令序列以指示基于第三读取电压电平读取所述第一物理单元以获得第三数据。所述存储器管理电路还用以根据所述第一数据与所述第二数据获得第一参考值,其中所述第一参考值反映所述第一数据与所述第二数据之间的数据变化状况。所述存储器管理电路还用以根据所述第一数据与所述第三数据获得第二参考值,其中所述第二参考值反映所述第

一数据与所述第三数据之间的数据变化状况。所述存储器管理电路还用以根据所述第一参考值与所述第二参考值发送第四读取指令序列以指示基于第四读取电压电平读取所述第一物理单元以获得第四数据,并且所述解码电路用以解码所述第四数据。

[0019] 在本发明的一范例实施例中,所述第一读取电压电平的电压值高于所述第二读取电压电平的电压值。所述第三读取电压电平的电压值高于所述第一读取电压电平的所述电压值。所述存储器管理电路根据所述第一参考值与所述第二参考值发送所述第四读取指令序列的操作包括:根据所述第一参考值与所述第二参考值之间的数值关系决定所述第四读取电压电平。

[0020] 在本发明的一范例实施例中,所述存储器管理电路根据所述第一参考值与所述第二参考值之间的所述数值关系决定所述第四读取电压电平的操作包括:若所述第一参考值与所述第二参考值之间的所述数值关系为第一数值关系,决定所述第四读取电压电平且所述第四读取电压电平的电压值高于所述第三读取电压电平的所述电压值;以及若所述第一参考值与所述第二参考值之间的所述数值关系为第二数值关系,决定所述第四读取电压电平且所述第四读取电压电平的所述电压值低于所述第二读取电压电平的所述电压值。

[0021] 在本发明的一范例实施例中,所述存储器管理电路还用以根据所述第四数据与目标数据获得第三参考值。所述目标数据为所述第二数据与所述第三数据的其中之一,且所述第三参考值反映所述第四数据与所述目标数据之间的数据变化状况。所述存储器管理电路还用以根据所述第三参考值发送第五读取指令序列以指示基于第五读取电压电平读取所述第一物理单元以获得第五数据,并且所述解码电路还用以解码所述第五数据。

[0022] 在本发明的一范例实施例中,所述第五读取电压电平的电压值介于所述第二读取电压电平的电压值与所述第三读取电压电平的电压值之间。

[0023] 在本发明的一范例实施例中,所述第四读取电压电平的电压值高于所述第三读取电压电平的电压值,且所述第五读取电压电平的电压值高于所述第四读取电压电平的所述电压值。

[0024] 在本发明的一范例实施例中,所述第四读取电压电平的电压值低于所述第二读取电压电平的电压值,且所述第五读取电压电平的电压值低于所述第四读取电压电平的所述电压值。

[0025] 在本发明的一范例实施例中,所述存储器管理电路还用以在进入软比特解码模式之前,收集基于多个读取电压电平读取所述第一物理单元所获得的信息,其中所述读取电压电平包括所述第一读取电压电平、所述第二读取电压电平、所述第三读取电压电平及所述第四读取电压电平。所述存储器管理电路还用以根据所述信息获得对应于所述第一物理单元的可靠度信息。所述存储器管理电路还用以在进入所述软比特解码模式之前,指示所述解码电路根据所述可靠度信息执行解码操作。

[0026] 在本发明的一范例实施例中,所述解码电路还用以解码所述第一数据。所述解码电路还用以在解码所述第一数据后,解码所述第二数据与所述第三数据的其中之一。所述解码电路还用以在解码所述第二数据与所述第三数据的所述其中之一后,解码所述第二数据与所述第三数据的其中之一。

[0027] 基于上述,第一读取电压电平、第二读取电压电平及第三读取电压电平可被用于读取第一物理单元以分别获得第一数据、第二数据及第三数据。反映第一数据与第二数据

之间的数据变化状况的第一参考值与反映第一数据与第三数据之间的数据变化状况的第二参考值可被获得。根据第一参考值与第二参考值,第四读取电压电平可被用于读取第一物理单元以获得第四数据。解码电路可解码第四数据。藉此,即便未进入软比特解码模式,解码电路的解码成功率亦可有效提高,进而提高存储器存储装置的数据读取效能。

[0028] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0029] 图1是根据本发明的一范例实施例所示出的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图;

[0030] 图2是根据本发明的另一范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图;

[0031] 图3是根据本发明的另一范例实施例所示出的主机系统与存储器存储装置的示意图;

[0032] 图4是根据本发明的一范例实施例所示出的存储器存储装置的概要方块图;

[0033] 图5是根据本发明的一范例实施例所示出的存储器控制电路单元的概要方块图;

[0034] 图6A是根据本发明的一范例实施例所示出的管理可复写式非易失性存储器模块的示意图;

[0035] 图6B是根据本发明的一范例实施例所示出的决定读取电压电平的示意图;

[0036] 图7A至图7C是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图;

[0037] 图8A至图8C是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图;

[0038] 图9是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图;

[0039] 图10是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图;

[0040] 图11是根据本发明的一范例实施例所示出的在第一解码模式中可获得可靠度信息的示意图;

[0041] 图12是根据本发明的一范例实施例所示出的在第二解码模式中可获得可靠度信息的示意图;

[0042] 图13是根据本发明的一范例实施例所示出的存储器控制方法的流程图;

[0043] 图14是根据本发明的一范例实施例所示出的存储器控制方法的流程图。

[0044] 附图标记说明

[0045] 10、30:存储器存储装置

[0046] 11、31:主机系统

[0047] 110:系统总线

[0048] 111:处理器

[0049] 112:随机存取存储器

- [0050] 113:只读存储器
- [0051] 114:数据传输接口
- [0052] 12:输入/输出(I/O)装置
- [0053] 20:主机板
- [0054] 201:U盘
- [0055] 202:存储卡
- [0056] 203:固态硬盘
- [0057] 204:无线存储器存储装置
- [0058] 205:全球定位系统模块
- [0059] 206:网络接口卡
- [0060] 207:无线传输装置
- [0061] 208:键盘
- [0062] 209:屏幕
- [0063] 210:喇叭
- [0064] 32:SD卡
- [0065] 33:CF卡
- [0066] 34:嵌入式存储装置
- [0067] 341:嵌入式多媒体卡
- [0068] 342:嵌入式多芯片封装存储装置
- [0069] 402:连接接口单元
- [0070] 404:存储器控制电路单元
- [0071] 406:可复写式非易失性存储器模块
- [0072] 502:存储器管理电路
- [0073] 504:主机接口
- [0074] 506:存储器接口
- [0075] 508:错误检查与校正电路
- [0076] 510:缓冲存储器
- [0077] 512:电源管理电路
- [0078] 601:存储区
- [0079] 602:替换区
- [0080] 610(0)~610(B):物理单元
- [0081] 612(0)~612(C):逻辑单元
- [0082] 710、720、810、820、910、920、1010、1020:状态
- [0083] 701~706、801~806、901~906、1001~1006、1201~1205:读取电压电平
- [0084] 1110~1170、1210~1260:电压范围
- [0085] S1301:步骤(发送第一读取指令序列以指示基于第一读取电压电平读取第一物理单元以获得第一数据)
- [0086] S1302:步骤(发送第二读取指令序列以指示基于第二读取电压电平读取第一物理单元以获得第二数据)

- [0087] S1303:步骤(发送第三读取指令序列以指示基于第三读取电压电平读取第一物理单元以获得第三数据)
- [0088] S1304:步骤(根据第一数据与第二数据获得第一参考值)
- [0089] S1305:步骤(根据第一数据与第三数据获得第二参考值)
- [0090] S1306:步骤(根据第一参考值与第二参考值发送第四读取指令序列以指示基于第四读取电压电平读取第一物理单元以获得第四数据)
- [0091] S1307:步骤(由解码电路解码第四数据)
- [0092] S1401:步骤(发送一读取指令序列以指示基于一读取电压电平读取第一物理单元)
- [0093] S1402:步骤(是否满足更新可靠度信息的条件)
- [0094] S1403:步骤(由解码电路解码数据)
- [0095] S1404:步骤(是否解码成功)
- [0096] S1405:步骤(输出解码成功的数据)
- [0097] S1406:步骤(重试计数是否达到预设值)
- [0098] S1407:步骤(调整读取电压电平并更新重试计数)
- [0099] S1408:步骤(更新可靠度信息)
- [0100] S1409:步骤(进入软比特解码模式)

具体实施方式

[0101] 一般而言,存储器存储装置(亦称,存储器存储系统)包括可复写式非易失性存储器模块(rewritable non-volatile memory module)与控制器(亦称,控制电路)。通常存储器存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0102] 图1是根据本发明的一范例实施例所示出的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图。图2是根据本发明的另一范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图。

[0103] 请参照图1与图2,主机系统11一般包括处理器111、随机存取存储器(random access memory,RAM)112、只读存储器(read only memory,ROM)113及数据传输接口114。处理器111、随机存取存储器112、只读存储器113及数据传输接口114皆连接至系统总线(system bus)110。

[0104] 在本范例实施例中,主机系统11是通过数据传输接口114与存储器存储装置10连接。例如,主机系统11可经由数据传输接口114将数据存储至存储器存储装置10或从存储器存储装置10中读取数据。此外,主机系统11是通过系统总线110与I/O装置12连接。例如,主机系统11可经由系统总线110将输出信号传送至I/O装置12或从I/O装置12接收输入信号。

[0105] 在本范例实施例中,处理器111、随机存取存储器112、只读存储器113及数据传输接口114可设置在主机系统11的主机板20上。数据传输接口114的数目可以是一或多个。通过数据传输接口114,主机板20可以经由有线或无线方式连接至存储器存储装置10。存储器存储装置10可例如是U盘201、存储卡202、固态硬盘(Solid State Drive,SSD)203或无线存储器存储装置204。无线存储器存储装置204可例如是近距离无线通讯(Near Field

Communication,NFC)存储器存储装置、无线传真(WiFi)存储器存储装置、蓝牙(Bluetooth)存储器存储装置或低功耗蓝牙存储器存储装置(例如,iBeacon)等以各式无线通讯技术为基础的存储器存储装置。此外,主机板20也可以通过系统总线110连接至全球定位系统(Global Positioning System,GPS)模块205、网络接口卡206、无线传输装置207、键盘208、屏幕209、喇叭210等各式I/O装置。例如,在一范例实施例中,主机板20可通过无线传输装置207存取无线存储器存储装置204。

[0106] 在一范例实施例中,所提及的主机系统为可实质地与存储器存储装置配合以存储数据的任意系统。虽然在上述范例实施例中,主机系统是以电脑系统来作说明,然而,图3是根据本发明的另一范例实施例所示出的主机系统与存储器存储装置的示意图。请参照图3,在另一范例实施例中,主机系统31也可以是数码相机、摄影机、通讯装置、音频播放器、视频播放器或平板电脑等系统,而存储器存储装置30可为其所使用的安全数字(Secure Digital,SD)卡32、小型快闪(Compact Flash,CF)卡33或嵌入式存储装置34等各式非易失性存储器存储装置。嵌入式存储装置34包括嵌入式多媒体卡(embedded Multi Media Card,eMMC)341和/或嵌入式多芯片封装(embedded Multi Chip Package,eMCP)存储装置342等各类型将存储器模块直接连接于主机系统的基板上的嵌入式存储装置。

[0107] 图4是根据本发明的一范例实施例所示出的存储器存储装置的概要方块图。

[0108] 请参照图4,存储器存储装置10包括连接接口单元402、存储器控制电路单元404与可复写式非易失性存储器模块406。

[0109] 连接接口单元402用以将存储器存储装置10连接至主机系统11。存储器存储装置10可通过连接接口单元402与主机系统11通讯。在本范例实施例中,连接接口单元402是相容于串行高级技术附件(Serial Advanced Technology Attachment,SATA)标准。然而,必须了解的是,本发明不限于此,连接接口单元402亦可以是符合并行高级技术附件(Parallel Advanced Technology Attachment,PATA)标准、电气和电子工程师协会(Institute of Electrical and Electronic Engineers,IEEE)1394标准、高速周边零件连接接口(Peripheral Component Interconnect Express,PCI Express)标准、通用串行总线(Universal Serial Bus,USB)标准、SD接口标准、超高速一代(Ultra High Speed-I,UHS-I)接口标准、超高速二代(Ultra High Speed-II,UHS-II)接口标准、存储棒(Memory Stick,MS)接口标准、MCP接口标准、MMC接口标准、eMMC接口标准、通用快闪存储器(Universal Flash Storage,UFS)接口标准、eMCP接口标准、CF接口标准、整合式驱动电子接口(Integrated Device Electronics,IDE)标准或其他适合的标准。连接接口单元402可与存储器控制电路单元404封装在一个芯片中,或者连接接口单元402是布设于一包含存储器控制电路单元404的芯片外。

[0110] 存储器控制电路单元404用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令并且根据主机系统11的指令在可复写式非易失性存储器模块406中进行数据的写入、读取与抹除等运作。

[0111] 可复写式非易失性存储器模块406是连接至存储器控制电路单元404并且用以存储主机系统11所写入的数据。可复写式非易失性存储器模块406可以是单阶存储单元(Single Level Cell,SLC)NAND型快闪存储器模块(即,一个存储单元中可存储1个比特的快闪存储器模块)、多阶存储单元(Multi Level Cell,MLC)NAND型快闪存储器模块(即,一

个存储单元中可存储2个比特的快闪存储器模块)、三阶存储单元(Triple Level Cell, TLC)NAND型快闪存储器模块(即,一个存储单元中可存储3个比特的快闪存储器模块)、四阶存储单元(Quad Level Cell, TLC)NAND型快闪存储器模块(即,一个存储单元中可存储4个比特的快闪存储器模块)、其他快闪存储器模块或其他具有相同特性的存储器模块。

[0112] 可复写式非易失性存储器模块406中的每一个存储单元是以电压(以下亦称为临界电压)的改变来存储一或多个比特。具体来说,每一个存储单元的控制栅极(control gate)与通道之间有一个电荷捕捉层。通过施予一写入电压至控制栅极,可以改变电荷捕捉层的电子量,进而改变存储单元的临界电压。此改变存储单元的临界电压的操作亦称为“把数据写入至存储单元”或“程序化(programming)存储单元”。随着临界电压的改变,可复写式非易失性存储器模块406中的每一个存储单元具有多个存储状态。通过施予读取电压可以判断一个存储单元是属于哪一个存储状态,藉此取得此存储单元所存储的一或多个比特。

[0113] 在本范例实施例中,可复写式非易失性存储器模块406的存储单元可构成多个物理程序化单元,并且这些物理程序化单元可构成多个物理抹除单元。具体来说,同一条字线上的存储单元可组成一或多个物理程序化单元。若每一个存储单元可存储2个以上的比特,则同一条字线上的物理程序化单元可至少可被分类为下物理程序化单元与上物理程序化单元。例如,一存储单元的最低有效比特(Least Significant Bit, LSB)是属于下物理程序化单元,并且一存储单元的最高有效比特(Most Significant Bit, MSB)是属于上物理程序化单元。一般来说,在MLC NAND型快闪存储器中,下物理程序化单元的写入速度会大于上物理程序化单元的写入速度,和/或下物理程序化单元的可靠度是高于上物理程序化单元的可靠度。

[0114] 在本范例实施例中,物理程序化单元为程序化的最小单元。即,物理程序化单元为写入数据的最小单元。例如,物理程序化单元可为物理页面(page)或是实体扇(sector)。若物理程序化单元为实体页面,则这些物理程序化单元可包括数据比特区与冗余(redundancy)比特区。数据比特区包含多个实体扇,用以存储使用者数据,而冗余比特区用以存储系统数据(例如,错误更正码等管理数据)。在本范例实施例中,数据比特区包含32个实体扇,且一个实体扇的大小为512字节(byte, B)。然而,在其他范例实施例中,数据比特区中也可包含8个、16个或数目更多或更少的实体扇,并且每一个实体扇的大小也可以是更大或更小。另一方面,物理抹除单元为抹除的最小单位。亦即,每一物理抹除单元含有最小数目之一并被抹除的存储单元。例如,物理抹除单元为物理区块(block)。

[0115] 图5是根据本发明的一范例实施例所示出的存储器控制电路单元的概要方块图。

[0116] 请参照图5,存储器控制电路单元404包括存储器管理电路502、主机接口504及存储器接口506。

[0117] 存储器管理电路502用以控制存储器控制电路单元404的整体运作。具体来说,存储器管理电路502具有多个控制指令,并且在存储器存储装置10运作时,这些控制指令会被执行以进行数据的写入、读取与抹除等运作。以下说明存储器管理电路502的操作时,等同于说明存储器控制电路单元404的操作。

[0118] 在本范例实施例中,存储器管理电路502的控制指令是以固件型式来实作。例如,存储器管理电路502具有微处理器单元(未示出)与只读存储器(未示出),并且这些控制指

令是被烧录至此只读存储器中。当存储器存储装置10运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与抹除等运作。

[0119] 在另一范例实施例中,存储器管理电路502的控制指令亦可以程序码型式存储于可复写式非易失性存储器模块406的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路502具有微处理器单元(未示出)、只读存储器(未示出)及随机存取存储器(未示出)。特别是,此只读存储器具有开机码(boot code),并且当存储器控制电路单元404被致能时,微处理器单元会先执行此开机码来将存储于可复写式非易失性存储器模块406中的控制指令载入至存储器管理电路502的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与抹除等运作。

[0120] 此外,在另一范例实施例中,存储器管理电路502的控制指令亦可以一硬件型式来实作。例如,存储器管理电路502包括微控制器、存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路。存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路是连接至微控制器。存储单元管理电路用以管理可复写式非易失性存储器模块406的存储单元或存储单元群组。存储器写入电路用以对可复写式非易失性存储器模块406下达写入指令序列以将数据写入至可复写式非易失性存储器模块406中。存储器读取电路用以对可复写式非易失性存储器模块406下达读取指令序列以从可复写式非易失性存储器模块406中读取数据。存储器抹除电路用以对可复写式非易失性存储器模块406下达抹除指令序列以将数据从可复写式非易失性存储器模块406中抹除。数据处理电路用以处理欲写入至可复写式非易失性存储器模块406的数据以及从可复写式非易失性存储器模块406中读取的数据。写入指令序列、读取指令序列及抹除指令序列可各别包括一或多个程序码或指令码并且用以指示可复写式非易失性存储器模块406执行相对应的写入、读取及抹除等操作。在一范例实施例中,存储器管理电路502还可以下达其他类型的指令序列给可复写式非易失性存储器模块406以指示执行相对应的操作。

[0121] 主机接口504是连接至存储器管理电路502。存储器管理电路502可通过主机接口504与主机系统11通讯。主机接口504可用以接收与识别主机系统11所传送的指令与数据。例如,主机系统11所传送的指令与数据可通过主机接口504来传送至存储器管理电路502。此外,存储器管理电路502可通过主机接口504将数据传送至主机系统11。在本范例实施例中,主机接口504是相容于SATA标准。然而,必须了解的是本发明不限于此,主机接口504也可以是相容于PATA标准、IEEE 1394标准、PCI Express标准、USB标准、SD标准、UHS-I标准、UHS-II标准、MS标准、MMC标准、eMMC标准、UFS标准、CF标准、IDE标准或其他适合的数据传输标准。

[0122] 存储器接口506是连接至存储器管理电路502并且用以存取可复写式非易失性存储器模块406。也就是说,欲写入至可复写式非易失性存储器模块406的数据会经由存储器接口506转换为可复写式非易失性存储器模块406所能接受的格式。具体来说,若存储器管理电路502要存取可复写式非易失性存储器模块406,存储器接口506会传送对应的指令序列。例如,这些指令序列可包括指示写入数据的写入指令序列、指示读取数据的读取指令序列、指示抹除数据的抹除指令序列、以及用以指示各种存储器操作(例如,改变读取电压电平或执行垃圾回收操作等等)的相对应的指令序列。这些指令序列例如是由存储器管理电路502产生并且通过存储器接口506传送至可复写式非易失性存储器模块406。这些指令序

列可包括一或多个信号,或是在总线上的数据。这些信号或数据可包括指令码或程序码。例如,在读取指令序列中,会包括读取的标识码、存储器地址等信息。

[0123] 在一范例实施例中,存储器控制电路单元404还包括错误检查与校正电路508、缓冲存储器510与电源管理电路512。

[0124] 错误检查与校正电路508是连接至存储器管理电路502并且用以执行错误检查与校正操作以确保数据的正确性。具体来说,当存储器管理电路502从主机系统11中接收到写入指令时,错误检查与校正电路508可为对应此写入指令的数据产生对应的错误更正码(error correcting code,ECC)和/或错误检查码(error detecting code,EDC),并且存储器管理电路502会将对应此写入指令的数据与对应的错误更正码和/或错误检查码写入至可复写式非易失性存储器模块406中。之后,当存储器管理电路502从可复写式非易失性存储器模块406中读取数据时会同时读取此数据对应的错误更正码和/或错误检查码,并且错误检查与校正电路508会依据此错误更正码和/或错误检查码对所读取的数据执行错误检查与校正操作。

[0125] 缓冲存储器510是连接至存储器管理电路502并且用以暂存来自于主机系统11的数据与指令或来自于可复写式非易失性存储器模块406的数据。电源管理电路512是连接至存储器管理电路502并且用以控制存储器存储装置10的电源。

[0126] 在一范例实施例中,图4的可复写式非易失性存储器模块406亦称为快闪(flash)存储器模块,存储器控制电路单元404亦称为用于控制快闪存储器模块的快闪存储器控制器,和/或图5的存储器管理电路502亦称为快闪存储器管理电路。

[0127] 图6A是根据本发明的一范例实施例所示出的管理可复写式非易失性存储器模块的示意图。

[0128] 请参照图6A,存储器管理电路502可将可复写式非易失性存储器模块406的物理单元610(0)~610(B)逻辑地分组至存储区601与替换区602。存储区601中的物理单元610(0)~610(A)是用以存储数据,而替换区602中的物理单元610(A+1)~610(B)则是用以替换存储区601中损坏的物理单元。例如,若从某一个物理单元中读取的数据所包含的错误过多而无法被更正时,此物理单元会被视为是损坏的物理单元。须注意的是,若替换区602中没有可用的物理抹除单元,则存储器管理电路502可能会将整个存储器存储装置10宣告为写入保护(write protect)状态,而无法再写入数据。

[0129] 在本范例实施例中,每一个物理单元是指一个物理抹除单元。然而,在另一范例实施例中,一个物理单元亦可以是指一个物理地址、一个物理程序化单元或由多个连续或不连续的物理地址组成。存储器管理电路502会配置逻辑单元612(0)~612(C)以映射存储区601中的物理单元610(0)~610(A)。在本范例实施例中,每一个逻辑单元是指一个逻辑地址。然而,在另一范例实施例中,一个逻辑单元也可以是指一个逻辑程序化单元、一个逻辑抹除单元或者由多个连续或不连续的逻辑地址组成。此外,逻辑单元612(0)~612(C)中的每一者可被映射至一或多个物理单元。

[0130] 存储器管理电路502可将逻辑单元与物理单元之间的映射关系(亦称为逻辑-物理地址映射关系)记录于至少一逻辑-物理地址映射表。当主机系统11欲从存储器存储装置10读取数据或写入数据至存储器存储装置10时,存储器管理电路502可根据此逻辑-物理地址映射表来执行对于存储器存储装置10的数据存取操作。

[0131] 在图1的存储器存储装置10使用一段时间后,存储器存储装置10的存储单元可能会老化和/或损耗。响应于存储单元的老化和/或损耗,存储单元的临界电压可能会发生偏移。存储单元的临界电压发生偏移是指存储单元的临界电压改变,例如从某一个电压位置偏移 to 另一个电压位置。存储单元的临界电压发生偏移可能会影响从存储单元中读取的数据的正确性。例如,假设原先经程序化的某一个存储单元的临界电压大于一个预设读取电压电平。但是,受到老化和/或损耗影响,此存储单元的临界电压可能会偏移至小于此预设读取电压电平。因此,若使用此预设读取电压电平来读取此存储单元,则可能会从此存储单元读取到错误比特。

[0132] 在一范例实施例中,错误检查与校正电路508可包含一或多个解码电路。此解码电路可用于解码从可复写式非易失性存储器模块406读取的数据。例如,解码电路可尝试更正从老化和/或损耗的存储单元中读取的数据中部分或所有错误比特。例如,在一范例实施例中,错误检查与校正电路508可使用低密度奇偶检查码(LDPC code)来编码与解码数据。然而,在另一范例实施例中,错误检查与校正电路508亦可以支援BCH码、回旋码(convolutional code)、涡轮码(turbo code)等等,本发明不加以限制。须注意的是,在某些情况下,若用于读取存储单元的读取电压电平的偏移量太大,则解码电路的解码能力和/或解码成功率可能会大幅下降。

[0133] 在一范例实施例中,在从可复写式非易失性存储器模块406的某一个物理单元中读取数据后,错误检查与校正电路508可基于某一解码模式(亦称为第一解码模式)来解码所读取的数据。在判定第一解码模式无法成功解码此数据后,错误检查与校正电路508可基于另一解码模式(亦称为第二解码模式)来解码所读取的数据。此外,在一范例实施例中,在从可复写式非易失性存储器模块406的某一个物理单元读取数据后,错误检查与校正电路508亦可直接基于第二解码模式来解码所述数据(即略过第一解码模式),本发明不加以限制。在一范例实施例中,第一解码模式亦称为硬比特解码模式或重试模式,而第二解码模式亦称为软比特解码模式。

[0134] 在第一解码模式中,存储器管理电路502可发送至少一读取指令序列至可复写式非易失性存储器模块406。此读取指令序列可指示可复写式非易失性存储器模块406使用某一个读取电压电平来读取某一物理单元(亦称为第一物理单元)中的存储单元。然后,错误检查与校正电路508可解码所读取的数据。若解码成功,解码成功的数据可被输出。若解码失败,存储器管理电路502可调整所使用的读取电压电平并指示可复写式非易失性存储器模块406使用经调整的读取电压电平来再次读取第一物理单元。然后,错误检查与校正电路508可再次解码所读取的数据。存储器管理电路502与错误检查与校正电路508可以重复上述操作,直到解码成功或一个重试计数达到预设值为止。例如,在第一解码模式中,每调整一次读取电压电平,重试计数可被更新(例如加1)。若重试计数达到预设值,例如连续使用60个不同的读取电压电平读取同一个物理单元,存储器管理电路502可指示错误检查与校正电路508进入第二解码模式。

[0135] 在第二解码模式中,存储器管理电路502可发送至少一读取指令序列至可复写式非易失性存储器模块406。此读取指令序列可指示可复写式非易失性存储器模块406使用多个读取电压电平来读取第一物理单元中的存储单元。须注意的是,在第二解码模式中,多个读取电压电平可被用于读取单一个存储单元,以获得多个比特(亦称为验证比特)。这些验

证比特中的某一个比特亦称为硬比特,而其余比特亦称为软比特。例如,假设使用5个读取电压电平来连续读取某一个存储单元而获得5个验证比特,则这5个验证比特可包含1个硬比特与4个软比特。在一范例实施例中,这4个软比特亦可以通过执行逻辑操作而减少为2个软比特。此外,本发明不限制在第二解码模式中用于读取某一个存储单元的读取电压电平的数目、从某一个存储单元读取的硬比特的数目和/或从某一个存储单元读取的软比特的数目。然后,错误检查与校正电路508可解码所读取的数据。

[0136] 须注意的是,在第二解码模式中,存储器管理电路502可根据所述软比特来更新可靠度信息。例如,相较于预设的可靠度信息,经更新的可靠度信息可更加符合当前存储单元的老化和/或损耗状态。根据经更新的可靠度信息,错误检查与校正电路508有更高的机率成功解码所读取的数据。

[0137] 在一范例实施例中,可靠度信息可包括对数相似性比值(Log Likelihood Ratio, LLR)。此对数相似性比值可反映从某一个存储单元读取的数据是比特“0”和/或比特“1”的机率。在一范例实施例中,可靠度信息可通过查表而获得。例如,由存储器模块的供应商所提供的至少一可靠度信息表格可存储于可复写式非易失性存储器模块406中。存储器管理电路502可根据所获得的软比特来查询可靠度信息表格,以获得解码所使用的可靠度信息。在一范例实施例中,可靠度信息可通过即时运算而获得。例如,存储器管理电路502可根据所获得的软比特来估计临界电压属于某一个电压范围内的存储单元的总数。存储器管理电路502可根据此总数而动态计算对应于此些存储单元的可靠度信息。在一范例实施例中,根据所述总数而动态获得的可靠度信息可更加符合当前存储单元的老化和/或损耗状态。因此,使用所述动态获得的可靠度信息亦可提高错误检查与校正电路508的解码成功率。

[0138] 在第一解码模式中,存储器管理电路502可根据前几次读取第一物理单元而获得的数据而动态决定下一次使用的读取电压电平。在一范例实施例中,存储器管理电路502可不使用重试表格即可在第一解码模式中获得下一次使用的读取电压电平。相较于传统上在重试模式中是根据重试表格来决定下一次使用的读取电压电平,所述动态决定的读取电压电平可更加符合第一物理单元中存储单元的老化和/或损耗状态,进而提高使用此读取电压电平读取的数据的解码成功率。

[0139] 具体而言,在第一解码模式中,存储器管理电路502可发送读取指令序列(亦称为第一读取指令序列)以指示基于某一读取电压电平(亦称为第一读取电压电平)读取第一物理单元中的存储单元以获得数据(亦称为第一数据)。错误检查与校正电路508可解码第一数据。若解码成功(即数据中的错误皆被更正),错误检查与校正电路508可输出解码成功的数据。若对于第一数据的解码失败(即数据中的错误未皆被更正),存储器管理电路502可发送读取指令序列(亦称为第二读取指令序列)以指示基于某一读取电压电平(亦称为第二读取电压电平)读取第一物理单元中的存储单元以获得数据(亦称为第二数据)。错误检查与校正电路508可解码第二数据。若解码成功,错误检查与校正电路508可输出解码成功的数据。若对于第二数据的解码失败,存储器管理电路502可发送读取指令序列(亦称为第三读取指令序列)以指示基于某一读取电压电平(亦称为第三读取电压电平)读取第一物理单元中的存储单元以获得数据(亦称为第三数据)。

[0140] 错误检查与校正电路508可解码第三数据。若解码成功,解码电路可输出解码成功的数据。若对于第三数据的解码失败,存储器管理电路502可根据第一数据与第二数据获得

一个参考值(亦称为第一参考值)。第一参考值反映第一数据与第二数据之间的数据变化状况。此外,存储器管理电路502可根据第一数据与第三数据获得另一个参考值(亦称为第二参考值)。第二参考值反映第一数据与第三数据之间的数据变化状况。存储器管理电路502可自动根据第一参考值与第二参考值发送读取指令序列(亦称为第四读取指令序列)以指示基于某一读取电压电平(亦称为第四读取电压电平)读取该第一物理单元以获得数据(亦称为第四数据)。然后,错误检查与校正电路508可解码第四数据。

[0141] 换言之,第四读取电压电平是根据第一数据变化状况与第二数据变化状况而自动决定的。第四读取电压电平符合第一物理单元中存储单元的老化和/或损耗状态。因此,在第一解码模式中重复读取同一个物理单元四次以上时,所读取的数据中错误比特的数目有很高的机率可大幅减少,从而可提高错误检查与校正电路508的解码效能和/或解码成功率。以下将以多个范例实施例来说明如何在第一解码模式中决定更符合第一物理单元中存储单元的老化和/或损耗状态的读取电压电平。

[0142] 图6B是根据本发明的一范例实施例所示出的决定读取电压电平的示意图。

[0143] 请参照图6B,在本范例实施例中,假设可复写式非易失性存储器模块406包括TLC NAND型快闪存储器模块。因此,第一物理单元的存储单元的临界电压分布包含状态621~628。状态621~628分别对应于比特“111”、“110”、“100”、“101”、“001”、“000”、“010”及“011”。换言之,临界电压属于状态621~628的存储单元分别用以存储比特“111”、“110”、“100”、“101”、“001”、“000”、“010”及“011”。须注意的是,在另一范例实施例中,第一物理单元的存储单元的临界电压分布还可以包含更多或更少的状态和/或每一个状态可以对应于不同的比特,本发明不加以限制。

[0144] 在本范例实施例中,存储器管理电路502可指示基于读取电压电平631来读取第一物理单元以获得初始数据641。初始数据641可反映第一物理单元中的每一个存储单元是否被读取电压电平631导通。例如,若某一个存储单元的临界电压小于读取电压电平631,则此存储单元可被读取电压电平631导通,且存储器管理电路502可获得初始数据641中的比特“1”。或者,若某一个存储单元的临界电压不小于读取电压电平631,则此存储单元不被读取电压电平631导通,且存储器管理电路502可获得初始数据641中的比特“0”。

[0145] 在一范例实施例中,通过施予读取电压电平631所获得的初始数据641包括下页数据。例如,下页数据包括从某一存储单元读取的LSB。以图6B中对应于状态622的比特“110”为例,最上面的比特“1”属于下页数据。在一范例实施例中,存储器管理电路502可根据初始数据641校正读取电压电平631,例如提高或降低读取电压电平631。在一范例实施例中,根据初始数据641校正读取电压电平631的操作亦称为读取电压电平631的粗调操作。此粗调操作可尝试概略地校正读取电压电平631,以减少所读取的初始数据641(即下页数据)中的错误比特。

[0146] 在一范例实施例中,存储器管理电路502可统计初始数据641中的比特“1”(和/或比特“0”)的总数并根据此总数调整读取电压电平631。例如,存储器管理电路502可将此总数与一预设值进行比较。存储器管理电路502可根据比较结果来校正读取电压电平631。例如,此预设值可等于第一物理单元中所有存储单元的总数的一半。假设第一物理单元包含512个存储单元,则此预设值可为256。若所统计的比特“1”的总数大于256(或比特“0”的总数小于256),存储器管理电路502可降低读取电压电平631。或者,若所统计的比特“1”的总

数小于256(或比特“0”的总数大于256),存储器管理电路502可提高读取电压电平631。

[0147] 在一范例实施例中,通过经校正的读取电压电平631读取第一物理单元而获得的初始数据641中,比特“1”的总数可相同或实质相同于比特“0”的总数。在此,实质相同是指可以容许一误差值存在。例如,若比特“1”的总数与比特“0”的总数之间的差值小于此误差值,则可判定比特“1”的总数与比特“0”的总数实质相同。

[0148] 在一范例实施例中,存储器管理电路502可根据初始数据641与读取电压电平631获得其余的读取电压电平632~637。例如,在根据初始数据641校正读取电压电平631后,存储器管理电路502可根据经校正的读取电压电平631获得读取电压电平632~637。在一范例实施例中,通过施予读取电压电平632~637所获得的数据包括上页数据与超(Ultra)页数据。例如,上页数据包括从某一存储单元读取的中间有效比特(Center Significant Bit, CSB),且超页数据包括从某一存储单元读取的MSB。以图6B中对应于状态622的比特“110”为例,中间的比特“1”属于上页数据,且最下面的比特“0”属于超页数据。

[0149] 在一范例实施例中,存储器管理电路502可根据经校正的读取电压电平631加上不同的电压差而获得读取电压电平633、635及637并减去不同的电压差而获得读取电压电平632、634及636。用以获得读取电压电平632~637的电压差可记载于一表格并通过查表而获得。换言之,在图6B的范例实施例中,预设位于任两个相邻的状态之间的读取电压电平可被概略地决定。须注意的是,在另一范例实施例中,读取电压电平631的粗调操作可不被执行,且读取电压电平632~637可根据未经过校正的读取电压电平631而获得,本发明不加以限制。在以下范例实施例中,读取电压电平631~637中的至少一者可进一步被调整。

[0150] 图7A至图7C是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图。

[0151] 请参照图7A,在本范例实施例中,假设第一物理单元的存储单元的临界电压分布包含状态710与720。状态710与720可代表图6B的状态621~628中任两个相邻的状态,且本发明不限制第一物理单元的存储单元的临界电压分布所包含的状态的总数。

[0152] 在第一解码模式中,存储器管理电路502可指示基于读取电压电平701来读取第一物理单元以获得数据A。读取电压电平701可为图6B中预设位于任两个状态之间的读取电压电平。例如,假设状态710与720代表状态622与623,则读取电压电平701可代表读取电压电平634;或者,假设状态710与720代表状态623与624,则读取电压电平701可代表读取电压电平632,依此类推。

[0153] 数据A可反映第一物理单元中的存储单元响应于读取电压电平701的导通状态。错误检查与校正电路508可解码数据A。若数据A的解码是成功的,则经解码的数据A可被输出。若数据A的解码是失败的,则存储器管理电路502可指示基于读取电压电平702来读取第一物理单元以获得数据B。例如,数据B可反映第一物理单元中的存储单元响应于读取电压电平702的导通状态。错误检查与校正电路508可解码数据B。若数据B的解码是成功的,则经解码的数据B可被输出。若数据B的解码是失败的,则存储器管理电路502可指示基于读取电压电平703来读取第一物理单元以获得数据C。例如,数据C可反映第一物理单元中的存储单元响应于读取电压电平703的导通状态。错误检查与校正电路508可解码数据C。若数据C的解码是成功的,则经解码的数据C可被输出。

[0154] 在本范例实施例中,读取电压电平701的电压值高于读取电压电平702的电压值,

且读取电压电平703的电压值高于读取电压电平701的电压值。读取电压电平701的电压值与读取电压电平702的电压值之间的电压差可为 Δ 。读取电压电平701的电压值与读取电压电平703的电压值之间的电压差亦可为 Δ 。然而,在另一范例实施例中,读取电压电平702的电压值与读取电压电平703的电压值亦可以对调,使得读取电压电平702的电压值高于读取电压电平703的电压值。

[0155] 在本范例实施例中,数据C的解码是失败的。因此,存储器管理电路502可根据数据A与数据B获得一个参考值R_AB。参考值R_AB可反映数据A与数据B之间的数据变化状况。数据A与数据B之间的数据变化状况与存储单元的导通状态的变化有关。例如,参考值R_AB可反映响应于读取电压电平701与702,第一物理单元中导通状态被改变的存储单元的总数。导通状态被改变包括从导通改变为未导通以及从未导通改变为导通。例如,假设第一物理单元中20个存储单元的导通状态响应于施予读取电压电平701与702而被改变,则参考值R_AB可对应数值20。

[0156] 在一范例实施例中,存储器管理电路502可对数据A与数据B执行一逻辑操作以获得参考值R_AB。例如,此逻辑操作可包括异或(exclusive or, XOR)操作。例如,假设数据A包括数据序列SA且数据B包括数据序列SB。数据序列SA中的比特“1”表示某一存储单元可被读取电压电平701导通。数据序列SB中的比特“1”表示某一存储单元可被读取电压电平702导通。在对数据序列SA与数据序列SB执行异或操作后,一个逻辑序列可被获得。此逻辑序列中的比特“1”反映某一存储单元的导通状态发生改变。存储器管理电路502可统计此逻辑序列中比特“1”的总数,以获得参考值R_AB。例如,此参考值R_AB可反映20个存储单元的导通状态发生改变。

[0157] 另一方面,存储器管理电路502可根据数据A与数据C获得一个参考值R_AC。参考值R_AC可反映数据A与数据C之间的数据变化状况。数据A与数据C之间的数据变化状况也与存储单元的导通状态的变化有关。例如,参考值R_AC可反映响应于读取电压电平701与703,第一物理单元中导通状态被改变的存储单元的总数。例如,假设第一物理单元中10个存储单元的导通状态响应于施予读取电压电平701与703而被改变,则参考值R_AC可对应数值10。参考值R_AC亦可通过对数据A与数据C执行上述逻辑操作而获得。

[0158] 存储器管理电路502可根据参考值R_AB与R_AC决定读取电压电平704。例如,存储器管理电路502可根据参考值R_AB与R_AC之间的数值关系决定读取电压电平704。例如,在本范例实施例中,存储器管理电路502是响应于参考值R_AC小于R_AB此一数值关系而决定读取电压电平704。读取电压电平704的电压值高于读取电压电平703的电压值。例如,读取电压电平703的电压值与读取电压电平704的电压值之间也可具有电压差 Δ 。存储器管理电路502可根据参考值R_AB与R_AC指示基于读取电压电平704来读取第一物理单元以获得数据D。例如,数据D可反映第一物理单元中的存储单元响应于读取电压电平704的导通状态。错误检查与校正电路508可解码数据D。若数据D的解码是成功的,则经解码的数据D可被输出。

[0159] 在本范例实施例中,数据D的解码是失败的。因此,存储器管理电路502可根据数据C与数据D获得一个参考值R_CD。参考值R_CD可反映数据C与数据D之间的数据变化状况。数据C与数据D之间的数据变化状况也与存储单元的导通状态的变化有关。例如,参考值R_CD可反映响应于读取电压电平703与704,第一物理单元中导通状态被改变的存储单元的总

数。参考值R_CD亦可通过对数据C与数据D执行上述逻辑操作而获得。

[0160] 请参照图7B, 存储器管理电路502可根据参考值R_AC与R_CD决定读取电压电平705。例如, 存储器管理电路502可根据参考值R_AC与R_CD之间的数值关系决定读取电压电平705。例如, 在本范例实施例中, 存储器管理电路502是响应于参考值R_AC小于R_CD此一数值关系而决定读取电压电平705。读取电压电平705的电压值介于读取电压电平701的电压值与读取电压电平703的电压值之间。例如, 读取电压电平705的电压值与读取电压电平701的电压值之间的电压差可为 $\Delta/2$ 。读取电压电平705的电压值与读取电压电平703的电压值之间的电压差亦可为 $\Delta/2$ 。存储器管理电路502可根据参考值R_AC与R_CD指示基于读取电压电平705来读取第一物理单元以获得数据E。例如, 数据E可反映第一物理单元中的存储单元响应于读取电压电平705的导通状态。错误检查与校正电路508可解码数据E。若数据E的解码是成功的, 则经解码的数据E可被输出。

[0161] 在本范例实施例中, 数据E的解码是失败的。因此, 存储器管理电路502可根据数据A与数据E获得一个参考值R_AE。参考值R_AE可反映数据A与数据E之间的数据变化状况。参考值R_AE亦可反映响应于读取电压电平701与705, 第一物理单元中导通状态被改变的存储单元的总数。参考值R_AE可通过对数据A与数据E执行上述逻辑操作而获得。此外, 存储器管理电路502可根据数据E与数据C获得参考值R_EC。参考值R_EC可反映数据E与数据C之间的数据变化状况。参考值R_EC亦可反映响应于读取电压电平705与703, 第一物理单元中导通状态被改变的存储单元的总数。参考值R_EC可通过对数据E与数据C执行上述逻辑操作而获得。或者, 存储器管理电路502可根据参考值R_AC与R_AE获得参考值R_EC。例如, 存储器管理电路502可将参考值R_AC减去参考值R_AE而获得参考值R_EC。

[0162] 请参照图7C, 存储器管理电路502可根据参考值R_AE与R_EC决定读取电压电平706。例如, 存储器管理电路502可根据参考值R_AE与R_EC之间的数值关系决定读取电压电平706。例如, 在本范例实施例中, 存储器管理电路502是响应于参考值R_EC小于R_AE此一数值关系而决定读取电压电平706。读取电压电平706的电压值介于读取电压电平705的电压值与读取电压电平703的电压值之间。例如, 读取电压电平705的电压值与读取电压电平706的电压值之间的电压差可为 $\Delta/4$ 。读取电压电平706的电压值与读取电压电平703的电压值之间的电压差亦可为 $\Delta/4$ 。存储器管理电路502可根据参考值R_AE与R_EC指示基于读取电压电平706来读取第一物理单元。错误检查与校正电路508可持续在第一解码模式中执行解码操作。

[0163] 相较于传统上根据预设的重试表格来决定下一次使用的读取电压电平, 图7B与图7C中使用的读取电压电平705与706有较高的机率获得正确度较高的读取数据, 从而可提升错误检查与校正电路508的解码效能和/或解码成功率。

[0164] 图8A至图8C是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图。

[0165] 请参照图8A, 在本范例实施例中, 假设第一物理单元的存储单元的临界电压分布包含状态810与820。在第一解码模式中, 存储器管理电路502可指示基于读取电压电平801来读取第一物理单元以获得数据A。例如, 数据A可反映第一物理单元中的存储单元响应于读取电压电平801的导通状态。错误检查与校正电路508可解码数据A。若数据A的解码是失败的, 则存储器管理电路502可指示基于读取电压电平802来读取第一物理单元以获得数据

B。例如,数据B可反映第一物理单元中的存储单元响应于读取电压电平802的导通状态。错误检查与校正电路508可解码数据B。若数据B的解码是失败的,则存储器管理电路502可指示基于读取电压电平803来读取第一物理单元以获得数据C。例如,数据C可反映第一物理单元中的存储单元响应于读取电压电平803的导通状态。错误检查与校正电路508可解码数据C。

[0166] 在本范例实施例中,读取电压电平802的电压值高于读取电压电平801的电压值,且读取电压电平801的电压值高于读取电压电平803的电压值。然而,在另一范例实施例中,读取电压电平802的电压值与读取电压电平803的电压值亦可以对调,使得读取电压电平803的电压值高于读取电压电平802的电压值。

[0167] 在本范例实施例中,数据C的解码是失败的。因此,存储器管理电路502可根据数据A与数据B获得参考值R_{AB}。参考值R_{AB}可反映数据A与数据B之间的数据变化状况。参考值R_{AB}亦可反映响应于读取电压电平801与802,第一物理单元中导通状态被改变的存储单元的总数。例如,参考值R_{AB}可通过对数据A与数据B执行上述逻辑操作而获得。

[0168] 另一方面,存储器管理电路502可根据数据A与数据C获得参考值R_{AC}。参考值R_{AC}可反映数据A与数据C之间的数据变化状况。参考值R_{AC}亦可反映响应于读取电压电平801与803,第一物理单元中导通状态被改变的存储单元的总数。例如,参考值R_{AC}可通过对数据A与数据C执行上述逻辑操作而获得。

[0169] 存储器管理电路502可根据参考值R_{AB}与R_{AC}决定读取电压电平804。例如,在本范例实施例中,存储器管理电路502是响应于参考值R_{AC}小于R_{AB}此一数值关系而决定读取电压电平804。读取电压电平804的电压值低于读取电压电平803的电压值。存储器管理电路502可根据参考值R_{AB}与R_{AC}指示基于读取电压电平804来读取第一物理单元以获得数据D。例如,数据D可反映第一物理单元中的存储单元响应于读取电压电平804的导通状态。错误检查与校正电路508可解码数据D。

[0170] 在本范例实施例中,数据D的解码是失败的。因此,存储器管理电路502可根据数据C与数据D获得参考值R_{CD}。参考值R_{CD}可反映数据C与数据D之间的数据变化状况。参考值R_{CD}亦可反映响应于读取电压电平803与804,第一物理单元中导通状态被改变的存储单元的总数。例如,参考值R_{CD}可通过对数据C与数据D执行上述逻辑操作而获得。

[0171] 请参照图8B,存储器管理电路502可根据参考值R_{AC}与R_{CD}决定读取电压电平805。例如,在本范例实施例中,存储器管理电路502是响应于参考值R_{AC}小于R_{CD}此一数值关系而决定读取电压电平805。读取电压电平805的电压值介于读取电压电平801的电压值与读取电压电平803的电压值之间。存储器管理电路502可根据参考值R_{AC}与R_{CD}指示基于读取电压电平805来读取第一物理单元以获得数据E。例如,数据E可反映第一物理单元中的存储单元响应于读取电压电平805的导通状态。错误检查与校正电路508可解码数据E。

[0172] 在本范例实施例中,数据E的解码是失败的。因此,存储器管理电路502可根据数据A与数据E获得参考值R_{AE}。参考值R_{AE}可反映数据A与数据E之间的数据变化状况。参考值R_{AE}亦可反映响应于读取电压电平801与805,第一物理单元中导通状态被改变的存储单元的总数。例如,参考值R_{AE}亦可通过对数据A与数据E执行上述逻辑操作而获得。此外,存储器管理电路502可根据数据E与数据C获得参考值R_{EC}。参考值R_{EC}可反映数据E与数据C之间的数据变化状况。参考值R_{EC}亦可反映响应于读取电压电平805与803,第一物理单元中

导通状态被改变的存储单元的总数。参考值 R_{EC} 亦可通过对数据E与数据C执行上述逻辑操作而获得。或者,存储器管理电路502可根据参考值 R_{AC} 与 R_{AE} 获得参考值 R_{EC} 。例如,存储器管理电路502可将参考值 R_{AC} 减去参考值 R_{AE} 而获得参考值 R_{EC} 。

[0173] 请参照图8C,存储器管理电路502可根据参考值 R_{AE} 与 R_{EC} 决定读取电压电平806。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{EC} 小于 R_{AE} 此一数值关系而决定读取电压电平806。读取电压电平806的电压值介于读取电压电平805的电压值与读取电压电平803的电压值之间。存储器管理电路502可根据参考值 R_{AE} 与 R_{EC} 指示基于读取电压电平806来读取第一物理单元。错误检查与校正电路508可持续在第一解码模式中执行解码操作。

[0174] 图9是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图。

[0175] 请参照图9,在本范例实施例中,假设第一物理单元的存储单元的临界电压分布包含状态910与920。在第一解码模式中,存储器管理电路502可指示基于读取电压电平901来读取第一物理单元以获得数据A。错误检查与校正电路508可解码数据A。若数据A的解码是失败的,则存储器管理电路502可指示基于读取电压电平902来读取第一物理单元以获得数据B。错误检查与校正电路508可解码数据B。若数据B的解码是失败的,则存储器管理电路502可指示基于读取电压电平903来读取第一物理单元以获得数据C。错误检查与校正电路508可解码数据C。

[0176] 若数据C的解码是失败的,存储器管理电路502可获得参考值 R_{AB} 与 R_{AC} 。参考值 R_{AB} 反映数据A与数据B之间的数据变化状况(和/或存储单元响应于读取电压电平901与902的导通状态变化)。参考值 R_{AC} 反映数据A与数据C之间的数据变化状况(和/或存储单元响应于读取电压电平901与903的导通状态变化)。存储器管理电路502可根据参考值 R_{AB} 与 R_{AC} 决定读取电压电平904。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{AC} 小于 R_{AB} 此一数值关系而决定读取电压电平904。存储器管理电路502可指示基于读取电压电平904来读取第一物理单元以获得数据D。错误检查与校正电路508可解码数据D。

[0177] 若数据D的解码是失败的,存储器管理电路502可获得参考值 R_{CD} 。参考值 R_{CD} 反映数据C与数据D之间的数据变化状况(和/或存储单元响应于读取电压电平903与904的导通状态变化)。存储器管理电路502可根据参考值 R_{AC} 与 R_{CD} 决定读取电压电平905。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{CD} 小于 R_{AC} 此一数值关系而决定读取电压电平905。存储器管理电路502可指示基于读取电压电平905来读取第一物理单元以获得数据E。错误检查与校正电路508可解码数据E。

[0178] 若数据E的解码是失败的,存储器管理电路502可获得参考值 R_{DE} 。参考值 R_{DE} 反映数据D与数据E之间的数据变化状况(和/或存储单元响应于读取电压电平904与905的导通状态变化)。存储器管理电路502可根据参考值 R_{CD} 与 R_{DE} 决定读取电压电平906。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{CD} 小于 R_{DE} 此一数值关系而决定读取电压电平906。存储器管理电路502可指示基于读取电压电平906来读取第一物理单元。错误检查与校正电路508可持续在第一解码模式中执行解码操作。

[0179] 图10是根据本发明的一范例实施例所示出的在第一解码模式中调整读取电压电平的示意图。

[0180] 请参照图10,在本范例实施例中,假设第一物理单元的存储单元的临界电压分布包含状态1010与1020。在第一解码模式中,存储器管理电路502可指示基于读取电压电平1001来读取第一物理单元以获得数据A。错误检查与校正电路508可解码数据A。若数据A的解码是失败的,则存储器管理电路502可指示基于读取电压电平1002来读取第一物理单元以获得数据B。错误检查与校正电路508可解码数据B。若数据B的解码是失败的,则存储器管理电路502可指示基于读取电压电平1003来读取第一物理单元以获得数据C。错误检查与校正电路508可解码数据C。

[0181] 若数据C的解码是失败的,存储器管理电路502可获得参考值 R_{AB} 与 R_{AC} 。参考值 R_{AB} 反映数据A与数据B之间的数据变化状况(和/或存储单元响应于读取电压电平1001与1002的导通状态变化)。参考值 R_{AC} 反映数据A与数据C之间的数据变化状况(和/或存储单元响应于读取电压电平1001与1003的导通状态变化)。存储器管理电路502可根据参考值 R_{AB} 与 R_{AC} 决定读取电压电平1004。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{AC} 小于 R_{AB} 此一数值关系而决定读取电压电平1004。存储器管理电路502可指示基于读取电压电平1004来读取第一物理单元以获得数据D。错误检查与校正电路508可解码数据D。

[0182] 若数据D的解码是失败的,存储器管理电路502可获得参考值 R_{CD} 。参考值 R_{CD} 反映数据C与数据D之间的数据变化状况(和/或存储单元响应于读取电压电平1003与1004的导通状态变化)。存储器管理电路502可根据参考值 R_{AC} 与 R_{CD} 决定读取电压电平1005。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{CD} 小于 R_{AC} 此一数值关系而决定读取电压电平1005。存储器管理电路502可指示基于读取电压电平1005来读取第一物理单元以获得数据E。错误检查与校正电路508可解码数据E。

[0183] 若数据E的解码是失败的,存储器管理电路502可获得参考值 R_{DE} 。参考值 R_{DE} 反映数据D与数据E之间的数据变化状况(和/或存储单元响应于读取电压电平1004与1005的导通状态变化)。存储器管理电路502可根据参考值 R_{CD} 与 R_{DE} 决定读取电压电平1006。例如,在本范例实施例中,存储器管理电路502是响应于参考值 R_{CD} 小于 R_{DE} 此一数值关系而决定读取电压电平1006。存储器管理电路502可指示基于读取电压电平1006来读取第一物理单元。错误检查与校正电路508可持续在第一解码模式中执行解码操作。

[0184] 须注意的是,图7A至图10中各相邻的读取电压电平之间的电压差皆非定值。在第一解码模式中,随着重试计数的增加,所使用的读取电压电平也可被逐渐调整(或收敛)至最佳读取电压电平附近(例如两个相邻的状态之间的V形处附近),从而逐渐提高错误检查与校正电路508的解码效能和/或解码成功率。传统上单纯依照重试表格来调整读取电压电平,可能会导致所使用的读取电压电平发散(与图7A至图10中的收敛不同),使解码成功率不升反降。

[0185] 在一范例实施例中,存储器管理电路502还可以在第二解码模式之前(或进入第二解码模式之前)收集经由多个读取电压电平读取第一物理单元所获得的信息。存储器管理电路502可根据所收集的信息获得对应于第一物理单元的可靠度信息。在第一解码模式中(或进入第二解码模式之前),错误检查与校正电路508可根据此可靠度信息执行解码操作。换言之,在进入第二解码模式之前(即解码初期),即可通过在第一解码模式中所收集的信息来有效提高错误检查与校正电路508的解码效能和/或解码成功率。此外,在图7A至图10的

至少部分范例实施例中,更多的读取电压电平可以被使用,以持续执行解码操作。

[0186] 图11是根据本发明的一范例实施例所示出的在第一解码模式中获得可靠度信息的示意图。

[0187] 请参照图11,接续于图7C的范例实施例中,存储器管理电路502可根据读取电压电平701~706划分多个电压范围1110~1170。例如,电压范围1110包含电压值小于读取电压电平702的电压范围,且电压范围1120包含电压值介于读取电压电平702与701的电压范围等等,如图11所示。须注意的是,读取电压电平701~706中任两个相邻的读取电压电平之间的电压差非为定值。例如,读取电压电平702与701之间的电压差(例如 Δ)不同于读取电压电平701与705之间的电压差(例如 $\Delta/2$),且读取电压电平701与705之间的电压差不同于读取电压电平705与706之间的电压差(例如 $\Delta/4$)。或者,从另一角度来看,电压范围1120~1160中至少包含两种以上的电压差(即 Δ 、 $\Delta/2$ 及 $\Delta/4$)所形成的电压范围。

[0188] 存储器管理电路502可根据基于读取电压电平701~706来读取第一物理单元所收集的信息(例如数据A~E)来评估第一物理单元中的每一个存储单元的电压是位于电压范围1110~1170中的某一个电压范围。存储器管理电路502可根据此电压范围来决定对应于此存储单元的可靠度信息。例如,假设存储器管理电路502根据所收集的信息判定某一个存储单元的电压是位于电压范围1130。存储器管理电路502可根据电压范围1130与其他电压范围的相对位置动态决定对应于此存储单元的可靠度信息。在第一解码模式中,错误检查与校正电路508可根据此可靠度信息解码从此存储单元读取的数据,从而有效提高解码成功率。

[0189] 在一范例实施例中,存储器管理电路502可判断在第一解码模式中是否满足更新可靠度信息的条件。若已满足更新可靠度信息的条件,例如已经使用了4个或更多的读取电压电平来读取第一物理单元,则存储器管理电路502可根据所获得的信息更新所述可靠度信息。然而,若尚未满足更新可靠度信息的条件,例如尚未使用4个或更多的读取电压电平来读取第一物理单元,则存储器管理电路502可暂不根据所获得的信息更新所述可靠度信息。

[0190] 在一范例实施例中,在第一解码模式中根据某些读取电压电平而初步获得可靠度信息之后,若更多的读取电压电平被持续用于读取第一物理单元,则更多电压范围可能会被定义和/或划分出来。存储器管理电路502可持续根据所获得的信息评估某一个存储单元的电压是位于某一个电压范围并根据评估结果更新对应于此存储单元的可靠度信息。藉此,持续更新的可靠度信息可更加符合当前第一物理单元中的存储单元的临界电压分布状态。此外,通过逐渐收敛的读取电压电平,所划分的电压范围的解析度可以更高,以提供更精准的可靠度信息。

[0191] 在一范例实施例中,在进入第二解码模式后,存储器管理电路502可基于多个读取电压电平来读取第一物理单元以获得软比特。存储器管理电路502可根据所获得的软比特决定对应于第一物理单元的可靠度信息。

[0192] 图12是根据本发明的一范例实施例所示出的在第二解码模式中获得可靠度信息的示意图。

[0193] 请参照图12,接续于图7C的范例实施例中,在进入第二解码模式后,存储器管理电路502可基于读取电压电平1201~1205来读取第一物理单元以获得软比特。例如,读取电压

电平1201~1205可用于划分出多个电压范围1210~1260。存储器管理电路502可根据所获得的软比特决定某一个存储单元的电压是位于电压范围1210~1260中的某一个电压范围内。存储器管理电路502可根据此电压范围决定对应于此存储单元的可靠度信息。例如,假设存储器管理电路502根据所获得的软比特判定某一个存储单元的电压是位于电压范围1240。存储器管理电路502可根据电压范围1240决定对应于此存储单元的可靠度信息。

[0194] 须注意的是,读取电压电平1201~1205皆是在进入第二解码模式之后才用于读取第一物理单元。读取电压电平1201~1205中的任两个相邻的临界电压电平之间的电压差皆为定值。读取电压电平1201~1205不同于图11的范例实施例中的读取电压电平701~706。

[0195] 在图12的范例实施例中,错误检查与校正电路508只在读取电压电平1201~1205皆用于读取第一物理单元中的存储单元之后才执行解码操作。然而,在图7A至图7C及图11的范例实施例中,可能在使用读取电压电平701~706中的某一个读取电压电平来读取第一物理单元后即成功解码数据。藉此,错误检查与校正电路508在第一解码模式的解码成功率可趋近于其在第二解码模式的解码成功率,进而提高错误检查与校正电路508的整体解码效能。

[0196] 图13是根据本发明的一范例实施例所示出的存储器控制方法的流程图。

[0197] 请参照图13,在步骤S1301中,发送第一读取指令序列以指示基于第一读取电压电平读取第一物理单元以获得第一数据。在步骤S1302中,发送第二读取指令序列以指示基于第二读取电压电平读取第一物理单元以获得第二数据。在步骤S1303中,发送第三读取指令序列以指示基于第三读取电压电平读取第一物理单元以获得第三数据。第一读取电压电平的电压值高于第二读取电压电平的电压值。第三读取电压电平的电压值高于第一读取电压电平的电压值。在步骤S1304中,根据第一数据与第二数据获得第一参考值,其反映第一数据与第二数据之间的数据变化状况。在步骤S1305中,根据第一数据与第三数据获得第二参考值,其反映第一数据与第三数据之间的数据变化状况。在步骤S1306中,根据第一参考值与第二参考值发送第四读取指令序列以指示基于第四读取电压电平读取第一物理单元以获得第四数据。在步骤S1307中,由解码电路解码第四数据。

[0198] 须注意的是,图13中的步骤S1302与S1303的顺序可以调整。例如,在另一范例实施例中,亦可以先执行步骤S1303再执行步骤S1302,本发明不加以限制。此外,步骤S1304与S1305的执行顺序也可以调整。

[0199] 图14是根据本发明的一范例实施例所示出的存储器控制方法的流程图。

[0200] 请参照图14,在进入第一解码模式后,在步骤S1401中,发送一读取指令序列以指示基于一读取电压电平读取第一物理单元。在步骤S1402中,判断是否满足更新可靠度信息的条件。若不满足更新可靠度信息的条件,例如尚未获得足够反映存储单元的电压位置的信息,在步骤S1403中,由解码电路解码数据。在步骤S1404中,判断是否解码成功。若解码成功,在步骤S1405中,输出解码成功的数据。若解码失败,在步骤S1406中,判断重试计数是否达到预设值。若重试计数尚未达到预设值,在步骤S1407中,调整读取电压电平并更新重试计数。在步骤S1407之后,步骤S1401与S1402可被重复。

[0201] 须注意的是,在步骤S1402中,若判定已满足更新可靠度信息的条件,例如已收集到足够的信息以决定存储单元的电压位置,则在步骤S1408中,可更新可靠度信息。接着,在步骤S1403中,解码电路可根据此可靠度信息解码数据,从而提高解码电路在第一解码模式

中的解码成功率。此外,在步骤S1406中,若判定重试计数已达到预设值,则在步骤S1409中,进入第二解码模式(例如软比特解码模式)。

[0202] 然而,图13与图14中各步骤已详细说明如上,在此便不再赘述。值得注意的是,图13与图14中各步骤可以实作为多个程序码或是电路,本发明不加以限制。此外,图13与图14的方法可以搭配以上范例实施例使用,也可以单独使用,本发明不加以限制。

[0203] 综上所述,在第一解码模式中,所使用的读取电压电平可根据所读取的数据而逐渐收敛至较佳的电压位置,以减少读取数据中的错误和/或提高解码成功率。此外,在第一解码模式中,基于不同读取电压电平所读取的数据可用于获得和/或更新可靠度信息。根据此可靠度信息,第一解码模式的解码成功率可大幅提升,甚至趋近第二解码模式的解码成功率。藉此,可有效提高解码电路整体的解码效能。解码电路整体的解码效能提高,亦可反映在存储器存储装置整体的数据存取效能提高,有效对存储器存储装置整体做出改善。

[0204] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求所界定的为准。

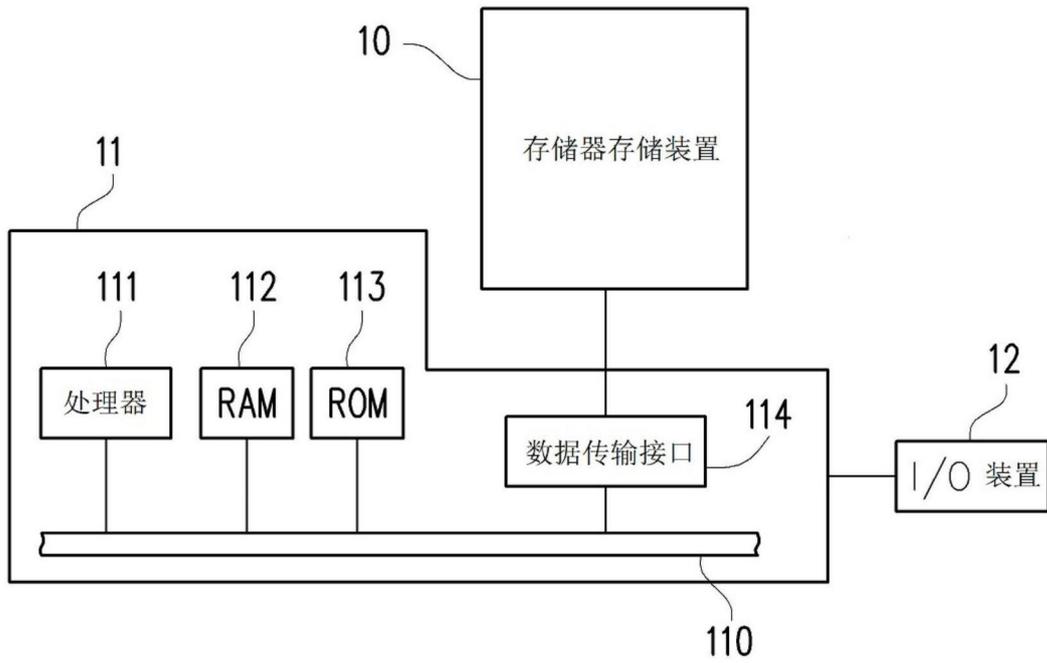


图1

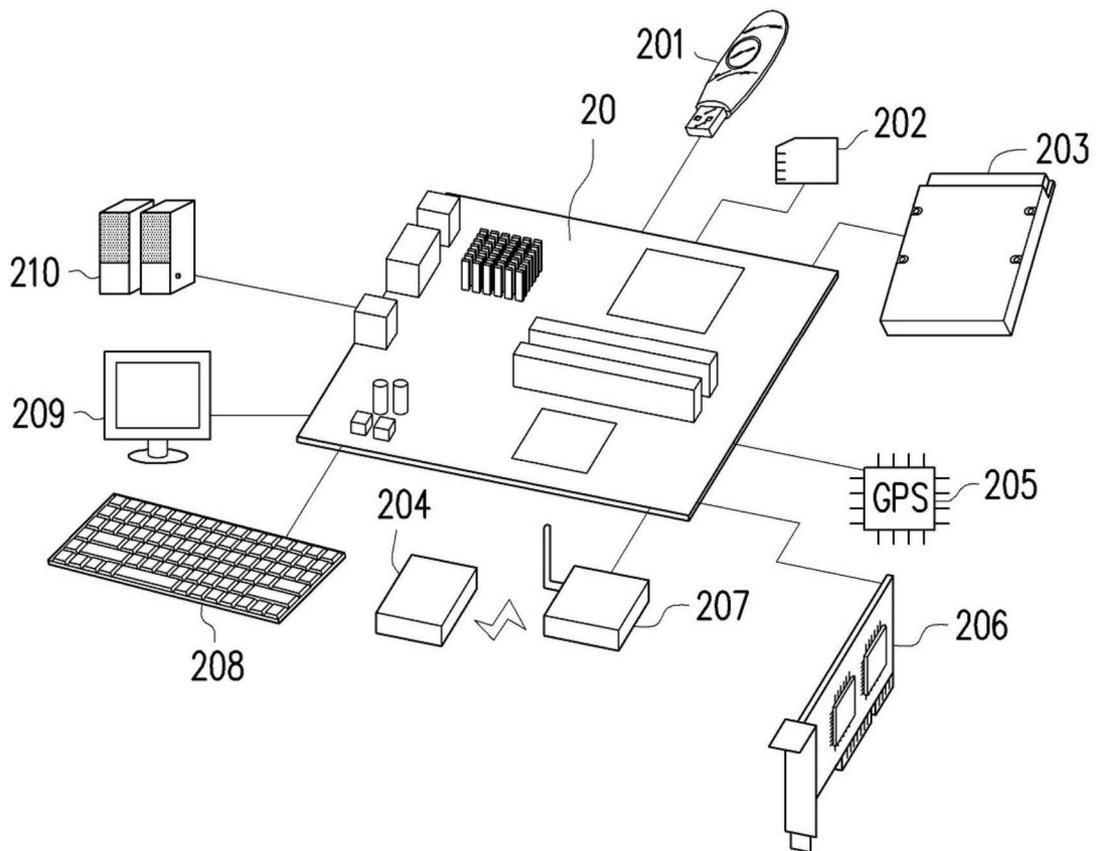


图2

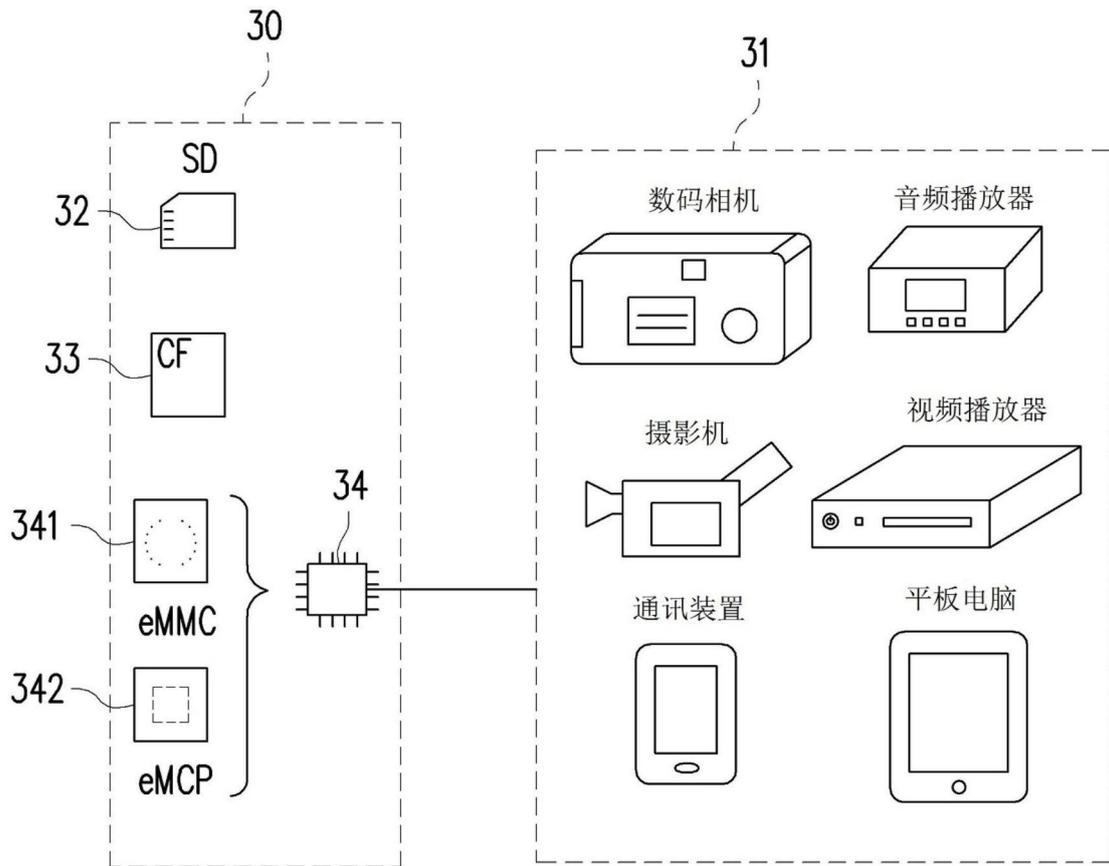


图3

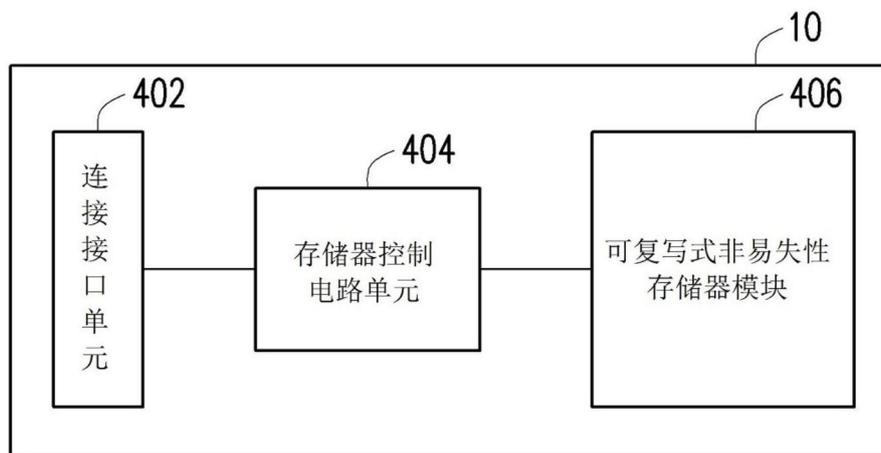
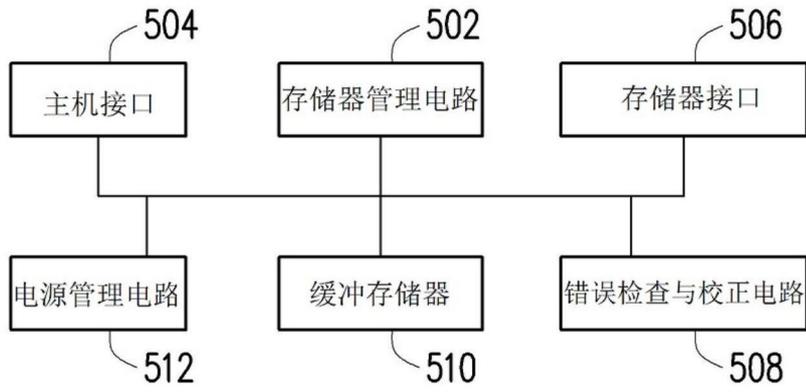


图4



404

图5

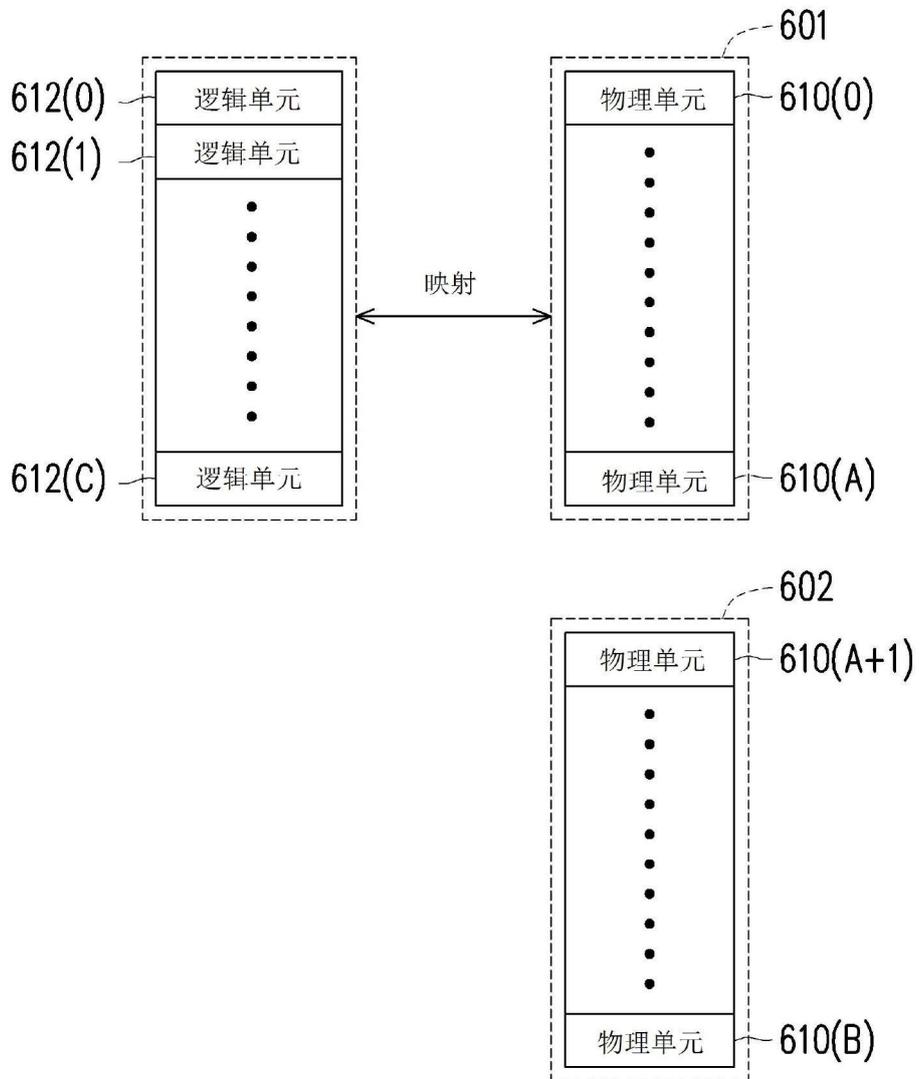


图6A

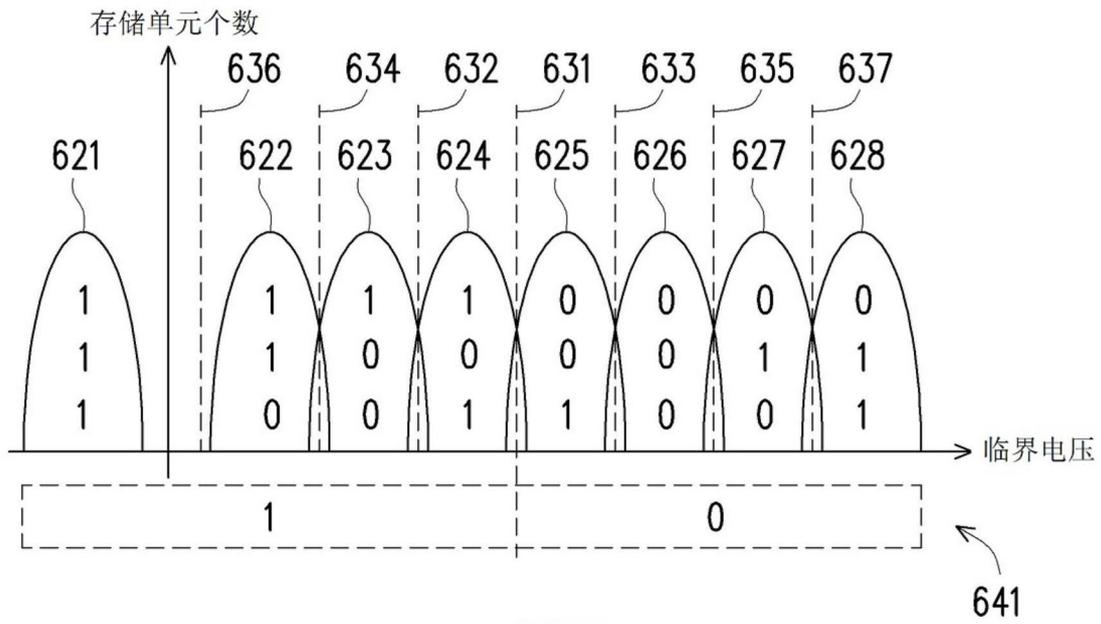


图6B

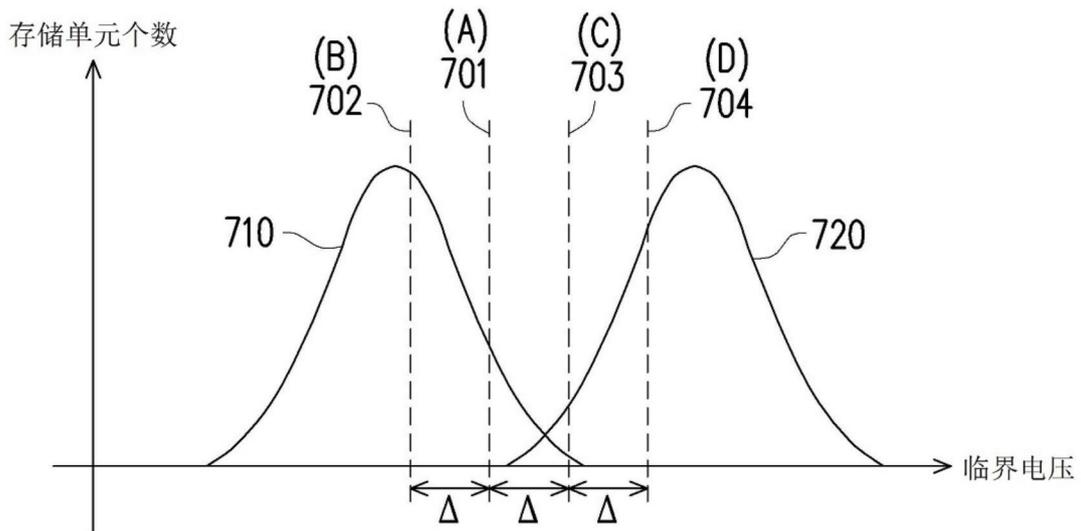


图7A

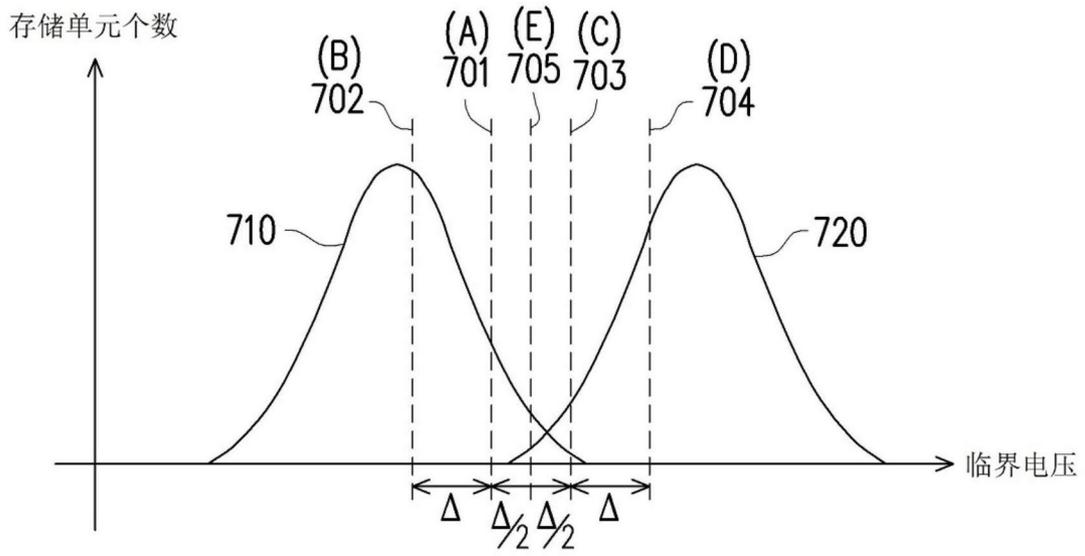


图7B

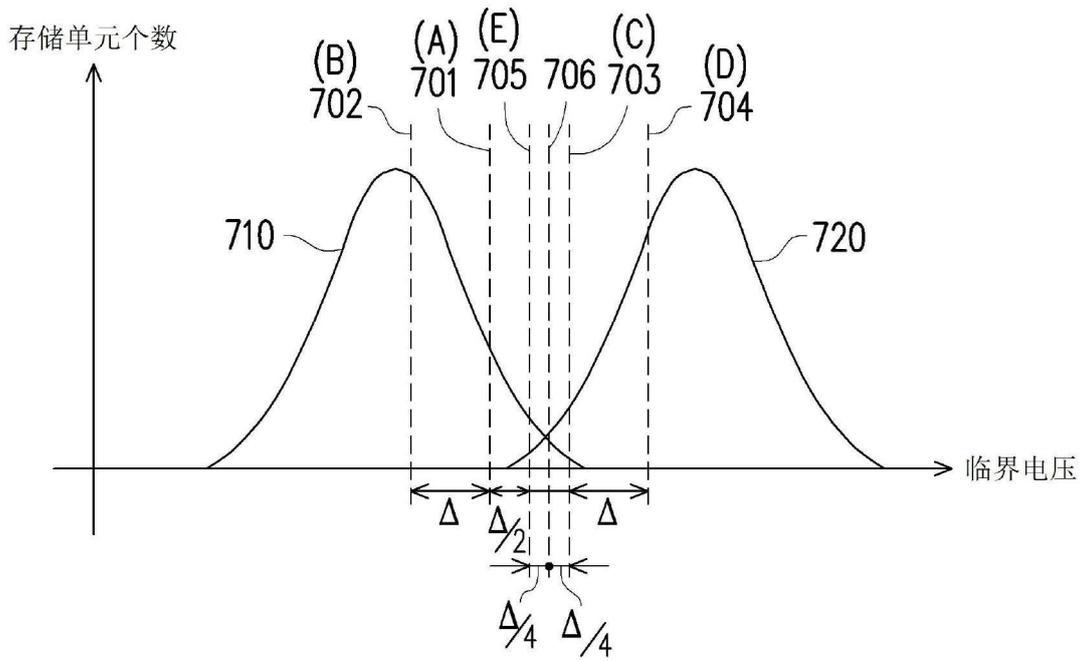


图7C

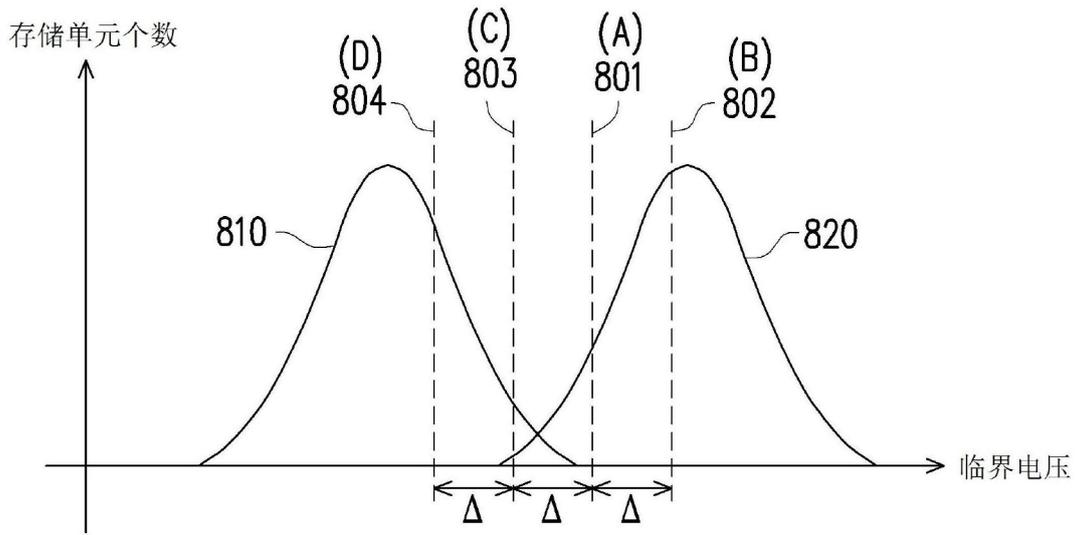


图8A

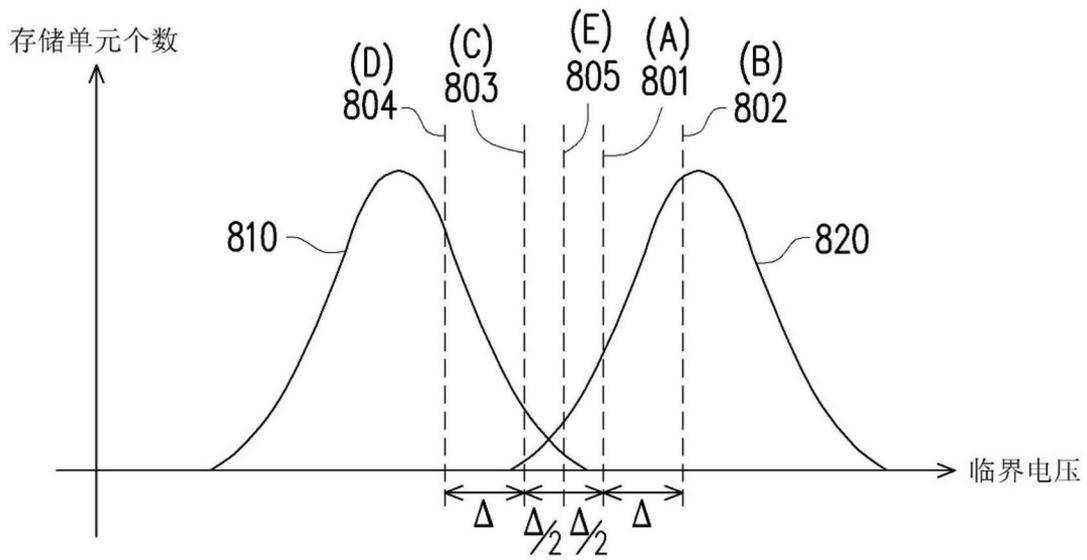


图8B

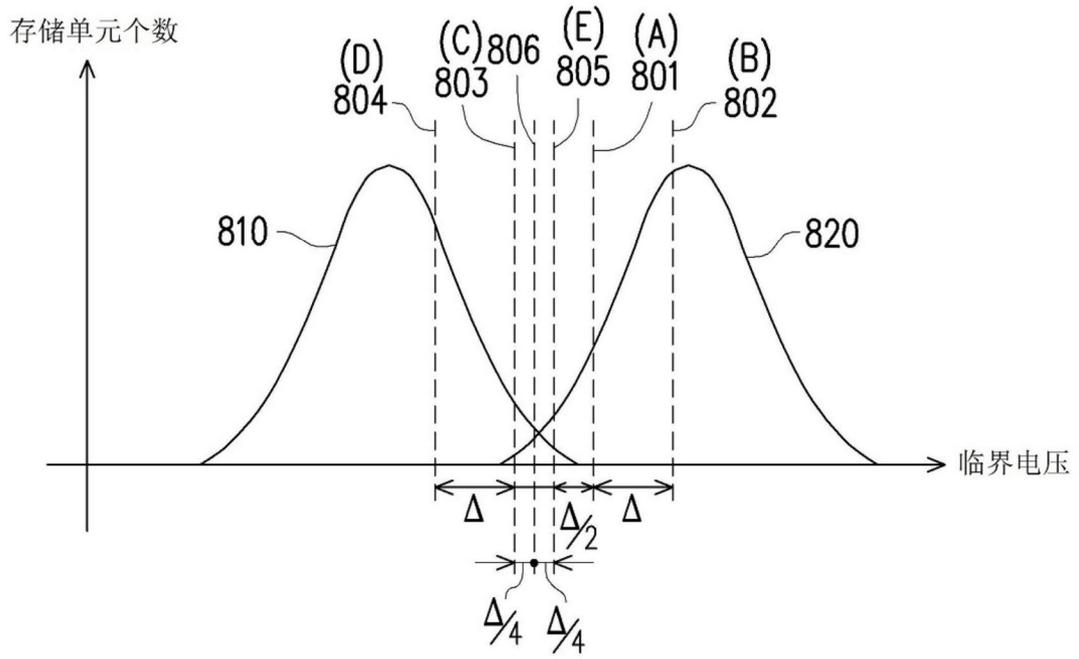


图8C

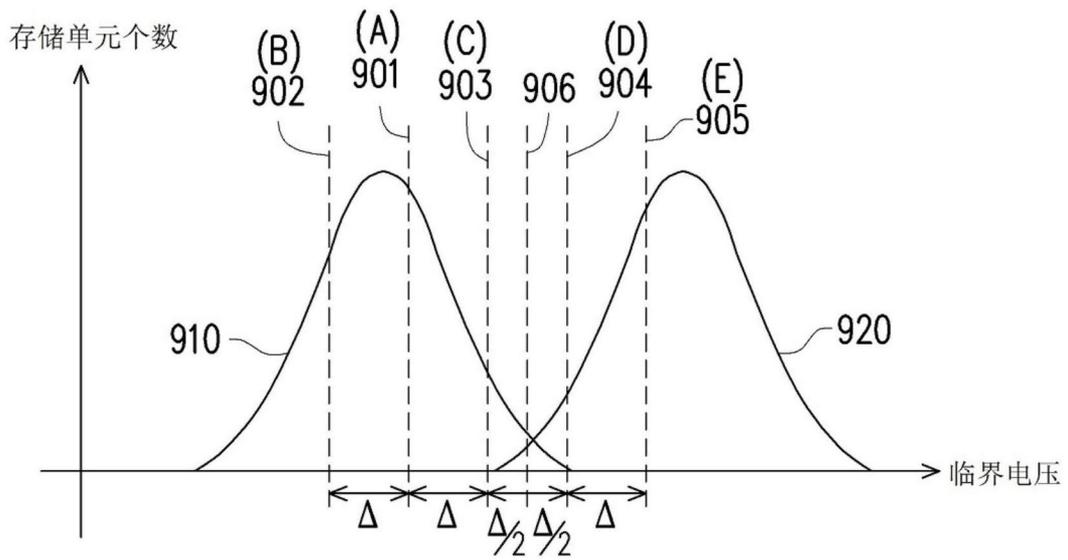


图9

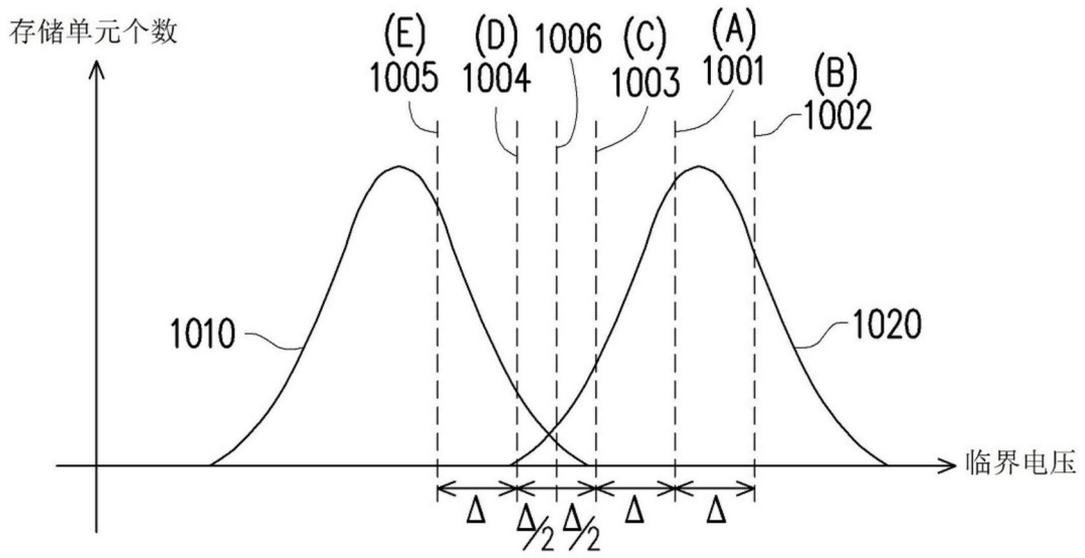


图10

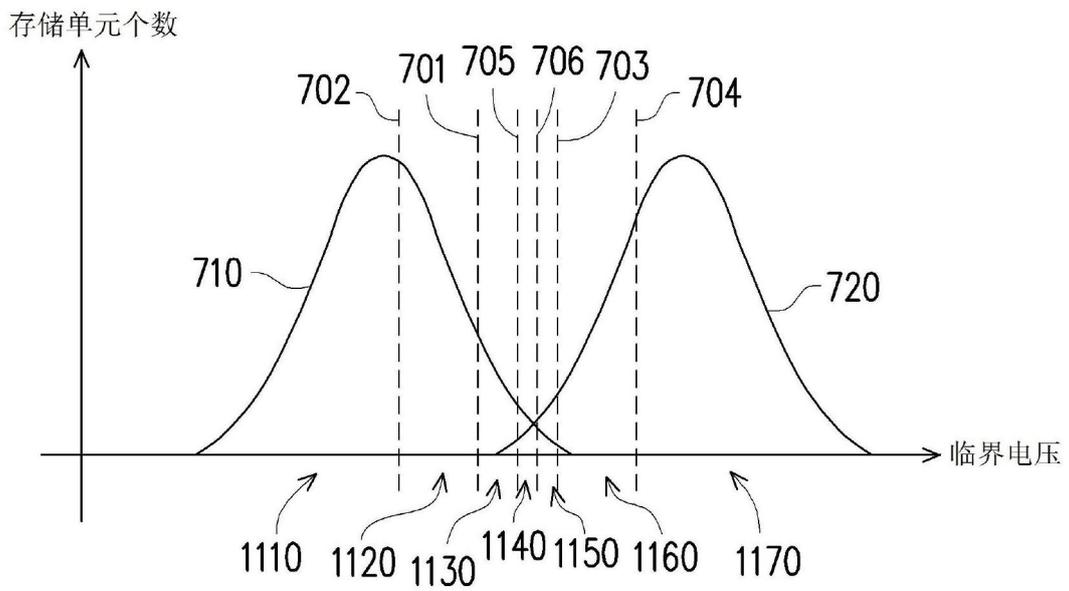


图11

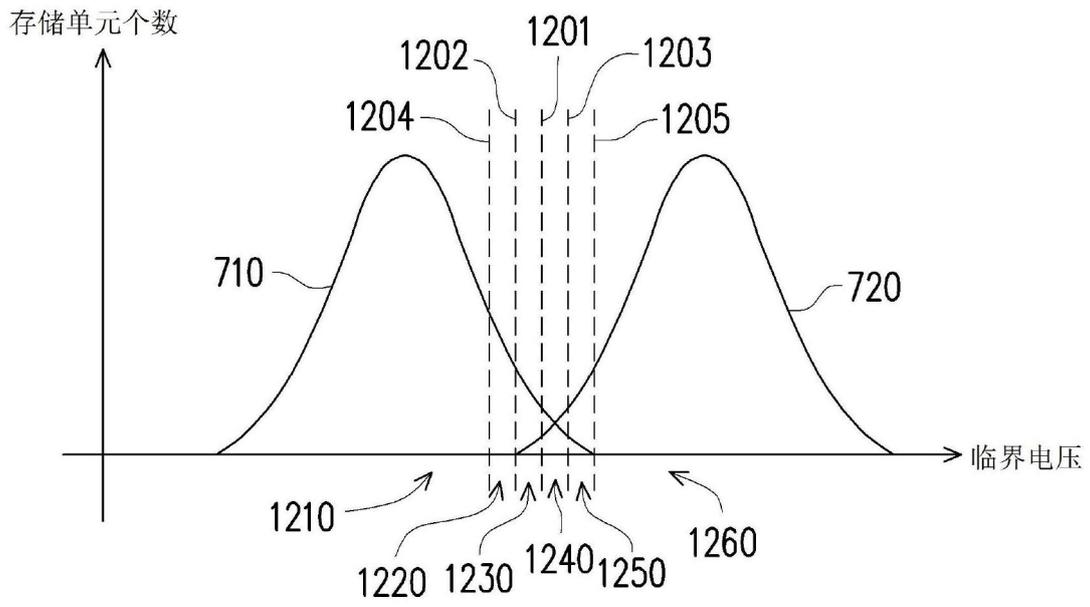


图12

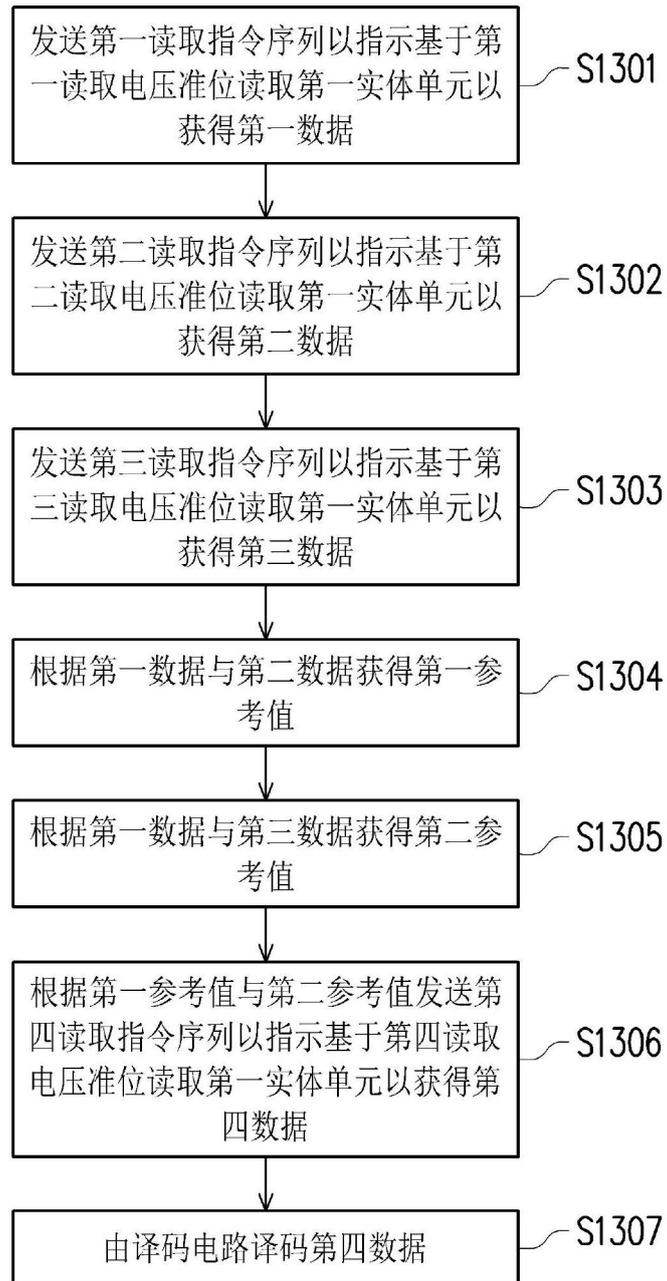


图13

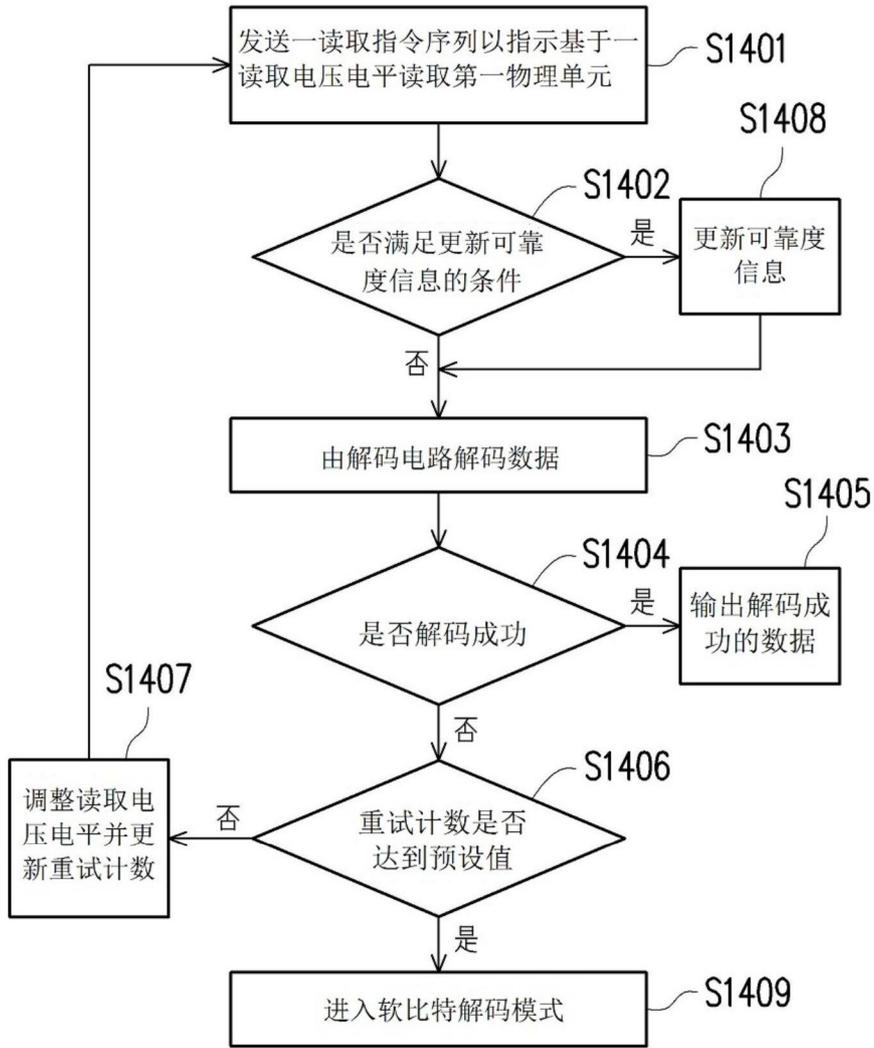


图14