

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4105257号
(P4105257)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int. Cl.		F I	
G06T	3/40	(2006.01)	G06T 3/40
G06F	12/02	(2006.01)	G06F 12/02 580
H04N	1/21	(2006.01)	H04N 1/21
H04N	7/32	(2006.01)	H04N 7/137 Z

請求項の数 5 (全 26 頁)

(21) 出願番号 特願平9-204372
 (22) 出願日 平成9年7月30日(1997.7.30)
 (65) 公開番号 特開平11-53529
 (43) 公開日 平成11年2月26日(1999.2.26)
 審査請求日 平成15年3月3日(2003.3.3)
 審判番号 不服2006-6566(P2006-6566/J1)
 審判請求日 平成18年4月6日(2006.4.6)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 近藤 哲二郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

合議体
 審判長 原 光明
 審判官 加藤 恵一
 審判官 月野 洋一郎

最終頁に続く

(54) 【発明の名称】 記憶装置および記憶方法

(57) 【特許請求の範囲】

【請求項1】

画像を記憶する記憶装置であって、
 少なくとも第1および第2のアドレス信号によってアドレス指定され、入力画像を記憶する第1の記憶手段と、

前記入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成する生成手段と、

少なくとも前記第1および第2のアドレス信号によってアドレス指定され、前記多画素数画像を記憶する第2の記憶手段と、

前記第1の記憶手段に記憶された入力画像、および前記第2の記憶手段に記憶された多画素数画像のうちいずれを読み出すかを指示するフラグに基づいて、前記第1の記憶手段に記憶された入力画像、または前記第2の記憶手段に記憶された多画素数画像を出力する出力手段と

を備え、

前記生成手段は、前記入力画像を構成する画素から前記多画素数画像を構成する画素を生成する複数の画素生成手段であって、前記入力画像を構成する画素数に対する前記多画素数画像を構成する画素数に応じた個数の前記画素生成手段を用いて、前記多画素数画像を生成する

ことを特徴とする記憶装置。

【請求項2】

前記第2の記憶手段は、少なくとも前記第1および第2のアドレス信号と、それに付加される付加アドレス信号とによってアドレス指定されることを特徴とする請求項1に記載の記憶装置。

【請求項3】

前記生成手段は、前記入力画像を構成する複数の画素を用いて重み付け加算を行うことにより、前記多画素数画像を構成する1の画素を生成することを特徴とする請求項1に記載の記憶装置。

【請求項4】

前記生成手段は、前記入力画像を構成する画素との線形結合により前記多画素数画像を構成する画素の予測値を算出するための予測係数を用いて、前記多画素数画像を生成することを特徴とする請求項1に記載の記憶装置。

【請求項5】

少なくとも第1および第2のアドレス信号によってアドレス指定される第1の記憶手段に、入力画像を記憶させる第1の記憶ステップと、

前記入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成する生成ステップと、

少なくとも前記第1および第2のアドレス信号によってアドレス指定される第2の記憶手段に、前記多画素数画像を記憶させる第2の記憶ステップと、

前記第1の記憶手段に記憶された入力画像、および前記第2の記憶手段に記憶された多画素数画像のうちのいずれを読み出すかを指示するフラグに基づいて、前記第1の記憶手段に記憶された入力画像、または前記第2の記憶手段に記憶された多画素数画像が出力される出力ステップと

を有し、

前記生成ステップでは、前記入力画像を構成する画素から前記多画素数画像を構成する画素を生成する複数の画素生成手段であって、前記入力画像を構成する画素数に対する前記多画素数画像を構成する画素数に応じた個数の前記画素生成手段が用いられて、前記多画素数画像が生成される

ことを特徴とする記憶方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶装置および記憶方法に関し、特に、例えば、画像を拡大する場合などに用いて好適な記憶装置および記憶方法に関する。

【0002】

【従来の技術】

例えば、高解像度の画像データを、最下位階層または第1階層の画像データとして、それより画素数の少ない第2階層の画像データを形成し、さらに、それより画素数の少ない第3階層の画像データを形成し、以下、同様にして、最上位階層までの画像データを形成する符号化手法がある。このような符号化は、階層符号化と呼ばれ、各階層の画像データは、その階層に対応した解像度（画素数）のモニタで表示される。従って、ユーザ側では、階層符号化された画像データのうち、自身が有するモニタの解像度に対応するものを選択することで、その画像データを視聴することができる。

【0003】

【発明が解決しようとする課題】

ところで、従来の階層符号化は、上述のように、元の画像データを第1階層の画像データとして、それより画素数の少ない上位階層の画像データを形成するだけであった。即ち、従来の階層符号化では、元の画像データの画素数よりも多い画素数の画像は形成されなかった。

【0004】

しかしながら、階層符号化において、元の画像データの画素数よりも多い画素数の画像（以

10

20

30

40

50

下、適宜、多画素数画像)を形成しておくようにすれば、例えば、電子ズームを行うときなどに便利である。

【0005】

即ち、元の画像データの画素数より少ない画素数の画像を用意しておけば、画像の縮小を、即座に行うことができ、多画素数画像を用意しておけば、画像の拡大を、即座に行うことができる。

【0006】

また、一般に、電子ズームにおいて利用頻度が高いのは、画像の拡大または縮小のうちの拡大である。即ち、例えば、伝送されてきた画像や、記録媒体から再生された画像を、ユーザが視聴している場合において、その視聴している画像の一部または全部を拡大することの要請は高い。

10

【0007】

本発明は、このような状況に鑑みてなされたものであり、例えば、画像の拡大を即座にすることができるようにするものである。

【0008】

【課題を解決するための手段】

請求項1に記載の記憶装置は、少なくとも第1および第2のアドレス信号によってアドレス指定され、入力画像を記憶する第1の記憶手段と、入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成する生成手段と、少なくとも第1および第2のアドレス信号によってアドレス指定され、多画素数画像を記憶する第2の記憶手段と、第1の記憶手段に記憶された入力画像、および第2の記憶手段に記憶された多画素数画像のうちのいずれを読み出すかを指示するフラグに基づいて、第1の記憶手段に記憶された入力画像、または第2の記憶手段に記憶された多画素数画像を出力する出力手段とを備え、生成手段は、入力画像を構成する画素から多画素数画像を構成する画素を生成する複数の画素生成手段であって、生成手段は、入力画像を構成する画素数に対する多画素数画像を構成する画素数に応じた個数の画素生成手段を用いて、多画素数画像を生成することを特徴とする。

20

【0009】

請求項5に記載の記憶方法は、少なくとも第1および第2のアドレス信号によってアドレス指定される第1の記憶手段に、入力画像を記憶させる第1の記憶ステップと、入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成する生成ステップと、少なくとも第1および第2のアドレス信号によってアドレス指定される第2の記憶手段に、多画素数画像を記憶させる第2の記憶ステップと、第1の記憶手段に記憶された入力画像、および第2の記憶手段に記憶された多画素数画像のうちのいずれを読み出すかを指示するフラグに基づいて、第1の記憶手段に記憶された入力画像、または第2の記憶手段に記憶された多画素数画像が出力される出力ステップとを有し、生成ステップでは、入力画像を構成する画素から多画素数画像を構成する画素を生成する複数の画素生成手段であって、入力画像を構成する画素数に対する多画素数画像を構成する画素数に応じた個数の画素生成手段が用いられて、多画素数画像が生成されることを特徴とする。

30

40

【0010】

請求項1に記載の記憶装置においては、第1の記憶手段は、少なくとも第1および第2のアドレス信号によってアドレス指定され、入力画像を記憶するようになされている。生成手段は、入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成するようになされている。第2の記憶手段は、少なくとも第1および第2のアドレス信号によってアドレス指定され、多画素数画像を記憶するようになされている。そして、出力手段は、第1の記憶手段に記憶された入力画像、および第2の記憶手段に記憶された多画素数画像のうちのいずれを読み出すかを指示するフラグに基づいて、第1の記憶手段に記憶された入力画像、または第2の記憶手段に記憶された多画素数画像を出力するようになされている。さらに、生成手段は、入力画像を構成する画

50

素から多画素数画像を構成する画素を生成する複数の画素生成手段であって、入力画像を構成する画素数に対する多画素数画像を構成する画素数に応じた個数の画素生成手段を用いて、多画素数画像を生成するようになされている。

【 0 0 1 1 】

請求項 5 に記載の記憶方法においては、少なくとも第 1 および第 2 のアドレス信号によってアドレス指定される第 1 の記憶手段に、入力画像を記憶させるとともに、入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像を生成し、少なくとも第 1 および第 2 のアドレス信号によってアドレス指定される第 2 の記憶手段に、多画素数画像を記憶させ、第 1 の記憶手段に記憶された入力画像、および第 2 の記憶手段に記憶された多画素数画像のうちのいずれを読み出すかを指示するフラグに基づいて、第 1 の記憶手段に記憶された入力画像、または第 2 の記憶手段に記憶された多画素数画像が出力されるようになされている。さらに、入力画像を構成する画素から多画素数画像を構成する画素を生成する複数の画素生成手段であって、入力画像を構成する画素数に対する多画素数画像を構成する画素数に応じた個数の画素生成手段が用いられて、多画素数画像が生成されるようになされている。

10

【 0 0 1 2 】

【 発明の実施の形態 】

図 1 は、本発明を適用した記憶装置の一実施の形態の構成例を示している。

【 0 0 1 3 】

この記憶装置は、例えば、1チップのCMOS (Complementary Metal Oxide Semiconductor) など構成され、そこに入力される入力画像を記憶するとともに、その入力画像から、それよりも画素数の多い画像、即ち、多画素数画像を形成して記憶する階層符号化を行うようになされている。

20

【 0 0 1 4 】

アドレス供給回路 1 には、記憶装置に入力される画像 (入力画像) を構成する画素の水平方向または垂直方向の位置に対応したアドレスそれぞれとしての水平アドレスまたは垂直アドレスが供給されるようになされている。

【 0 0 1 5 】

なお、本実施の形態では、例えば、図 2 に示すような、1画面が、水平方向が 512 画素で、垂直方向が 512 ラインで構成される画像が入力されるものとする。従って、水平アドレスおよび垂直アドレスは、いずれも $9 (= \log_2 512)$ ビットで表される。

30

【 0 0 1 6 】

アドレス供給回路 1 は、そこに供給される水平アドレスおよび垂直アドレスを必要に応じて処理して、入力画像メモリ 2 および多画素数メモリ 4 に供給するようになされている。なお、アドレス供給回路 1 には、水平アドレスおよび垂直アドレスの他、クロック (後述する図 5 乃至図 7 においては図示せず)、R/W (Read/Wright) 信号、および選択フラグも供給されるようになされており、アドレス供給回路 1 は、そのクロックに同期して、入力画像メモリ 2 および多画素数画像メモリ 4 にアドレスを供給するようになされている。また、アドレス供給回路 1 は、R/W 信号や選択フラグに対応して、そこに供給される水平アドレスおよび垂直アドレスを処理するようになされている。

40

【 0 0 1 7 】

ここで、R/W 信号は、記憶装置からの画像データの読み出し、または記憶装置への画像データの書き込みを指示する信号であり、選択フラグは、記憶装置に記憶された画像を読み出す場合に、入力画像メモリ 2 または多画素数画像メモリ 4 のうちのいずれに記憶された画像を読み出すかを指示するための、例えば 1 ビットのフラグである。従って、ここでは、選択フラグは、R/W 信号が画像データの読み出しを指示している場合にのみ有効となる (意味を持つ)。即ち、入力画像メモリ 2 および多画素数画像メモリ 4 への画像データの書き込みは、後述するように並列に (ほぼ同時に) 行われるため、書き込み時には、選択フラグは無視される。

【 0 0 1 8 】

50

入力画像メモリ2（第1の記憶手段）は、アドレス供給回路1からのアドレスに、RMW（Read Modify Write）回路5から供給される画像データを記憶し、また、そのアドレスに記憶されている画像データを読み出してRMW回路5に出力するようになされている。なお、入力画像メモリ2は、記憶装置に入力される画像（以下、適宜、原画像という）をそのまま記憶するようになされている。また、入力画像メモリ2は、例えば、少なくとも、1画面分の原画像、即ち、ここでは、図2に示したように、 512×512 画素の画像データを記憶することができるようになされている。さらに、入力画像メモリ2を構成するメモリセルは、例えば、少なくとも、原画像を構成する画素に割り当てられたビット数と同一のデータ長を有している。即ち、原画像を構成する1の画素が、例えば、8ビットで表されるとき、入力画像メモリ2を構成するメモリセルは、少なくとも8ビットのデータ長を有する。

10

【0019】

多画素数画像生成回路3（生成手段）は、入力画像メモリ2に記憶された原画像から、多画素数画像を生成し、多画素数画像メモリ4に供給するようになされている。即ち、多画素数画像生成回路3は、例えば、図3に示すように、原画像を構成する画素 A_1 を注目画素とすると、注目画素 A_1 と、その右または下に隣接する画素 A_2 または A_3 との間に、新たに画素 a_{12} または a_{13} をそれぞれ形成するとともに、注目画素 A_1 と、その右斜め下に隣接する画素 A_4 との間（画素 A_2 と A_3 との間）に、新たに画素 a_{1234} を形成する。多画素数画像生成回路3は、原画像を構成するすべての画素を順次、注目画素として、上述のような処理を行い、これにより、図4に示すような、横または縦の画素数それぞれが、原画像の2倍になっている多画素数画像、即ち、横×縦が 1024×1024 画素の画像を形成する。

20

【0020】

なお、多画素数画像生成回路3における多画素数画像の生成方法としては、例えば、多画素数画像を構成する1の画素を、その画素と相関のある、原画像を構成する複数の画素を用いて重み付け加算を行うことにより生成するものなどがある。即ち、この場合、図3において、多画素数画像の画素 a_{12} は、例えば、その左右に隣接する原画像の画素 A_1 と A_2 との平均値（これは、 A_1 および A_2 に対する重みを、いずれも1とした重み付け加算により求められるものである）とすることができる。また、多画素数画像の画素 a_{13} は、例えば、その上下に隣接する原画像の画素 A_1 と A_3 との平均値とすることができる。さらに、多画素数画像の画素 a_{1234} は、例えば、その左上、右上、左下、右下に隣接する原画像の画素 A_1, A_2, A_3, A_4 の平均値とすることができる。また、この場合、原画像の画素 A_1 の位置における多画素数画像の画素は、例えば、その原画像の画素 A_1 をそのまま採用することができる。

30

【0021】

多画素数画像メモリ4（第2の記憶手段）は、アドレス供給回路1からのアドレスに、多画素数画像生成回路3から供給される画像データ、即ち、本実施の形態では、多画素数画像を記憶し、また、そのアドレスに記憶されている画像データを読み出してRMW回路5に出力するようになされている。ここで、多画素数画像メモリ4は、少なくとも、1画面分の多画素数画像、即ち、ここでは、図4に示したように、 1024×1024 画素で構成される画像を記憶することのできる記憶容量を有している。また、多画素数画像メモリ4を構成するメモリセルは、少なくとも、多画素数画像生成回路3から供給される多画素数画像を構成する画素を、桁落ちが生じないように記憶することができるだけのデータ長を有している。なお、多画素数画像メモリ4を構成するメモリセルのデータ長は、例えば、入力画像メモリ2と同一の8ビットとすることも可能である。

40

【0022】

ここで、入力画像メモリ2、多画素数画像生成回路3、および多画素数画像メモリ4には、クロックが供給されるようになされており、このクロックに同期して、入力画像メモリ2および多画素数画像メモリ4では、データの読み書きが行われ、また、多画素数画像生成回路3では、多画素数画像の生成が行われるようになされている。

50

【 0 0 2 3 】

R M W回路 5 は、記憶装置に供給される原画像としての画像データを、入力画像メモリ 2 に書き込むようになされている。また、また、R M W回路 5 は、入力画像メモリ 2 または多画素数画像メモリ 4 に記憶された画像データを読み出して出力するようになされている。なお、R M W回路 5 には、クロック、R / W信号、選択フラグが供給されるようになされており、R M W回路 5 は、クロックに同期し、R / W信号、選択フラグに基づいて各種の処理を行うようになされている。

【 0 0 2 4 】

次に、図 5 は、図 1 の記憶装置の第 1 の詳細構成例を示している。

【 0 0 2 5 】

なお、以下では、図 2 に示したように、 512×512 画素で構成される、各画素が 8 ビットで表される画像データが、原画像として記憶装置に供給されるものとする。また、画像データは、いわゆる順次走査されて供給されるものとする。

【 0 0 2 6 】

さらに、原画像を構成する画素を、以下、適宜、その最も左上の画素を $p(0, 0)$ とし、以下、同様にして、左から $x + 1$ 番目で、上から $y + 1$ 番目にある画素を $p(x, y)$ と表す。原画像は、上述したように、 512×512 画素で構成されるから、 x, y は、いずれも 0 乃至 $511 (= 2^9 - 1)$ の範囲の整数値をとる。

【 0 0 2 7 】

また、本実施の形態では、多画素数画像生成回路 3 では、原画像から、図 4 に示したような 1024×1024 画素で構成される多画素数画像が生成されるが、その多画素数画像を構成する画素を、以下、適宜、その最も左上の画素を $q(0, 0)$ とし、以下同様にして、左から $m + 1$ 番目で、上から $n + 1$ 番目にある画素を $q(m, n)$ と表す。多画素数画像は、 1024×1024 画素で構成されるから、 m, n は、いずれも、0 乃至 $1023 (= 2^{10} - 1)$ の範囲の整数値をとる。

【 0 0 2 8 】

さらに、アドレス供給回路 1 には、データの書き込み時および読み出し時のいずれの場合も、水平アドレス H A および垂直アドレス V A の組合せ (H A , V A) が、

(0 , 0) , (1 , 0) , . . . , (5 1 1 , 0) ,

(0 , 1) , (1 , 1) , . . . , (5 1 1 , 1) ,

.

.

.

(5 1 1 , 0) , (5 1 1 , 1) , . . . , (5 1 1 , 5 1 1)

の順で、即ち、いわば順次走査に対応した順番で、クロックに同期して供給されるものとする。

【 0 0 2 9 】

また、記憶装置への画像データの書き込み時には、R M W回路 5 には、原画像が、クロックに同期して順次走査されて供給され、これに伴い、アドレス供給回路 1 には、水平アドレス H A および垂直アドレス V A が、上述したように供給されるものとする。

【 0 0 3 0 】

図 5 の実施の形態では、アドレス供給回路 1 は、遅延回路 1 1 a , 1 1 b , 1 1 c , 1 1 d を含んで構成されている。遅延回路 1 1 a , 1 1 b , 1 1 c , 1 1 d は、アドレス供給回路 1 に供給される水平アドレス H A および垂直アドレス V A を、必要な時間だけ遅延し、多画素数画像メモリ 4 を構成するメモリ 1 3 a , 1 3 b , 1 3 c , 1 3 d のアドレス端子 (A D) にそれぞれ供給するようになされている。なお、アドレス供給回路 1 は、そこに供給される水平アドレス H A および垂直アドレス V A を、そのまま、入力画像メモリ 2

10

20

30

40

50

のアドレス端子 (A D) に供給するようにもなされている。

【 0 0 3 1 】

多画素数画像生成回路 3 は、画素生成回路 1 2 a , 1 2 b , 1 2 c , 1 2 d で構成されている。画素生成回路 1 2 a , 1 2 b , 1 2 c , 1 2 d は、いずれも、入力画像メモリ 2 に記憶された原画像を構成する 1 以上の画素を読み出し、その読み出した画素から、多画素数画像を構成する 1 以上の画素を順次生成し、多画素数画像メモリ 4 を構成するメモリ 1 3 a , 1 3 b , 1 3 c , 1 3 d にそれぞれ供給するようになされている。

【 0 0 3 2 】

ここで、多画素数画像生成回路 3 が、4 つの画素生成回路 1 2 a 乃至 1 2 d で構成されているのは、次のような理由による。即ち、原画像は、1 画面が 512×512 画素で構成されるのに対して、多画素数画像は、1 画面が 1024×1024 で構成される。従って、単純に考えれば、原画像の 1 個の画素が、多画素数画像の 4 個の画素に対応する。そこで、原画像の 1 個の画素に対して、多画素数画像の 4 個の画素を生成するために、その 4 個の画素それぞれを生成する 4 つの画素生成回路 1 2 a 乃至 1 2 d で、多画素数画像生成回路 3 が構成されている。

10

【 0 0 3 3 】

なお、ここでは、原画像の 1 の画素 $p(x, y)$ に対して、多画素数画像の 4 の画素 $q(2x, 2y)$, $q(2x + 1, 2y)$, $q(2x, 2y + 1)$, $q(2x + 1, 2y + 1)$) を対応させることとし (例えば、図 3 において、原画像の画素 A_1 を注目画素とするときに、その画素 A_1 の位置における多画素数画像の画素、およびそれに隣接する多画素数画像の画素 a_{12} , a_{13} , a_{1234} を生成することとし)、画素生成回路 1 2 a 乃至 1 2 d では、多画素数画像の画素 $q(2x, 2y)$, $q(2x + 1, 2y)$, $q(2x, 2y + 1)$, $q(2x + 1, 2y + 1)$ がそれぞれ生成されるものとする。

20

【 0 0 3 4 】

多画素数画像メモリ 4 は、上述したように、4 つのメモリ 1 3 a 乃至 1 3 d で構成されている。そして、メモリ 1 3 a 乃至 1 3 d は、遅延回路 1 1 a 乃至 1 1 d から供給されるアドレスに、画素生成回路 1 2 a 乃至 1 2 d から供給される多画素数画像の画素 $q(2x, 2y)$, $q(2x + 1, 2y)$, $q(2x, 2y + 1)$, $q(2x + 1, 2y + 1)$ をそれぞれ記憶するようになされている。従って、メモリ 1 3 a 乃至 1 3 d は、いずれも、 512×512 画素を記憶することのできる記憶容量を有している。

30

【 0 0 3 5 】

また、メモリ 1 3 a 乃至 1 3 d は、遅延回路 1 1 a 乃至 1 1 d から供給されるアドレスから、そこに記憶されている多画素数画像の画素 $q(2x, 2y)$, $q(2x + 1, 2y)$, $q(2x, 2y + 1)$, $q(2x + 1, 2y + 1)$ を読み出し、R M W 回路 5 に供給するようにもなされている。

【 0 0 3 6 】

次に、その動作について説明する。

【 0 0 3 7 】

まず、画像データの書き込み時においては、即ち、R / W 信号が書き込みを表している場合においては、アドレス供給回路 1 は、そこに供給される水平アドレス H A および垂直アドレス V A を、そのまま、入力画像メモリ 2 に供給する。一方、R M W 回路 5 は、そこに供給される原画像の画像データを、水平アドレス H A および垂直アドレス V A によって指定されている入力画像メモリ 2 のメモリセル (図示せず) に書き込む。以下、同様の処理が行われることで、 512×512 画素で構成される 1 画面分の原画像が、入力画像メモリ 2 に記憶される。即ち、これにより、入力画像メモリ 2 のアドレス

40

(0, 0), (1, 0), ..., (511, 0),
 (0, 1), (1, 1), ..., (511, 1),
 ...
 (511, 0), (511, 1), ..., (511, 511)

には、第1階層の画素(画素値)

$p(0, 0)$, $p(1, 0)$, ..., $p(511, 0)$,
 $p(0, 1)$, $p(1, 1)$, ..., $p(511, 1)$,
 ...

10

$p(511, 0)$, $p(511, 1)$, ..., $p(511, 511)$

がそれぞれ記憶される。

【0038】

また、多画素数画像生成回路3では、画素生成回路12a乃至12dにおいて、多画素数画像を構成する画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ を生成するのに必要な原画像の画素が入力画像メモリ2に記憶されると、その原画像の画素(画素値)が読み出され、多画素数画像の画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ がそれぞれ生成されて、メモリ13a乃至13dにそれぞれ供給される。

20

【0039】

即ち、上述したように、ここでは、例えば図3において、原画像の画素 A_1 の位置における多画素数画像の画素は、画素 A_1 とされるから、画素生成回路12aは、画素 A_1 が入力画像メモリ2に記憶されると、それをそのまま読み出して、多画素数画像の画素 $q(2x, 2y)$ としてメモリ13aに供給する。

【0040】

また、図3において、多画素数画像の画素 a_{12} は、原画像の画素 A_1 と A_2 との平均値となるから、画素生成回路12bは、入力画像メモリ2に、画素 A_1 が記憶され、さらに画素 A_2 が記憶されるのを待って、画素 A_1 および A_2 を読み出す。そして、画素生成回路12bは、その画素 A_1 と A_2 との平均値を計算し、多画素数画像の画素 $q(2x+1, 2y)$ としてメモリ13bに供給する。

30

【0041】

さらに、図3において、多画素数画像の画素 a_{13} は、原画像の画素 A_1 と A_3 との平均値とされるから、画素生成回路12cは、入力画像メモリ2に、画素 A_1 が記憶され、さらに、1ライン分の画素(原画像の1ライン分の画素)が記憶されることにより、画素 A_3 が記憶されるのを待って、画素 A_1 および A_3 を読み出す。そして、画素生成回路12cは、その画素 A_1 と A_2 との平均値を計算し、多画素数画像の画素 $q(2x, 2y+1)$ としてメモリ13cに供給する。

【0042】

40

また、図3において、多画素数画像の画素 a_{1234} は、原画像の画素 A_1 乃至 A_4 の平均値とされるから、画素生成回路12dは、入力画像メモリ2に、これらの画素 A_1 乃至 A_4 が記憶されるのを待って読み出す。そして、画素生成回路12dは、画素 A_1 乃至 A_4 の平均値を計算し、多画素数画像の画素 $q(2x+1, 2y+1)$ としてメモリ13dに供給する。

【0043】

一方、アドレス供給回路1では、遅延回路11a乃至11dにおいて、原画像の画素 $p(x, y)$ が入力画像メモリ2に記憶されてから、画素生成回路12a乃至12dが、多画素数画像の画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ を生成するのに必要な時間だけ、水平アドレスHAおよび垂直アド

50

レスVAがそれぞれ遅延され、メモリ13a乃至13dにそれぞれ供給される。

【0044】

その結果、メモリ13a乃至13dでは、同一のアドレス(x, y)に、画素生成回路12a乃至12dから供給される画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ がそれぞれ記憶される。

【0045】

次に、読み出し時においては、即ち、R/W信号が読み出しを表している場合においては、選択フラグが原画像を表しているときには、アドレス供給回路1は、そこに供給される水平アドレスHAおよび垂直アドレスVAを、そのまま、入力画像メモリ2のアドレス端子に供給する。そして、RMW回路5において、水平アドレスHAおよび垂直アドレスVAによって指定されている入力画像メモリ2のメモリセルに記憶されている原画像の画素(画素値)が順次読み出される。

10

【0046】

以上のようにして、 512×512 画素で構成される1画面分の原画像が、入力画像メモリ2から読み出され、順次走査された原画像が出力される。

【0047】

一方、R/W信号が読み出しを表している場合において、選択フラグが多画素数画像を表しているときには、アドレス供給回路1は、そこに供給される水平アドレスHAおよび垂直アドレスVAを、遅延回路11a乃至11dにおいて、多画素数画像を、順次走査に対応する順に出力することができるように遅延して、メモリ13a乃至13dのアドレス端子に、それぞれ供給する。

20

【0048】

即ち、メモリ13a乃至13dでは、同一のアドレス(x, y)に、画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ がそれぞれ記憶されている。従って、メモリ13a乃至13dそれぞれから、画素 $q(2x, 2y)$, $q(2x+1, 2y)$, $q(2x, 2y+1)$, $q(2x+1, 2y+1)$ を順次走査に対応した順番で読み出すためには、画素 $q(2x, 2y)$ を基準とすると、メモリ13bには、アドレス(x, y)を、メモリ13aに与えるタイミングよりも1画素分(多画素数画像の1画素分)だけ遅延して与える必要がある。また、メモリ13cには、アドレス(x, y)を、メモリ13aに与えるタイミングよりも1ライン分(ここでは、多画素数画素の1024画素分)だけ遅延して与える必要がある。さらに、メモリ13dには、アドレス(x, y)を、メモリ13aに与えるタイミングよりも1ラインと1画素分(ここでは、多画素数画素の1025画素分)だけ遅延して与える必要がある。

30

【0049】

そこで、遅延回路11a乃至11dでは、アドレス供給回路1に供給される水平アドレスHAおよび垂直アドレスVAの組(HA, VA)が、上述のような時間だけそれぞれ遅延され、メモリ13a乃至13dのアドレス端子に、それぞれ供給される。

【0050】

そして、RMW回路5においては、遅延回路11a乃至11dからのアドレスによって指定されているメモリ13a乃至13dのメモリセルに記憶されている多画素数画像の画素が順次読み出される。

40

【0051】

以上のようにして、 1024×1024 画素で構成される1画面分の多画素数画像が、多画素数画像メモリ4(メモリ13a乃至13d)から読み出され、順次走査された多画素数画像が出力される。

【0052】

なお、原画像および多画素数画像の1画面の周期を同一とする場合には、多画素数画像の1画面を構成する画素数は、原画像の1画面を構成する画素数の4倍であるから、多画素数画像の読み出し時においては、遅延回路11a乃至11dおよびRMW回路5を、通常のクロックの4倍の周波数のクロック(以下、適宜、4倍クロックという)に同期させて

50

動作させる必要がある。この4倍クロックは、例えば、アドレス供給回路1やRMW回路5に、PLL(Phase Lock Loop)回路を内蔵させ、そのPLL回路に、通常のクロックに基づいて生成させるようにすることができる。

【0053】

以上のように、原画像と並列して、その原画像の画素数を多くした多画素数画像が生成されて記憶されるので、例えば、電子ズームなどにおいて、原画像の拡大が要求された場合に、多画素数画像メモリ4から多画素数画像を読み出すことで、即座に、原画像を拡大した画像としての多画素数画像を提供することが可能となる。

【0054】

次に、図6は、図1の記憶装置の第2の詳細構成例を示している。なお、図中、図5における場合と対応する部分については、同一の符号を付してある。

10

【0055】

この実施の形態では、アドレス供給回路1は、遅延回路11およびカウンタ21を含んで構成されている。遅延回路11は、そこに供給されるアドレスを必要な時間だけ遅延して、多画素数画像メモリ4を構成するメモリ22のアドレス端子(AD)に供給するようになされている。カウンタ21は、2ビットのカウンタなどで、例えば、4倍クロックをカウントし、2ビットのカウント値を出力するようになされている。

【0056】

また、アドレス供給回路1は、カウンタ21が出力する2ビットのカウント値のうちの下位ビット(付加アドレス信号)を、そこに供給される9ビットの水平アドレスHAの下位ビットとして付加し、これにより、10ビットの水平アドレスHA'を構成し、遅延回路11を介して、メモリ22のアドレス端子(AD)に供給するようになされている。さらに、アドレス供給回路1は、カウンタ21が出力する2ビットのカウント値のうちの上位ビット(付加アドレス信号)を、そこに供給される9ビットの垂直アドレスVAの下位ビットとして付加し、これにより、10ビットの垂直アドレスVA'を構成し、遅延回路11を介して、メモリ22のアドレス端子(AD)に供給するようになされている。

20

【0057】

従って、図6の実施の形態では、アドレス供給回路1において、入力画像メモリ2に対して、アドレス(x, y)が供給されると、メモリ22に対しては、遅延回路11を介して、アドレス(2x, 2y), (2x+1, 2y), (2x, 2y+1), (2x+1, 2y+1)が供給される。

30

【0058】

多画素数画像メモリ4は、上述したように、1のメモリ22で構成されている。そして、メモリ22は、遅延回路11から供給されるアドレス(2x, 2y), (2x+1, 2y), (2x, 2y+1), (2x+1, 2y+1)に、画素生成回路12a乃至12dから供給される多画素数画像の画素q(2x, 2y), q(2x+1, 2y), q(2x, 2y+1), q(2x+1, 2y+1)をそれぞれ記憶するようになされている。従って、メモリ22は、1画面の多画素数画像を構成する1024x1024画素を記憶することができる記憶容量を有している。

40

【0059】

また、メモリ22は、遅延回路11から供給されるアドレス(2x, 2y), (2x+1, 2y), (2x, 2y+1), (2x+1, 2y+1)から、それぞれに記憶されている多画素数画像の画素q(2x, 2y), q(2x+1, 2y), q(2x, 2y+1), q(2x+1, 2y+1)を読み出し、RMW回路5に供給するようになされている。

【0060】

次に、その動作について説明する。

【0061】

まず、画像データの書き込み時においては、即ち、R/W信号が書き込みを表している場

50

合においては、入力画像メモリ2には、図5における場合と同様にして、原画像が書き込まれる。

【0062】

また、多画素数画像生成回路3では、画素生成回路12a乃至12dにおいて、多画素数画像を構成する画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ を生成するのに必要な原画像の画素が入力画像メモリ2に記憶されると、図5における場合と同様に、多画素数画像の画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ がそれぞれ生成され、メモリ22に順次供給される。

【0063】

一方、アドレス供給回路1では、カウンタ21が出力する2ビットのカウント値のうちの最下位ビットまたは最上位ビットが、そこに供給される9ビットの水平アドレスHAまたは垂直アドレスVAの最下位ビットとしてそれぞれ付加され、10ビットの水平アドレスHA'および垂直アドレスVA'が構成される。即ち、これにより、水平アドレスHAと垂直アドレスVAとの組(HA, VA)として、(x, y)が、アドレス供給回路1に供給された場合、4つのアドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)が構成される。これらのアドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)それぞれは、遅延回路11において、原画像の画素 $p(x, y)$ が入力画像メモリ2に記憶されてから、画素生成回路12a乃至12dが、多画素数画像の画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ を生成するのに必要な時間だけそれぞれ遅延され、メモリ22に供給される。

【0064】

その結果、メモリ22では、アドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)に、画素生成回路12a乃至12dから供給される画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ がそれぞれ記憶される。

【0065】

次に、読み出し時においては、即ち、R/W信号が読み出しを表している場合においては、選択フラグが原画像を表しているときには、図5における場合と同様にして、原画像が、入力画像メモリ2から読み出され、RMW回路5から、順次走査された原画像が出力される。

【0066】

また、R/W信号が読み出しを表している場合において、選択フラグが多画素数画像を表しているときには、アドレス供給回路1は、上述したようにして、10ビットの水平アドレスHA'および垂直アドレスVA'、即ち、アドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)を構成し、遅延回路11に出力する。遅延回路11では、アドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)が、多画素数画像を、順次走査に対応する順に出力することができるように遅延され、メモリ22のアドレス端子に、それぞれ供給される。

【0067】

即ち、メモリ22に、アドレス(2x, 2y)、(2x+1, 2y)、(2x, 2y+1)、(2x+1, 2y+1)を与えると、画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ がそれぞれ読み出されるが、これらの画素 $q(2x, 2y)$ 、 $q(2x+1, 2y)$ 、 $q(2x, 2y+1)$ 、 $q(2x+1, 2y+1)$ を順次走査に対応した順番で読み出すためには、アドレス(2x, 2y)に記憶されている画素 $q(2x, 2y)$ を基準とすると、アドレス(2x+1, 2y)は、アドレス(2x, 2y)をタイミングよりも1画素分(多画素数画像の1画素分)だけ遅延して与える必要がある。また、アドレス(2x, 2y+1)は、アドレス(2x, 2y)を与えるタイミングよりも1ライン分(ここでは、多画素数画素の1024画素分)だ

10

20

30

40

50

け遅延して与える必要がある。さらに、アドレス($2x + 1, 2y + 1$)は、アドレス($2x, 2y$)を与えるタイミングよりも1ラインと1画素分(ここでは、多画素数画素の1025画素分)だけ遅延して与える必要がある。

【0068】

そこで、遅延回路11では、アドレス($2x + 1, 2y$)、($2x, 2y + 1$)、($2x + 1, 2y + 1$)が、アドレス($2x, 2y$)が出力される時刻を基準として、上述のような時間だけそれぞれ遅延され、メモリ22のアドレス端子に供給される。

【0069】

そして、RMW回路5においては、遅延回路11からのアドレスによって指定されているメモリ22のメモリセルに記憶されている多画素数画像の画素が読み出される。

10

【0070】

以上のようにして、 1024×1024 画素で構成される1画面分の多画素数画像が、多画素数画像メモリ4(メモリ22)から読み出され、順次走査された多画素数画像が出力される。

【0071】

なお、図6の実施の形態においても、原画像および多画素数画像の1画面の周期を同一とする場合には、多画素数画像の読み出し時において、遅延回路11およびRMW回路5を、4倍クロックに同期させて動作させる必要がある。

【0072】

以上のように、図6の実施の形態でも、原画像と並列して、その原画像の画素数を多くした多画素数画像が生成されて記憶されるので、例えば、電子ズームなどにおいて、原画像の拡大が要求された場合に、多画素数画像メモリ4から多画素数画像を読み出すことで、即座に、原画像を拡大した画像としての多画素数画像を提供することが可能となる。

20

【0073】

次に、上述の場合においては、多画素数画像生成回路3において、多画素数画像を、原画像を用いた重み付け加算を行うことによって生成するようにしたが、多画素数画像は、その他、例えば、クラス分類適応処理などを行うことによって生成することができる。

【0074】

図7は、クラス分類適応処理によって多画素数画像を生成する場合の多画素数画像生成回路3(画素生成回路12a乃至12dそれぞれ)の構成例を示している。

30

【0075】

クラス分類用ブロック化回路41および予測値計算用ブロック化回路42には、入力画像メモリ2に記憶された原画像の画像データ(原画像データ)が供給されるようになされている。クラス分類用ブロック化回路41は、原画像データを、その性質に応じて所定のクラスに分類するための単位である、注目している原画像データ(注目原画像データ)を中心としたクラス分類用ブロックにブロック化するようになされている。

【0076】

即ち、いま、図8において、上から*i*番目で、左から*j*番目の原画像データ(原画像を構成する画素(画素値))(図中、印で示す部分)を X_{ij} と表すとすると、クラス分類用ブロック化回路41は、例えば、注目原画像データ X_{ij} の左上、上、右上、左、右、左下、下、右下に隣接する8つの画素 $X_{(i-1)(j-1)}$ 、 $X_{(i-1)j}$ 、 $X_{(i-1)(j+1)}$ 、 $X_{i(j-1)}$ 、 $X_{i(j+1)}$ 、 $X_{(i+1)(j-1)}$ 、 $X_{(i+1)j}$ 、 $X_{(i+1)(j+1)}$ に、自身を含め、合計9画素で構成されるクラス分類用ブロックを構成するようになされている。このクラス分類用ブロックは、クラス分類適応処理回路43に供給されるようになされている。

40

【0077】

なお、この場合、クラス分類用ブロックは、 3×3 画素(横 \times 縦)でなる正方形のブロックで構成されることとなるが、クラス分類用ブロックの形状は、正方形である必要はなく、その他、例えば、長方形や、十文字形、その他の任意な形とすることが可能である。また、クラス分類用ブロックを構成する画素数も、 3×3 の9画素に限定されるものではない。

50

【 0 0 7 8 】

予測値計算用ブロック化回路 4 2 は、原画像データを、多画素数画像を構成する画素（画素値）の予測値を計算するための単位である、注目原画像データを中心とした予測値計算用ブロックにブロック化するようになされている。即ち、いま、図 8 において、原画像データ X_{ij} （図中、印で示す部分）を中心とする、多画素数画像における 3×3 の 9 画素（図中、 \times 印で示す部分）を、その最も左から右方向、かつ上から下方向に、 $Y_{ij}(1)$ 、 $Y_{ij}(2)$ 、 $Y_{ij}(3)$ 、 $Y_{ij}(4)$ 、 $Y_{ij}(5)$ 、 $Y_{ij}(6)$ 、 $Y_{ij}(7)$ 、 $Y_{ij}(8)$ 、 $Y_{ij}(9)$ と表すとすると、画素 $Y_{ij}(1)$ 乃至 $Y_{ij}(9)$ の予測値の計算のために、予測値計算用ブロック化回路 4 2 は、例えば、注目原画像データ X_{ij} を中心とする 5×5 の 25 画素 $X_{(i-2)(j-2)}$ 、 $X_{(i-2)(j-1)}$ 、 $X_{(i-2)j}$ 、 $X_{(i-2)(j+1)}$ 、 $X_{(i-2)(j+2)}$ 、 $X_{(i-1)(j-2)}$ 、 $X_{(i-1)(j-1)}$ 、 $X_{(i-1)j}$ 、 $X_{(i-1)(j+1)}$ 、 $X_{(i-1)(j+2)}$ 、 $X_{i(j-2)}$ 、 X_{ij} 、 $X_{i(j+1)}$ 、 $X_{i(j+2)}$ 、 $X_{(i+1)(j-2)}$ 、 $X_{(i+1)(j-1)}$ 、 $X_{(i+1)j}$ 、 $X_{(i+1)(j+1)}$ 、 $X_{(i+1)(j+2)}$ 、 $X_{(i+2)(j-2)}$ 、 $X_{(i+2)(j-1)}$ 、 $X_{(i+2)j}$ 、 $X_{(i+2)(j+1)}$ 、 $X_{(i+2)(j+2)}$ で構成される正方形の予測値計算用ブロックを構成するようになされている。

10

【 0 0 7 9 】

具体的には、例えば、図 8 において四角形で囲む、多画素数画像における画素 $Y_{33}(1)$ 乃至 $Y_{33}(9)$ の 9 画素の予測値の計算のためには、画素 X_{11} 、 X_{12} 、 X_{13} 、 X_{14} 、 X_{15} 、 X_{21} 、 X_{22} 、 X_{23} 、 X_{24} 、 X_{25} 、 X_{31} 、 X_{32} 、 X_{33} 、 X_{34} 、 X_{35} 、 X_{41} 、 X_{42} 、 X_{43} 、 X_{44} 、 X_{45} 、 X_{51} 、 X_{52} 、 X_{53} 、 X_{54} 、 X_{55} により、予測値計算用ブロックが構成される（この場合の注目原画像データは、 X_{33} となる）。

20

【 0 0 8 0 】

予測値計算用ブロック化回路 4 2 において得られた予測値計算用ブロックは、クラス分類適応処理回路 4 3 に供給されるようになされている。

【 0 0 8 1 】

なお、予測値計算用ブロックについても、クラス分類用ブロックにおける場合と同様に、その画素数および形状は、上述したものに限定されるものではない。但し、予測値計算用ブロックを構成する画素数は、クラス分類用ブロックを構成する画素数よりも多くするのが望ましい。

【 0 0 8 2 】

また、上述のようなブロック化を行う場合において（ブロック化以外の処理についても同様）、画像の画枠付近では、対応する画素が存在しないことがあるが、この場合には、例えば、画枠を構成する画素と同一の画素が、その外側に存在するものとして処理を行う。

30

【 0 0 8 3 】

クラス分類適応処理回路 4 3 は、A D R C (Adaptive Dynamic Range Coding) 処理回路、クラス分類回路 4 5、予測係数 R O M 4 6、および予測回路 4 7 で構成され、クラス分類適応処理を行うようになされている。

【 0 0 8 4 】

クラス分類適応処理とは、入力信号を、その特徴に基づいて幾つかのクラスに分類し、各クラスの入力信号に、そのクラスに適切な適応処理を施すもので、大きく、クラス分類処理と適応処理とに分かれている。

40

【 0 0 8 5 】

ここで、クラス分類処理および適応処理について簡単に説明する。

【 0 0 8 6 】

まず、クラス分類処理について説明する。

【 0 0 8 7 】

いま、例えば、図 9 (A) に示すように、ある注目画素と、それに隣接する 3 つの画素により、 2×2 画素でなるブロック（クラス分類用ブロック）を構成し、また、各画素は、1 ビットで表現される（0 または 1 のうちのいずれかのレベルをとる）ものとする。この場合、注目画素を含む 2×2 の 4 画素のブロックは、各画素のレベル分布により、図 9 (B) に示すように、 $16 (= (2^1)^4)$ パターンに分類することができる。従って、いま

50

の場合、注目画素は、16のパターンに分類することができ、このようなパターン分けが、クラス分類処理であり、クラス分類回路45において行われる。

【0088】

なお、クラス分類処理は、画像（ブロック内の画像）のアクティビティ（画像の複雑さ）（変化の激しさ）などをも考慮して行うようにすることが可能である。

【0089】

ここで、本実施の形態では、原画像を構成する各画素に、8ビットが割り当てられる。また、本実施の形態においては、上述したように、クラス分類用ブロックは、 3×3 の9画素で構成される。従って、このようなクラス分類用ブロックを対象にクラス分類処理を行ったのでは、 $(2^8)^9$ という膨大な数のクラスに分類されることになる。

10

【0090】

そこで、本実施の形態においては、ADRC処理回路44において、クラス分類用ブロックに対して、ADRC処理が施されるようになされており、これにより、クラス分類用ブロックを構成する画素のビット数を小さくすることで、クラス数を削減するようになされている。

【0091】

即ち、例えば、いま、説明を簡単にするため、図10(A)に示すように、直線上に並んだ4画素で構成されるブロックを考えると、ADRC処理においては、その画素値の最大値MAXと最小値MINが検出される。そして、 $DR = MAX - MIN$ を、ブロックの局所的なダイナミックレンジとし、このダイナミックレンジDRに基づいて、ブロックを構成する画素の画素値がKビットに再量子化される。

20

【0092】

即ち、ブロック内の各画素値から、最小値MINを減算し、その減算値を $DR / 2^k$ で除算する。そして、その結果得られる除算値に対応するコード（ADRCコード）に変換される。具体的には、例えば、 $K = 2$ とした場合、図10(B)に示すように、除算値が、ダイナミックレンジDRを4($= 2^2$)等分して得られるいずれの範囲に属するかが判定され、除算値が、最も下のレベルの範囲、下から2番目のレベルの範囲、下から3番目のレベルの範囲、または最も上のレベルの範囲に属する場合には、それぞれ、例えば、00B, 01B, 10B、または11Bなどの2ビットにコード化される（Bは2進数であることを表す）。なお、その復号は、ADRCコード00B, 01B, 10B、または11Bを、ダイナミックレンジDRを4等分して得られる最も下のレベルの範囲の中心値 L_{00} 、下から2番目のレベルの範囲の中心値 L_{01} 、下から3番目のレベルの範囲の中心値 L_{10} 、または最も上のレベルの範囲の中心値 L_{11} に変換し、その値に、最小値MINを加算することで行われる。

30

【0093】

ここで、このようなADRC処理はノンエッジマッチングと呼ばれ、また、ADRC処理については、本件出願人が先に出願した、例えば、特開平3-53778号公報などに、その詳細が開示されている。

【0094】

ブロックを構成する画素に割り当てられているビット数より少ないビット数で再量子化を行うADRC処理を施すことにより、上述したように、クラス数を削減することができ、このようなADRC処理が、ADRC処理回路44において行われるようになされている。

40

【0095】

なお、本実施の形態では、クラス分類回路45において、ADRC処理回路44から出力されるADRCコードに基づいて、クラス分類処理が行われるが、クラス分類処理は、その他、例えば、DPCM（予測符号化）や、BTC（Block Truncation Coding）、VQ（ベクトル量子化）、DCT（離散コサイン変換）、アダマール変換などを施したデータを対象に行うようにすることも可能である。

【0096】

50

次に、適応処理について説明する。

【 0 0 9 7 】

例えば、いま、ある画像（上述の多画素数画像に相当する画像）の画素（画素値） y の予測値 $E[y]$ を、その画像の画素を間引いて得られる画像（画素数の少ない画像）（上述の原画像に相当する画像）を構成する幾つかの画素（画素値）（以下、適宜、学習データという） x_1, x_2, \dots と、所定の予測係数 w_1, w_2, \dots の線形結合により規定される線形1次結合モデルにより求めることを考える。この場合、予測値 $E[y]$ は、次式で表すことができる。

【 0 0 9 8 】

$$E[y] = w_1 x_1 + w_2 x_2 + \dots$$

10

..... (1)

【 0 0 9 9 】

そこで、一般化するために、予測係数 w の集合でなる行列 W 、学習データの集合でなる行列 X 、および予測値 $E[y]$ の集合でなる行列 Y' を、

【数1】

$$X = \begin{pmatrix} x_{11} & x_{12} & \dots & x_{1n} \\ x_{21} & x_{22} & \dots & x_{2n} \\ \dots & \dots & \dots & \dots \\ x_{m1} & x_{m2} & \dots & x_{mn} \end{pmatrix}$$

20

$$W = \begin{pmatrix} w_1 \\ w_2 \\ \dots \\ w_n \end{pmatrix}, Y' = \begin{pmatrix} E[y_1] \\ E[y_2] \\ \dots \\ E[y_n] \end{pmatrix}$$

で定義すると、次のような観測方程式が成立する。

【 0 1 0 0 】

$$XW = Y'$$

..... (2)

【 0 1 0 1 】

そして、この観測方程式に最小自乗法を適用して、元の画像の画素値 y に近い予測値 $E[y]$ を求めることを考える。この場合、元の画像の画素値（以下、適宜、教師データという） y の集合でなる行列 Y 、および元の画像の画素値 y に対する予測値 $E[y]$ の残差 e の集合でなる行列 E を、

【数2】

$$E = \begin{pmatrix} e_1 \\ e_2 \\ \dots \\ e_m \end{pmatrix}, Y = \begin{pmatrix} y_1 \\ y_2 \\ \dots \\ y_n \end{pmatrix}$$

40

で定義すると、式(2)から、次のような残差方程式が成立する。

【 0 1 0 2 】

$$XW = Y + E \dots \dots (3)$$

【 0 1 0 3 】

この場合、元の画像の画素値 y に近い予測値 $E[y]$ を求めるための予測係数 w_i は、自

50

乗誤差

【数 3】

$$\sum_{i=1}^m e_i^2$$

を最小にすることで求めることができる。

【0104】

従って、上述の自乗誤差を予測係数 w_i で微分したものが 0 になる場合、即ち、次式を満たす予測係数 w_i が、元の画像の画素値 y に近い予測値 $E[y]$ を求めるため最適値ということになる。

10

【0105】

【数 4】

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \dots + e_m \frac{\partial e_m}{\partial w_i} = 0 \quad (i=1,2,\dots,n)$$

・・・(4)

20

【0106】

そこで、まず、式(3)を、予測係数 w_i で微分することにより、次式が成立する。

【0107】

【数 5】

$$\frac{\partial e_1}{\partial w_i} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_n} = x_{in}, \quad (i=1,2,\dots,m)$$

・・・(5)

30

【0108】

式(4)および(5)より、式(6)が得られる。

【0109】

【数 6】

$$\sum_{i=1}^m e_i x_{i1} = 0, \quad \sum_{i=1}^m e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^m e_i x_{in} = 0$$

・・・(6)

40

【0110】

さらに、式(3)の残差方程式における学習データ x 、予測係数 w 、教師データ y 、および残差 e の関係を考慮すると、式(6)から、次のような正規方程式を得ることができる。

【0111】

【数 7】

$$\left\{ \begin{array}{l} (\sum_{i=1}^m X_{i1}X_{i1})W_1 + (\sum_{i=1}^m X_{i1}X_{i2})W_2 + \dots + (\sum_{i=1}^m X_{i1}X_{in})W_n = (\sum_{i=1}^m X_{i1}Y_i) \\ (\sum_{i=1}^m X_{i2}X_{i1})W_1 + (\sum_{i=1}^m X_{i2}X_{i2})W_2 + \dots + (\sum_{i=1}^m X_{i2}X_{in})W_n = (\sum_{i=1}^m X_{i2}Y_i) \\ \dots \\ (\sum_{i=1}^m X_{in}X_{i1})W_1 + (\sum_{i=1}^m X_{in}X_{i2})W_2 + \dots + (\sum_{i=1}^m X_{in}X_{in})W_n = (\sum_{i=1}^m X_{in}Y_i) \end{array} \right.$$

10

・・・(7)

【0112】

式(7)の正規方程式は、求めるべき予測係数wの数と同じ数だけたてることができ、従って、式(7)を解くことで、最適な予測係数wを求めることができる。なお、式(7)を解くにあたっては、例えば、掃き出し法(Gauss-Jordanの消去法)などを適用することが可能である。

【0113】

20

以上のように、クラスごとに最適な予測係数wを求め、その予測係数wを用い、式(1)により、元の画像の画素値yに近い予測値E[y]を求めるのが適応処理であり、この適応処理が、予測係数ROM46および予測回路47において行われるようになされている。

【0114】

即ち、予測係数ROM46は、あらかじめ学習(後述する)を行うことにより求められたクラスごとの予測係数を記憶しており、クラス分類回路45が出力するクラス情報を受信し、そのクラス情報に対応するアドレスに記憶されている予測係数(クラス情報に対応する予測係数)を読み出して、予測回路47に供給するようになされている。

【0115】

30

予測回路47は、予測値計算用ブロック化回路42からの5×5画素の予測値計算用ブロックと、予測係数ROM46からの予測係数とを用いて、式(1)に示した線形1次式を計算し、これにより、多画素数画像の3×3画素の予測値を算出するようになされている。

【0116】

なお、適応処理は、間引かれた画像には含まれていない、元の画像に含まれる成分が再現される点で、上述したような重み付け加算のような補間処理とは異なる。即ち、適応処理は、式(1)だけを見る限りは、いわゆる補間フィルタを用いての補間処理と同一であるが、その補間フィルタのタップ係数に相当する予測係数wが、教師データyを用いての、いわば学習により求められるため、元の画像に含まれる成分を再現することができる。このことから、適応処理は、いわば画像の創造作用がある処理といえることができる。

40

【0117】

次に、図7の多画素数画像生成回路3の処理について説明する。

【0118】

多画素数画像生成回路3においては、まず最初に、原画像データがブロック化される。即ち、クラス分類用ブロック化回路41において、原画像データが、注目原画像データを中心とする3×3画素のクラス分類用ブロックにブロック化され、クラス分類適応処理回路43に供給されるとともに、予測値計算用ブロック化回路42において、原画像データが、注目原画像データを中心とする5×5画素の予測値計算用ブロックにブロック化され、クラス分類適応処理回路43に供給される。

50

【 0 1 1 9 】

クラス分類適応処理回路 4 3 においては、クラス分類用ブロックは A D R C 処理部 4 4 に、予測値計算用ブロックは適応処理回路 4 6 に、それぞれ供給される。

【 0 1 2 0 】

A D R C 処理回路 4 4 は、クラス分類用ブロックを受信すると、そのクラス分類用ブロックに対して、例えば、1 ビットの A D R C (1 ビットで再量子化を行う A D R C) 処理を施し、これにより、原画像データを、1 ビットに変換 (符号化) して、クラス分類回路 4 5 に出力する。クラス分類回路 4 5 では、A D R C 処理が施されたクラス分類用ブロックに対して、クラス分類処理が施される。即ち、A D R C 処理が施されたクラス分類用ブロックを構成する各画素のレベル分布の状態が検出され、そのクラス分類用ブロックが属するクラスが判定される。このクラスの判定結果は、クラス情報として、予測係数 R O M 4 6 に供給される。

10

【 0 1 2 1 】

なお、本実施の形態においては、1 ビットの A D R C 処理が施された 3×3 の 9 画素で構成されるクラス分類用ブロックに対して、クラス分類処理が施されるので、各クラス分類用ブロックは、 $512 (= (2^1)^9)$ のクラスのうちのいずれかに分類されることになる。

【 0 1 2 2 】

予測係数 R O M 4 6 は、クラス情報を受信すると、そのクラス情報に対応する予測係数を、記憶しているクラスごとの予測係数の中から読み出し、予測回路 4 7 に供給する。予測回路 4 7 では、予測係数 R O M 4 6 からの予測係数と、予測値計算用ブロック化回路 4 2 からの予測値計算用ブロックとを用いて適応処理が行われることにより、即ち、式 (1) にしたがった演算が行われることにより、多画素数画像の画素の予測値が求められる。

20

【 0 1 2 3 】

次に、図 1 1 は、図 7 の予測係数 R O M 4 6 に記憶されている予測係数を得るための学習を行う画像処理装置の構成例を示している。

【 0 1 2 4 】

学習用ブロック化回路 9 1 および教師用ブロック化回路 9 2 には、予測係数を得るための学習用の画像データ (学習用の多画素数画像) が供給されるようになされている。

【 0 1 2 5 】

学習用ブロック化回路 9 1 は、そこに入力される画像データから、例えば、図 8 に印で示した位置関係の 5×5 画素 (原画像を構成する画素に相当する) を抽出し、この 25 画素で構成されるブロックを、学習用ブロックとして、A D R C 処理 9 3 および学習データメモリ 9 6 に供給する。

30

【 0 1 2 6 】

また、教師用ブロック化回路 9 2 では、入力される画像データから、例えば、 3×3 の 9 画素で構成されるブロックが生成され、この 9 画素で構成されるブロックが、教師用ブロックとして、教師データメモリ 9 8 に供給される。

【 0 1 2 7 】

なお、学習用ブロック化回路 9 1 において、例えば、図 8 に印で示した位置関係の 25 画素 $X_{11}, X_{12}, X_{13}, X_{14}, X_{15}, X_{21}, X_{22}, X_{23}, X_{24}, X_{25}, X_{31}, X_{32}, X_{33}, X_{34}, X_{35}, X_{41}, X_{42}, X_{43}, X_{44}, X_{45}, X_{51}, X_{52}, X_{53}, X_{54}, X_{55}$ で構成される学習用ブロックが生成されるとき、教師用ブロック化回路 9 2 では、同図に四角形で囲んで示す 3×3 画素の教師用ブロックが生成されるようになされている。

40

【 0 1 2 8 】

A D R C 処理回路 9 3 は、学習用ブロックを構成する 25 画素から、例えば、その中心の 9 画素 (3×3 画素) を抽出し、この 9 画素でなるブロックに対して、図 7 の A D R C 処理回路 4 4 における場合と同様に、1 ビットの A D R C 処理を施す。A D R C 処理の施された 3×3 画素のブロックは、クラス分類回路 9 4 に供給される。クラス分類回路 9 4 では、図 7 のクラス分類回路 4 5 における場合と同様に、A D R C 処理回路 9 3 からのプロ

50

ックがクラス分類処理され、それにより得られるクラス情報が、スイッチ 95 の端子 a を介して、学習データメモリ 96 および教師データメモリ 98 に供給される。

【0129】

学習データメモリ 96 または教師データメモリ 98 では、そこに供給されるクラス情報に対応するアドレスに、学習用ブロック化回路 91 からの学習用ブロックまたは教師用ブロック化回路 92 からの教師用ブロックが、それぞれ記憶される。

【0130】

従って、学習データメモリ 96 において、例えば、図 8 に印で示した 5×5 画素 X_{11} , X_{12} , X_{13} , X_{14} , X_{15} , X_{21} , X_{22} , X_{23} , X_{24} , X_{25} , X_{31} , X_{32} , X_{33} , X_{34} , X_{35} , X_{41} , X_{42} , X_{43} , X_{44} , X_{45} , X_{51} , X_{52} , X_{53} , X_{54} , X_{55} でなるブロックが学習用ブロックとして、あるアドレスに記憶されたとすると、教師データメモリ 98 においては、そのアドレスと同一のアドレスに、同図において、四角形で囲んで示す 3×3 画素（同図において \times 印で示す）のブロックが、教師用ブロックとして記憶される。

【0131】

以下、同様の処理が、あらかじめ用意されたすべての学習用の画像について繰り返され、これにより、学習用ブロックと、図 7 の多画素数画像生成回路 3 において、その学習用ブロックを構成する 25 画素と同一の位置関係を有する 25 の原画像データで構成される予測値計算用ブロックを用いて予測値が求められる 9 画素で構成される教師用ブロックとが、学習用データメモリ 96 と、教師用データメモリ 98 とにおいて、同一のアドレスに記憶される。

【0132】

なお、学習用データメモリ 96 と教師用データメモリ 98 においては、同一アドレスに複数の情報を記憶することができるようになされており、これにより、同一アドレスには、複数の学習用ブロックと教師用ブロックを記憶することができるようになされている。

【0133】

学習用画像すべてについての学習用ブロックと教師用ブロックとが、学習データメモリ 96 と教師データメモリ 98 に記憶されると、端子 a を選択していたスイッチ 95 が、端子 b に切り替わり、これにより、カウンタ 97 の出力が、アドレスとして、学習データメモリ 96 および教師データメモリ 98 に供給される。カウンタ 97 は、所定のクロックをカウントし、そのカウント値を出力しており、学習データメモリ 96 または教師データメモリ 98 では、そのカウント値に対応するアドレスに記憶された学習用ブロックまたは教師用ブロックが読み出され、演算回路 99 に供給される。

【0134】

従って、演算回路 99 には、カウンタ 97 のカウント値に対応するクラスの学習用ブロックのセットと、教師用ブロックのセットとが供給される。

【0135】

演算回路 99 は、あるクラスについての学習用ブロックのセットと、教師用ブロックのセットとを受信すると、それらを用いて、最小自乗法により、誤差を最小とする予測係数を算出する。

【0136】

即ち、例えば、いま、学習用ブロックを構成する画素の画素値を、 x_1, x_2, x_3, \dots とし、求めるべき予測係数を w_1, w_2, w_3, \dots とするとき、これらの線形 1 次結合により、教師用ブロックを構成する、ある画素の画素値 y を求めるには、予測係数 w_1, w_2, w_3, \dots は、次式を満たす必要がある。

【0137】

$$y = w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$$

【0138】

そこで、演算回路 99 では、同一クラスの学習用ブロックと、対応する教師用ブロックとから、真値 y に対する、予測値 $w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$ の自乗誤差を最小とする予測係数 w_1, w_2, w_3, \dots が、上述した式 (7) に示す正規方程式をたてて解くこ

10

20

30

40

50

とにより求められる。従って、この処理をクラスごとに行うことにより、各クラスごとに、予測係数が生成される。

【0139】

演算回路99において求められた、クラスごとの予測係数は、メモリ100に供給される。メモリ100には、演算回路99からの予測係数の他、カウンタ97からカウント値が供給されており、これにより、メモリ100においては、演算回路99からの予測係数が、カウンタ97からのカウント値に対応するアドレスに記憶される。

【0140】

以上のようにして、メモリ100には、各クラスに対応するアドレスに、そのクラスのブロックの3×3画素を予測するのに最適な予測係数が記憶される。

10

【0141】

図7の予測係数ROM46には、以上のようにしてメモリ100に記憶されたクラスごとの予測係数が記憶されている。

【0142】

なお、本実施の形態では、多画素数画像メモリ4に、原画像の横または縦の画素数を、それぞれ2倍にした多画素数画像を記憶させるようにしたが、多画素数画像メモリ4に記憶させる多画素数画像を構成する画素数は、これに限定されるものではない。

【0143】

また、多画素数画像メモリ4は複数設けるようにすることができ、これにより、原画像よりも画素数が多い、異なる画素数の多画素数画像を記憶させるようにすることができる。

20

【0144】

さらに、本実施の形態では、多画素数画像メモリ4に対しては、入力画像メモリ2に与える水平アドレスHAおよび垂直アドレスVAを処理して得られるアドレスを与えるようにしたが、多画素数メモリ4には、入力画像メモリ2に与える水平アドレスHAおよび垂直アドレスVAとは別に生成した、独立のアドレスを与えてアクセスするようにすることも可能である。

【0145】

また、本実施の形態では、入力画像メモリ2および多画素数画像メモリ4に対して、画像を構成する画素の水平または垂直方向の位置にそれぞれ対応する水平アドレスまたは垂直アドレスを与えてアクセスするようにしたが、入力画像メモリ2および多画素数画像メモリ4には、その他、例えば、時間方向に対応するアドレスをさらに与えてアクセスするようにすることなども可能である。この場合、多画素数画像は、横および縦の空間方向に散らばる原画像の画素の他、時間方向に散らばる原画像の画素も用いて形成されることになる。

30

【0146】

さらに、入力画像メモリ2、多画素数画像メモリ4は、それぞれ物理的に別のメモリである必要はなく、両者を、1のメモリで構成することも可能である。この場合、1のメモリの記憶領域を、入力画像メモリ2、多画素数画像メモリ4のそれぞれに割り当てるようにすれば良い。

【0147】

また、本実施の形態では、アドレス供給回路1、入力画像メモリ2、多画素数画像生成回路3、多画素数画像メモリ4、およびRMW回路5のすべてを、1チップ上に形成するようにしたが、これらは、必ずしも1チップ上に形成する必要はない。

40

【0148】

さらに、本実施の形態では、原画像の画素数を多くした多画素数画像だけを形成するようにしたが、多画素数画像の他、原画像の画素数を少なくした画像も、同時に形成して記憶するようにすることも可能である。

【0149】

また、本発明は、ノンインターレース走査される画像およびインターレース走査される画像のいずれにも適用可能である。

50

【 0 1 5 0 】

さらに、本実施の形態では、記憶装置をハードウェアで実現するようにしたが、記憶装置は、上述のような処理を行うためのプログラムをコンピュータに実行させることによって実現可能である。

【 0 1 5 1 】

また、図 6 の実施の形態では、多画素数画像メモリ 4 を、1 のメモリ 2 2 で構成するようにしたが、図 6 においても、多画素数メモリ 4 は、図 5 における場合と同様に、4 つのメモリ 1 3 a 乃至 1 3 d で構成することも可能である。この場合、カウンタ 2 1 の出力は、水平アドレス H A および垂直アドレス V A の最下位ビットとして付加するのではなく、4 つのメモリ 1 3 a 乃至 1 3 d のうちのいずれか 1 つを選択するための、いわゆるチップセレクト信号として用いるようにすれば良い。

10

【 0 1 5 2 】

さらに、本実施の形態では、画素（画素値）を、例えば、R A M（Random Access Memory）などに代表されるメモリに記憶させるようにしたが、画素は、その他、例えば、磁気ディスクや、光磁気ディスク、磁気テープ、光カードなどの記録媒体に記憶（記録）させるようにすることも可能である。

【 0 1 5 3 】

【 発明の効果 】

請求項 1 に記載の記憶装置および請求項 5 に記載の記憶方法によれば、少なくとも第 1 および第 2 のアドレス信号によってアドレス指定される第 1 の記憶手段に、入力画像が記憶されるとともに、入力画像から、その入力画像を構成する画素数よりも多い画素数で構成される画像である多画素数画像が生成され、少なくとも第 1 および第 2 のアドレス信号によってアドレス指定される第 2 の記憶手段に、多画素数画像が記憶される。そして、第 1 の記憶手段に記憶された入力画像、および第 2 の記憶手段に記憶された多画素数画像のうちいずれを読み出すかを指示するフラグに基づいて、第 1 の記憶手段に記憶された入力画像、または第 2 の記憶手段に記憶された多画素数画像が出力される。さらに、入力画像を構成する画素から多画素数画像を構成する画素を生成する複数の画素生成手段であって、入力画像を構成する画素数に対する多画素数画像を構成する画素数に応じた個数の画素生成手段が用いられて、多画素数画像が生成される。従って、例えば、入力画像を拡大したものを、即座に提供することが可能となる。

20

30

【 図面の簡単な説明 】

【 図 1 】 本発明を適用した記憶装置の一実施の形態の構成例を示すブロック図である。

【 図 2 】 図 1 の記憶装置に入力される入力画像を示す図である。

【 図 3 】 図 1 の多画素数画像生成回路 3 の処理を説明するための図である。

【 図 4 】 多画素数画像を示す図である。

【 図 5 】 図 1 の記憶装置の第 1 の詳細構成例を示すブロック図である。

【 図 6 】 図 1 の記憶装置の第 2 の詳細構成例を示すブロック図である。

【 図 7 】 図 1 の多画素数画像生成回路 3 の詳細構成例を示すブロック図である。

【 図 8 】 図 7 のクラス分類用ブロック化回路 4 1 および予測値計算用ブロック化回路 4 2 の処理を説明するための図である。

40

【 図 9 】 クラス分類処理を説明するための図である。

【 図 1 0 】 A D R C 処理を説明するための図である。

【 図 1 1 】 予測係数を求める学習処理を行う画像処理装置の構成例を示すブロック図である。

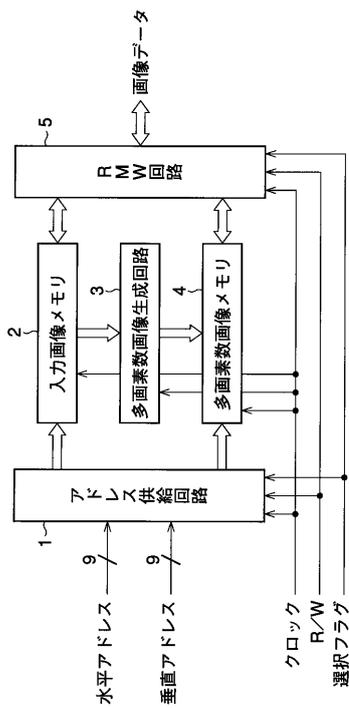
【 符号の説明 】

1 アドレス供給回路, 2 入力画像メモリ（第 1 の記憶手段）, 3 多画素数画像生成回路（生成手段）, 4 多画素数画像メモリ（第 2 の記憶手段）, 5 R M W 回路, 1 1, 1 1 a 乃至 1 1 d 遅延回路, 1 2 a 乃至 1 2 d 画素生成回路, 1 3 a 乃至 1 3 d メモリ, 2 1 カウンタ, 2 2 メモリ, 4 1 クラス分類用ブロック化回路, 4 2 予測値計算用ブロック化回路, 4 3 クラス分類適応処理回路,

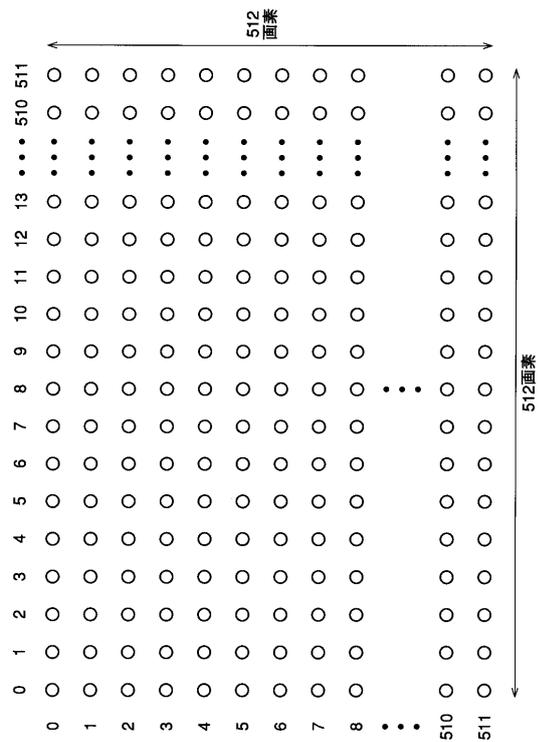
50

44 ADR C 処理回路, 45 クラス分類回路, 46 予測係数ROM, 47 予測回路, 91 学習用ブロック化回路, 92 教師用ブロック化回路, 93 ADR C 処理回路, 94 クラス分類回路, 95 スイッチ, 96 学習データメモリ, 97 カウンタ, 98 教師データメモリ, 99 演算回路, 100 メモリ

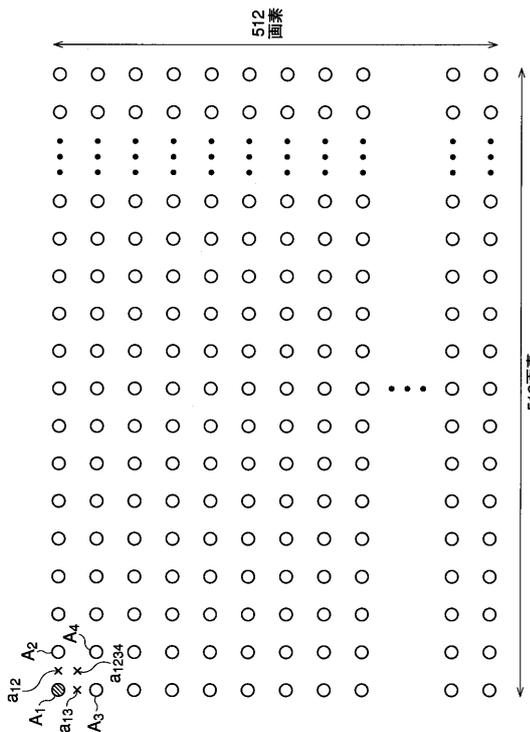
【図1】



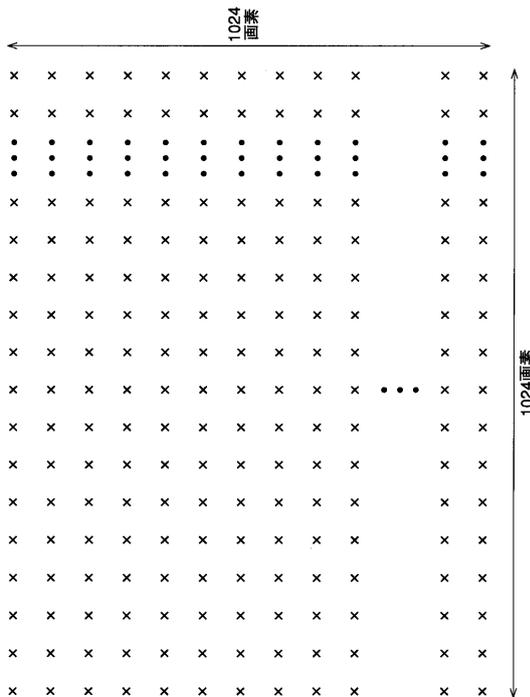
【図2】



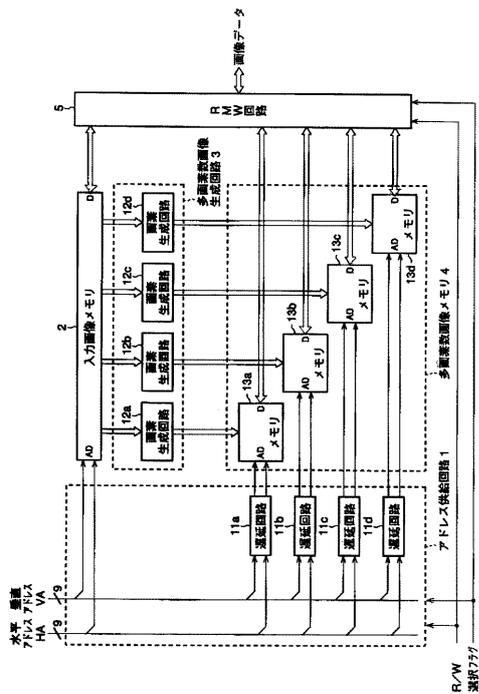
【図3】



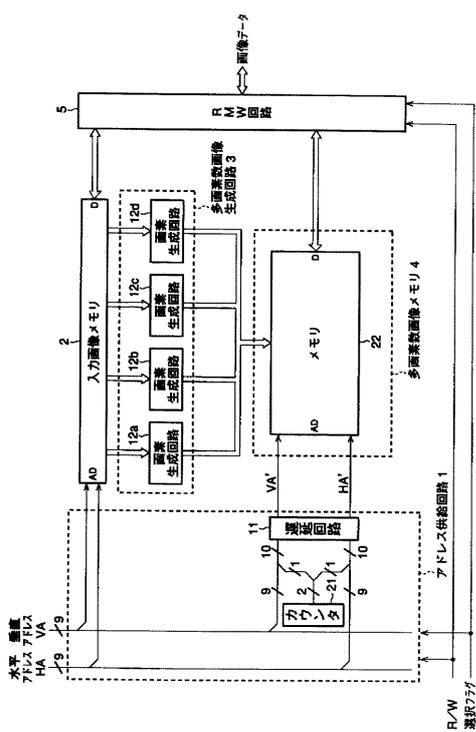
【図4】



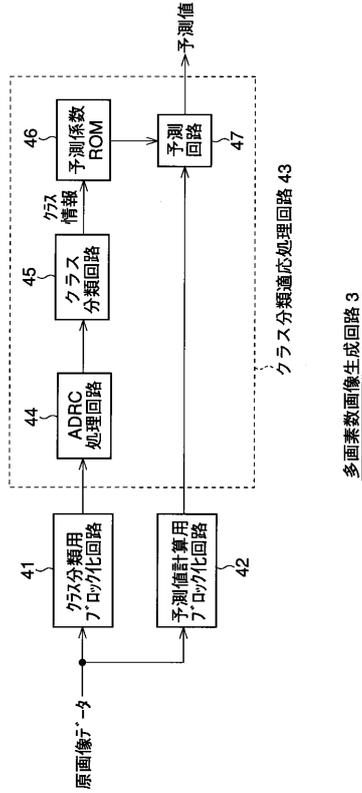
【図5】



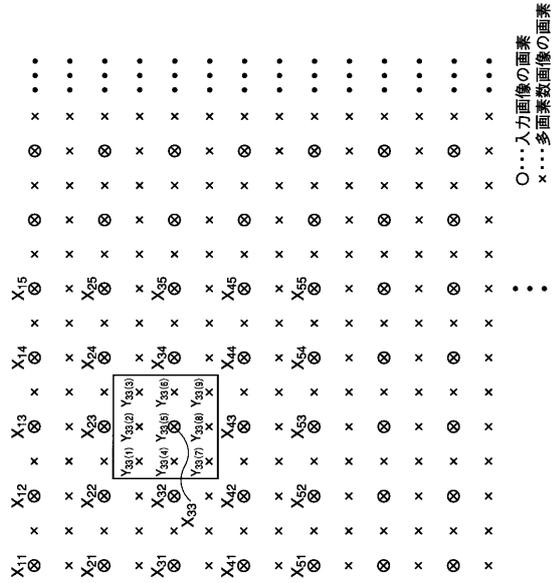
【図6】



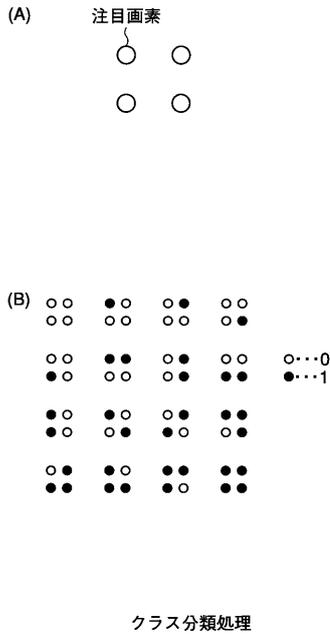
【図7】



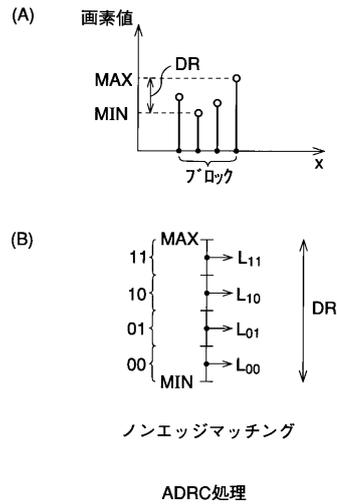
【図8】



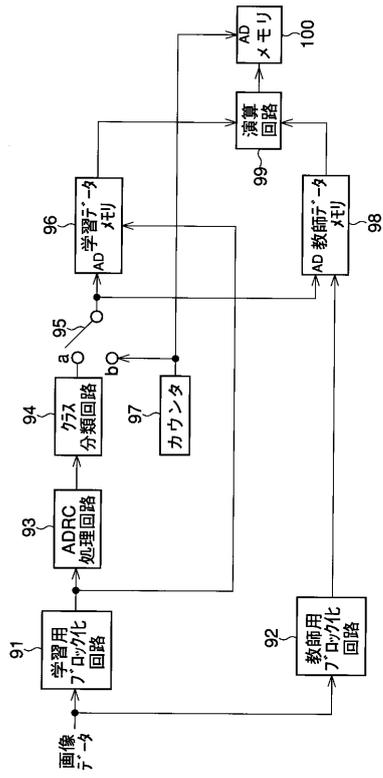
【図9】



【図10】



【図 11】



フロントページの続き

- (56)参考文献 特開平 2 - 2 2 2 9 9 2 (J P , A)
特開平 7 - 7 5 0 6 6 (J P , A)
特開平 9 - 4 6 6 8 0 (J P , A)
特開昭 6 4 - 4 1 5 6 9 (J P , A)
特開平 8 - 2 9 4 0 8 9 (J P , A)
特開平 8 - 1 3 0 7 3 3 (J P , A)