

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-109163

(P2005-109163A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 29/866	HO 1 L 29/90	D 5 F O 3 2
HO 1 L 21/761	HO 1 L 29/91	D 5 F O 3 8
HO 1 L 21/822	HO 1 L 27/04	H
HO 1 L 27/04	HO 1 L 21/76	J
HO 1 L 29/861		

審査請求 未請求 請求項の数 12 O L (全 7 頁)

(21) 出願番号 特願2003-340849 (P2003-340849)  
 (22) 出願日 平成15年9月30日 (2003. 9. 30)

(71) 出願人 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100124914  
 弁理士 徳丸 達雄  
 (72) 発明者 田中 浩治  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 Fターム(参考) 5F032 AB01 CA03 CA15 CA24  
 5F038 BH05 BH13 EZ20

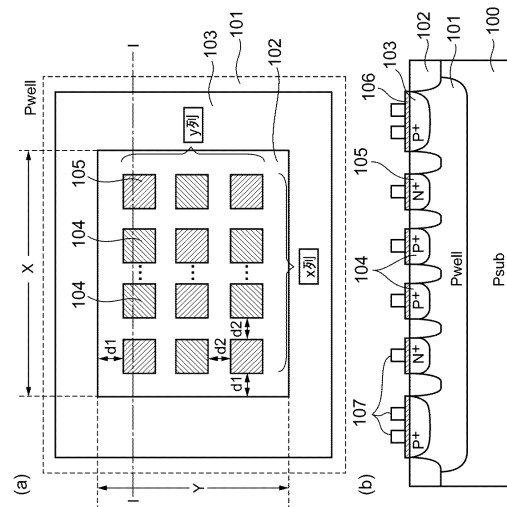
(54) 【発明の名称】 半導体素子

(57) 【要約】

【課題】 保護用ダイオードにおいて、占有面積を小さくしつつ、高いESD耐量を確保する。

【解決手段】 本発明の保護用ダイオードは、P型半導体基板のPウェル上に複数のP+型拡散層と、複数のN+型拡散層を設け、複数のP+型拡散層をアノード、複数のN+型拡散層をカソードとして構成される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上に形成された一導電型の第 1 の拡散層と、  
前記第 1 の拡散層上に形成された第二導電型の複数の第 2 の拡散層と、  
前記第 2 の拡散層に対応して前記第 1 の拡散層上に形成された前記一導電型の複数の第 3 の拡散層とを備えることを特徴とする半導体素子。

## 【請求項 2】

前記第 1 の拡散層の外周に沿うようにリング状に設けられた一導電型の第 4 の拡散領域を備えることを特徴とする請求項 1 記載の半導体素子。

## 【請求項 3】

前記第 2 の拡散層と前記第 3 の拡散層との間には絶縁領域が配置されていることを特徴とする請求項 1 または 2 記載の半導体素子。

## 【請求項 4】

前記第 2 の拡散層と、前記第 3 の拡散層とは千鳥状に配置されていることを特徴とする請求項 1 または 3 記載の半導体素子。

## 【請求項 5】

前記第 2 の拡散層と、前記第 3 の拡散層とは、それぞれ四辺形で構成されていることを特徴とする請求項 1 乃至 4 に記載の半導体素子。

## 【請求項 6】

前記第 2 の拡散層と、前記第 3 の拡散層とは、それぞれ円形で構成されていることを特徴とする請求項 1 乃至 4 に記載の半導体素子。

## 【請求項 7】

前記第 2 の拡散層と、前記第 3 の拡散層とは、それぞれ三角形で構成されていることを特徴とする請求項 1 乃至 4 に記載の半導体素子。

## 【請求項 8】

前記第 2 の拡散層と、前記第 3 の拡散層とは、それぞれ六角形で構成されていることを特徴とする請求項 1 乃至 4 に記載の半導体素子。

## 【請求項 9】

前記複数の第 3 の拡散層を第 1 の接続端に共通接続し、かつ前記複数の第 2 の拡散層を第 2 の接続端に共通接続し、前記第 1 と第 2 の接続端の間にダイオードを形成することを特徴とする請求項 1 記載の半導体素子。

## 【請求項 10】

前記第 1 の接続端に更に前記第 4 の拡散層を接続することを特徴とする請求項 9 記載の半導体素子。

## 【請求項 11】

前記第 3 の拡散層は、前記第 1 の拡散層よりも濃い不純物濃度を有することを特徴とする請求項 1 記載の半導体素子。

## 【請求項 12】

前記第 4 の拡散層は、前記第 1 の拡散層よりも濃い不純物濃度を有することを特徴とする請求項 2 記載の半導体素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子に関し、特に内部回路を保護するための保護素子に関する。

## 【背景技術】

## 【0002】

近年、IC等の内部回路を静電気等のサージ電流から保護するために、入力端子に保護素子が設けられている。この保護素子として、高耐圧のダイオードが一般的に用いられている。

## 【0003】

10

20

30

40

50

従来の高耐圧ダイオードは、図 8 に示すように、P 型半導体基板 800 に形成された P 型ウエル 801 上に、P 型ウエル 801 の外周に沿ってリング状に形成された P 型ウエルよりも高い不純物濃度の P + 型拡散層 803 と、リング状の P + 型拡散層 803 で囲まれた領域内に設けられた N + 型拡散層 804 とから構成されている。なお、P + 型拡散層と N + 型拡散層 804 とは、素子分離領域（絶縁領域）802 により分離されており、それぞれの拡散層上には、コンタクト 805 が形成され、アノードとカソードとを形成している。

#### 【0004】

このように従来の高耐圧ダイオードは、N + 拡散層 804 を大きく形成することにより、その耐圧を向上させていた。このような、従来技術として、例えば、特開平 1 - 214055 号公報（特許文献 1）に記載されるものがある。 10

#### 【0005】

【特許文献 1】特開平 1 - 214055 号公報（第 3 - 5 頁、第 1 図）

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0006】

しかしながら、特許文献 1 に示すような従来の高耐圧ダイオードの構造では、耐圧を向上させるために大きな面積を必要とするため、集積化の障害となっている。

#### 【0007】

したがって、本発明は、集積化に好適な高耐圧ダイオードを提供することを目的とする 20

#### 【課題を解決するための手段】

#### 【0008】

本発明の半導体素子は、半導体基板上に形成された一導電型の第 1 の拡散層と、前記第 1 の拡散層上に形成された第二導電型の複数の第 2 の拡散層と、前記第 2 の拡散層に対応して前記第 1 の拡散層上に形成された前記一導電型の複数の第 3 の拡散層とを備えることを特徴とする。

#### 【発明の効果】

#### 【0009】

以上のとおり、本発明の半導体素子は、第 1 の拡散層上に第二導電型の複数の第 2 の拡散層および一導電型の複数の第 3 の拡散層を有するため、異なる導電型の第 2 および第 3 の拡散層間の対向面積（周囲長）が大きくなり、従来の構成よりも小さな面積でも大きな耐圧を実現することができる。 30

#### 【発明を実施するための最良の形態】

#### 【0010】

本発明に係る半導体素子は、その好ましい一実施の形態において、図 1 に示されるように、P ウエル 101 上に複数の N + 型拡散領域 105 および複数の P + 型拡散領域 104 を設けることにより、複数の N + 型拡散領域 105（カソード）と複数の P + 型拡散領域 104（アノード）とで形成されるダイオードの耐圧を向上させることが可能となる。

#### 【実施例】

#### 【0011】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について、以下に説明する。

#### 〔実施例〕

本発明の実施例では、図 1（a）に示すように、P 型半導体基板 100 に形成された半導体基板 100 よりも不純物濃度の高い P ウエル（P 型埋め込み拡散層）101 に沿ってリング状に P + 型拡散層 106 が形成され、当該 P + 型拡散層 106 によって囲まれた領域内に、四辺形の複数の N + 型拡散領域 105 と四辺形の複数の P + 型拡散領域 104 を設けている。なお、P + 型拡散領域 104 は P ウエル 101 よりも高い不純物濃度を有するものとする。ここで、異なる導電型の拡散領域間には素子分離領域（絶縁領域）102 40

が形成され、それぞれの拡散領域を絶縁しているものとする。なお、 $d_1$  は  $d_2$  よりも大きく、例えば  $d_1 = 4 \mu\text{m}$ 、 $d_2 = 0.5 \mu\text{m}$  と設定されている。また、複数の N + 型拡散領域 105 と複数の P + 型拡散領域 104 との間隔は、すべて  $d_2$  とされているものとする。また、図示していないが、複数の N + 型拡散領域 105 はカソードとして互いに接続され、複数の P + 型拡散領域はアノードとして互いに接続されている。

#### 【0012】

複数の N + 型拡散領域 105 と複数の P + 型拡散領域 104 とは、それぞれ隣り合う拡散領域間で異なる導電型となるように千鳥状に配置されている。このように四辺形の拡散領域が千鳥状に配置されることにより、N + 型拡散領域と P + 型拡散領域とは、常に対向している構成となるため周囲長を大きくすることができる。ここで、周囲長とは図 2 に点線で示すように、他導電型の拡散領域と対向している辺の長さの総計を意味している。なお、図 2 では、簡単のため、y 列に拡散層を交互に 3 列並べ、x 列に拡散層を交互に 5 列並べたものを例にした。拡散層の一边が  $1 \mu\text{m}$  である場合には、この例では、点線で表示された 22 辺が対応するため、周囲長  $22 \mu\text{m}$  となる。

10

#### 【0013】

次に、従来技術と実施例との、ESD 耐量、面積、周囲長の関係について説明する。

#### 【0014】

図 8 (a) において、従来構造では、横方向 A を  $1/2a$ 、 $a$ 、 $2a [\mu\text{m}]$  と変え、縦方向 B を  $a [\mu\text{m}]$  とした 3 パターンについて面積、周囲長を求め、ESD 耐量をシミュレートした。ただし、 $X = A + d_1 \times 2$  (上下分)、 $Y = B + d_1 \times 2$  (左右分) で計算している。なお、 $d_1 = 4 \mu\text{m}$  とした。その結果、図 8 (a) の従来構造に示されるような結果が得られた。このとき、シミュレートの結果として ESD が  $4/5 \times (X \times Y$  で表される面積) + 500 の直線で表すことができる。

20

#### 【0015】

これに対して、実施例の構造では、 $a [\mu\text{m}]$  の正方形の拡散層を X 行で 3、7、15 列と変え、Y 列は 9 列にした 3 パターンについて面積、周囲長を求め、ESD 耐量をシミュレートした。ただし、 $X = X \text{ 行数} \times a + d_1 \times 2 + d_2 \times (X \text{ 行数} - 1)$ 、 $Y = Y \text{ 列数} \times a + d_1 \times 2 + d_2 \times (Y \text{ 列数} - 1)$  で計算している。その結果、図 8 (a) の新規構造に示される結果が得られた。このとき、シミュレートの結果として、ESD は  $2 \times (X \times Y$  で表される面積) - 400 で表すことができる。

30

#### 【0016】

これらの結果を ESD 耐量を縦軸に、レイアウト面積を横軸にしてプロットすると、図 8 (b) に示されるような線分が得られる。この結果から、MIL 規格において ESD 耐量が 1000 V 以上必要な場合には、新規構造の方が、小さな面積で構成することができることがわかる。また、通常、静電気に対する耐圧としては 2000 V 程度が必要となるため、ESD 耐量 2000 V でこれらのレイアウト面積を比較すると実施例の構造では、約  $1150 \mu\text{m}^2$  であるのに対し、従来のもものでは  $2000 \mu\text{m}^2$  を超えてしまうことがわかる。

#### 【0017】

なお、実施例の構造において、X 行が 3、Y 列が 9 の構成では、ESD 耐量が減少しているが、これは、各拡散層間の距離  $d_2$  が  $0.5 \mu\text{m}$  と短く設定されているためと考えられるが、X 行が 15、Y 列が 9 の構成では、 $d_2$  が  $0.5 \mu\text{m}$  であっても ESD 耐量が大きくなっていることから、拡散層の数を増加させることによって、個々の拡散層に流れる電流を緩和することができるため ESD 耐量を向上させることができると考えられる。また、従来 of 構成のものとの条件を同一にするため、 $d_1$  を  $4 \mu\text{m}$  としているが、 $d_1$  を各拡散層の間隔と同じ  $0.5 \mu\text{m}$  とすれば、面積を変える (増加させる) ことなく、X 行及び Y 列の拡散層の数を増加させることができる。拡散層の数が増加したことに応答して、周囲長を増加させることができ、周囲長が増加すると ESD 耐量が向上する。したがって、従来と比較して少ない面積でも ESD 耐量を向上させることが可能である。

40

#### 【0018】

50

図4に、従来の構造と、実施例の構造とにおける、電圧と電流との関係をシミュレートした結果を、電流(A)を縦軸に、電圧(V)を横軸にしたグラフで示す。ここでは、面積がほぼ同一で、周囲長が $Z[\mu\text{m}]$ の従来構造のものと、周囲長が従来構造の4倍である $4 \times Z[\mu\text{m}]$ の実施例構造のものとを比較した。

【0019】

この図4に示されるように、ダイオードがブレイクダウンしたときの動作抵抗は、従来構造のものより、実施例の構造のほうが小さくなる。そのため、ダイオードの耐電流が増加し、結果としてESD耐量が大きくなる。

【0020】

上記実施例では、四辺形の拡散層を千鳥状に配置していたが、P+型拡散層504とN+拡散層505の形状は図5のように円形にしても良い。なお、 $d_1$ 、 $d_2$ は上記実施例と同様のため説明を省略する。円形は、各拡散層の大きさが小さくなってきたときに有効である。

10

【0021】

また、図6に示すように、P+型拡散層604とN+型拡散層605とを三角形によって構成しても良い。この場合、各拡散層を四辺形で構成した場合よりも大きな周囲長を得ることができ、更にESD耐量を向上させることが可能となる。なお、 $d_1$ 、 $d_2$ は上記実施例と同様のため説明を省略する。

【0022】

さらに、図7に示すように、P+型拡散層とN+型拡散層とを六角形で構成することにより、リング状のP+型拡散層103で囲まれた領域を有効に活用することができる。なお、最外周に配置される拡散層は、図7に示すように、六角形を切った形(例えば半分に切った形)で構成すると、効率が良い。また、六角形の拡散層を配置する場合には、領域704に示すように縦方向にPNが交互に配置される構成でも、領域705に示すように縦方向横方向にPNが交互になるよう配置される構成でも、周囲長は同一となるため、いずれの構成でも良い。

20

【図面の簡単な説明】

【0023】

【図1】(a)本発明の実施例によるダイオードの平面図。(b)本発明の実施例によるダイオードのI-I断面図。

30

【図2】図1の実施例における周囲長を説明するための平面図。

【図3】(a)従来の構造と、実施例の構造との面積、周囲長、ESD耐量の数値表。

(b)従来の構造と、実施例の構造とのESD耐量とレイアウト面積のグラフ。

【図4】従来の構造と、実施例の構造とのブレイクダウン電圧と電流のグラフ。

【図5】実施例の第1の変形例の平面図。

【図6】実施例の第2の変形例の平面図。

【図7】実施例の第3の変形例の平面図。

【図8】(a)従来のダイオードの平面図。(b)従来のダイオードのI-I断面図。

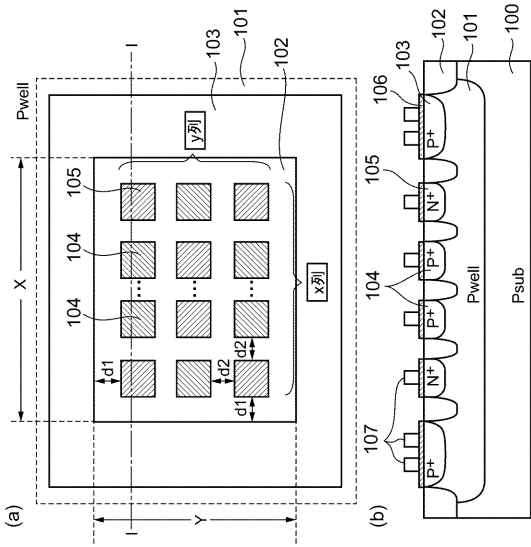
【符号の説明】

【0024】

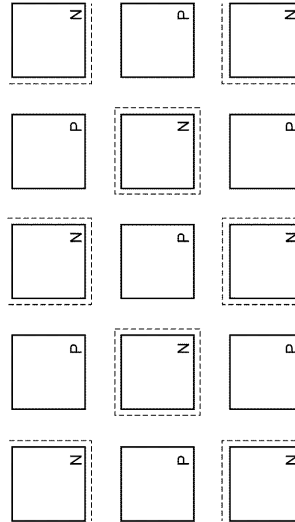
40

- 100 P型半導体基板
- 101 P型拡散層(Pウェル)
- 102 素子分離領域(LOCOS)
- 103 リング状P+型拡散層
- 104、504、604 P+型拡散層
- 105、505、605 N+型拡散層
- 106 TiSi
- 107 コンタクト

【図1】



【図2】



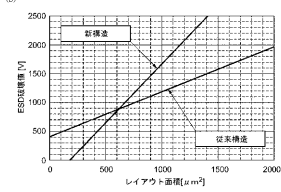
【図3】

(a)

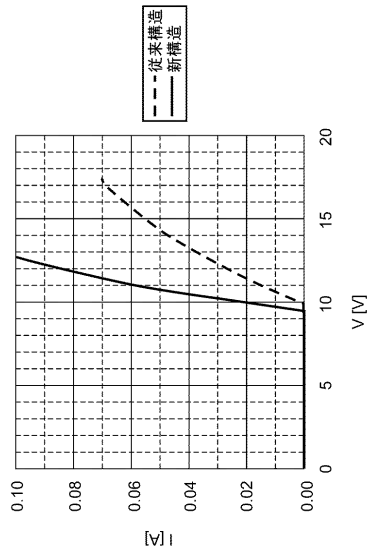
パラメータ	A	B	X	Y	面積	周長	ESD-E60 容量(fF)
1	170μm	80μm	170μm	80μm	0.25μm <sup>2</sup> (2.5μm <sup>2</sup> )	2π×(170+80)μm	ESD/A(面積)×500
2	a	a	a <sup>2</sup> /2	a <sup>2</sup> /2	(a <sup>2</sup> /2)×π(2π)	2π×2a	
3	2a	a	2a <sup>2</sup> /3	a <sup>2</sup> /3	(2a <sup>2</sup> /3)×π(2π)	2π×2a	

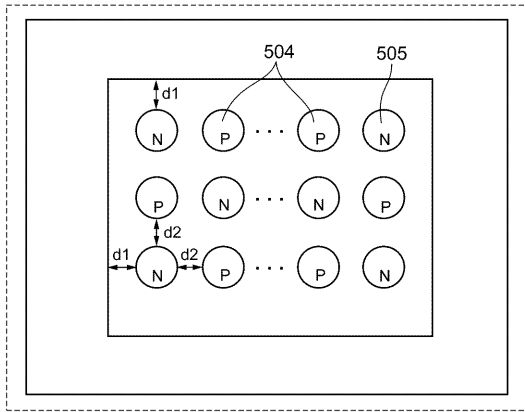
パラメータ	X	Y	X	Y	面積	周長	ESD-E60 容量(fF)
1	100μm	100μm	200μm	200μm	(200 <sup>2</sup> -100 <sup>2</sup> )×π(2π)	4π×100	ESD-E60(面積)×400
2	50μm	50μm	100μm	100μm	(100 <sup>2</sup> -50 <sup>2</sup> )×π(2π)	4π×50	ESD-E60(面積)×400
3	150μm	50μm	200μm	100μm	(200×100-150×50)×π(2π)	4π×50	



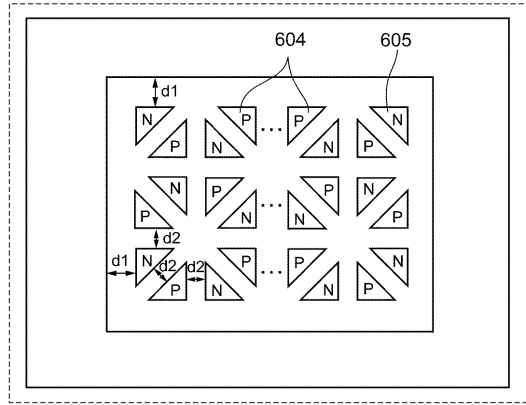
【図4】



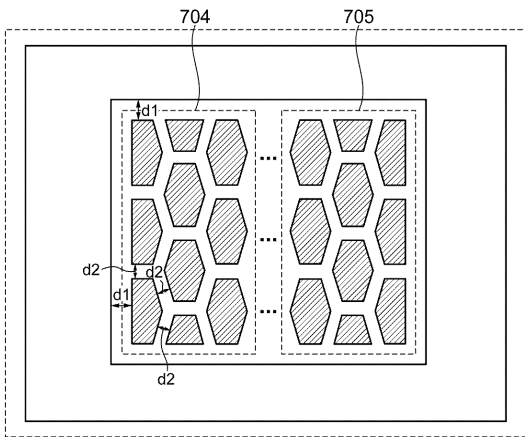
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

