

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 21/335

(45) 공고일자 1994년08월 18일  
(11) 공고번호 특1994-0007451

(21) 출원번호	특1991-0015599	(65) 공개번호	특1993-0006973
(22) 출원일자	1991년09월06일	(43) 공개일자	1993년04월22일
(71) 출원인	주식회사금성사 이현조		
(72) 발명자	서울특별시 영등포구 여의도동 20번지 성강현		
(74) 대리인	서울특별시 강서구 화곡본동 970-10 김용인, 심창섭		

심사관 : 박형식 (책)  
자공보 제3714호)

(54) 박막트랜지스터 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

박막트랜지스터 제조방법

[도면의 간단한 설명]

제 1 도는 TFT LCD에서 한 픽셀에 대한 등가회로도.

제 2 도는 a 내지 제 3 도 e는 종래 자기정렬된 비정질 실리콘 TFT의 제조공정을 나타내는 단면도.

제 4 도 a 내지 제 4 도 f는 본 발명에 따른 비정질 실리콘 TFT의 제조공정을 나타내는 단면도.

\* 도면의 주요부분에 대한 부호의 설명

- |                                    |                     |
|------------------------------------|---------------------|
| 11 : 유리기판                          | 12 : 게이트 전극         |
| 13, 15 : 실리콘 질화막                   | 14 : 비정질 실리콘        |
| 16 : 포토레지스트                        | 16a : 포토레지스트 패턴     |
| 17, 17a : N <sup>+</sup> 형 비정질 실리콘 | 18 : 크롬             |
| 18a, 18b : 크롬패턴                    | 19, 19a : 크롬 실리콘사이드 |

[발명의 상세한 설명]

본 발명은 박막트랜지스터(TFT : Thin Film Transistor)의 제조방법에 관한 것으로, 특히 넓은 면적에 고품질(high quality)의 액정표시소자(Liquid Crystal Display)를 제조하는데 적합하도록 한 것이다.

현재 액정표시소자는 보다 넓은 디스플레이 면적과 보다 높은 픽셀(pixel) 밀도 및 보다 양질의 영상을 얻기 위해 요구되는 평면 디스플레이(flat display)의 가장 유망한 기술중의 하나이다.

액정표시소자에서 한 픽셀에 대한 등가회로를 제 1 도에 나타내었다.

픽셀 전극(electrode)으로의 전압은 게이트 버스 라인에 의해 공급된 게이트 전압에 의해 스위치되는 박막트랜지스터(TFT)를 통해서 신호라인에 의해 공급된다.

일반적으로, 게이트와 드레인 사이에는 불가피하게 기생 커패시턴스(Parastic Capacitance : Cgd)가 존재한다. 이 기생 커패시턴스(Cgd)는 온상태(on-state)로부터 오프상태(off-state)로의 게이트 전압변화에 의해 수반되어(accompanied) 픽셀 전극전압에 제 1 도에 나타낸 바와 같이 feed-through를 야기시킨

다.

이 feed-through 전압( $\Delta V$ )은 아래의 식(1)과 같이 나타낼 수 있다.

$$\Delta V = \frac{C_{gd}}{C_{ic} + C_{st} + C_{gd}} \cdot (V_{g(on-state)} - V_{g(off-state)}) \dots\dots\dots(1)$$

이 fee-through 전압( $\Delta V$ )은 액정 크리스탈(liquid crystal)에 인가되는 전압의 균형을 깨며, LCD의 깜박거림(flickering)을 야기시키고, LCD의 신뢰도(reliability)의 저하를 야기시킨다. 이 feed-through 전압을 제거하기 위하여 Cst는 Cgd와 비교할 때 충분히 커야 한다.

TFT-LCD가 훨씬 더 커지고 보다 높은 픽셀 밀도를 갖을 때, Cic는 더 커지고 충전시간은 더 짧아진다. 더 커진(enlarged) Cic는 짧은 시간에 충전되어야 하고, TFT에 대한 온 전류(ON current)를 결정하는 W(TFT의 채널 폭)/L(TFT의 채널 길이)는 더 커져야 한다. 만약 LOI 일정하면 W와 Cgd는 더 커진다.

feed-through 전압( $\Delta V$ )을 제거하기 위하여 Cst는 더 커져야 한다. 그러나 제 1 도의 SC line에 대한 저항(resistance)은 작아질 수 없다. 왜냐하면, 픽셀 에퍼처 율(pixel aperture rate)에 대한 제한이 있기 때문이다. 그래서, 디스플레이가 커질수록 SC 전극전압을 제어하기가 어렵다. 이러한 문제를 해결하기 위한 가장 효율적인 방법은 Cgd를 감소시키는 것이다. 이 Cgd의 발생근원은 게이트 전극과 소오스/드레인 전극 사이의 오버랩(overlap)에 있다. 그러나, 이 오버랩은 인버티드 스택거형 TFT(inverted staggered type TFT)에 대해서는 필수적이며 이 오버랩은 넓은 면적에서 요구되는 마스크 정렬(alignment)의 정확도로 인해 2 $\mu$ m 이하로 제거될 수 없다.

이러한 문제점을 해결하기 위하여 JAPAN NEC corporation의 S.NISHIDA et al.은 새로운 자기정렬 TFT를 개발하였다.

이 새로운 TFT는 배면노광과 함께 이온 도핑(ion doping) 공정 및 크롬 실리사이드(chromium silicide) 형성기술을 이용하였다. 그리고 이 새로운 TFT는 TFT-LCD의 제조에 충분히 유용하였다.

S.NISHIDA et al.에 의해 제시된 새로운 TFT에 제조공정을 첨부된 제 2 도 a 내지 제 2 도 e를 참조하여 설명하면 다음과 같다.

먼저, 제 2 도 a에 나타난 바와 같이, 절연성 투명기판(1)상에 게이트 전극(2)를 형성한 후, 노출된 전 표면에 걸쳐서 제 1 절연체(3)와 반도체로서의 비정질 실리콘(amorphous silicon) (4) 및 제 2 절연체(5)를 차례로 화학증착법(CVD)으로 증착한다.

이어서, 제 2 절연체(5)상에 포토레지스트(6)를 도포한다. 그리고 나서, 제 2 도 b와 같이 절연성 투명 기판(1) 측에서 배면노광(back substrate exposure)하여 포토레지스트 패턴(6a)을 형성한다.

제 2 도 c와 같이, 포토레지스트 패턴(6a)을 마스크로 하여 제 2 절연체(5)을 드라이 에치(dry etch)하여 포토레지스트 패턴(6a) 하측에 해당하는 제 2 절연체 패턴(5a)만을 남기고 제거한 다음 포토레지스트 패턴(6a)을 벗겨낸다.

이어서, 제 2 절연체 패턴(5a)을 마스크로 하여 고농도의 N형(N<sup>+</sup>형) 불순물 이온을 예로서 인이, 30kev의 에너지로 비정질 실리콘(4)의 소정 깊이까지 주입한다.

따라서, N<sup>+</sup>형 불순물이 주입된 비정질 실리콘(4)의 부분은 N<sup>+</sup>형 도전층(7)으로 변환된다. 이때 마스크로 사용된 제 2 절연체 패턴(5a)의 하측 부분에는 N<sup>+</sup>형 불순물이온, 예로서 인(phosphorous)이 주입되지 않는다.

그리고 나서, 제 2 도 d에 나타난 바와 같이 스퍼터링(sputtering)법으로 노출된 전표면상에 고융점을 갖는 내화성 금속(8)을 100nm의 두께 만큼 증착한다. 이 내화성 금속(refractory metal)으로는 일반적으로 크롬(chromium)을 사용한다.

내화성 금속(8)이 증착될때, 이 내화성 금속(8)과 접촉하는 N<sup>+</sup>형 도전층(7)의 부분에는 약 5nm 이하의 실리사이드(silicide) (9)로 변환된다.

이 실리사이드(9)는 내화성 금속(8)과 에치 선택도가 다르므로 이후에 진행되는 내화성 금속(8)의 제거 시 함께 에치되지 않는다. 따라서, 공정을 안정화 시킬 수 있게 된다.

여기서, 제 2 절연체 패턴(5a)은 채널 보호층(channel passivation layer)으로서 사용되고, 제 2 절연체 패턴(5a) 하측의 비정질 실리콘(4)은 채널층으로 사용되며, 제 2 절연체 패턴(5a) 양측에 형성된 N<sup>+</sup>형 도전층(7)(7a)은 각각 소오스 영역과 드레인 영역으로 사용되고, 각 N<sup>+</sup>형 도전층(7)(7a)의 상측에 형성된 실리사이드(9) (9a)는 각각 소오스 전극과 드레인 전극으로 사용된다.

이어서, 제 2 도 e에 나타난 바와 같이, 내화성 금속(8)을 에천트(etchant)를 이용하여 패터닝한다. 이때 제 2 절연체 패턴(5a) 양측에 위치한 각 실리사이드(9)(9a)상에는 또 다른 소오스 전극과 드레인 전극으로 사용하기 위하여 일부분의 내화성 금속(10)(10a)이 각각 남겨진다.

이상 설명한 바와 같이 NISHIDA et al의 기술에 따르면 배면노광에 의해 소오스 영역과 드레인 영역이 게이트 전극(2)에 자기 정렬되어(self-aligned) 형성된다.

따라서, 게이트 전극과 소오스 영역/드레인 영역 사이의 채널 오버랩 부분이 감소되므로, 이전의 lift off 공정을 이용한 기술보다 게이트 전극과 소오스 영역/드레인 영역 사이에서 발생하는 기생 커패시턴스를 줄일 수 있게 되고, 나아가 신호대 잡음비(Signal/Noiseratio)를 개선시킬 수 있게 된다. 즉 기생

커패시턴스는 노이즈로 작용한다. NISHIDA et al의 기술에 따르면 채널 오버랩이  $1\mu\text{m}$ 까지 감소되었다.

이와 같이 고품질 TFT-LCD의 제조를 위해서는 게이트 전극과 소오스 영역/드레인 영역 사이의 채널 오버랩 부분을 가능한 한 줄이는 것이 현재의 가장 큰 문제로 대두되었다.

그러나 상술한 NISHIDA et al의 기술에 따르면 다음과 같은 문제점이 발생하였다.

제 2 도 b에 나타낸 바와 같이, 절연성 투명기판(1)의 후면에서 배면노광을 실시할 때, 형성되는 포토레지스트 패턴(6a)은 게이트 전극(2)의 길이(length)와 거의 동일하여야 한다. 그래야만, 채널 오버랩을 가능한 한 줄일 수 있게 된다. 그러나 실제로 노광을 위한 광의 회절에 의해 포토레지스트 패턴(6a)의 폭은 제 2 도 b에 나타낸 바와 같이 게이트 전극(2)의 길이보다 근본적으로 좁게 된다. 따라서, 게이트 전극(2)의 양측 에지(edge)로부터 안쪽으로 채널 오버랩이 발생한다. 물론, 이 좁아진 폭은 노광시간(exposure time)과 현상시간(developing time)에 의해 조금씩 달라질 수 있다.

특히, 노광을 위해 사용된 광(예로서 g-line)의 회절각도는 절연성 투명기판(1)상에 형성되는 비정질 실리콘(4)과 제 1 절연체(3) 및 제 2 절연체(5)의 두께에 따라 달라지기 때문에, 포토레지스트 패턴(6a)과 제 2 절연체 패턴(5a)의 폭 또한 달라지게 된다.

이러한 요인들로 인해 NISHIDA et al의 기술에 따르면 채널 오버랩을 감소시키는 한계가 있었다. 또한, 이 제 2 절연체 패턴(5a)은 소오스 영역과 드레인 영역의 폭 및 채널 폭을 결정하고 동시에 채널 오버랩 정도를 결정하기 때문에, 이 제 2 절연체 패턴(5a)이 수시로 달라지며 TFT를 다량 제조하는데 일관성을 잃게 되므로 많은 어려움이 발생한다.

결과적으로, 상술한 NISHIDA et al과 같이 자기정렬 기술만을 이용하여 채널 오버랩을 감소시키는데는 한계가 있었으므로 TFT의 특성을 향상시킬 수 없었다.

본 발명은 상기 문제점을 해결하기 위한 것으로서, 게이트 전극과 소오스/드레인 영역 사이의 채널 오버랩을 줄여서 기생 커패시턴스를 감소시키므로써 신호대 잡음비를 향상시킬 수 있는 박막트랜지스터 제조 방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명에 따르면, 절연성 투명기판상에 게이트 전극을 형성한다. 그리고 절연성 투명기판과 게이트 전극의 노출된 전표면상에 제 1 절연체와 비정질 실리콘층 및 제 2 절연체를 차례로 형성한다.

이어서, 제 2 절연체상에 포토레지스트를 도포한 후 절연성 투명기판의 하측에서 게이트 전극을 광차단용 마스크로 하여 배면노광을 실시하여 포토레지스트 패턴을 형성한다.

이후 포토레지스트 패턴의 길이가 게이트 전극의 길이와 거의 근접하게 되도록 포토레지스트 패턴을 소정 온도로 베이킹(backing)하여 플로우잉 시킨다.

이어, 포토레지스트 패턴을 마스크로 제 2 절연체를 에치하여 채널 보호층으로서 사용되는 제 2 절연체 패턴을 형성한 다음, 제 2 절연체 패턴을 마스크로 소정 도전형의 불순물 이온을 비정질 실리콘 기판내에 주입하여 제 2 절연체 패턴으로 덮이지 않은 제 2 절연체 패턴 하측 부분에 채널을, 제 2 절연체 패턴의 양측에 해당하는 비정질 실리콘내에 소오스 영역과 드레인 영역으로 사용되는 소정 도전형의 비정질 실리콘층을 형성한다.

그리고 제 2 절연체 패턴과 소정 도전형의 비정질 실리콘층의 노출된 전표면상에 고용점을 갖는 내화 금속을 증착하여 이 내화금속과 접촉하는 소정 도전형의 비정질 실리콘을 소오스 영역과 드레인 영역의 전극으로서 사용되는 실리사이드로 변화시킨다.

상기 제 2 절연체 패턴의 양측에 위치한 실리사이드상에 이 실리사이드와 함께 소오스 전극과 제 2 드레인 전극으로 사용될 일부분을 제외하곤 상기 내화금속을 에치하여 제거한다.

이와 같은 본 발명의 실시예를 나타내는 제 3 도 a 내지 제 3 도 f를 참조하여 상세히 설명하기로 한다.

먼저, 제 3 도 a에 나타낸 바와 같이, 절연성 투명기판으로서의 유리기판(11)상에 게이트 전극을 위한 금속 예로서 크롬을 화학증착법(CVD)으로 형성한 다음 이 크롬(Chromium)을 패턴링 하여 게이트 전극(12)을 형성한다.

그리고 나서, 게이트 절연을 위한 두께 2000~3000Å의 실리콘 질화막(SiNx) (13)과 반도체층으로서의 두께 1000Å의 비정질 실리콘(a-Si : H) (14) 및 채널 보호(Channel Passivation)를 위한 두께 2000~3000Å의 실리콘 질화막(SiNx) (15)을 CVD법으로 차례로 증착한다.

여기서, 비정질 실리콘 대신 와결정(Poly) 실리콘을 사용할 수도 있다. 또한 게이트 전극으로서 크롬 대신 알루미늄, 백금, 티타늄, 몰리브덴 도우프된 다결정 실리콘 등이 사용될 수 있다.

이어서, 실리콘 질화막(15)상에 포토레지스트(photo resist)(16)를 도포(coating)한다. 이어서, 제 4 도(b)에 나타낸 바와 같이, 포토레지스트(16)를 유리기판(11)의 후면에서 광(예로서 g선) 의해 배면노광시켜 포토레지스트 패턴(16a)을 형성한다.

이때, 게이트 전극(12)은 광 마스크(photo mask)로서 사용된다. 따라서 포토레지스트 패턴(16a)은 게이트 전극(12)의 길이와 동일해야 한다.

그러나, 종래기술에서 설명된 바와 같이 실리콘 질화막(13)(15)과 비정질 실리콘(14)의 두께 등으로 인한 노출용 광의 회절에 의해 포토레지스트 패턴(16a)은 제 3 도 b에 나타낸 바와 같이 게이트 전극(12) 길이보다 더 짧은 폭(d)을 갖게 된다. 이 짧아진 폭(d)만큼 채널의 오버랩이 발생한다.

이 포토레지스트 패턴(16a)의 폭은 포토레지스트(16)의 노광시간과 현상시간에 의해 제어될 수 있으나, 노출용 광의 회절에 의해 포토레지스트(16)은 근본적으로 게이트 전극(12)에 에지로부터 안쪽 방향으로

노광되므로, 채널 오버랩의 폭을 줄이는데는 한계가 있었다.

그러므로, 제 3 도 c에 나타난 바와 같이, 포토레지스트 패턴(16a)을 120°C-150°C의 온도로 10분 내지 30분 동안 베이킹(backing)하여 포토레지스트 패턴(16a)의 폭이 게이트 전극의 길이와 거의 일치하도록 플로우잉(flowing)시킨다.

이에 따라, 포토레지스트 패턴(16a)과 실리콘 질화막(15)의 접촉 면이 넓어진다. 제 3 도 c에서 점선은 원래의 포토레지스트 패턴(16a)을 실선은 플로우잉된 포토레지스트 패턴(16a)을 나타낸다.

이때, 베이킹 온도와 시간을 잘 조절하면 채널 오버랩을 0.5 $\mu$ m 이하로 줄일 수 있다. 이어서 제 3 도 d에 나타난 바와 같이, 플로우잉된 포토레지스트 패턴(16a)을 마스크로 하여 채널 보호용 실리콘 질화막(15)을 에치하여 채널 보호용 실리콘 질화막 패턴(15a)을 형성한 다음 포토레지스트 패턴(16a)을 제거한다. 이때 에치법은 드라이 에치법으로 사이드 에칭을 피하기 위해 RIE법을 사용한다.

그리고 나서, 고농도의 N형(N<sup>+</sup>형) 불순물 이온(예로서, phosphorous)을  $4 \times 10^{15}$  dose/cm<sup>2</sup> 만큼 실리콘 질화막 패턴(15a)을 이온 주입 마스크로 25kev-35kev의 가속에너지로 비정질 실리콘(14)의 소정 깊이까지 주입하여 실리콘 질화막 패턴(15a)의 양측에 해당하는 비정질 실리콘(14)내에 각각 소정 깊이의 N<sup>+</sup>형 비정질 실리콘(17)(17a)을 형성한다. 이때, 실리콘 질화막 패턴(15a)으로 인해 N<sup>+</sup>형 불순물이 도우프(doped)되지 않은 비정질 실리콘(14)은 채널 영역이 되고 N<sup>+</sup>형 비정질 실리콘(17)(17a)은 각각 소오스 영역과 드레인 영역이 된다.

이어서, 제 3 도 e에 나타난 바와 같이, 고용점을 갖는 내화 금속(refractory metal)으로서 크롬(18)을 스퍼터링(sputtering)법으로 노출된 전표면에 걸쳐서 100nm의 두께로 증착한다.

이때, N<sup>+</sup>형 비정질 실리콘(14)과 크롬(18)의 계면에 해당하는 N<sup>+</sup>형 비정질 실리콘(17)(17a)상에는 합금(alloying)이 발생하여 5nm 이하의 얇은 크롬 실리사이드(CrSix) (19)(19a)가 각각 형성된다. 크롬 실리사이드(19)(19a)의 두께를 증가시키기 위하여 250°C-300°C의 온도범위와 30분 이하의 시간 범위에서 어닐링(annealing) 공정을 수행된다.

따라서 원하는 두께의 크롬 실리사이드(19)를 형성할 수 있다. 고용점을 갖는 내화금속으로서는 크롬(Cr)외에 백금(Pt), 티타늄(Ti) 및 몰리브덴(Mo) 등이 사용될 수 있다. 채널 보호용 실리콘 질화막 패턴(15a)의 양측에 각각 형성된 크롬 실리사이드(19)(19a)는 각각 소오스 전극과 드레인 전극으로 사용된다.

상술한 바와 같이, 포토레지스트 패턴(16a)을 소정 조건하에서 플로우잉 시키는 것에 의해 게이트 전극(12)에 대해 자기 정렬되게 소오스 영역과 드레인 영역이 형성된다.

이어서, 제 3 도 f와 같이 크롬(18)의 일부분에 포토레지스트 마스크를 형성한 후 크롬(18)을 해당 에천트(etchant)로서 웨트에치(wetetch)하여 제거한다. 이때 크롬 실리사이드(19)(19a)의 상측에는 각각 제 2 소오스 전극과 제 2 드레인 전극으로 사용되기 위한 크롬 패턴(18a)(18b)이 잔존하게 된다.

크롬(18)의 웨트에치시 크롬 실리사이드(19)(19a)는 크롬(18)과 에치 선택비(etch selectivity)가 다르므로 에치되지 않는다. 따라서, 안정성 있게 크롬(18)을 제거할 수 있게 된다.

단 포토레지스트 패턴(16a)을 마스크로 실리콘 질화막(15)을 RIE할 시에는, 통상 CF<sub>4</sub> 가스나 CHF<sub>3</sub> 가스가 사용되는데, 이때 반드시 산소(O<sub>2</sub>)가 포함되지 않아야 한다.

일반적으로, 반도체 소자 제조공정에서 산소가 첨가되는 이유는 에치하고자 하는 물질의 상부와 하부에 형성된 물질의 에치 선택비로 인해 사용된다. 그러나, 본 발명에서 산소를 사용할 경우, 에치속도가 빨라져서 포토레지스트 패턴(16a)까지도 에치하게 되므로 채널 보호용 실리콘 질화막 패턴(15a)의 설정된 폭을 얻을 수 없게 된다.

실리콘 질화막(15)의 에치시 산소(O<sub>2</sub>)가 포함되지 않게 하기 위해서는 에치용 챔버(Chamber)내의 진공도가 10<sup>-6</sup>-10<sup>-7</sup> torr 이하가 되도록 챔버내의 공기를 충분히 제거하여야 한다.

이상에서 설명한 바와 같이, 본 발명에 따르면 노출용 광의 회절에 의해 게이트 길이보다 짧게 형성되는 포토레지스트 패턴(16a)을 베이킹하여 플로우잉시킴으로서, 채널 보호용 실리콘 질화막 패턴(15a)의 폭을 게이트 전극(12)의 길이에 거의 근접하도록 만든다.

따라서, 채널 오버랩의 폭을 감소시키게 되고 나아가 기생 커패시턴스를 줄일 수 있게 되므로 동일 크기의 TFT에 비해 신호대 잡음비가 높은 TFT를 제조할 수 있게 된다.

## (57) 청구의 범위

### 청구항 1

절연성 투명기판상에 소정길이를 갖는 게이트 전극(12)을 형성하는 스텝 ; 노출된 전표면상에 제 1 절연체와 비정질 실리콘 및 제 2 절연체를 차례로 형성하는 스텝; 제 2 절연체상에 포토레지스트(16)를 도포한 후 상기 게이트 전극(12)을 포토차단 마스크로 하여 배면노광을 수행하는 것에 포토레지스트 패턴(16a)을 형성하는 스텝 ; 채널 오버랩을 방지하기 위해 포토레지스트 패턴(16a)을 그것의 폭이 게이트 전극의 길이에 거의 근접하도록 베이킹 하여 플로우잉시키는 스텝 ; 플로우잉된 포토레지스트 패턴(16a)을 마스크로 제 2 절연체를 에치하여 채널 보호용 제 2 절연체 패턴을 형성하는 스텝 ; 제 2 절연체 패턴 하측의 비정질 실리콘은 채널영역이 되고 양측의 비정질 실리콘은 각각 소오스 영역과 드레인

인 영역으로서의 소정 도전형의 비정질 실리콘이 되도록 상기 제 2 절연체 패턴을 도우핑 마스크로 하여 소정 도전형의 불순물 이온을 노출된 상기 비정질 실리콘의 소정 깊이까지 주입하는 스텝 ; 노출된 전 표면상에 고용점을 갖는 내화성 금속을 증착하여 내화성 금속과 접촉하는 소정 도전형의 비정질 실리콘 내에 소오스 전극과 드레인 전극으로서의 실리사이드를 소정 두께로 형성하는 스텝 ; 상기 내화성 금속을 패터닝 하여 제 2 절연체 패턴의 양측에 각각 상기 실리사이드와 함께 소오스 전극과 드레인 전극으로 사용되는 내화성 금속패턴을 형성하는 스텝을 포함함을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 2

제 1 항에 있어서, 제 1 절연체와 제 2 절연체의 물질로서 실리콘 질화막(13, 15)이 사용되는 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 3

제 1 항에 있어서, 절연성 투명기판은 유리와 석영중 하나가 사용되는 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 4

제 1 항에 있어서, 게이트 전극의 물질은 백금, 크롬, 몰리브덴, 알루미늄 및 소정 도전형의 실리콘중 하나인 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 5

제 1 항에 있어서, 내화성 금속은 백금과 크롬, 몰리브덴중 하나인 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 6

제 1 항에 있어서, 제 2 절연체와 내화성 금속의 패터닝은 드라이 에치법에 의해 수행되는 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 7

제 6 항에 있어서, 드라이 에치 공정은 RIE인 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 8

제 7 항에 있어서, RIE시 에칭가스에 산소가 포함되지 않도록 함을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 9

제 1 항에 있어서, 실리사이드를 형성하는 스텝은 실리사이드를 원하는 두께로 만들기 위해 소정 조건하에서 어닐링을 수행하는 스텝을 포함함을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 10

제 1 항에 있어서, 소오스 전극과 드레인 전극으로 사용되는 내화성 금속패턴의 폭은 제 2 절연체 패턴 양측의 실리사이드 폭보다 작게 패터닝 하는 것을 특징으로 하는 박막트랜지스터 제조방법.

#### 청구항 11

제 1 항에 있어서, 배면노광 공정의 시간은 비정질 실리콘의 두께에 종속되는 것을 특징으로 하는 박막트랜지스터 제조방법.

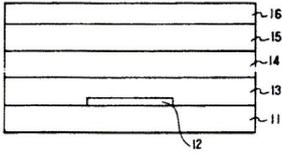
#### 청구항 12

제 1 항에 있어서, 채널을 위한 층으로서 비정질 실리콘 대신 다결정 실리콘이 사용되는 것을 특징으로 하는 박막트랜지스터 제조방법.

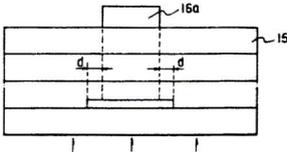
#### 도면



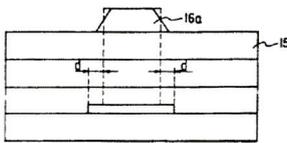
도면3a



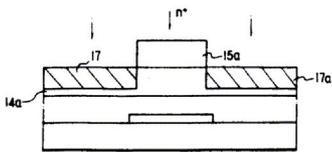
도면3b



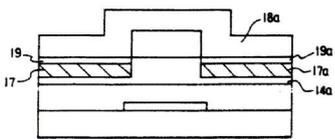
도면3c



도면3d



도면3e



도면3f

