

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4975119号  
(P4975119)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int. Cl.			F I		
<b>H03G</b>	<b>11/02</b>	<b>(2006.01)</b>	H03G	11/02	Z
<b>H04B</b>	<b>1/18</b>	<b>(2006.01)</b>	H04B	1/18	G
<b>G01S</b>	<b>7/285</b>	<b>(2006.01)</b>	G01S	7/285	Z

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2010-21145 (P2010-21145)	(73) 特許権者	000006013
(22) 出願日	平成22年2月2日(2010.2.2)		三菱電機株式会社
(65) 公開番号	特開2011-160262 (P2011-160262A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成23年8月18日(2011.8.18)	(74) 代理人	100073759
審査請求日	平成23年1月26日(2011.1.26)		弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 考生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(72) 発明者	湯之上 則弘
			東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 リミッタ回路

(57) 【特許請求の範囲】

【請求項1】

マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、  
一端がRF主線路に接続されて寄生成分を打消す第1キャパシタと、上記第1キャパシタの他端とグランド間に直列に接続されたアンチパラレル接続のPINダイオード接続体とを備え、

上記第1キャパシタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成が、上記RF主線路に配置され第1インダクタと第2キャパシタが直列に接続された整合回路を介して、複数段接続され、

上記PINダイオードがオフ状態となる低入射エネルギー時において、帯域抑圧フィルタ特性を有し、

上記PINダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有することを特徴とするリミッタ回路。

【請求項2】

マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、  
一端がRF主線路に接続されて寄生成分を打消す第1キャパシタと、上記第1キャパシタの他端とグランド間に直列に接続されたアンチパラレル接続のPINダイオード接続体とを備え、

上記第1キャパシタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成が、上記RF主線路に配置され第2インダクタで構成された整

10

20

合回路を介して、複数段接続され、

上記 P I N ダイオードがオフ状態となる低入射エネルギー時において、低域通過フィルタ特性を有し、

上記 P I N ダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有することを特徴とするリミッタ回路。

【請求項 3】

マイクロ波帯で使用する P I N ダイオードを用いたリミッタ回路であって、

一端が R F 主線路に接続され、他端がグラウンドに接続されたアンチパラレル接続の P I N ダイオード接続体と、上記 R F 主線路と上記グラウンド間で、上記 P I N ダイオード接続体に並列に接続された第 3 インダクタとを備え、

上記第 3 インダクタと上記 P I N ダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成は、上記 R F 主線路に配置され第 4 インダクタと第 3 キャパシタが並列に接続された整合回路を介して複数段接続され、

上記 P I N ダイオードがオフ状態となる低入射エネルギー時において、帯域通過フィルタ特性を有し、

上記 P I N ダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有することを特徴とするリミッタ回路。

【請求項 4】

マイクロ波帯で使用する P I N ダイオードを用いたリミッタ回路であって、

一端が R F 主線路に接続され、他端がグラウンドに接続されたアンチパラレル接続の P I N ダイオード接続体と、上記 R F 主線路と上記グラウンド間で、上記 P I N ダイオード接続体に並列に接続された第 3 インダクタとを備え、

上記第 3 インダクタと上記 P I N ダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成は、上記 R F 主線路に配置され第 4 キャパシタで構成された整合回路を介して複数段接続され、

上記 P I N ダイオードがオフ状態となる低入射エネルギー時において、高域通過フィルタ特性を有し、

上記 P I N ダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有することを特徴とするリミッタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レーダ装置で使用されるリミッタ回路に係わり、更に詳しくはマイクロ波帯で使用する P I N ダイオードを用いたリミッタ回路に関するものである。

【背景技術】

【0002】

図 1 は、一般的なレーダ装置（ここでは、レーダシステムとも称す）の構成を示す図である。

周知のように、レーダ装置（レーダシステム）は、アンテナ 100、送受切替器 200、フィルタ 300、リミッタ回路 400、レーダ受信機（以下、R F 受信機あるいは単に受信機とも称す）500 およびレーダ送信機（以下、R F 送信機あるいは単に送信機とも称す）600 で構成される。

送信機 600 は発振器を含んでおり、この発振器の出力はオンおよびオフされて一連のレーダパルスを発する。

このレーダパルスは、送受切替器 200 を介してアンテナ 100 に供給され、アンテナ 100 から目標（図示なし）に向けて送信される。

また、アンテナ 100 で受信した目標からの反射波あるいは妨害機（図示なし）から発射される電波は、送受切替 200、フィルタ 300、リミッタ回路 400 を介して受信機 500 で受信される。

【0003】

10

20

30

40

50

このようなレーダシステムにおいて用いられ受信機（RF受信機）500は、高電力のRF（Radio Frequency）信号で破壊する可能性のある低雑音増幅器（LNA：Low Noise Amplifier）などの回路素子を一般的に含むことが知られている。

例えば、「送信機から漏れてくるRF信号」や「妨害機から入力される高電力のRF信号」は、高い入射エネルギーレベルを有しているため、受信機500の回路素子を破壊する可能性があり、受信機500の回路素子にとっては脅威である。

従って、高い入射エネルギーによって破壊される可能性のある回路素子を有する受信機500は、高い入射エネルギーから保護する必要があるため、前段にリミッタ回路400が配置される。

【0004】

なお、レーダシステムに用いられる送信機の増幅器用素子開発が進み、高い周波数領域においても高出力な送信機の開発が可能となっている。

それに伴い、受信機の構成部品である低雑音増幅器（LNA）などの回路素子を保護するために、受信機の前段に配置されるリミッタ回路においては、高いエネルギーが入射された際のリーケージ（leakage：漏洩）抑圧特性の向上が必要となる。

また、送信機600から漏洩する漏洩エネルギー以外にも、アンテナ100により送信エネルギーが反射され、フィルタ300やリミッタ回路400へ入力されるエネルギーもある。

例えば、レーダ装置がアクティブ・フェーズド・アレイ・レーダの場合、最悪ケースを想定すると、アンテナ反射係数が“1”という状態もあり得るため、送信機600の送信エネルギーが、全てフィルタ300およびリミッタ回路400へ入力されるエネルギーとなる場合もある。

【0005】

更に、妨害機等から入射される「当該レーダ装置が使用する周波数帯域外のエネルギー」が、PINダイオードが動作する入射エネルギーより低く、当該レーダ装置が使用する周波数帯域の入射エネルギーと比較して十分に小さくない場合、レーダ受信機の性能が悪化する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-22255公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

高い周波数領域において発生する寄生成分を打消し、リーケージ抑圧性能を向上する「PINダイオードを用いたリミッタ回路」として、特許文献1（特開2008-22255公報）に示されたものがあるが、より高い入射エネルギーに対してリーケージ電力を低減するためには、PINダイオードを多段化するか、もしくはPINダイオード1段当りのリーケージ抑圧特性を向上させる必要がある。

しかし、前者の場合（即ち、PINダイオードを多段化する場合）は、低い入射エネルギーの際にはリミッタ回路通過時の通過損失が増加し、受信機の雑音指数を悪化させるため、後者（即ち、PINダイオード1段当りのリーケージ抑圧特性を向上させること）を実現する手法が望まれる。

ここで、「PINダイオード1段」とは、後述するリミッタ回路の「基本単位」が1段であることを言う。

【0008】

また、PINダイオードが動作する入射エネルギーより低い「使用周波数帯域外のエネルギー」に関しては、リミッタ回路に加え、それとは別にフィルタ特性を有する回路（即ち、フィルタ）を受信機の前段に配置し、使用周波数帯域外のエネルギーを抑圧し、受信機の性能悪化を抑制する構成が一般的に用いられている。

10

20

30

40

50

しかし、アンテナ～受信機間の構成部品の増加に伴い、通過損失が増加し、受信機の雑音指数を悪化させる。

そのため、「リーケージ抑圧特性」および「フィルタ特性」といった複合的な特性を有するリミッタ回路の開発が望まれる。

【0009】

本発明は、このような課題を解決するためになされたものであり、「高い入射エネルギーに対してはリーケージ抑圧特性の向上、低い入射エネルギーに対してはフィルタ特性を有する」という「複合的な特性」を有するリミッタ回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係るリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続されて寄生成分を打消す第1キャパシタと、上記第1キャパシタの他端とグラウンド間に直列に接続されたアンチパラレル接続のPINダイオード接続体とを備え、

上記第1キャパシタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成が、上記RF主線路に配置され第1インダクタと第2キャパシタが直列に接続された整合回路を介して、複数段接続され、

上記PINダイオードがオフ状態となる低入射エネルギー時において、帯域抑圧フィルタ特性を有し、

上記PINダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有するものである。

また、本発明に係るリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続されて寄生成分を打消す第1キャパシタと、上記第1キャパシタの他端とグラウンド間に直列に接続されたアンチパラレル接続のPINダイオード接続体とを備え、

上記第1キャパシタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成が、上記RF主線路に配置され第2インダクタで構成された整合回路を介して、複数段接続され、

上記PINダイオードがオフ状態となる低入射エネルギー時において、低域通過フィルタ特性を有し、

上記PINダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有するものである。

【0011】

また、本発明に係るリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続され、他端がグラウンドに接続されたアンチパラレル接続のPINダイオード接続体と、上記RF主線路と上記グラウンド間で、上記PINダイオード接続体に並列に接続された第3インダクタとを備え、

上記第3インダクタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成は、上記RF主線路に配置され第4インダクタと第3キャパシタが並列に接続された整合回路を介して複数段接続され、

上記PINダイオードがオフ状態となる低入射エネルギー時において、帯域通過フィルタ特性を有し、

上記PINダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有するものである。

また、本発明に係るリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続され、他端がグラウンドに接続されたアンチパラレル接続のPINダイオード接続体と、上記RF主線路と上記グラウンド間で、上記PINダイオード接続体に並列に接続された第3インダクタとを備え、

上記第3インダクタと上記PINダイオード接続体とで構成される構成体を基本単位構成とし、上記基本単位構成は、上記RF主線路に配置され第4キャパシタで構成された整合

10

20

30

40

50

回路を介して複数段接続され、

上記 P I N ダイオードがオフ状態となる低入射エネルギー時において、高域通過フィルタ特性を有し、

上記 P I N ダイオードがオン状態となる高入射エネルギー時において、リーケージ抑圧特性を有するものである。

【発明の効果】

【 0 0 1 2 】

本発明によれば、リミッタ回路に高いエネルギーが入射された場合には、P I N ダイオード1段当りのリーケージ抑圧特性を向上させることによって、P I N ダイオードの段数を増加させることなく「リミッタ回路のリーケージ抑圧特性」を向上できる。

10

また、低いエネルギーが入射された場合には、リミッタ回路自身がフィルタ特性を有することにより、受信機の前段に具備される構成部品であるフィルタを削減できる、もしくは、フィルタ自体の内部構成を簡素化し、透過損失の低減ができる。

これらにより、受信機の前段における通過損失を小さくすることができ、受信機の雑音指数を改善できる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】一般的なレーダシステムの構成を示す図である。

【図 2】本発明の実施の形態 1 によるリミッタ回路の構成を示す図である。

【図 3】実施の形態 1 によるリミッタ回路の「低い入射エネルギー時の等価回路」である。

20

【図 4】実施の形態 1 によるリミッタ回路の「高い入射エネルギー時の等価回路」である。

【図 5】高い入射エネルギー時のアンチパラレル接続 P I N ダイオードの動作を説明するための図である。

【図 6】従来技術のリミッタ回路と提案技術（本発明）によるリミッタ回路の入出力特性を示す図である。

【図 7】実施の形態 2 によるリミッタ回路の構成を示す図である。

【図 8】実施の形態 3 によるリミッタ回路の構成を示す図である

【図 9】実施の形態 3 によるリミッタ回路の「低い入射エネルギー時の等価回路」である。

30

【図 10】実施の形態 3 によるリミッタ回路の「高い入射エネルギー時の等価回路」である。

【図 11】実施の形態 4 によるリミッタ回路の構成を示す図である。

【発明を実施するための形態】

【 0 0 1 4 】

以下、図面に基づいて、本発明の一実施の形態例について説明する。

なお、各図間において、同一符号は、同一あるいは相当のものであることを表す。

実施の形態 1 .

マイクロ波帯等の高周波帯で用いられるリミッタ回路 4 0 0 は、例えば、図 1 に示すように、レーダシステムにおいて、受信機 5 0 0 の前段に配置されている。

40

なお、リミッタ回路 4 0 0 は、送信機 6 0 0 がレーダパルスの送信時に漏洩する信号や近距離の目標から反射されるレーダパルス信号などの過大なレベルの信号が、直接レーダ受信機に印加されないように、レーダ受信機を保護するための回路である。

【 0 0 1 5 】

図 2 は、本発明の実施の形態 1 によるリミッタ回路の構成を示す図である。

図 2 において、“ A ” は R F 主線路上に配置されたりミッタ回路の入力端子、“ B ” は該リミッタ回路の出力端子である。

なお、「 R F 主線路」とは、当該レーダ装置が受信した信号（ R F 信号）が受信機まで送られる線路のことである。

50

本実施の形態によるリミッタ回路は、RF主線路上の入力端子A側に接続して配置された第一の基本単位(後述する)10aと、RF主線路上の出力端子B側に接続して配置された第二の基本単位10bと、第一の基本単位10aがRF主線路と接続する接続点Caと第二の基本単位10bがRF主線路と接続する接続点Cbとの間において主線路に縦続接続された整合回路9aとで構成されている。

【0016】

リミッタ回路を構成する第一および第二の基本単位のインピーダンスを「フィルタを構成する1つのエレメント」として考慮できるようにするために、整合回路にてフィルタ特性が得られるように整合をとる。

このような構成により、「通過させたい周波数帯域」や「抑圧したい周波数帯域」を設定することが可能となる。

【0017】

第一の基本単位10aは、RF主線路と接続するための接続点Caに一端が接続された「寄生成分を打消すキャパシタ6a」と、アノードが該キャパシタ6aの他端に接続され、カソードがグランドに接続された第一のPINダイオード7aと、カソードがキャパシタ6aの他端に接続され、アノードがグランドに接続された第二のPINダイオード8aとで構成されている。

ここで、第一のPINダイオード7aと第二のPINダイオード8aは、互いに向きが逆方向で並列に接続されているので、第一のPINダイオード7aと第二のPINダイオード8aは、「アンチパラレル接続」されていると言う。

第一の基本単位10aと同様に、第二の基本単位10bは、RF主線路と接続するための接続点Cbに一端が接続された「寄生成分を打消すキャパシタ6b」と、アノードがキャパシタ6bの他端に接続され、カソードがグランドに接続された第一のPINダイオード7bと、カソードがキャパシタ6bの他端に接続され、アノードがグランドに接続された第二のPINダイオード8bとで構成されている。

【0018】

図3は、整合用インダクタ11と整合用キャパシタ12を直列に接続した構成の整合回路9aを適用した場合のリミッタ回路であり、かつ、低いエネルギーが入射された場合のリミッタ回路の等価回路を示している。

低い入射エネルギーの時は、アンチパラレルに接続されたPINダイオードは、実装上必要となる金ワイヤなどで生じる寄生インダクタとPINダイオードの接合容量で表される。

従って、第一の基本単位10aの等価回路は、接続点Caに一端が接続された「寄生成分を打消すキャパシタ6a」と、一端がキャパシタ6aの他端に接続された寄生インダクタ13aと、寄生インダクタ13aの他端とグランドに接続されたPINダイオードの接合容量14aが直列に接続されたものとして表される。

同様に、第二の基本単位10bの等価回路は、接続点Cbに一端が接続された「寄生成分を打消すキャパシタ6b」と、一端がキャパシタ6bの他端に接続された寄生インダクタ13bと、寄生インダクタ13bの他端とグランドに接続されたPINダイオードの接合容量14bが直列に接続されたものとして表される。

ここで、本実施の形態では、整合回路9aは、図3に示すように、整合用インダクタ11と整合用キャパシタ12が直列に接続されている。

【0019】

本実施の形態によるリミッタ回路は、入射エネルギーが低い時は、図3に示したような等価回路で表される。

即ち、本実施の形態によるリミッタ回路の入射エネルギーが低い時の等価回路は、整合用直列インダクタ11と整合用直列キャパシタ12が直列接続された整合回路9a、該整合回路9aの入力端子A側に接続され、寄生成分を打消すキャパシタ6a、寄生インダクタ13a、PINダイオードの接合容量14aにて表される第一の基本単位10a、および該整合回路9aの出力端子B側に接続され、寄生成分を打消すキャパシタ6b、寄

10

20

30

40

50

生インダクタ13b、PINダイオードの接合容量14bにて表される第二の基本単位10bとで構成されている。

従って、本実施の形態によるリミッタ回路は、低い入射エネルギーの時には、リミッタ回路自身がフィルタ特性を有し、帯域抑圧フィルタとして作用する。

#### 【0020】

図4は、整合用インダクタ11と整合用キャパシタ12を直列に接続した構成の整合回路9aを適用した場合のリミッタ回路であり、かつ、高いエネルギーが入射された場合のリミッタ回路の等価回路を示している。

リミッタ回路への入力が高い入射エネルギーの時は、アンチパラレルに接続されたPINダイオード（即ち、PINダイオード7aとPINダイオード8aあるいはPINダイオード7bとPINダイオード8b）は抵抗（オン抵抗）として表される。

10

リミッタ回路への入力が高い入射エネルギーの時は、第一の基本単位10aの寄生成分を打消すキャパシタ6aと実装上必要となる金ワイヤ等で生じる寄生インダクタ13a（図3あるいは図4（a）参照）は、当該レーダ装置が使用する信号の周波数で直列共振し、RF的には短絡となるので、第一の基本単位10aは、図4（b）に示すように抵抗（オン抵抗）15aのみで表される。

#### 【0021】

同様に、リミッタ回路への入力が高い入射エネルギーの時は、第二の基本単位10bの寄生成分を打消すキャパシタ6bと実装上必要となる金ワイヤ等で生じる寄生インダクタ13bは、当該レーダ装置が使用する信号の周波数で直列共振し、RF的には短絡となるので、第二の基本単位10bも、図4（b）に示すように、抵抗（オン抵抗）15bのみで表される。

20

即ち、図4（b）は、高いエネルギーの信号が入射され、第一の基本単位および第二の基本単位が抵抗のみで表させる場合のリミッタ回路の等価回路を示している。

従って、リミッタ回路への入力が高い入射エネルギーの時は、リミッタ回路の等価回路は、図4（b）で表されるように、RF主線路とグランドの間には抵抗のみが接続された状態となり、リミッタ回路は良好なリーケージ抑圧特性を得る。

#### 【0022】

なお、整合用インダクタ11と整合用キャパシタ12を含むリミッタ回路を構成する基本単位間の電気長は、当該リミッタ回路が使用する信号の周波数に対して30～150度であれば、比較的良好的なリーケージ抑圧特性を得ることができる。

30

ところで、リミッタ回路を構成する基本単位間の電気長は、一般的には使用する周波数の90度（ $g/4$ ）で構成されるが、実際には30～150度の電気長であれば、位相合成した際に90度の電気長と比べて大きなリーケージ悪化とはならない。

そのため、基本単位間の電気長を30～150度とすることにより、整合回路の設計自由度が広がる。

#### 【0023】

図5は、高い入射エネルギーの時のアンチパラレルに接続されたPINダイオード7、PINダイオード8の動作原理を説明する図である。

なお、図5は、第一の基本単位10aあるいは第二の基本単位10bのいずれかを示したものである。

40

従って、例えば、図5のPINダイオード7は、前出のPINダイオード7aあるいはPINダイオード7bのいずれかである。

同様に、図5のPINダイオード8は、前述のPINダイオード8aあるいはPINダイオード8bのいずれかである。

RF信号は、基準電位（即ち、グランドの電位）に対して「正」または「負」の振幅を有するが、RF信号が基準電位に対して正の時は、図5（a）に示すように、カソード側が接地されたPINダイオード7（即ち、PINダイオード7aあるいはPINダイオード7b）がオンとなり、アノード側が接地されたPINダイオード8（即ち、PINダイオード8aあるいはPINダイオード8b）がDCリターン回路として作用する。

50

## 【 0 0 2 4 】

また、RF信号が基準電位に対して負の時は、図5(b)に示すように、アノード側が接地されたPINダイオード8がオンとなり、カソード側が接地されたPINダイオード7がDCリターン回路として作用する。

なお、図5(a)および図5(b)において、15はオン抵抗を、16はDCリターン抵抗を表す。

このように、本実施の形態によるリミッタ回路では、RF信号の基準電位に対する正負の振幅の双方でリーケージ抑圧特性を有する。

## 【 0 0 2 5 】

一方、アノードをRF主線路にカソードをグランドに接続したPINダイオードに対し、DCリターン回路を並列接続した従来技術(特許文献1)のような構成の場合、RF信号が基準電位に対して正の時には、PINダイオードがオンし、抵抗として作用するため、リーケージ抑圧特性を有する。

しかし、RF信号が基準電位に対して負の時は、PINダイオードはオンせず、PINダイオードの寄生成分であるキャパシタとして作用するので、リーケージ抑圧特性を有しない。

## 【 0 0 2 6 】

図6は、提案技術(本発明)と従来技術におけるリミッタ回路の入出力特性を比較したものであり、リミッタ回路を構成する基本単位部分の効果を説明するための図である。

リミッタ回路は、入力する電力(Input Power)に対して、出力する電力(Output Power)が小さい方が、より良いリミッタ回路であると言える。

従って、同じ入力電力(Input Power)の時の出力電力(Output Power)を比較した際に、その差(即ち、同じ入力電力の時の「従来技術の出力電力」と「本発明の出力電力」の差)自体が発明の効果であると言える。

## 【 0 0 2 7 】

以上説明したように、本実施の形態によるリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続されて寄生成分を打消すキャパシタと、キャパシタの他端に接続されたアンチパラレル接続のPINダイオード接続体とを備え、上記キャパシタと上記PINダイオード接続体は、RF主線路とグランド間で直列に接続されている。

従って、本実施の形態によるリミッタ回路は、高い入射エネルギーに対しては、リーケージ抑圧特性の向上が図れる。

## 【 0 0 2 8 】

また、本実施の形態によるリミッタ回路は、キャパシタとPINダイオード接続体とで構成される構成体を基本単位構成とし、該基本単位構成は、RF主線路に配置された整合回路を介して、複数段接続されている。

従って、本実施の形態によるリミッタ回路は、高い入射エネルギーに対して、更にリーケージ抑圧特性の向上が図れる。

また、本実施の形態によるリミッタ回路の整合回路は、インダクタとキャパシタが直列に接続された構成である。

従って、本実施の形態によるリミッタ回路は、本実施の形態によるリミッタ回路は、低い入射エネルギーに対して、帯域抑圧フィルタとして作用する。

## 【 0 0 2 9 】

なお、上記した実施の形態1によるリミッタ回路は、RF主線路に配置された整合回路を介して第一の基本単位および第二の基本単位が2段に接続されている場合を示しているが、基本単位は1段のみであってもよいし、3段以上であってもよい。

また、基本単位は1段のみとし、整合回路は削除して、高い入射エネルギーに対して、リーケージ抑圧効果のみを得るようにしてもよい。

このことは、後述する他の実施の形態においても同様である。

## 【 0 0 3 0 】

### 実施の形態 2 .

図 7 は、実施の形態 2 によるリミッタ回路の構成を示す図であり、整合回路 9 b として、整合用インダクタ 1 1 を適用したリミッタ回路を示す図である。

即ち、本実施の形態によるリミッタ回路は、前述した実施の形態 1 によるリミッタ回路の構成と基本的には同じであるが、整合回路 9 b が整合用インダクタ 1 1 のみで構成されていることを特徴とする。

第一の基本単位 1 0 a および第二の基本単位 1 0 b の構成およびその等価回路は、実施の形態 1 の場合と同じであるので、説明は省略する。

#### 【 0 0 3 1 】

本実施の形態によるリミッタ回路は、低い入射エネルギーの時は、整合用インダクタ 1 1、寄生成分を打消すキャパシタ ( 6 a、6 b)、寄生インダクタ ( 1 3 a、1 3 b)、PIN ダイオードの接合容量 ( 1 4 a、1 4 b) にて構成される低域通過フィルタとして作用する。

リミッタ回路への入力が高い入射エネルギーの時は、前述した実施の形態 1 の場合と同様に、RF 主線路とグラウンドの間には抵抗のみが接続された状態となり、リミッタ回路は、良好なリーケージ抑圧特性を得る。

#### 【 0 0 3 2 】

以上説明したように、本実施の形態によるリミッタ回路の整合回路は、インダクタのみで構成されている。

従って、本実施の形態によるリミッタ回路は、低い入射エネルギーに対して、低域通過フィルタとして作用する。

#### 【 0 0 3 3 】

### 実施の形態 3 .

図 8 は、実施の形態 3 によるリミッタ回路の構成を示す図である。

本実施の形態によるリミッタ回路の基本的な構成は、実施の形態 1 あるいは実施の形態 2 によるリミッタ回路と同様であり、RF 主線路上の入力端子 A 側に接続して配置された第一の基本単位 1 0 a と、RF 主線路上の出力端子 B 側に接続して配置された第二の基本単位 1 0 b と、第一の基本単位 1 0 a が RF 主線路と接続する接続点 C a と第二の基本単位 1 0 b が RF 主線路と接続する接続点 C b との間において主線路に縦続接続された整合回路 9 c とで構成されている。

#### 【 0 0 3 4 】

前述した実施の形態 1 あるいは実施の形態 2 では、第一の基本単位 1 0 a は、RF 主線路と接続するための接続点 C a に一端が接続された「寄生成分を打消すキャパシタ 6 a」と、アノードがキャパシタ 6 a の他端に接続され、カソードがグラウンドに接続された第一の PIN ダイオード 7 a と、カソードがキャパシタ 6 a の他端に接続され、アノードがグラウンドに接続された第二の PIN ダイオード 8 a とで構成されている。

また、第二の基本単位 1 0 b は、RF 主線路と接続するための接続点 C b に一端が接続された「寄生成分を打消すキャパシタ 6 b」と、アノードがキャパシタ 6 b の他端に接続され、カソードがグラウンドに接続された第一の PIN ダイオード 7 b と、カソードがキャパシタ 6 b の他端に接続され、アノードがグラウンドに接続された第二の PIN ダイオード 8 b とで構成されていた。

#### 【 0 0 3 5 】

しかし、本実施の形態では、第一の基本単位および第二の基本単位は、高い周波数領域において発生する寄生成分を打消すキャパシタ ( 6 a、6 b) に代わり、寄生成分を軽減するインダクタを用いている。

図 8 に示すように、本実施の形態では、第一の基本単位 1 0 a は、RF 主線路と接続するための接続点 C a にアノードが接続され、カソードがグラウンドに接続された第一の PIN ダイオード 7 a と、接続点 C a にカソードが接続され、アノードがグラウンドに接続された第二の PIN ダイオード 8 a とからなるアンチパラレル接続の PIN ダイオード接続体と、該 PIN ダイオード接続体と並列に接続されたインダクタであって、一端が接続点 C

10

20

30

40

50

aに、他端がグランドに接続された第一のインダクタ17aとで構成されている。

【0036】

同様に、第二の基本単位10bは、RF主線路と接続するための接続点Cbにアノードが接続され、カソードがグランドに接続された第一のPINダイオード7bと、接続点Cbにカソードが接続され、アノードがグランドに接続された第二のPINダイオード8bとからなるアンチパラレル接続のPINダイオード接続体と、該PINダイオード接続体と並列に接続されたインダクタであって、一端が接続点Cbに、他端がグランドに接続された第二のインダクタ17bとで構成されている。

なお、第一のインダクタ17aあるいは第二のインダクタ17bは、高い周波数領域において発生する「PINダイオード接続体が持つ寄生成分相当もしくはそれよりも小さな寄生成分」を軽減するために配置したものである。

本実施の形態によるリミッタ回路は、前述の実施の形態1あるいは実施の形態2と同様に、第一の基本単位10aおよび第二の基本単位10bは、RF主線路に縦続接続された整合回路9cを介してRF主線路に接続されている。

【0037】

図9は、整合回路9cとして、並列接続された整合用のインダクタ18と整合用のキャパシタ19を適用した場合のリミッタ回路であり、かつ、低いエネルギーが入射された場合の等価回路を示している。

低い入射エネルギーの時は、第一の基本単位10aおよび第二の基本単位10bは、アンチパラレルに接続されたPINダイオードは寄生インダクタとPINダイオードの結合容量が直列に接続された構成で表され、これに対してインダクタとキャパシタが並列に接続された整合回路9cを用いると、リミッタ回路は帯域通過フィルタとして作用する。

【0038】

図10は、整合回路9に並列接続された整合用並列インダクタ18と整合用並列キャパシタ19を適用した場合のリミッタ回路であり、かつ、高いエネルギーが入射された場合の等価回路を示している。

高い入射エネルギーの時は、図10(a)に示すように、アンチパラレルに接続されたPINダイオード7a、8aあるいはPINダイオード7b、8bは、オン抵抗として表される。

また、マイクロ波帯においては、PINダイオードのオン抵抗15a、15bに比べ、実装上必要となる金ワイヤ等で生じる寄生インダクタ13a、13bによるインピーダンスの方が十分に大きいため、実装上必要となる金ワイヤ等で生じる寄生インダクタ13a、13bが支配的(図10(b)に示すように、等価回路的にはオン抵抗15a、15bは無視できる)となり、RF的には寄生インダクタ13a、13bを短絡することは困難となる。

しかし、寄生インダクタ13a、13b相当もしくはそれよりも小さな寄生成分を軽減するインダクタ17a、17bを並列に接続することによって、インピーダンスを低下させることが可能となり、良好なリーケージ抑圧特性を得る。

尚、並列接続された整合用並列インダクタ18と整合用並列キャパシタ19を含むリミッタを構成する第一の基本単位10aと第二の基本単位10b間の電気長は、当該レーダ装置が使用する信号の周波数に対して30~150度であれば、比較的良好的なリーケージ抑圧特性を得ることができる。

【0039】

以上説明したように、本実施の形態によるリミッタ回路は、マイクロ波帯で使用するPINダイオードを用いたリミッタ回路であって、一端がRF主線路に接続され、他端がグランドに接続されたアンチパラレル接続のPINダイオード接続体と、記RF主線路とグランド間で、PINダイオード接続体に並列に接続された寄生成分を軽減するインダクタを備えている。

従って、本実施の形態によるリミッタ回路は、本実施の形態も、高い入射エネルギーに対して、良好なリーケージ抑圧特性を得ることができる。

10

20

30

40

50

また、本実施の形態によるリミッタ回路は、インダクタとPINダイオード接続体とで構成される構成体を基本単位構成とし、該基本単位構成は、RF主線路に配置された整合回路を介して複数段接続されている。

従って、本実施の形態によるリミッタ回路は、高い入射エネルギーに対して、更にリーケージ抑圧特性の向上が図れる。

また、本実施の形態によるリミッタ回路の整合回路は、インダクタとキャパシタが並列に接続された構成である。

従って、本実施の形態によるリミッタ回路は、低い入射エネルギーに対して、帯域通過フィルタとして作用する。

#### 【0040】

実施の形態4.

図11は、実施の形態4によるリミッタ回路の構成を示す図であり、図8に示した整合回路として、整合用のキャパシタのみで構成された整合回路9dを適用した場合のリミッタ回路を示している。

本実施の形態によるリミッタ回路の基本的な構成は、実施の形態3によるリミッタ回路と同様であり、RF主線路上の入力端子A側に接続して配置された第一の基本単位10aと、RF主線路上の出力端子B側に接続して配置された第二の基本単位10bと、第一の基本単位10aがRF主線路と接続する接続点Caと第二の基本単位10bがRF主線路と接続する接続点Cbとの間において主線路に縦続接続された整合回路9dとで構成されている。

#### 【0041】

本実施の形態では、第一の基本単位10aは、RF主線路と接続するための接続点Caにアノードが接続され、カソードがグランドに接続された第一のPINダイオード7aと、接続点Caにカソードが接続され、アノードがグランドに接続された第二のPINダイオード8aとからなるアンチパラレル接続のPINダイオード接続体と、該PINダイオード接続体と並列に接続されたインダクタであって、一端が接続点Caに、他端がグランドに接続された第一のインダクタ17aとで構成されている。

#### 【0042】

同様に、第二の基本単位10bは、RF主線路と接続するための接続点Cbにアノードが接続され、カソードがグランドに接続された第一のPINダイオード7bと、接続点Cbにカソードが接続され、アノードがグランドに接続された第二のPINダイオード8bとからなるアンチパラレル接続のPINダイオード接続体と、該PINダイオード接続体と並列に接続されたインダクタであって、一端が接続点Cbに、他端がグランドに接続された第二のインダクタ17bとで構成されている。

なお、実施の形態3で述べたように、第一のインダクタ17aあるいは第二のインダクタ17bは、高い周波数領域において発生する「PINダイオード接続体が持つ寄生成分相当もしくはそれよりも小さな寄生成分」を軽減するために配置したものである。

本実施の形態によるリミッタ回路は、第一の基本単位10aおよび第二の基本単位10bは、RF主線路に縦続接続された「キャパシタ20のみで構成された整合回路9d」を介してRF主線路に接続されている。

#### 【0043】

低い入射エネルギーの時は、第一の基本単位10aおよび第二の基本単位10bは、アンチパラレルに接続されたPINダイオードは、実装上必要となる金ワイヤ等で生じる寄生インダクタとPINダイオードの接合容量が直列に接続された構成で表され、整合回路9dのキャパシタ20および寄生成分を軽減するインダクタ17a、17b、寄生インダクタ13a、13b、PINダイオードの接合容量14a、14bにより構成される高域通過フィルタとして作用する。

高い入射エネルギーの時は、実施の形態3によるリミッタ回路と同様の動作をする。

#### 【0044】

以上説明したように、本実施の形態によるリミッタ回路の整合回路は、キャパシタのみ

10

20

30

40

50

で構成されている。

従って、本実施の形態によるリミッタ回路は、低い入射エネルギーに対しては高域通過フィルタとして作用する。

また、本実施の形態によるリミッタ回路は、高い入射エネルギーに対してはリーケージ抑圧特性を有している。

【産業上の利用可能性】

【0045】

本発明は、高い入射エネルギーに対してはリーケージ抑圧特性を、低い入射エネルギーに対してはフィルタ特性を有するマイクロ波帯用のリミッタ回路の実現に有用である。

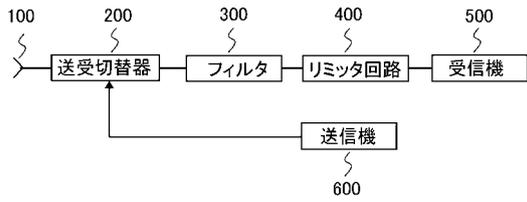
【符号の説明】

10

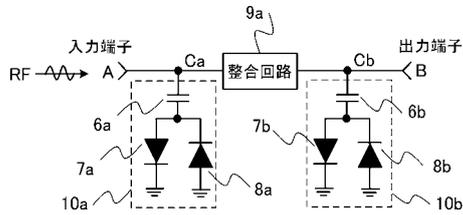
【0046】

- |                   |                         |            |
|-------------------|-------------------------|------------|
| 6、6 a、6 b         | 寄生成分を打消すキャパシタ           |            |
| 7、7 a、7 b、8 a、8 b | P I Nダイオード              |            |
| 9 a、9 b、9 c、9 d、  | 整合回路                    |            |
| 10 a、10 b         | リミッタ回路を構成する基本単位         |            |
| 11、18             | 整合回路のインダクタ              |            |
| 12、19、20          | 整合回路のキャパシタ              |            |
| 13、13 a、13 b      | P I Nダイオードに付加される寄生インダクタ |            |
| 14 a、14 b         | P I Nダイオードの接合容量         |            |
| 15、15 a、15 b      | P I Nダイオードのオン抵抗         | 20         |
| 16                | D Cリターン回路               |            |
| 17 a、17 b         | 寄生成分を軽減するインダクタ          |            |
| A                 | 入力端子                    | B 出力端子 D   |
| C a               | 第一の基本単位とR F主線路との接続点     |            |
| C b               | 第二の基本単位とR F主線路との接続点     |            |
| 100               | アンテナ                    | 200 送受切替器  |
| 300               | フィルタ                    | 400 リミッタ回路 |
| 500               | 受信機                     | 600 送信機    |

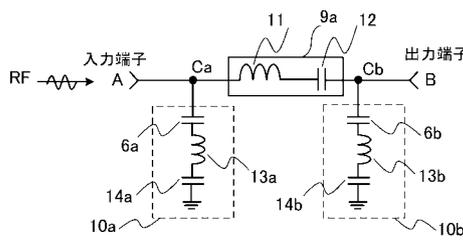
【図1】



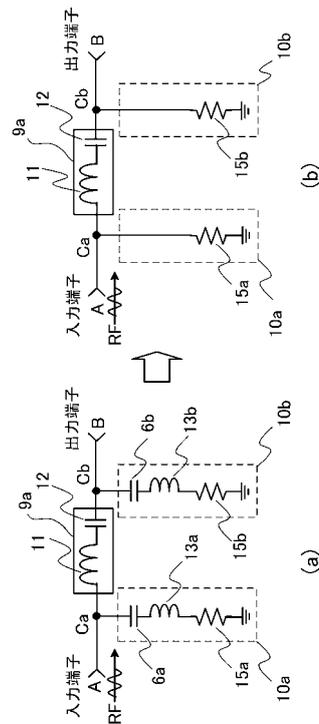
【図2】



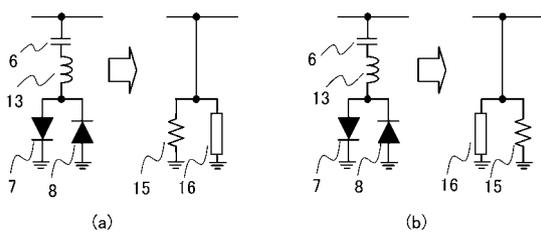
【図3】



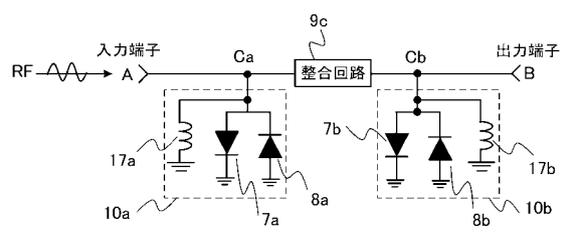
【図4】



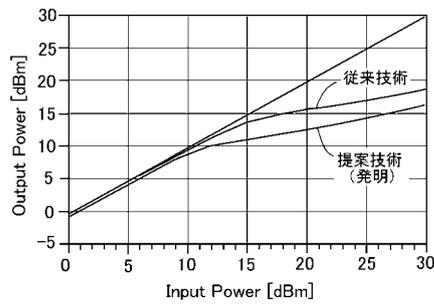
【図5】



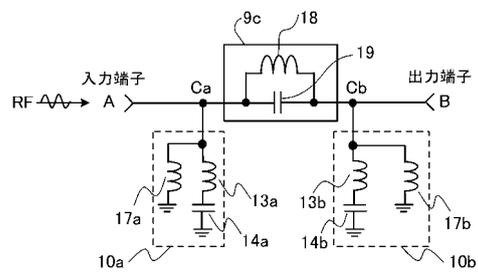
【図8】



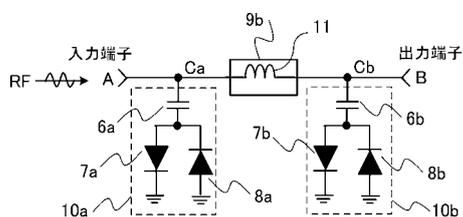
【図6】



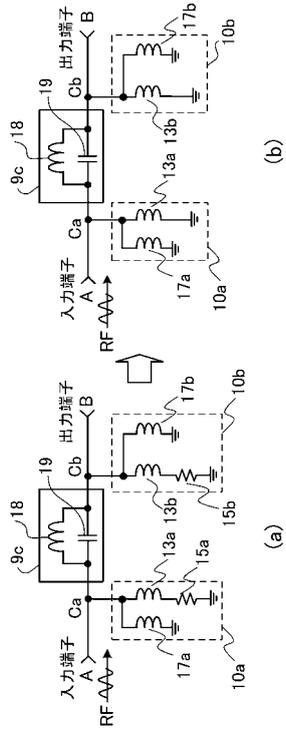
【図9】



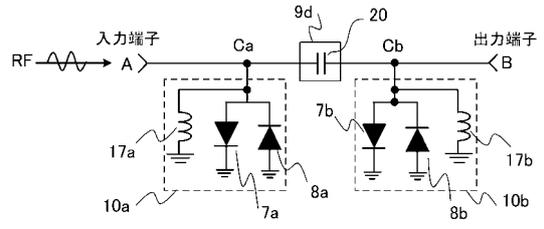
【図7】



【図10】



【図11】



---

フロントページの続き

(72)発明者 森本 卓男  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 緒方 寿彦

(56)参考文献 特開2006-128757(JP,A)  
特開2005-323224(JP,A)  
特開平10-242763(JP,A)  
特開2008-022255(JP,A)  
特開2007-150935(JP,A)  
特開2004-040173(JP,A)  
特開2005-051364(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03G 11/02  
H04B 1/18