

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5151258号
(P5151258)

(45) 発行日 平成25年2月27日 (2013. 2. 27)

(24) 登録日 平成24年12月14日 (2012. 12. 14)

(51) Int. Cl.	F I	
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/06	1 O 2 A
HO 1 L 27/06 (2006. 01)	HO 1 L 27/04	G
HO 1 L 21/822 (2006. 01)	HO 1 L 27/08	3 3 1 D
HO 1 L 27/04 (2006. 01)	HO 2 M 3/155	F
HO 1 L 27/08 (2006. 01)	HO 1 L 29/91	A
請求項の数 5 (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2007-148749 (P2007-148749)	(73) 特許権者	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成19年6月5日 (2007. 6. 5)	(74) 代理人	100085464 弁理士 野口 繁雄
(65) 公開番号	特開2008-277719 (P2008-277719A)	(72) 発明者	大塚 正也 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
(43) 公開日	平成20年11月13日 (2008. 11. 13)	(72) 発明者	上田 佳徳 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
審査請求日	平成22年2月10日 (2010. 2. 10)	審査官	宇多川 勉
(31) 優先権主張番号	特願2006-165589 (P2006-165589)		
(32) 優先日	平成18年6月15日 (2006. 6. 15)		
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2007-90883 (P2007-90883)		
(32) 優先日	平成19年3月30日 (2007. 3. 30)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】昇圧型DC-DCコンバータ用の半導体装置及び昇圧型DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

同一半導体基板にスイッチング素子とダイオード素子を備え、

前記スイッチング素子は、ソース拡散層と、前記ソースとは反対導電型で前記ソース拡散層の側面及び底面を包んで形成されたチャンネル拡散層と、前記ソース拡散層と同じ導電型で前記チャンネル拡散層の外側に前記チャンネル拡散層に隣接して形成されたドレイン拡散層とを備え、ゲート電極直下の前記チャンネル拡散層表面をチャンネル領域とするLDMOSTランジスタであり、

前記ダイオード素子は、コレクタを構成するコレクタ拡散層と、前記コレクタ拡散層とは反対導電型で前記コレクタ拡散層の表面側に形成されたベースを構成するベース拡散層と、前記コレクタ拡散層と同じ導電型で前記ベース拡散層の表面側に形成されたエミッタを構成するエミッタ拡散層とを備えた縦型バイポーラトランジスタ構造からなり、前記ベースと前記コレクタが接続され、前記ベースと前記エミッタとの間で形成されたダイオード素子であり、

前記ダイオード素子は、前記ベース拡散層と同じ導電型で前記ベース拡散層の表面側に形成されたベースコンタクト拡散層を備え、

前記ベースコンタクト拡散層は前記エミッタ拡散層とは間隔をもって前記エミッタ拡散層の周囲を囲って形成されており、

前記コレクタ拡散層と同じ導電型で前記コレクタ拡散層の表面側に形成されたコレクタコンタクト拡散層を備え、

前記エミッタ拡散層と前記コレクタコンタクト拡散層の間に配置されている前記ベースコンタクト拡散層の部分は前記コレクタコンタクト拡散層に隣接して形成されており、

前記スイッチング素子のドレインと前記ダイオード素子のアノードが接続されたスイッチング端子と、

前記ダイオード素子のカソードが接続された出力端子を備え、

前記スイッチング端子にはコイルが接続され、前記出力端子には容量素子の一端が接続される昇圧型DC-DCコンバータ用の半導体装置。

【請求項2】

同一半導体基板にスイッチング素子とダイオード素子を備え、

前記スイッチング素子は、ソース拡散層と、前記ソースとは反対導電型で前記ソース拡散層の側面及び底面を包んで形成されたチャンネル拡散層と、前記ソース拡散層と同じ導電型で前記チャンネル拡散層の外側に前記チャンネル拡散層に隣接して形成されたドレイン拡散層とを備え、ゲート電極直下の前記チャンネル拡散層表面をチャンネル領域とするLDMOSトランジスタであり、

前記ダイオード素子は、コレクタを構成するコレクタ拡散層と、前記コレクタ拡散層とは反対導電型で前記コレクタ拡散層の表面側に形成されたベースを構成するベース拡散層と、前記コレクタ拡散層と同じ導電型で前記ベース拡散層の表面側に形成されたエミッタを構成するエミッタ拡散層とを備えた縦型バイポーラトランジスタ構造からなり、前記ベースと前記コレクタが接続され、前記ベースと前記エミッタとの間で形成されたダイオード素子であり、

前記ダイオード素子は、

前記コレクタ拡散層と同じ導電型で前記コレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、

前記エミッタ拡散層、前記コレクタコンタクト拡散層の間に配置されている前記ベース拡散層の部分の表面に形成されたLOCOS酸化膜からなるフィールド酸化膜と、

前記フィールド酸化膜直下の前記ベース拡散層に配置された第2ベース拡散層を備え、

前記第2ベース拡散層は前記ベース拡散層よりも濃い不純物濃度をもっており、

前記スイッチング素子のドレインと前記ダイオード素子のアノードが接続されたスイッチング端子と、

前記ダイオード素子のカソードが接続された出力端子を備え、

前記スイッチング端子にはコイルが接続され、前記出力端子には容量素子の一端が接続される昇圧型DC-DCコンバータ用の半導体装置。

【請求項3】

同一半導体基板にスイッチング素子とダイオード素子を備え、

前記スイッチング素子は、ソース拡散層と、前記ソースとは反対導電型で前記ソース拡散層の側面及び底面を包んで形成されたチャンネル拡散層と、前記ソース拡散層と同じ導電型で前記チャンネル拡散層の外側に前記チャンネル拡散層に隣接して形成されたドレイン拡散層とを備え、ゲート電極直下の前記チャンネル拡散層表面をチャンネル領域とするLDMOSトランジスタであり、

前記ダイオード素子は、コレクタを構成するコレクタ拡散層と、前記コレクタ拡散層とは反対導電型で前記コレクタ拡散層の表面側に形成されたベースを構成するベース拡散層と、前記コレクタ拡散層と同じ導電型で前記ベース拡散層の表面側に形成されたエミッタを構成するエミッタ拡散層とを備えた縦型バイポーラトランジスタ構造からなり、前記ベースと前記コレクタが接続され、前記ベースと前記エミッタとの間で形成されたダイオード素子であり、

前記ダイオード素子は、

前記コレクタ拡散層と同じ導電型で前記コレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、

前記エミッタ拡散層、前記コレクタコンタクト拡散層の間に配置されている前記ベース拡散層の部分の表面の一部に形成されたLOCOS酸化膜からなるフィールド酸化膜を

10

20

30

40

50

備え、

前記エミッタ拡散層、前記コレクタコンタクト拡散層の間に配置されている前記ベース拡散層の部分の表面で前記フィールド酸化膜が形成されていない部分が存在しており、

前記スイッチング素子のドレインと前記ダイオード素子のアノードが接続されたスイッチング端子と、

前記ダイオード素子のカソードが接続された出力端子を備え、

前記スイッチング端子にはコイルが接続され、前記出力端子には容量素子の一端が接続される昇圧型DC - DCコンバータ用の半導体装置。

【請求項4】

前記ドレイン拡散層と前記コレクタ拡散層は同じ不純物濃度分布をもつ請求項1から3のいずれか一項に記載の半導体装置。

10

【請求項5】

請求項1から4のいずれか一項に記載の半導体装置と、

前記スイッチング端子に一端が接続されたコイルと、

前記出力端子に一端が接続された容量素子を備えた昇圧型DC - DCコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、昇圧型DC - DCコンバータに用いられる、スイッチング素子及びダイオード素子を備えた半導体装置ならびにその半導体装置を用いた昇圧型DC - DCコンバータに関するものである。

20

【背景技術】

【0002】

近年、携帯電話に代表される電子携帯機器は、爆発的な勢いでさまざまなアプリケーションに応用され、普及している。携帯機器は、その駆動源となる電池(バッテリー)により駆動されるが、電池の供給電圧よりも高い電圧を用いる場合、昇圧回路を用いる必要がある。この昇圧回路として、一般的には昇圧型DC - DCコンバータが用いられる。昇圧型DC - DCコンバータは例えば特許文献1, 2に記載されている。

【0003】

図32に昇圧型DC - DCコンバータの回路図を示す。

30

昇圧型DC - DCコンバータはコイル(インダクタ)201、ダイオード素子203、スイッチング素子205及び容量素子207を備えている。直流電源209にコイル201の一端が接続され、コイル201の他端にダイオード素子203のアノードが接続されている。コイル201、ダイオード素子203間の接続点Aにスイッチング素子205が接続され、スイッチング素子205の他端は接地電位(GND)に接続されている。ダイオード素子203のカソードに容量素子207の一端が接続され、容量素子207の他端は接地電位に接続されている。ダイオード素子203のカソードが出力端子Bになる。

【0004】

スイッチング素子205をオンすると、直流電源209からコイル201、スイッチング素子205、接地電位の順に電流が流れる。スイッチング素子205の抵抗が例えば0(オーム)であれば接続点Aでの電圧は0V(ボルト)であり、ダイオード素子203には逆バイアスがかかるため、容量素子207の容量電位が出力端子Bに出力される。

40

スイッチング素子205をオフすると、コイル201の両端に逆起電力が発生し、入力電圧よりも高い電圧が接続点Aに発生する。このとき、ダイオード素子203は順バイアス状態になり、直流電源209からコイル201、ダイオード素子203、出力端子Bの順に電流が流れる。

DC - DCコンバータはスイッチング素子205のオンとオフを繰り返すことにより入力電圧よりも高い電圧を取り出すことができる。

【0005】

一般に、特許文献2に記載されているように、スイッチング素子としてMOSトランジ

50

スタが用いられ、ダイオード素子として外付けのものが用いられる。また、ダイオード素子として半導体装置にショットキーダイオードを内蔵したものもある。

【特許文献1】特開平9 - 84333号公報

【特許文献2】特開2001 - 154627号公報

【特許文献3】特開2001 - 68561号公報

【特許文献4】特開2003 - 86790号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

図32に示したDC - DCコンバータにおいて、スイッチング素子205がオンの状態では、接続点Aは基本的には0Vであり、出力端子Bでは高電圧になっているため、ダイオード素子203の逆バイアスリークが問題となる。特に、ダイオード素子としてメタルが半導体層に接続されてなるショットキーダイオードを用いた場合、逆耐圧リーク電流が多いという問題があった。

10

また、コイル201の逆起電力は単位時間当りの電流の変化率に比例するため、スイッチング素子205として高速スイッチができるものが要求される。

さらに、スイッチング素子205がオフの状態では、接続点A及び出力端子Bが高電圧になるので、MOSトランジスタからなるスイッチング素子205のドレインに高電圧の逆バイアスが印加されるため、ジャンクションリーク及びオフリーク(Off)が発生すると、A点での電位が徐々に減衰するという問題があった。

20

このような問題はDC - DCコンバータの変換効率の低下を招く。

【0007】

そこで本発明は、同一半導体基板にスイッチング素子とダイオード素子を備え、かつ良好な変換効率を得ることができる昇圧型DC - DCコンバータ用の半導体装置、及びその半導体装置を用いたDC - DCコンバータを提供することを目的とするものである。

【課題を解決するための手段】

【0008】

本発明にかかる半導体装置は、同一半導体基板にスイッチング素子とダイオード素子を備え、上記スイッチング素子は、ソース拡散層と、上記ソースとは反対導電型で上記ソース拡散層の側面及び底面を包んで形成されたチャンネル拡散層と、上記ソース拡散層と同じ導電型で上記チャンネル拡散層の外側に上記チャンネル拡散層に隣接して形成されたドレイン拡散層とを備え、ゲート電極直下の上記チャンネル拡散層表面をチャンネル領域とするLDMOSトランジスタであり、上記ダイオード素子は、コレクタを構成するコレクタ拡散層と、上記コレクタ拡散層とは反対導電型で上記コレクタ拡散層の表面側に形成されたベースを構成するベース拡散層と、上記コレクタ拡散層と同じ導電型で上記ベース拡散層の表面側に形成されたエミッタを構成するエミッタ拡散層とを備えた縦型バイポーラトランジスタ構造からなり、上記ベースと上記コレクタが接続され、上記エミッタと上記ベースとの間で形成されたダイオード素子であり、上記スイッチング素子のドレインと上記ダイオード素子のアノードが接続されたスイッチング端子と、上記ダイオード素子のカソードが接続された出力端子を備え、上記スイッチング端子にはコイルが接続され、上記出力端子には容量素子の一端が接続される昇圧型DC - DCコンバータ用の半導体装置である。

30

40

LDMOSは例えば特許文献3, 4に記載されている。

【0009】

本発明の半導体装置において、上記ダイオード素子は、上記ベース拡散層と同じ導電型で上記ベース拡散層の表面側に形成されたベースコンタクト拡散層を備え、上記ベースコンタクト拡散層は上記エミッタ拡散層とは間隔をもって上記エミッタ拡散層の周囲を囲って形成されているようにしてもよい。

さらに、上記コレクタ拡散層と同じ導電型で上記コレクタ拡散層の表面側に形成されたコレクタコンタクト拡散層を備え、上記エミッタ拡散層と上記コレクタコンタクト拡散層の間に配置されている上記ベースコンタクト拡散層の部分は上記コレクタコンタクト拡散

50

層に隣接して形成されているようにしてもよい。

【0010】

また、上記ダイオード素子は、上記コレクタ拡散層と同じ導電型で上記コレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、上記エミッタ拡散層、上記コレクタコンタクト拡散層の間に配置されている上記ベース拡散層の部分の表面に形成されたLOCOS酸化膜からなるフィールド酸化膜と、上記フィールド酸化膜直下の上記ベース拡散層に配置された第2ベース拡散層を備え、上記第2ベース拡散層は上記ベース拡散層よりも濃い不純物濃度をもっているようにしてもよい。

【0011】

また、上記ダイオード素子は、上記コレクタ拡散層と同じ導電型で上記コレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、上記エミッタ拡散層、上記コレクタコンタクト拡散層の間に配置されている上記ベース拡散層の部分の表面の一部に形成されたLOCOS酸化膜からなるフィールド酸化膜を備え、上記エミッタ拡散層、上記コレクタコンタクト拡散層の間に配置されている上記ベース拡散層の部分の表面で上記フィールド酸化膜が形成されていない部分が存在しているようにしてもよい。

10

【0012】

また、上記ドレイン拡散層と上記コレクタ拡散層は同じ不純物濃度分布をもつようにしてもよい。

【0013】

本発明にかかる昇圧型DC-DCコンバータは、本発明の半導体装置と、その半導体装置のスイッチング端子に一端が接続されたコイルと、その半導体装置の出力端子に一端が接続された容量素子を備えたものである。

20

【発明の効果】

【0014】

本発明の半導体装置では、昇圧型DC-DCコンバータに用いられ、スイッチング素子としてLDMOSを備え、ダイオード素子としてPN接合ダイオード素子を備えているようにした。本発明の昇圧型DC-DCコンバータでは、本発明の半導体装置と、その半導体装置のスイッチング端子に一端が接続されたコイルと、その半導体装置の出力端子に一端が接続された容量素子を備えているようにした。

スイッチング素子としてLDMOSを用いることにより、スイッチング素子のドレインに高電圧の逆バイアスが印加されたときのリーク電流を低減することができる。

30

さらに、ダイオード素子としてPN接合ダイオード素子を用いることにより、ショットキーダイオードを用いる場合に比べて逆耐圧リーク電流を低減することができる。

これらにより、昇圧型DC-DCコンバータの変換効率を向上させることができる。

【0015】

本発明の半導体装置において、上記ダイオード素子は、上記ベース拡散層と同じ導電型で上記ベース拡散層の表面側に形成されたベースコンタクト拡散層を備え、上記ベースコンタクト拡散層は上記エミッタ拡散層とは間隔をもって上記エミッタ拡散層の周囲を囲って形成されているようにすれば、棒状のベースコンタクト拡散層がない場合に比べて逆バイアスリーク電流を小さくすることができるので昇圧型DC-DCコンバータの変換効率をさらに向上させることができる。

40

【0016】

さらに、上記コレクタ拡散層と同じ導電型で上記コレクタ拡散層の表面側に形成されたコレクタコンタクト拡散層を備え、上記エミッタ拡散層と上記コレクタコンタクト拡散層の間に配置されている上記ベースコンタクト拡散層の部分は上記コレクタコンタクト拡散層に隣接して形成されているようにしてもよい。

ベースコンタクト拡散層の当該部分をコレクタコンタクト拡散層とは間隔をもって形成する場合、その間隔を形成するためのイオン注入マスク部分、例えばフォトレジストや、後述する図22(B)のP型ウエル拡散層(ベース拡散層)29周縁部表面に形成されたフィールド酸化膜3aが必要になり、そのイオン注入マスク部分の分だけベース拡散層の

50

形成領域を大きくしなければならない。これに対し、ベースコンタクト拡散層の当該部分がコレクタコンタクト拡散層に隣接して形成されている場合、上記イオン注入マスク部分はない。

したがって、ベースコンタクト拡散層の当該部分がコレクタコンタクト拡散層に隣接して形成されているようにすれば、ベースコンタクト拡散層の当該部分がコレクタコンタクト拡散層とは間隔をもって形成されている場合に比べてベース拡散層の形成領域を小さくしてダイオード素子の形成面積を小さくすることができ、レイアウト的に有利である。

【0017】

また、ダイオード素子は、コレクタ拡散層と同じ導電型でコレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、エミッタ拡散層、コレクタコンタクト拡散層の間に配置されているベース拡散層の部分の表面に形成されたLOCOS酸化膜からなるフィールド酸化膜と、フィールド酸化膜直下のベース拡散層に配置された第2ベース拡散層を備え、第2ベース拡散層はベース拡散層よりも濃い不純物濃度をもってしているようにすれば、第2ベース拡散層がない場合に比べて逆バイアスリーク電流を小さくすることができるので昇圧型DC-DCコンバータの変換効率をさらに向上させることができる。この態様は、ベース拡散層がP型拡散層で形成され、フィールド酸化膜直下のP型不純物がフィールド酸化膜に吸い出される構成において特に有効である。

【0018】

また、ダイオード素子は、コレクタ拡散層と同じ導電型でコレクタ拡散層の表面に形成されたコレクタコンタクト拡散層と、エミッタ拡散層、コレクタコンタクト拡散層の間に配置されているベース拡散層の部分の表面の一部に形成されたLOCOS酸化膜からなるフィールド酸化膜を備え、エミッタ拡散層、コレクタコンタクト拡散層の間に配置されているベース拡散層の部分の表面でフィールド酸化膜が形成されていない部分が存在しているようにすれば、エミッタ拡散層、コレクタコンタクト拡散層の間に配置されているベース拡散層の部分の表面の全部にフィールド酸化膜が形成されている場合に比べて逆バイアスリーク電流を小さくすることができるので昇圧型DC-DCコンバータの変換効率をさらに向上させることができる。この態様は、ベース拡散層がP型拡散層で形成され、フィールド酸化膜直下のP型不純物がフィールド酸化膜に吸い出される構成において特に有効である。

【0019】

また、LDMOSのドレイン拡散層とダイオード素子のコレクタ拡散層は同じ不純物濃度分布をもってしているようにすれば、ドレイン拡散層とコレクタ拡散層を同じ不純物注入工程で形成することができ、両拡散層を別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【発明を実施するための最良の形態】

【0020】

図1は半導体装置の一実施例のスイッチング素子及びダイオード素子を示す断面図である。図2は図1のスイッチング素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。図3は図1のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。図2(B)と図3(B)が図1に対応している。図4はその実施例の制御回路を構成するMOSトランジスタ及び抵抗素子をLDMOS及びダイオード素子とともに示す断面図である。

【0021】

まず、図2を参照してスイッチング素子について説明する。この実施例ではスイッチング素子はNチャネル型LDMOSによって形成されている。平面図(A)ではフィールド酸化膜及び電解緩和用酸化膜の図示を省略している。

基板抵抗が例えば20 cm程度のP型半導体基板(Psub)1表面に、LOCOS(Local Oxidation of Silicon)法により形成された素子分離用のフィールド酸化膜3が形成されている。

10

20

30

40

50

【 0 0 2 2 】

LDMOS領域の半導体基板1にN型ウエル拡散層(ドレイン拡散層、NW1)5が形成されている。N型ウエル拡散層5の表面側にP型ボディ拡散層(チャンネル拡散層、PB)7が形成されている。P型ボディ拡散層7の表面側にN型ソース拡散層(N+)9とP型高濃度拡散層(P+)11が形成されている。P型高濃度拡散層11はP型ボディ7の電位をとるためのものである。N型ソース拡散層9はP型ボディ拡散層7の周縁部とは間隔をもち、かつ、P型高濃度拡散層11を囲って枠状に形成されている。

【 0 0 2 3 】

N型ウエル拡散層5の表面側にN型ウエル拡散層5よりも濃いN型不純物濃度をもつライトリーN型ウエル拡散層(LNW)13が形成されている。ライトリーN型ウエル拡散層(LNW)13はP型ボディ拡散層7を囲って枠状に形成されている。

10

ライトリーN型ウエル拡散層13の表面側にPボディ拡散層7とは間隔をもってN型高濃度拡散層(N+)15が形成されている。

N型ウエル拡散層5、ライトリーN型ウエル拡散層13及びN型高濃度拡散層15はLDMOSのドレインを構成する。

【 0 0 2 4 】

図2(B)に示すように、N型ソース拡散層9、P型高濃度拡散層11間のN型ウエル拡散層5上及びP型ボディ拡散層7上にまたがってゲート酸化膜17が形成されており、さらにその上にポリシリコンからなるゲート電極19が形成されている。ゲート電極19下のP型ボディ拡散層7表面がチャンネル領域となる。ライトリーN型ウエル拡散層13上に電界緩和用酸化膜21が形成されている。ゲート電極19はゲート酸化膜17上から電界緩和用酸化膜21に延伸して形成されている。

20

ゲート電極19の電界緩和用酸化膜21側の側面は、電界緩和用酸化膜21のN型高濃度拡散層15側の端部とは間隔をもって電界緩和用酸化膜21上に配置されている。電界緩和用酸化膜21はフィールド酸化膜3とは別途形成されたものであり、ゲート酸化膜17よりも厚い膜厚をもち、電界緩和用酸化膜21の厚み方向の断面形状は略台形に形成されている。なお、電界緩和用酸化膜21は略台形の断面形状をもつものに限定されるのではなく、例えばフィールド酸化膜3を電界緩和用酸化膜として用いることもできる。

【 0 0 2 5 】

N型ウエル拡散層5の周囲の半導体基板1表面側にP型ウエル拡散層23が形成されている。P型ウエル拡散層23の表面側にN型ウエル拡散層5の形成領域を囲ってP型ボディ拡散層25が形成されている。P型ウエル拡散層23及びP型ボディ拡散層25はLDMOSを他の素子と電気的に分離するためのものである。P型ウエル拡散層23及びP型ボディ拡散層25の表面はフィールド酸化膜3で覆われている。

30

【 0 0 2 6 】

次に、図3を参照してダイオード素子について説明する。この実施例ではダイオード素子は縦型バイポーラトランジスタ構造からなり、ベースとコレクタが接続され、ベースとエミッタとの間で形成されたダイオード素子によって形成されている。平面図(A)ではフィールド酸化膜の図示を省略している。

【 0 0 2 7 】

フィールド酸化膜3で囲まれたダイオード素子領域の半導体基板1にN型ウエル拡散層(コレクタ拡散層、NW1)27が形成されている。N型ウエル拡散層27の表面側にP型ウエル拡散層(ベース拡散層、PW-DI)29が形成されている。P型ウエル拡散層29の表面側にN型ボディ拡散層(エミッタ拡散層、NB)31が形成されている。N型ボディ拡散層31の表面側にN型ボディ拡散層31よりも濃いN型不純物濃度をもつN型高濃度拡散層(N+)33が形成されている。

40

【 0 0 2 8 】

この実施例では、N型ボディ拡散層31及びN型高濃度拡散層33は平面形状が長方形に形成されており、P型ウエル拡散層29内に2つのN型ボディ拡散層31及びN型高濃度拡散層33の組がその長手方向に沿った同一直線上に互いに間隔をもって配置されてい

50

る。P型ウエル拡散層29も平面形状が長方形であり、P型ウエル拡散層29はN型ボディ拡散層31及びN型高濃度拡散層33の長手方向と同じ方向に長手方向をもっている。

【0029】

N型ウエル拡散層27内に、P型ウエル拡散層29の長手方向に沿ってP型ウエル拡散層29とは間隔をもってN型ウエル拡散層(NW2)35が形成されている。N型ウエル拡散層35はN型ウエル拡散層27よりも濃いN型不純物濃度をもっている。N型ウエル拡散層27の表面側でN型ウエル拡散層35上にN型ウエル拡散層35に接してN型高濃度拡散層(コレクタコンタクト拡散層、N+)37が形成されている。N型高濃度拡散層37はN型ウエル拡散層35よりも濃いN型不純物濃度をもっている。

【0030】

P型ウエル拡散層29の表面側に、P型ウエル拡散層29の長手方向とは直交する方向にP型高濃度拡散層(ベースコンタクト拡散層、P+)39が形成されている。P型高濃度拡散層39はP型ウエル拡散層29よりも濃いP型不純物濃度をもつ。P型高濃度拡散層39はN型ボディ拡散層31の長手方向の両端に対応してその両端とは間隔をもって配置されている。

【0031】

N型高濃度拡散層33、N型高濃度拡散層37間のN型ボディ拡散層31及びP型ウエル拡散層29の表面は、フィールド酸化膜3aで覆われている(図3(B)参照)。また、N型高濃度拡散層33、P型高濃度拡散層39間のN型ボディ拡散層31及びP型ウエル拡散層29の表面はフィールド酸化膜3bで覆われている(図3(C)参照)。フィールド酸化膜3a, 3b下にN型ボディ拡散層31とは重複しないようにP型フィールドドープ層41が形成されている。

【0032】

N型ウエル拡散層27の周囲の半導体基板1表面側に、LDMOS形成領域と同様にP型ウエル拡散層23及びP型ボディ拡散層25が形成され、それらの表面はフィールド酸化膜3で覆われている。ダイオード素子の周囲のP型ウエル拡散層23及びP型ボディ拡散層25の表面側でフィールド酸化膜3の直下にP型フィールドドープ層41が形成されている。

【0033】

図1に示すように、LDMOSのN型高濃度拡散層15(ドレイン)はスイッチング端子43に接続されている。ダイオード素子のP型ウエル拡散層29(ベース)とN型高濃度拡散層37(コレクタ)もスイッチング端子43に接続されている。

ダイオード素子のN型高濃度拡散層33(エミッタ)は出力端子45に接続されている。

LDMOSのN型ソース拡散層9及びP型高濃度拡散層11(チャネル拡散層)は接地電位(GND)に接続されている。

LDMOSのゲート電極19には制御信号が入力される。

【0034】

図4を参照して制御回路を構成するMOSトランジスタ及び抵抗素子について説明する。

LDMOS領域及びダイオード素子領域とは異なる領域にNチャネル型MOSトランジスタ(以下NMOSという)領域が設けられている。NMOS領域の半導体基板1の表面側にP型ウエル拡散層(PW)47が形成されている。NMOS領域はフィールド酸化膜3及びフィールドドープ層41によって他の素子領域と分離されている。この実施例ではNMOSはLDD(lightly doped drain)構造をもち、二重拡散構造のN型ソース及びドレイン拡散層49、ゲート酸化膜51、ゲート電極53及びサイドウォール55を備えている。ただし、NMOSはLDD構造のものに限定されるものではない。

【0035】

LDMOS領域、ダイオード素子領域及びNMOS領域とは異なる領域にPチャネル型MOSトランジスタ(以下PMOSという)領域が設けられている。PMOS領域の半

10

20

30

40

50

導体基板 1 の表面側に N 型ウエル拡散層 (NW2) 57 が形成されている。PMOS の形成領域はフィールド酸化膜 3 によって他の素子領域と分離されている。PMOS は LDD 構造をもち、二重拡散構造の P 型ソース及びドレイン拡散層 59、ゲート酸化膜 61、ゲート電極 63 及びサイドウォール 65 を備えている。ただし、PMOS は LDD 構造のものに限定されるものではない。

【0036】

ここで、MOS トランジスタとして NMOS と PMOS を 1 種類ずつ備えているが、これに限定されるものではなく、互いにトランジスタ特性が異なる NMOS と PMOS を複数種類ずつ備えているようにしてもよい。制御回路を構成する MOS トランジスタとしては、半導体装置に一般に用いられる MOS トランジスタであればどのような MOS トランジスタであってもよい。

10

【0037】

フィールド酸化膜 3 上にポリシリコンからなる抵抗素子 67 が形成されている。抵抗素子 67 の側面にはサイドウォール 69 が形成されている。

【0038】

図 5 は本発明の半導体装置を備えた昇圧型 DC - DC コンバータの一実施例を示す回路図である。この実施例は 4 つの LED (light emitting diode) を点灯させる DC - DC コンバータに本発明を適用したものである。

IC チップ (昇圧型 DC - DC コンバータ用の半導体装置) 71 は、スイッチング端子 (SW) 43、出力端子 (Vout) 45、電源端子 (Vin) 73、GND 端子 (GND) 75 及びフィードバック端子 (FD) 77 を備えている。

20

【0039】

電源端子 73 と接地電位 (GND) の間に直流電源 79 が接続されている。直流電源 79 とスイッチング端子 43 の間にコイル 81 が接続されている。出力端子 45 と接地電位 (GND) の間に容量素子 83 と直列 LED 回路 85 が並列に接続されている。直列 LED 回路 85 は 4 つの LED が直列に接続されて構成されている。直列 LED 回路 85 と接地電位 (GND) の間にフィードバック端子 77 が接続されている。

【0040】

IC チップ 71 の内部に、スイッチング素子 87、ダイオード素子 89 及び制御回路 91 が形成されている。制御回路 91 はフィードバック回路 93、PWM (Pulse Width Modulation) 回路 95 及びドライブ回路 97 を備えている。スイッチング素子 87 は、図 1 及び図 2 を参照して説明した N チャネル型 LDMOS によって形成されている。ダイオード素子 89 は図 1 及び図 3 を参照して説明した縦型バイポーラ構造のダイオード素子によって形成されている。制御回路 91 は図 4 を参照して説明した MOS トランジスタ及び抵抗素子によって形成されている。ただし、本発明の半導体装置はこれに限定されるものではなく、少なくともスイッチング素子、ダイオード素子、スイッチング端子及び出力端子を備えていけばよい。

30

【0041】

スイッチング素子 87 のドレイン及びダイオード素子 89 のアノードはスイッチング端子 43 に接続されている。スイッチング素子 87 のソースは GND 端子 75 に接続されている。スイッチング素子 87 のゲートは制御回路 91 のドライブ回路 97 に接続されている。ダイオード素子 89 のカソードは出力端子 45 に接続されている。制御回路 91 のフィードバック回路 93 にフィードバック端子 77 が接続されている。

40

【0042】

図 6 はこの昇圧型 DC - DC コンバータの動作を説明するためのタイミングチャートである。

制御回路 91 によってスイッチング素子 87 のオンとオフが繰り返される。制御回路 91 はフィードバック端子 77 からの帰還信号に基づいてスイッチング素子 87 のオンとオフを制御する。

【0043】

50

スイッチング素子 87 がオンされると、直流電源 79 からコイル 81、スイッチング端子 43、スイッチング素子 87、GND 端子 75、接地電位の順に電流が流れる。このとき、ダイオード素子 89 には逆バイアスがかかるため、容量素子 83 の容量電位が直列 LED 回路 85 に出力される。

スイッチング素子 87 がオフされると、コイル 81 の両端に逆起電力が発生し、入力電圧よりも高い電圧がスイッチング端子 43 に発生する。このとき、ダイオード素子 89 は順バイアス状態になり、直流電源 79 からコイル 81、スイッチング端子 43、ダイオード素子 89、出力端子 45、直列 LED 回路 85 の順に電流が流れる。

スイッチング素子 87 のオンとオフを繰り返すことにより入力電圧よりも高い電圧を取り出すことができる。

10

【0044】

このように、本発明の半導体装置及び DC - DC コンバータによれば、スイッチング素子として LDMOS を用い、ダイオード素子として PN 接合ダイオード素子を用いるので、リーク電流を低減することができ、昇圧型 DC - DC コンバータの変換効率を向上させることができる。

【0045】

図 7 から図 18 は図 4 の半導体装置の製造工程を説明するための断面図である。図 7 から図 18 の工程を表すかっこ付き数字は後述する工程 (1) から (36) に対応している。また、後述する工程 (37) は図 4 を参照して説明する。以下の工程では半導体基板表面に、熱酸化膜の形成と除去による凹凸が形成されるが、図面ではその凹凸は図示していない。図 4 及び図 7 から図 18 を参照して製造方法の例を説明する。下記の工程では RCA 洗浄など、工程の説明を一部省略している。

20

【0046】

(1) 半導体基板 1 の表面にバッファ酸化膜 (図示は省略) を 250 (オングストローム) の膜厚に形成し、さらにその上にシリコン窒化膜 101 を 1000 の膜厚に形成する。

【0047】

(2) LDMOS 形成領域及びダイオード素子形成領域に対応する開口部をもつフォトレジスト 103 を形成する。フォトレジスト 103 をマスクにしてシリコン窒化膜 101 をエッチング除去する。フォトレジスト 103 をマスクにして、N 型不純物であるリンイオン (印) を注入エネルギーは 160 keV、ドーズ量は $3.4 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。

30

【0048】

(3) フォトレジスト 103 を除去する。1180、14.5 時間の条件で熱拡散処理を行なって LDMOS 形成領域に N 型ウエル拡散層 5 を形成し、ダイオード素子形成領域に N 型ウエル拡散層 27 を形成する。このとき、LDMOS 形成領域及びダイオード素子形成領域の表面にシリコン酸化膜が形成される。このように、N 型ウエル拡散層 5 (ドレイン拡散層) と N 型ウエル拡散層 27 (コレクタ拡散層) は同時に形成されるので同じ不純物濃度分布をもつ。

【0049】

(4) ダイオード素子形成領域に対応する開口部をもつフォトレジスト 105 を形成する。フォトレジスト 105 をマスクにして、ダイオード素子形成領域の N 型ウエル拡散層 27 表面に形成されたシリコン酸化膜を除去する。

40

【0050】

(5) フォトレジスト 105 を除去する。熱酸化処理を施して N 型ウエル拡散層 27 の表面にバッファ酸化膜 (図示は省略) を形成する。ダイオード素子形成領域の P 型ウエル拡散層 29 (図 3 参照) に対応する開口部をもつフォトレジスト 107 を形成する。フォトレジスト 107 をマスクにして、P 型不純物であるボロンイオン (x 印) を注入エネルギーは 30 keV、ドーズ量は $1.5 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。

【0051】

50

(6) フォトレジスト107を除去する。1150、3.5時間の条件で熱拡散処理を施してN型ウエル拡散層27の表面側にP型ウエル拡散層29を形成する。

【0052】

(7) ダイオード素子形成領域のN型ウエル拡散層35(図3参照。)とPMOS形成領域に対応する開口部をもつフォトレジスト109を形成する。フォトレジスト109をマスクにして、PMOS形成領域のシリコン窒化膜101をエッチング除去する。このとき、ダイオード素子形成領域でフォトレジスト109の開口部内に露出したシリコン酸化膜の表面側の一部分も除去される。フォトレジスト109をマスクにして、リンイオン(印)を注入エネルギーは160keV、ドーズ量は $7.7 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。

10

【0053】

(8) 熱酸化処理を施してPMOS形成領域にN型ウエル拡散層57を形成し、ダイオード素子形成領域のN型ウエル拡散層27にN型ウエル拡散層35を形成する。このとき、N型ウエル拡散層27表面に膜厚が3000のシリコン酸化膜が形成され、他の領域のシリコン酸化膜は厚膜化される。半導体基板1表面の全面に対してシリコン酸化膜エッチング処理を300だけ施す。

【0054】

(9) LDMOS形成領域、ダイオード素子形成領域及びPMOS形成領域の表面に形成されているシリコン酸化膜をマスクにして、NMOS形成領域を含むP型ウエル形成領域の半導体基板1表面に残存しているシリコン窒化膜101をすべて除去した後、熱酸化処理を施してバッファ酸化膜(図示は省略)を形成する。LDMOS形成領域、ダイオード素子形成領域及びPMOS形成領域の表面に形成されているシリコン酸化膜をマスクにして、ボロニオン(x印)を注入エネルギーは25keV、ドーズ量は $2.1 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。

20

【0055】

(10) 1150、44分の条件で熱拡散処理を施してNMOS形成領域にP型ウエル拡散層47を形成する。このとき、素子分離用の領域にもP型ウエル拡散層23が形成される。

【0056】

(11) 半導体基板1表面に形成されたシリコン酸化膜をすべて除去する。半導体基板1表面の全面にバッファ酸化膜(図示は省略)を形成する。LDMOS形成領域のライトリーN型ウエル拡散層13(図2参照。)に対応する開口部をもつフォトレジスト11を形成する。フォトレジスト111をマスクにして、リンイオン(印)を注入エネルギーは100keV、ドーズ量は $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。

30

【0057】

(12) フォトレジスト111を除去する。熱酸化処理を施してLDMOS形成領域のN型ウエル拡散層5にライトリーN型ウエル拡散層13を形成する。このときバッファ酸化膜が厚膜化されてシリコン酸化膜113が3000の膜厚に形成される。

【0058】

(13) LDMOS形成領域の電界緩和用酸化膜21(図2参照)に対応するフォトレジスト115を形成する。

40

【0059】

(14) フォトレジスト115をマスクにしてシリコン酸化膜113に対してウェット酸化処理を施してLDMOS形成領域に電界緩和用酸化膜21を形成する。フォトレジスト115を除去する。

【0060】

(15) 熱酸化処理を施してゲート酸化膜17を250の膜厚に形成する。ゲート酸化膜17上にポリシリコン膜117を形成する。ゲート酸化膜17の形成時に電界緩和用酸化膜21は厚膜化されるが、図1、図2、図4及び図11(15)では便宜上ゲート酸化膜17と電界緩和用酸化膜21を別々に図示している。

50

【 0 0 6 1 】

(1 6) ポリシリコン膜 1 1 7 上に L D M O S のゲート電極 1 9 の形成領域を画定するためのフォトレジスト 1 1 9 を形成する。フォトレジストをマスクにしてポリシリコン膜 1 1 7 をパターニングして L D M O S 形成領域のゲート酸化膜 1 7 上及び電解緩和用酸化膜 2 1 上にゲート電極 1 9 を形成する。

【 0 0 6 2 】

(1 7) フォトレジスト 1 1 9 を除去する。ゲート電極 1 9 をマスクにしてゲート酸化膜 1 7 を除去し、ゲート電極 1 9 下のみにゲート酸化膜 1 7 を残す。その後、バッファ酸化膜 (図示は省略) を形成する。 L D M O S 形成領域の P 型ボディ拡散層 7 (図 2 参照。) と L D M O S 形成領域の周囲及びダイオード素子形成領域の周囲の P 型ボディ拡散層 2 5 (図 2 及び図 3 参照。) に対応する開口部をもつフォトレジスト 1 2 1 を形成する。フォトレジスト 1 2 1 及びゲート電極 1 9 をマスクにして、ボロンイオン (x 印) を注入エネルギーは 2 5 k e V 、ドーズ量は $2.1 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。

10

【 0 0 6 3 】

(1 8) フォトレジスト 1 2 1 を除去する。ダイオード素子形成領域の N 型ボディ拡散層 3 1 (図 3 参照。) に対応する開口部をもつフォトレジスト 1 2 3 を形成する。ここでは、フォトレジスト 1 2 3 は N 型ウエル拡散層 3 5 の外側の辺 (N 型ウエル拡散層 2 7 の周縁部近傍の辺 (図 3 参照。) に対応する開口部も備えている。フォトレジスト 1 2 3 をマスクにして、リンイオン (印) を注入エネルギーは 1 0 0 k e V 、ドーズ量は $8.0 \times 10^{12} \sim 20.0 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。

20

【 0 0 6 4 】

(1 9) フォトレジスト 1 2 3 を除去する。 1 1 0 0 、 1 4 0 分の条件で熱拡散処理を施して L D M O S 形成領域の N 型ウエル拡散層 5 の表面側に P 型ボディ拡散層 7 を形成し、 L D M O S 形成領域の周囲及びダイオード素子形成領域の周囲の P 型ウエル拡散層 2 3 に P 型ボディ拡散層 2 5 を形成し、ダイオード素子形成領域の P 型ウエル拡散層 2 9 に N 型ボディ拡散層 3 1 を形成する。ダイオード素子形成領域において N 型ウエル拡散層 3 5 にリンイオンが注入された部分はリンイオンが濃くなるが、 N 型ウエル拡散層 3 5 として一体的に図示している。また、この熱拡散処理により熱酸化膜が形成されるが図示は省略している。

【 0 0 6 5 】

(2 0) 上記工程 (1 9) で形成された熱酸化膜上全面にシリコン窒化膜 1 2 5 を形成する。フィールド酸化膜の形成領域を画定するためのフォトレジストを用いてシリコン窒化膜 1 2 5 をパターニングした後、そのフォトレジストを除去する。

30

【 0 0 6 6 】

(2 1) フィールドドープ層 4 1 (図 3 及び図 4 参照。) の形成領域に対応する開口部をもつフォトレジスト 1 2 7 を形成する。フォトレジスト 1 2 7 はダイオード素子形成領域において N 型ボディ拡散層 3 1 にフィールドドープ用の不純物が注入されないように N 型ボディ拡散層 3 1 及びその周囲部を覆っている。フォトレジスト 1 2 7 及びシリコン窒化膜 1 2 5 をマスクにして、ボロンイオン (x 印) を注入エネルギーは 1 5 k e V 、ドーズ量は $3.0 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。

40

【 0 0 6 7 】

(2 2) フォトレジスト 1 2 7 を除去する。 1 0 0 0 度、 2 0 0 分の条件で熱酸化処理を施してフィールド酸化膜 3 , 3 a , 3 b (図 3 も参照。) を形成する。このとき、上記工程 (2 1) で注入したボロンイオンが熱拡散されてフィールドドープ層 4 1 が形成される。

【 0 0 6 8 】

(2 3) 半導体基板 1 全面に酸化膜除去処理を施してフィールド酸化膜 3 , 3 a , 3 b の厚みを 3 0 0 だけエッチングする。シリコン窒化膜 1 2 5 を除去する。

【 0 0 6 9 】

(2 4) 熱酸化処理を施してプリゲート酸化膜 (図示は省略) を 1 1 0 の膜厚に形成す

50

る。NMOS形成領域に対応する開口部をもつフォトリジスト129を形成する。フォトリジスト129をマスクにしてNMOS形成領域にチャネルドープを行なう。

【0070】

(25)フォトリジスト129を除去する。PMOS形成領域に対応する開口部をもつフォトリジスト131を形成する。フォトリジスト131をマスクにしてPMOS形成領域にチャネルドープを行なう。

【0071】

(26)フォトリジスト131を除去する。RCA洗浄を施した後、920度の温度条件で熱酸化処理を施してゲート酸化膜用のシリコン酸化膜133を135の膜厚に形成する。シリコン酸化膜133上にポリシリコン膜135を3500の膜厚に形成する。ポリシリコン膜135にリンイオンを注入エネルギーは30keV、ドーズ量は抵抗素子の目的の抵抗値に合わせた条件で注入する。シリコン酸化膜133の形成時にフィールド酸化膜3,3a,3b及び電界緩和用酸化膜21は厚膜化されるが、図16(29)では便宜上シリコン酸化膜133とフィールド酸化膜3,3a,3b及び電界緩和用酸化膜21を別々に図示している。

10

【0072】

(27)ポリシリコン膜135上に高温酸化膜137を2500の膜厚に形成する。写真製版技術及びエッチング技術を用いて高温酸化膜137をパターンニングし、抵抗素子の抵抗値を決定する領域のポリシリコン膜135の形成領域に対応させて高温酸化膜137を残す。高温酸化膜137をマスクにして、ポリシリコン膜135上及び高温酸化膜137上にリンガラスを堆積し、熱処理を施してポリシリコン膜135にリンイオンを拡散させてポリシリコン膜135よりも高濃度のリンイオンを含んだポリシリコン膜139を形成する。高温酸化膜137下には抵抗素子の抵抗値を決定するポリシリコン膜135が残存している。その後、リンガラスを除去する。

20

【0073】

(28)高温酸化膜137を除去する。ポリシリコン膜135,139の上にLDMOSを除くMOSトランジスタのゲート電極及び抵抗素子の形成領域を画定するためのフォトリジスト141を形成する。フォトリジスト141はLDMOS形成領域を覆っている。

【0074】

(29)フォトリジスト141をマスクにしてポリシリコン膜135,139をパターンニングしてゲート電極53,63及び抵抗素子67を形成する。ゲート電極53下のシリコン酸化膜133はゲート酸化膜51を構成し、ゲート電極63下のシリコン酸化膜133はゲート酸化膜61を構成する。LDMOS形成領域にポリシリコン膜139が残存している。フォトリジスト141を除去する。熱酸化処理を施してゲート電極53,63、抵抗素子67及びポリシリコン膜139の表面にシリコン酸化膜(図示は省略)を135の膜厚に形成する。

30

【0075】

(30)LDMOS形成領域のP型高濃度拡散層11(図2参照。)、PMOS形成領域、及びダイオード素子形成領域のP型高濃度拡散層39(図3参照。)に対応する開口部をもつフォトリジスト143を形成する。フォトリジスト143を形成するためのレチクル(フォトマスク)は後述する工程(39)でも用いられる。フォトリジスト143をマスクにして、ボロンイオン(x印)を注入エネルギーは15keV、ドーズ量は $2.0 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。LDMOS形成領域のボロンイオンはポリシリコン膜139に遮られて半導体基板1に到達しない。

40

【0076】

(31)フォトリジスト143を除去する。LDMOS形成領域、ダイオード素子形成領域及びNMOS形成領域に対応する開口部をもつフォトリジスト145を形成する。フォトリジスト145はLDMOS形成領域ではP型高濃度拡散層11(図2参照。)を覆っている。フォトリジスト145を形成するためのレチクルは後述する工程(37)でも用いられる。フォトリジスト145をマスクにして、リンイオン(印)を注入エネルギー

50

は70 keV、ドーズ量は $2.5 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。LDMOS形成領域ではリンイオンはポリシリコン膜139に遮られて半導体基板1に到達しない。

【0077】

(32) フォトレジスト145を除去する。半導体基板1上全面にサイドウォール用の高温酸化膜を1500の膜厚に形成し、その高温酸化膜にエッチバック処理を施して、ゲート電極53の側面にサイドウォール55を形成し、ゲート電極63の側面にサイドウォール65を形成し、抵抗素子67の側面にサイドウォール69を形成する。ポリシリコン膜139の側面にもサイドウォール147が形成される。

【0078】

(33) LDMOS形成領域に対応する開口部をもつフォトレジスト149を形成する。フォトレジスト149をマスクにして、サイドウォール147、ポリシリコン膜139及びシリコン酸化膜133を除去する。

10

【0079】

(34) フォトレジスト149を除去する。上記工程(34)で用いたレチクルを用いてフォトレジスト145を形成する。フォトレジスト145をマスクにして、LDMOS形成領域、ダイオード素子形成領域及びNMOS形成領域にヒ素イオン(印)を注入エネルギーは50 keV、ドーズ量は $6.0 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。

【0080】

(35) フォトレジスト145を除去する。900度、1時間、窒素雰囲気の中で熱拡散処理を施してヒ素イオンを熱拡散させ、LDMOSトランジスタ形成領域にN型ソース拡散層9及びN型高濃度拡散層15を形成し、ダイオード素子領域にN型高濃度拡散層33, 37を形成し、NMOS形成領域にN型ソース及びドレイン拡散層49を形成する。

20

【0081】

(36) 上記工程(33)で用いたレチクルを用いてフォトレジスト143を形成する。フォトレジスト143をマスクにして、LDMOS形成領域、PMOS形成領域及びダイオード素子形成領域にポロンイオン(x印)を注入エネルギーは50 keV、ドーズ量は $3.0 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。

【0082】

(37) フォトレジスト143を除去する。850度、27分の条件で熱拡散処理を施してポロンイオンを熱拡散させ、LDMOSトランジスタ形成領域にP型高濃度拡散層11を形成し、ダイオード素子領域にP型高濃度拡散層39(図3参照。)を形成し、PMOS形成領域にP型ソース及びドレイン拡散層59を形成する(図4参照。)

30

以上、本発明の半導体装置を製造するための製造方法の例を説明したが、本発明の半導体装置を製造するための製造方法はこれに限定されるものではない。

【0083】

図19は半導体装置の他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。図3と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【0084】

このダイオード素子が図3に示したダイオード素子と異なる点は、ベースコンタクト拡散層を構成するP型高濃度拡散層39aはN型高濃度拡散層37に隣接してN型ボディ拡散層31及びN型高濃度拡散層33の長手方向にもスリット状(帯状)に形成されて枠状に形成されている点である。

40

【0085】

図20に、図3のダイオード素子(スリット無し)と図19のダイオード素子(スリット有り)について、(A)順方向電流の温度特性と、(B)逆バイアスリーク電流の温度特性を調べた結果を示す。(A)において縦軸は順方向電流(mA)、横軸は温度()を示し、(B)において縦軸は逆バイアスリーク電流(pA(ピコアンペア))、横軸は温度()を示す。逆バイアスリーク電流はベースとコレクタを短絡させた状態でエミッタとの間で20Vの電圧を印加した際のリーク電流を測定した。

50

【0086】

(A)に示すように、順方向電流の温度特性については「スリット有り」も「スリット無し」も大きな差はない。

(B)に示すように、逆バイアスリーク電流については、図19に示したようにN型ボディ拡散層31(エミッタ拡散層)を囲ってP型高濃度拡散層39a(ベースコンタクト拡散層)を形成する(スリット有り)ことにより、「スリット無し」に比べて逆バイアスリーク電流を小さくすることができる。

【0087】

図21は、図5のDC-DCコンバータのダイオード素子に図19のダイオード素子を適用したのについて変換効率を調べた結果を示す図である。(A)は本発明のデータを示し、(B)はダイオード素子として内蔵ショットキーダイオードを備えた比較例のデータを示す。(A)、(B)において縦軸は変換効率(%)を示し、横軸はLED電流(mA(ミリアンペア))を示す。直流電源として3.6Vのものをを用い、コイルとして22μH(マイクロヘンリー)のものをを用い、環境温度は25度の条件で測定した。変換効率は(出力部での消費電力(電流×電圧))/(直流電源での消費電力(電流×電圧))により求めた。

10

【0088】

LED電流が5mAのとき、比較例(B)では変換効率が70%弱であるのに対し、本発明(A)では80%程度の変換効率を得ることができるのがわかる。このように、本発明の半導体装置及びDC-DCコンバータによれば、スイッチング素子としてLDMOSを用い、ダイオード素子としてPN接合ダイオード素子を用いるので、リーク電流を低減することができ、昇圧型DC-DCコンバータの変換効率を向上させることができる。

20

【0089】

図22は半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。図3及び図19と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【0090】

このダイオード素子が図19に示したダイオード素子と異なる点は、N型ボディ拡散層31(エミッタ拡散層)とN型高濃度拡散層37(コレクタコンタクト拡散層)の間に配置されたP型高濃度拡散層39a(ベースコンタクト拡散層)の部分は、N型高濃度拡散層37とは間隔をもって形成されている点である。

30

このダイオード素子でも、図19に示したダイオード素子と同様に、「スリット無し」(図3に示したダイオード素子)に比べて逆バイアスリーク電流を小さくすることができる。

【0091】

図23は、図5のDC-DCコンバータのダイオード素子に図22のダイオード素子を適用したのについて変換効率を調べた結果を示す図である。縦軸は変換効率(%)を示し、横軸はLED電流(mA)を示す。直流電源として3.6Vのものをを用い、コイルとして22μH(マイクロヘンリー)のものをを用い、環境温度は25度の条件で測定した。変換効率は(出力部での消費電力(電流×電圧))/(直流電源での消費電力(電流×電圧))により求めた。

40

【0092】

この実施例でも、LED電流が5mAで80%程度の変換効率を得ることができ、ダイオード素子としてショットキーダイオードを用いる場合(図21の(B)比較例を参照。)に比べてリーク電流を低減して昇圧型DC-DCコンバータの変換効率を向上させることができるのがわかる。

【0093】

図24は半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図

50

である。図 3 と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【 0 0 9 4 】

このダイオード素子が図 3 に示したダイオード素子と異なる点は、N 型ボディ拡散層（エミッタ拡散層）3 1、N 型高濃度拡散層（コレクタコンタクト拡散層）3 7 の間に配置されている P 型ウエル拡散層（ベース拡散層）2 9 の部分の表面に形成されたフィールド酸化膜 3 a の直下の P 型ウエル拡散層 2 9 に N 型ボディ拡散層 3 1 及び N 型高濃度拡散層 3 7 とは間隔をもって配置された P 型高濃度拡散層（第 2 ベース拡散層、P）9 3 を備えている点である。P 型高濃度拡散層 9 3 は P 型ウエル拡散層 2 9 よりも濃い P 型不純物濃度をもっている。

【 0 0 9 5 】

この実施例によれば、P 型高濃度拡散層 9 3 が無い場合に比べて逆バイアスリーク電流（コレクタ - エミッタ間のリーク電流）を小さくすることができる。この実施例は、特に、フィールド酸化膜 3 a 直下の P 型ウエル拡散層 2 9 の P 型不純物がフィールド酸化膜 3 a に吸い出される場合に有効である。

【 0 0 9 6 】

この実施例では、P 型高濃度拡散層（第 2 ベース拡散層）9 3 は N 型ボディ拡散層（エミッタ拡散層）3 1 及び N 型高濃度拡散層（コレクタコンタクト拡散層）3 7 とは間隔をもって配置されているが、第 2 ベース拡散層は N 型ボディ拡散層もしくはコレクタコンタクト拡散層又はその両方に隣接していてもよい。

【 0 0 9 7 】

この実施例の構造は、図 4 及び図 7 から図 1 8 を参照して説明した上記製造方法例の工程（2 3）と工程（2 4）の間に下記工程（2 3 - 1）を追加することにより形成することができる。

図 2 5 は図 2 4 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。図 2 5 を参照して工程（2 3 - 1）を説明する。

【 0 0 9 8 】

（2 3 - 1）図 1 4 を参照して説明した上記工程（2 2）でフィールド酸化膜 3、3 a、3 b を形成し、上記工程（2 3）でシリコン窒化膜 1 2 5 を除去した後、フィールド酸化膜 3 a 下の P 型ウエル拡散層 2 9 の位置に開口部をもつフォトレジスト 1 5 1 を形成する。フォトレジスト 1 5 1 をマスクにして、P 型ウエル拡散層 2 9 にフィールド酸化膜 3 a を介してボロンイオン（×印）を例えば注入エネルギーは 1 6 0 k e V、ドーズ量は $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ の条件で注入する。その後、フォトレジスト 1 5 1 を除去する（図 2 5 では便宜上フォトレジスト 1 5 1 を図示している。）

【 0 0 9 9 】

その後、図 1 4 ~ 図 1 8 及び図 4 を参照して説明した上記工程（2 4）~（3 7）と同じ工程を行なう。これにより、フィールド酸化膜 3 a の直下の P 型ウエル拡散層 2 9 に P 型高濃度拡散層 9 3 を形成することができる。なお、P 型高濃度拡散層 9 3 を形成するためのボロンイオンの活性化は、そのボロンイオン専用の活性化処理により行なってもよいし、他のイオンの活性化処理と同時にしてもよい。

【 0 1 0 0 】

図 2 6 は半導体装置のさらに他の実施例のダイオード素子を示す図であり、（A）は平面図、（B）は（A）の X - X 位置での断面図、（C）は（A）の Y - Y 位置での断面図である。図 3 と同じ部分には同じ符号を付し、それらの部分の説明は省略する。

【 0 1 0 1 】

このダイオード素子が図 3 に示したダイオード素子と異なる点は、フィールド酸化膜 3 a は、N 型ボディ拡散層（エミッタ拡散層）3 1、N 型高濃度拡散層（コレクタコンタクト拡散層）3 7 の間に配置されている P 型ウエル拡散層（ベース拡散層）2 9 の部分の表面で N 型高濃度拡散層 3 7 とは間隔をもって形成されており、N 型ボディ拡散層 3 1、N 型高濃度拡散層 3 7 の間に配置されている P 型ウエル拡散層 2 9 の部分の表面でフィールド酸化膜 3 a が形成されていない部分が存在している点である。そして、フィールド酸化

10

20

30

40

50

膜 3 a 下の P 型フィールドドープ層 4 1 も N 型高濃度拡散層 3 7 とは間隔をもって形成されている。

【 0 1 0 2 】

この実施例によれば、N 型ボディ拡散層 3 1、N 型高濃度拡散層 3 7 の間に配置されている P 型ウエル拡散層 2 9 の部分の表面の全部にフィールド酸化膜 3 a が形成されている図 3 に示したダイオード素子に比べて逆バイアスリーク電流（コレクタ - エミッタ間のリーク電流）を小さくすることができる。

この実施例は、特に、フィールド酸化膜 3 a 直下の P 型ウエル拡散層 2 9 の P 型不純物がフィールド酸化膜 3 a に吸い出される場合に有効である。

【 0 1 0 3 】

この実施例の構造は、図 4 及び図 7 から図 1 8 を参照して説明した上記製造方法例の工程（ 2 0 ），（ 3 1 ），（ 3 4 ）で用いるフォトマスクの設計を変更することにより形成することができる。

【 0 1 0 4 】

図 2 7 ~ 図 2 9 は図 2 6 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。この製造方法例は、図 4 及び図 7 から図 1 8 を参照して説明した上記製造方法例とは工程（ 2 0 ），（ 3 1 ），（ 3 4 ）のみが異なる。上記工程（ 2 0 ），（ 3 1 ），（ 3 4 ）に対応する工程を工程（ 2 0 a ），（ 3 1 a ），（ 3 4 a ）として説明する。

【 0 1 0 5 】

（ 2 0 a ）上記工程（ 1 9 ）の後、上記工程（ 2 0 ）と同様の工程により、フィールド酸化膜の形成領域を画定するためのシリコン窒化膜 1 2 5 を形成する。ここで、図 2 7 の破線円部分に示すように、シリコン窒化膜 1 2 5 を P 型ウエル拡散層 2 9 の一部分の上にも形成する。工程（ 2 0 a ）はシリコン窒化膜 1 2 5 の形成領域画定用のフォトレジストを形成するためのフォトマスクのパターンが異なっていること以外は上記工程（ 2 0 ）と同じである。

続いて上記工程（ 2 1 ），（ 2 2 ）と同じ工程を行なうことにより、図 2 6 も参照して説明すると、N 型ボディ拡散層 3 1、N 型高濃度拡散層 3 7 の間に配置されている P 型ウエル拡散層 2 9 の部分の表面でフィールド酸化膜 3 a が形成されていない部分を形成することができる。

【 0 1 0 6 】

（ 3 1 a ）上記工程（ 3 0 ）の後、上記工程（ 3 1 ）と同様の工程により、フォトレジスト 1 4 5 の形成及びリンイオン（ 印 ）の注入を行なう。ここで、図 2 8 の破線円部分に示すように、P 型ウエル拡散層 2 9 にリンイオンが注入されないようにフォトレジスト 1 4 5 を形成する。工程（ 3 1 a ）はフォトレジスト 1 4 5 を形成するためのフォトマスクのパターンが異なっていること以外は上記工程（ 3 1 ）と同じである。

これにより、図 2 6 も参照して説明すると、N 型ボディ拡散層 3 1、N 型高濃度拡散層 3 7 の間に配置されている P 型ウエル拡散層 2 9 の部分でフィールド酸化膜 3 a が形成されていない部分にリンイオンが注入されないようにすることができる。

【 0 1 0 7 】

（ 3 4 a ）上記工程（ 3 3 ）の後、上記工程（ 3 4 ）と同様の工程により、フォトレジスト 1 4 5 の形成及びリンイオン（ 印 ）の注入を行なう。ここで、図 2 9 の破線円部分に示すように、P 型ウエル拡散層 2 9 にリンイオンが注入されないようにフォトレジスト 1 4 5 を形成する。工程（ 3 4 a ）はフォトレジスト 1 4 5 を形成するためのフォトマスクのパターンが異なっていること以外は上記工程（ 3 4 ）と同じである。

これにより、図 2 6 も参照して説明すると、N 型ボディ拡散層 3 1、N 型高濃度拡散層 3 7 の間に配置されている P 型ウエル拡散層 2 9 の部分でフィールド酸化膜 3 a が形成されていない部分に N 型高濃度拡散層 3 7 が形成されないようにすることができる。

【 0 1 0 8 】

その後、図 1 8 及び図 4 を参照して説明した上記工程（ 3 5 ） ~ （ 3 7 ）と同じ工程を

10

20

30

40

50

行なう。これにより、N型ボディ拡散層31、N型高濃度拡散層37の間に配置されているP型ウエル拡散層29の部分の表面でフィールド酸化膜3aが形成されていない部分を形成することができる。

【0109】

この製造方法例では、図4及び図7から図18を参照して説明した上記製造方法例と比べて、フォトマスクの設計変更だけで図26に示した実施例を形成することができるので、製造工程が増加することはない。

【0110】

図26に示した実施例では、N型ボディ拡散層31、N型高濃度拡散層37の間に配置されているP型ウエル拡散層29の部分の表面で、フィールド酸化膜3aが形成されていない部分はN型高濃度拡散層37と隣接しN型ボディ拡散層31とは間隔をもっている部分であるが、フィールド酸化膜3aが形成されていない部分は、図30に示すようにN型ボディ拡散層31及びN型高濃度拡散層37とは間隔をもって配置された部分であってもよいし、N型ボディ拡散層31と隣接しN型高濃度拡散層37とは間隔をもっている部分であってもよい。

10

【0111】

また、N型ボディ拡散層31、N型高濃度拡散層37の間に配置されているP型ウエル拡散層29の部分で、P型高濃度拡散層39a又は39bを備えている構造と、フィールド酸化膜3a下にP型高濃度拡散層93を備えている構造と、フィールド酸化膜3aが形成されていない部分を備えている構造のうち2つ又は全部を組み合わせてもよい。これら

20

の構造を組み合わせることにより、逆バイアスリーク電流(コレクタ-エミッタ間のリーク電流)をさらに小さくすることができる。

【0112】

図31は、図3、図19、図24、図26に示したダイオード素子について、逆バイアスリーク電流の温度特性を調べた結果を示す。図31において縦軸は逆バイアスリーク電流(pA(ピコアンペア))、横軸は温度()を示す。逆バイアスリーク電流はベースとコレクタを短絡させた状態でエミッタとの間で20Vの電圧を印加した際のリーク電流を測定した。また、図24の構造については、P型高濃度拡散層(第2ベース拡散層)93を形成するためのボロンイオンのドーズ量が $1.0 \times 10^{12} \text{ cm}^{-2}$ のもの(図31中では、図24($1.0 \times 10^{12} \text{ cm}^{-2}$)と示す)と $1.0 \times 10^{13} \text{ cm}^{-2}$ のもの(図31中では、図24($1.0 \times 10^{13} \text{ cm}^{-2}$)と示す)について評価した。

30

【0113】

この評価結果から、図19の構造、図24($1.0 \times 10^{13} \text{ cm}^{-2}$)の構造はほとんどリーク電流が発生しないことがわかった。

また、図24($1.0 \times 10^{12} \text{ cm}^{-2}$)の構造と図24($1.0 \times 10^{13} \text{ cm}^{-2}$)の構造の比較から、第2ベース拡散層を形成するためのボロンイオンの注入量に応じてリーク電流量及び温度特性に違いが出ることもわかった。

また、図26の構造(P型ウエル拡散層29表面の一部分でフィールド酸化膜3aが形成されていない構造)は図3の構造(P型ウエル拡散層29表面の全部にフィールド酸化膜3aが形成されている構造)に比べてリーク電流が小さくなることがわかった。

40

これらの評価から、これらの構造のダイオードは表面のリークが支配的であることがわかる。

【0114】

以上、本発明の実施例を説明したが、本発明はこれらに限定されるものではなく、寸法、形状、材料、配置、製造工程条件などは一例であり、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0115】

例えば、スイッチング素子としてのLDMOSは、上記実施例に限定されるものではなく、スイッチング素子は、ソース拡散層と、ソースとは反対導電型でソース拡散層の側面及び底面を包んで形成されたチャンネル拡散層と、ソース拡散層と同じ導電型でチャンネル拡

50

散層の外側にチャネル拡散層に隣接して形成されたドレイン拡散層とを備え、ゲート電極直下のチャネル拡散層表面をチャネル領域とするLDMOSTランジスタであればよい。

【0116】

また、ダイオード素子は、実施例に限定されるものではなく、コレクタ拡散層と、コレクタ拡散層とは反対導電型でコレクタ拡散層の表面側に形成されたベース拡散層と、コレクタ拡散層と同じ導電型でベース拡散層の表面側に形成されたエミッタ拡散層とを備えた縦型バイポーラトランジスタ構造からなるものであればどのような構造のものであってもよい。

【0117】

また、実施例ではP型半導体基板を用いているが、N型半導体基板を用いてもよい。

10

また、実施例ではスイッチング素子はNチャネル型LDMOSであるがPチャネル型LDMOSであってもよい。

また、実施例ではダイオード素子はnpnバイポーラトランジスタ構造であるが、pnpバイポーラトランジスタ構造であってもよい。

本発明の半導体装置において、スイッチング素子としてのPチャネル型LDMOS及びNチャネル型LDMOSとダイオード素子としてのnpnバイポーラトランジスタ構造及びpnpバイポーラトランジスタ構造の組合せは自由である。なお、例えばLEDを点灯させるためのDC-DCコンバータなど、DC-DCコンバータの使用方法によっては、ダイオード素子がnpnバイポーラトランジスタ構造のものに限定されることもある。

【0118】

20

また、本発明のDC-DCコンバータは、図5に示したものに限定されるものではなく、LDMOSTランジスタからなるスイッチング素子、縦型バイポーラトランジスタ構造からなるダイオード素子、スイッチング端子及び出力端子を備えた本発明の半導体装置と、スイッチング端子に一端が接続されたコイルと、出力端子に一端が接続された容量素子を備えた昇圧型DC-DCコンバータであれば、どのような構成であってもよい。

【図面の簡単な説明】

【0119】

【図1】半導体装置の一実施例のスイッチング素子及びダイオード素子を示す断面図である。

【図2】同実施例のスイッチング素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

30

【図3】同実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

【図4】同実施例の制御回路を構成するMOSトランジスタ及び抵抗素子を上記LDMOS及び上記ダイオード素子とともに示す断面図である。

【図5】本発明の半導体装置を備えた昇圧型DC-DCコンバータの一実施例を示す回路図である。

【図6】同実施例の動作を説明するためのタイミングチャートである。

【図7】図4の半導体装置の製造工程の最初を説明するための工程断面図である。

【図8】同製造工程の続きを説明するための工程断面図である。

40

【図9】同製造工程のさらに続きを説明するための工程断面図である。

【図10】同製造工程のさらに続きを説明するための工程断面図である。

【図11】同製造工程のさらに続きを説明するための工程断面図である。

【図12】同製造工程のさらに続きを説明するための工程断面図である。

【図13】同製造工程のさらに続きを説明するための工程断面図である。

【図14】同製造工程のさらに続きを説明するための工程断面図である。

【図15】同製造工程のさらに続きを説明するための工程断面図である。

【図16】同製造工程のさらに続きを説明するための工程断面図である。

【図17】同製造工程のさらに続きを説明するための工程断面図である。

【図18】同製造工程のさらに続きを説明するための工程断面図である。

50

【図 19】半導体装置の他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

【図 20】図 3 のダイオード素子(スリット無し)と図 19 のダイオード素子(スリット有り)について、(A)順方向電流の温度特性と、(B)逆バイアスリーク電流の温度特性を調べた結果を示す図である。

【図 21】図 5 の DC - DC コンバータのダイオード素子に図 19 のダイオード素子を適用したのについて変換効率を調べた結果を示す図であり、(A)は本発明のデータを示し、(B)は比較例のデータを示す。

【図 22】半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

10

【図 23】図 5 の DC - DC コンバータのダイオード素子に図 22 のダイオード素子を適用したのについて変換効率を調べた結果を示す図である。

【図 24】半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

【図 25】図 24 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。

【図 26】半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

20

【図 27】図 26 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。

【図 28】図 26 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。

【図 29】図 26 に示した実施例の製造方法例の工程の一部を説明するための工程断面図である。

【図 30】半導体装置のさらに他の実施例のダイオード素子を示す図であり、(A)は平面図、(B)は(A)のX-X位置での断面図、(C)は(A)のY-Y位置での断面図である。

30

【図 31】図 3、図 19、図 24、図 26 に示したダイオード素子について、逆バイアスリーク電流の温度特性を調べた結果を示す図である。

【図 32】昇圧型 DC - DC コンバータを示す回路図である。

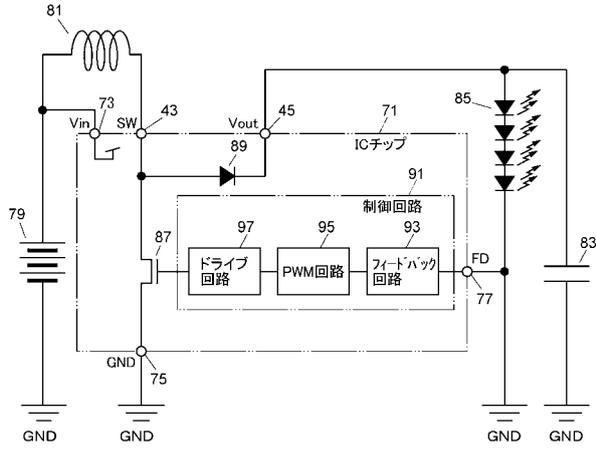
【符号の説明】

【0120】

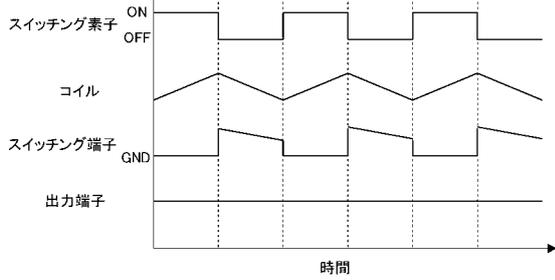
- 5 N型ウエル拡散層(ドレイン拡散層)
- 7 P型ボディ拡散層(チャネル拡散層)
- 9 ソース拡散層
- 19 ゲート電極
- 27 N型ウエル拡散層(コレクタ拡散層)
- 29 P型ウエル拡散層(ベース拡散層)
- 31 N型ボディ拡散層(エミッタ拡散層)
- 37 N型高濃度拡散層(コレクタコンタクト拡散層)
- 39, 39a P型高濃度拡散層(ベースコンタクト拡散層)
- 43 スイッチング端子
- 45 出力端子
- 93 P型高濃度拡散層(第2ベース拡散層)

40

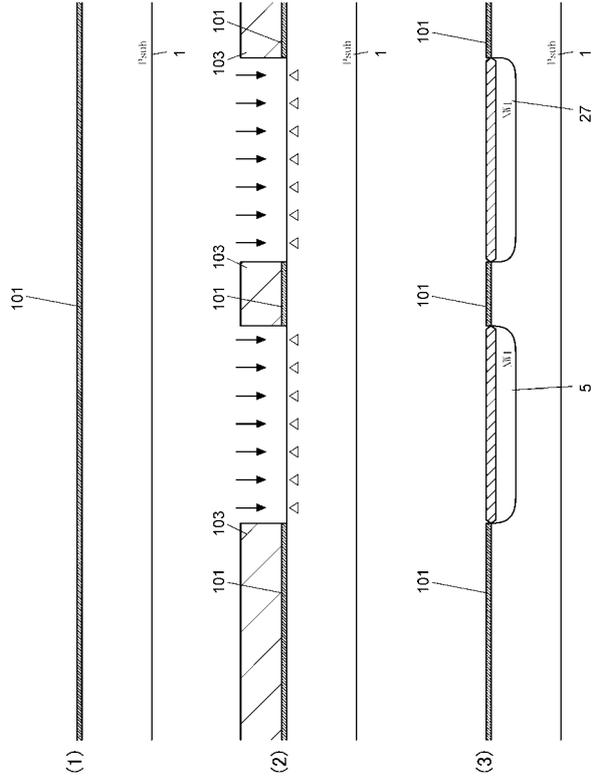
【図5】



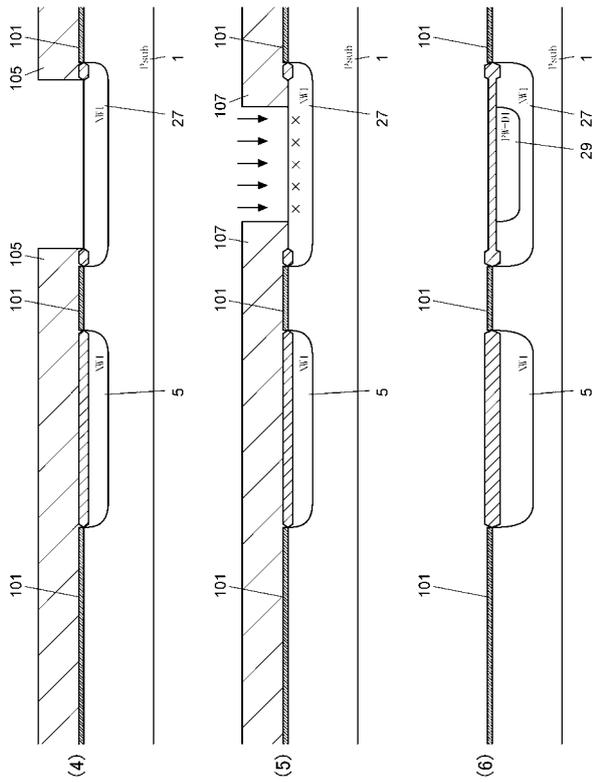
【図6】



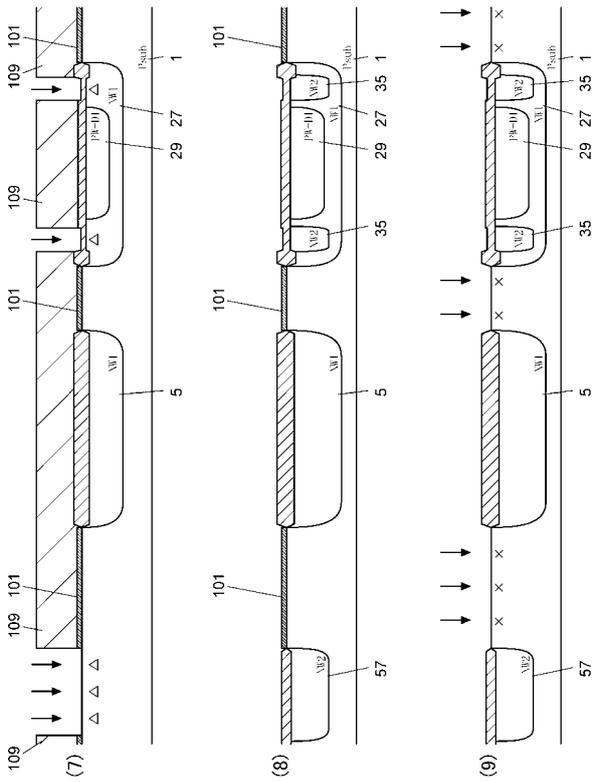
【図7】



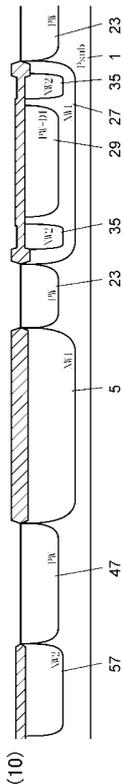
【図8】



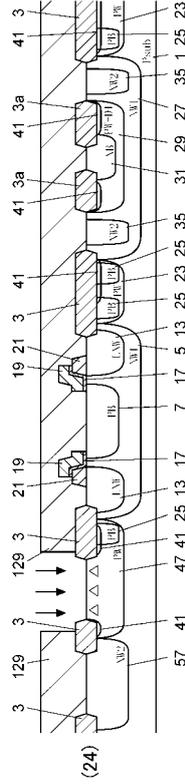
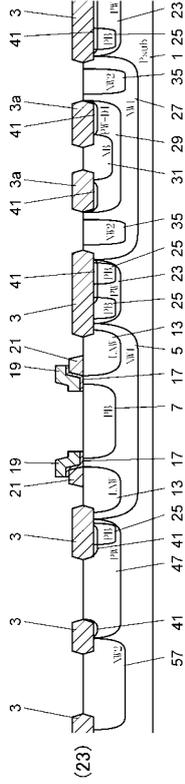
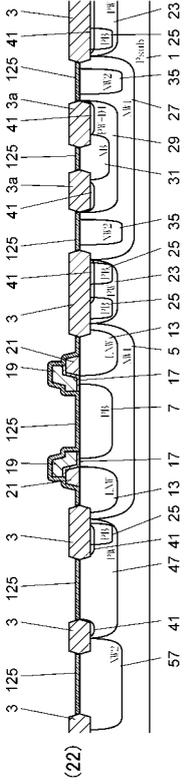
【図9】



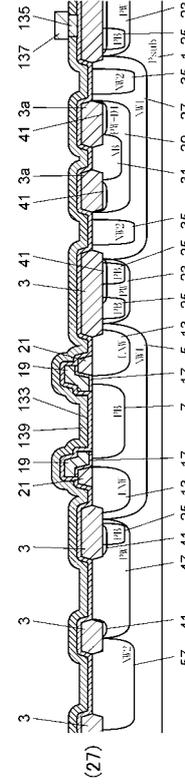
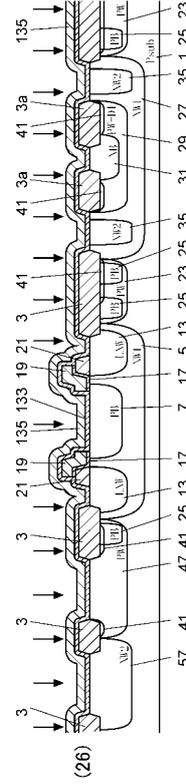
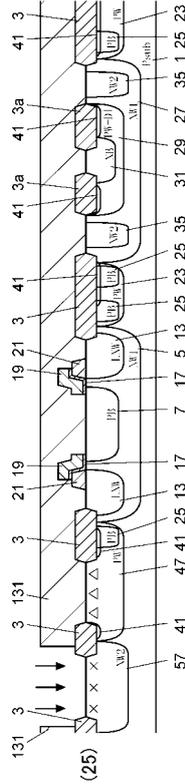
【図 10】



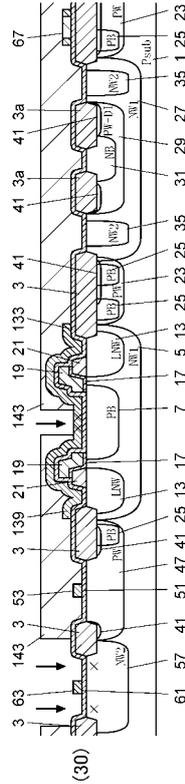
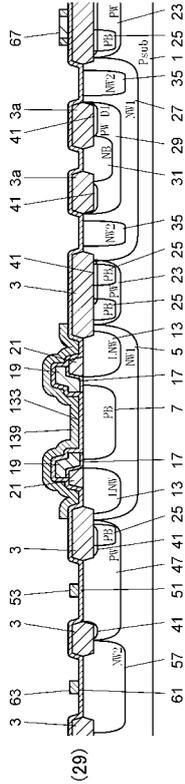
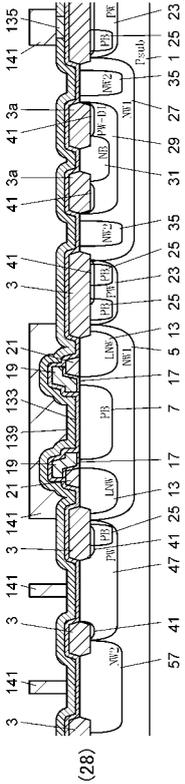
【 図 1 4 】



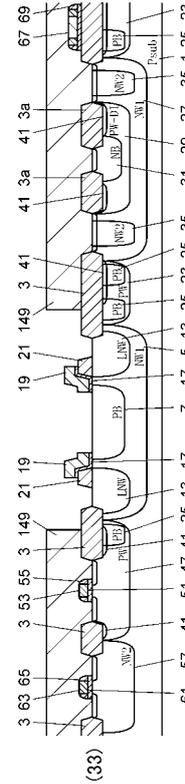
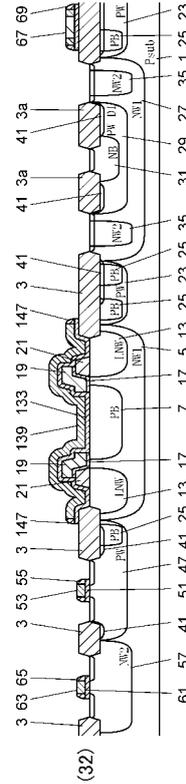
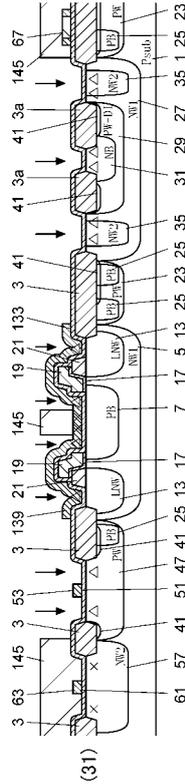
【 図 1 5 】



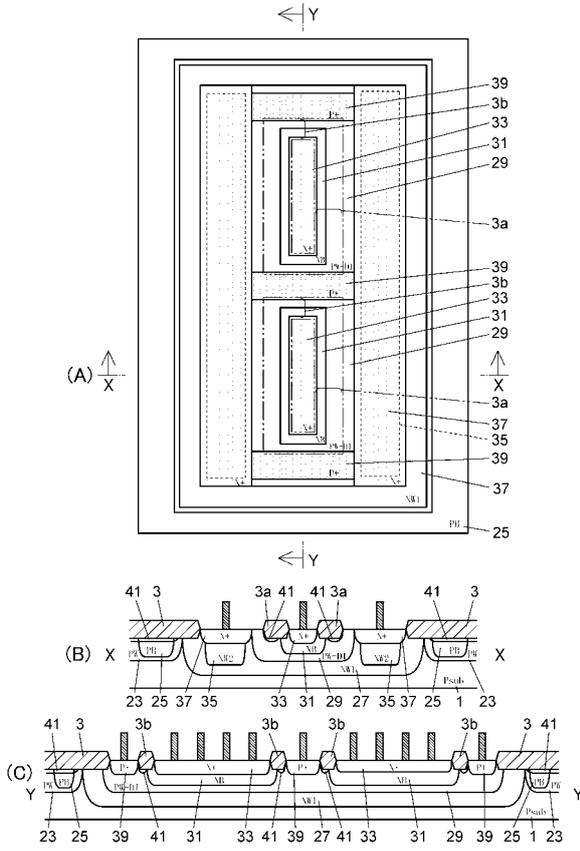
【 図 1 6 】



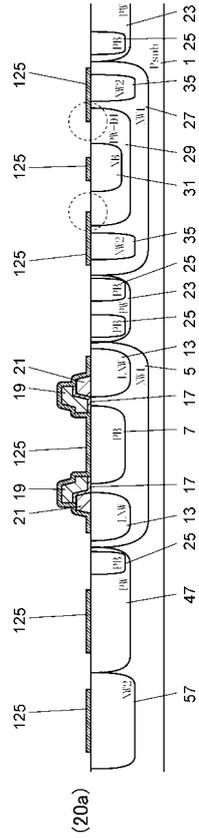
【 図 1 7 】



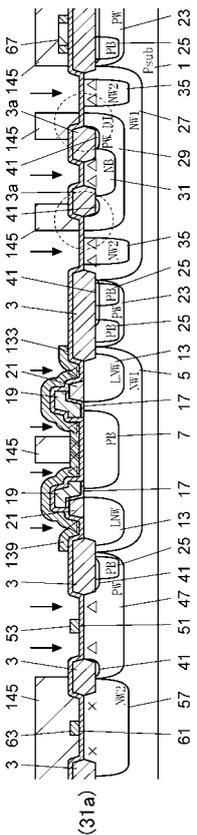
【 26 】



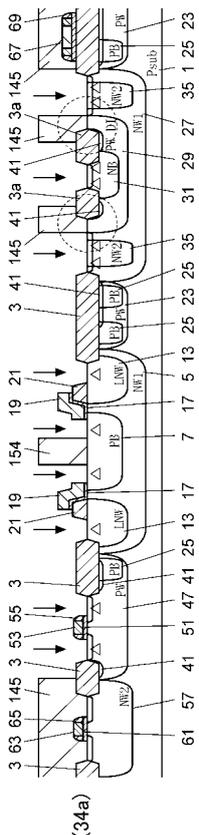
【 27 】



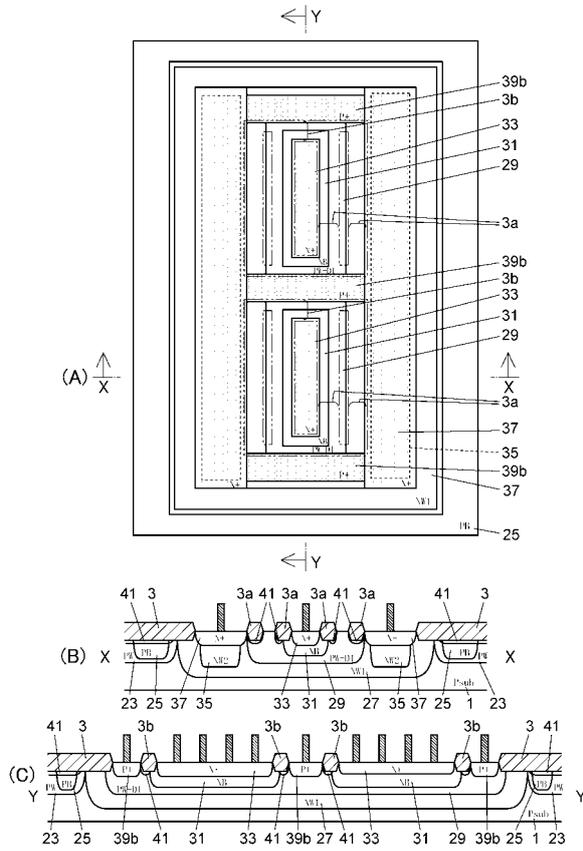
【 28 】



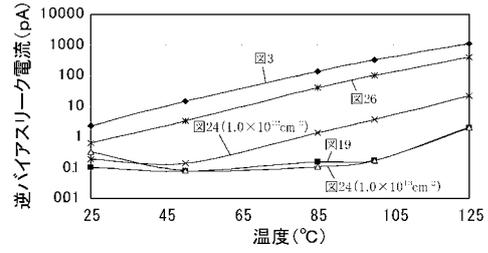
【 29 】



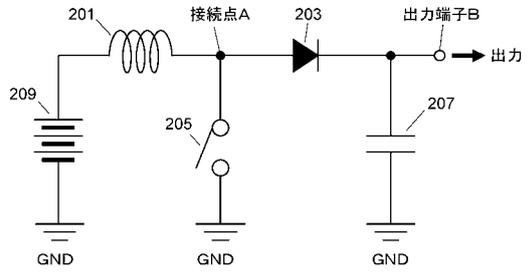
【図30】



【図31】



【図32】



フロントページの続き

(51)Int.Cl. F I
H 0 2 M 3/155 (2006.01) H 0 1 L 29/78 3 0 1 D
H 0 1 L 21/329 (2006.01)
H 0 1 L 29/868 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/78 (2006.01)

(56)参考文献 特開2001-154627(JP,A)
特開2003-086790(JP,A)
特開2000-323592(JP,A)
特開2004-311995(JP,A)
特開平11-345889(JP,A)
特開平11-186402(JP,A)
特開平10-335678(JP,A)
特開2001-068561(JP,A)
実開昭61-015760(JP,U)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 3 2 9
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 8
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 6 8
H 0 2 M 3 / 1 5 5