

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4899425号
(P4899425)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)
HO 1 L 21/336 (2006.01)

HO 1 L 29/78 3 O 1 W
HO 1 L 29/78 3 O 1 V
HO 1 L 29/78 6 5 3 C
HO 1 L 29/78 6 5 2 J
HO 1 L 29/78 6 5 2 G

請求項の数 24 (全 39 頁) 最終頁に続く

(21) 出願番号 特願2005-321225 (P2005-321225)
(22) 出願日 平成17年11月4日(2005.11.4)
(65) 公開番号 特開2007-129097 (P2007-129097A)
(43) 公開日 平成19年5月24日(2007.5.24)
審査請求日 平成20年9月16日(2008.9.16)

(73) 特許権者 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100104190
弁理士 酒井 昭徳
(72) 発明者 杉 祥夫
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
(72) 発明者 藤島 直人
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域および第2メサ領域で電流の引き出しを行う半導体装置であって、

半導体基板の表面層に形成されたウェル領域と、

前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型のドレイン領域と、

第1メサ領域の表面層に設けられた第1導電型の第1ソース領域と、

前記第1ソース領域と前記ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第1ソース領域および前記ドレイン領域の両方に接する第2導電型の第1チャンネル領域と、

前記第1チャンネル領域に沿って前記トレンチの側壁に設けられた第1ゲート絶縁膜と、

前記第1ゲート絶縁膜に沿って前記トレンチの内側に設けられた第1ゲート電極と、

第2メサ領域の表面層に設けられた第1導電型の第2ソース領域と、

前記第2ソース領域と前記ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ソース領域および前記ドレイン領域の両方に接する第2導電型の第2チャンネル領域と、

前記第2チャンネル領域に沿って前記トレンチの側壁に設けられた第2ゲート絶縁膜と、

前記第2ゲート絶縁膜に沿って前記トレンチの内側に設けられた第2ゲート電極と、

10

20

前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第1ゲート電極および前記第2ゲート電極の両方に重なる第2導電型のフローティング領域と、

前記第1ソース領域に電氣的に接続する第1ソース電極と、
前記第2ソース領域に電氣的に接続する第2ソース電極と、
を備えることを特徴とする半導体装置。

【請求項2】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置であって、

半導体基板の表面層に形成されたウェル領域と、

前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型の第1ドレイン領域と、

第1メサ領域の表面層に設けられた第1導電型のソース領域と、

前記ソース領域と前記第1ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記ソース領域および前記第1ドレイン領域の両方に接する第2導電型のチャンネル領域と、

前記チャンネル領域に沿って前記トレンチの側壁に設けられたゲート絶縁膜と、

前記ゲート絶縁膜に沿って前記トレンチの内側に設けられたゲート電極と、

第2メサ領域の表面層に設けられた第1導電型の第2ドレイン領域と、

前記第2ドレイン領域と前記第1ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ドレイン領域および前記第1ドレイン領域の両方に接する第1導電型の第3ドレイン領域と、

前記第3ドレイン領域に沿って前記トレンチの側壁に設けられたフィールド絶縁膜と、

前記フィールド絶縁膜に沿って前記トレンチの内側に設けられたフィールド電極と、

前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域と、

前記ソース領域に電氣的に接続するソース電極と、

前記第2ドレイン領域に電氣的に接続する第2ドレイン電極と、

を備えることを特徴とする半導体装置。

【請求項3】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域および第2メサ領域で電流の引き出しを行う半導体装置であって、

半導体基板の表面層に形成されたウェル領域と、

前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型のドレイン領域と、

第1メサ領域の表面層に設けられた第1導電型の第1ソース領域と、

前記第1ソース領域と前記ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第1ソース領域および前記ドレイン領域の両方に接する第2導電型の第1チャンネル領域と、

前記第1チャンネル領域に沿って前記トレンチの側壁に設けられた第1ゲート絶縁膜と、

前記第1ゲート絶縁膜に沿って前記トレンチの内側に設けられた第1ゲート電極と、

第2メサ領域の表面層に設けられた第1導電型の第2ソース領域と、

前記第2ソース領域と前記ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ソース領域および前記ドレイン領域の両方に接する第2導電型の第2チャンネル領域と、

前記第2チャンネル領域に沿って前記トレンチの側壁に設けられた第2ゲート絶縁膜と、

10

20

30

40

50

前記第2ゲート絶縁膜に沿って前記トレンチの内側に設けられた第2ゲート電極と、
前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第1ゲート電極に重なる第2導電型の第1フローティング領域と、

前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第2ゲート電極に重なる第2導電型の第2フローティング領域と、

前記第1ソース領域に電氣的に接続する第1ソース電極と、

前記第2ソース領域に電氣的に接続する第2ソース電極と、

を備えることを特徴とする半導体装置。

10

【請求項4】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置であって、

半導体基板の表面層に形成されたウェル領域と、

前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型の第1ドレイン領域と、

第1メサ領域の表面層に設けられた第1導電型のソース領域と、

前記ソース領域と前記第1ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記ソース領域および前記第1ドレイン領域の両方に接する第2導電型のチャンネル領域と、

20

前記チャンネル領域に沿って前記トレンチの側壁に設けられたゲート絶縁膜と、

前記ゲート絶縁膜に沿って前記トレンチの内側に設けられたゲート電極と、

第2メサ領域の表面層に設けられた第1導電型の第2ドレイン領域と、

前記第2ドレイン領域と前記第1ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ドレイン領域および前記第1ドレイン領域の両方に接する第1導電型の第3ドレイン領域と、

前記第3ドレイン領域に沿って前記トレンチの側壁に設けられたフィールド絶縁膜と、

前記フィールド絶縁膜に沿って前記トレンチの内側に設けられたフィールド電極と、

30

前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極に重なる第2導電型の第1フローティング領域と、

前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記フィールド電極に重なる第2導電型の第2フローティング領域と、

前記ソース領域に電氣的に接続するソース電極と、

前記第2ドレイン領域に電氣的に接続する第2ドレイン電極と、

を備えることを特徴とする半導体装置。

【請求項5】

40

前記ウェル領域は第1導電型であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】

前記ウェル領域は第2導電型であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

【請求項7】

前記半導体基板は第1導電型であることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

【請求項8】

前記半導体基板は第2導電型であることを特徴とする請求項1～6のいずれか一つに記載

50

載の半導体装置。

【請求項 9】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第 1 メサ領域と第 2 メサ領域に分割され、かつ第 1 メサ領域と第 2 メサ領域が交互に配置され、第 1 メサ領域および第 2 メサ領域で電流の引き出しを行う半導体装置を製造するにあたって、

半導体基板の表面層にウェル領域を形成する工程と、

前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第 1 メサ領域と第 2 メサ領域に分割する工程と、

前記第 1 メサ領域内の表面層、前記第 2 メサ領域内の表面層および前記トレンチの底部にそれぞれ第 2 導電型の第 1 チャネル領域、第 2 導電型の第 2 チャネル領域および第 1 導電型のドレイン領域の形成を行う工程と、

10

前記トレンチの、前記第 1 チャネル領域に沿う側壁および前記第 2 チャネル領域に沿う側壁にそれぞれ第 1 ゲート絶縁膜および第 2 ゲート絶縁膜を形成する工程と、

前記第 1 ゲート絶縁膜および前記第 2 ゲート絶縁膜に沿って前記トレンチの内側にそれぞれ第 1 ゲート電極および第 2 ゲート電極を形成する工程と、

前記ドレイン領域内の前記トレンチの底部に、前記第 1 チャネル領域および前記第 2 チャネル領域の両方から離れるとともに、上方から見て前記第 1 ゲート電極および前記第 2 ゲート電極の両方に重なる第 2 導電型のフローティング領域を、前記第 1 ゲート電極および前記第 2 ゲート電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、

20

前記第 1 チャネル領域の表面層および前記第 2 チャネル領域の表面層にそれぞれ第 1 導電型の第 1 ソース領域および第 1 導電型の第 2 ソース領域を形成する工程と、

前記トレンチを層間絶縁膜で埋める工程と、

前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記第 1 ソース領域および前記第 2 ソース領域にそれぞれ電氣的に接続する第 1 ソース電極および第 2 ソース電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 10】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第 1 メサ領域と第 2 メサ領域に分割され、かつ第 1 メサ領域と第 2 メサ領域が交互に配置され、第 1 メサ領域および第 2 メサ領域で電流の引き出しを行う半導体装置を製造するにあたって、

30

半導体基板の表面層にウェル領域を形成する工程と、

前記ウェル領域内の表面層に第 2 導電型のチャネル領域の形成を行う工程と、

基板表面にトレンチパターンを有するエッチングマスクを形成し、該エッチングマスクを用いて前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第 1 メサ領域と第 2 メサ領域に分割することによって、前記ウェル領域内に形成される前記チャネル領域の表面層を第 1 メサ領域における第 1 チャネル領域と第 2 メサ領域における第 2 チャネル領域に分割する工程と、

前記トレンチの底部に第 1 導電型のドレイン領域の形成を行う工程と、

前記トレンチの、前記第 1 チャネル領域に沿う側壁および前記第 2 チャネル領域に沿う側壁にそれぞれ第 1 ゲート絶縁膜および第 2 ゲート絶縁膜を形成する工程と、

40

前記第 1 ゲート絶縁膜および前記第 2 ゲート絶縁膜に沿って前記トレンチの内側にそれぞれ第 1 ゲート電極および第 2 ゲート電極を形成する工程と、

前記ドレイン領域内の前記トレンチの底部に、前記第 1 チャネル領域および前記第 2 チャネル領域の両方から離れるとともに、上方から見て前記第 1 ゲート電極および前記第 2 ゲート電極の両方に重なる第 2 導電型のフローティング領域を、前記エッチングマスク、前記第 1 ゲート電極および前記第 2 ゲート電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、

前記エッチングマスクを除去した後、前記第 1 チャネル領域の表面層および前記第 2 チャネル領域の表面層にそれぞれ第 1 導電型の第 1 ソース領域および第 1 導電型の第 2 ソー

50

ス領域を形成する工程と、

前記トレンチを層間絶縁膜で埋める工程と、

前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記第1ソース領域および前記第2ソース領域にそれぞれ電氣的に接続する第1ソース電極および第2ソース電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項11】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置を製造するにあたって、

半導体基板の表面層にウェル領域を形成する工程と、

前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第1メサ領域と第2メサ領域に分割する工程と、

前記第1メサ領域内の表面層に第2導電型のチャンネル領域の形成を行う工程と、

前記第2メサ領域内の表面層に第1導電型の第1ドレイン領域の形成を行う工程と、

前記トレンチの底部に第1導電型の第2ドレイン領域の形成を行う工程と、

前記トレンチの、前記チャンネル領域に沿う側壁および前記第1ドレイン領域に沿う側壁にそれぞれゲート絶縁膜およびフィールド絶縁膜を形成する工程と、

前記ゲート絶縁膜および前記フィールド絶縁膜に沿って前記トレンチの内側にそれぞれゲート電極およびフィールド電極を形成する工程と、

前記第2ドレイン領域内の前記トレンチの底部に、前記チャンネル領域および前記第1ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域を、前記ゲート電極および前記フィールド電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、

前記第1チャンネル領域の表面層に第1導電型のソース領域を形成する工程と、

前記トレンチを層間絶縁膜で埋める工程と、

前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記ソース領域および前記第1ドレイン領域にそれぞれ電氣的に接続するソース電極およびドレイン電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項12】

半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置を製造するにあたって、

半導体基板の表面層にウェル領域を形成する工程と、

前記ウェル領域内の前記第1メサ領域となる領域の表面層に第2導電型のチャンネル領域を形成し、前記ウェル領域内の前記第2メサ領域となる領域の表面層に第1導電型の第1ドレイン領域の形成を行う工程と、

基板表面にトレンチパターンを有するエッチングマスクを形成し、該エッチングマスクを用いて前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第1メサ領域と第2メサ領域に分割することによって、第1メサ領域における前記チャンネル領域と第2メサ領域における前記第1ドレイン領域を分離する工程と、

前記トレンチの底部に第1導電型の第2ドレイン領域の形成を行う工程と、

前記トレンチの、前記チャンネル領域に沿う側壁および前記第1ドレイン領域に沿う側壁にそれぞれゲート絶縁膜およびフィールド絶縁膜を形成する工程と、

前記ゲート絶縁膜および前記フィールド絶縁膜に沿って前記トレンチの内側にそれぞれゲート電極およびフィールド電極を形成する工程と、

前記第2ドレイン領域内の前記トレンチの底部に、前記チャンネル領域および前記第1ド

10

20

30

40

50

レイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域を、前記エッチングマスク、前記ゲート電極および前記フィールド電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、

前記エッチングマスクを除去した後、前記第1チャンネル領域の表面層に第1導電型のソース領域を形成する工程と、

前記トレンチを層間絶縁膜で埋める工程と、

前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記ソース領域および前記第1ドレイン領域にそれぞれ電氣的に接続するソース電極およびドレイン電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項13】

前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta < \tan^{-1} \left(\frac{L_{GG}}{2 \cdot D_t} \right)$$

であることを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項14】

前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta < \tan^{-1} \left(\frac{L_{GG}}{D_t} \right)$$

であることを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項15】

前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記エッチングマスクの厚さを T_1 とし、前記第1ゲート電極および前記第2ゲート電極の厚さをそれぞれ T_3 とし、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

かつ

$$\theta < \tan^{-1} \left(\frac{(2 \cdot T_2 + L_{GG})}{\{2 \cdot (T_1 + D_t)\}} \right)$$

であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項16】

前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記エッチングマスクの厚さを T_1 とし、前記第1ゲート電極および前記第2ゲート電極の厚さをそれぞれ T_3 とし、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

かつ

$$\theta < \tan^{-1} \left(\frac{(2 \cdot T_2 + L_{GG})}{(T_1 + D_t)} \right)$$

であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項17】

前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面

10

20

30

40

50

と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta = \tan^{-1} \left(\frac{L_{FG}}{2 \cdot D_t} \right)$$

であることを特徴とする請求項 11 または 12 に記載の半導体装置の製造方法。

【請求項 18】

前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta < \tan^{-1} \left(\frac{L_{FG}}{D_t} \right)$$

であることを特徴とする請求項 11 または 12 に記載の半導体装置の製造方法。

【請求項 19】

前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記エッチングマスクの厚さを T_1 とし、前記ゲート電極および前記フィールド電極の厚さをそれぞれ T_3 とし、前記ゲート絶縁膜および前記フィールド絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

かつ

$$\theta < \tan^{-1} \left(\frac{(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\}}{(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\}} \right)$$

であることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 20】

前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記エッチングマスクの厚さを T_1 とし、前記ゲート電極および前記フィールド電極の厚さをそれぞれ T_3 とし、前記ゲート絶縁膜および前記フィールド絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

かつ

$$\theta < \tan^{-1} \left(\frac{(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\}}{(2 \cdot T_2 + L_{FG}) / (T_1 + D_t)} \right)$$

であることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 21】

前記ウェル領域は第 1 導電型であることを特徴とする請求項 9 ~ 12 のいずれか一つに記載の半導体装置の製造方法。

【請求項 22】

前記ウェル領域は第 2 導電型であることを特徴とする請求項 9 ~ 12 のいずれか一つに記載の半導体装置の製造方法。

【請求項 23】

前記半導体基板は第 1 導電型であることを特徴とする請求項 9 ~ 22 のいずれか一つに記載の半導体装置の製造方法。

【請求項 24】

前記半導体基板は第 2 導電型であることを特徴とする請求項 9 ~ 22 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、パワー集積回路（パワー IC）などの半導体装置およびその製造方法に関する。

10

20

30

40

50

【背景技術】

【0002】

近年、携帯情報機器の急速な普及や通信技術の高度化などに伴い、パワーMOSFET（金属-酸化膜-半導体よりなる絶縁ゲート構造を有する電界効果トランジスタ）を内蔵したパワーICの重要性が高まっている。横型パワーMOSFETと制御回路を集積したパワーICでは、従来のパワーMOSFET単体と制御駆動回路とを組み合わせる構成に対し、小型化、低消費電力化、高信頼性化および低コスト化などが期待される。そこで、CMOS（相補型MOS）回路よりなる制御駆動回路と横型パワーMOSFETとを同一半導体基板上に集積するため、CMOSプロセスをベースにした高性能な横型パワーMOSFETの開発が活発に行われている。

10

【0003】

ところで、デバイスピッチを縮小して集積度を高めるための技術として、トレンチ構造のMOSFETが知られている。上述した横型パワーMOSFETにおいても、さらなる高集積化と低オン抵抗化を図るために、トレンチ技術が盛んに駆使されている。

【0004】

図59は、従来のトレンチ構造を適用した横型パワー素子の一例を示す断面図である。図59に示すように、P型半導体基板1の内部にN型ウェル領域2が設けられている。N型ウェル領域2の内部には、チャンネル領域となるP型オフセット領域3が設けられている。P型オフセット領域3の内部には、2つのトレンチ4が形成されている。トレンチ4の底部には、拡張Nドレイン領域5が設けられている。トレンチ4の内側には、トレンチ4

20

【0005】

の底面および側壁面に沿って薄いゲート酸化膜6,7が設けられている。ゲート酸化膜6,7の内側には、ゲート電極8,9が設けられている。ゲート電極8,9のさらに内側には、層間絶縁膜10が埋められている。トレンチ4により分割されてきた基板表面層の第1メサ領域には、N⁺型の第1ソース領域11とP⁺型の第1ソース領域12が設けられている。トレンチ4により分割されてきた基板表面層の第2メサ領域には、N⁺型の第2ソース領域13とP⁺型の第2ソース領域14が設けられている。

【0006】

N⁺型の第1ソース領域11およびP⁺型の第1ソース領域12には、第1ソース電極15が電氣的に接続している。N⁺型の第2ソース領域13およびP⁺型の第2ソース領域14には、第2ソース電極16が電氣的に接続している。このように、第1ソース電極15から第2ソース電極16へ電流を流すことができるとともに、第2ソース電極16から第1ソース電極15へも電流を流すことができる双方向素子が公知である（例えば、特許文献1参照。）。

30

【0007】

上述した双方向素子は、次のようにして製造される。まず、P型半導体基板1の表面層にN型ウェル領域2を形成し、そのN型ウェル領域2の表面層にトレンチ4を形成する（このときの断面構成は図3に相当）。次いで、第1メサ領域と第2メサ領域の表面層にP型不純物をイオン注入するとともに、トレンチ4の底面にN型不純物をイオン注入する（このときの断面構成は図4および図5に相当）。

40

【0008】

次いで、熱拡散を行って、第1メサ領域および第2メサ領域にP型オフセット領域3を形成するとともに、トレンチ4の底部に拡張Nドレイン領域5を形成する。次いで、トレンチ4の内部にゲート酸化膜6,7を形成し、さらにその内側にゲート電極8,9を形成する（このときの断面構成は図6に相当）。

【0009】

次いで、P型オフセット領域3の表面層に選択的にN型不純物とP型不純物をイオン注入する（このときの断面構成は図9および図10に相当）。次いで、熱拡散を行って、第1メサ領域のP型オフセット領域3の表面層にN⁺型の第1ソース領域11とP⁺型の第1ソース領域12を形成するとともに、第2メサ領域のP型オフセット領域3の表面層にN

50

+型の第2ソース領域13とP+型の第2ソース領域14を形成する。

【0010】

次いで、層間絶縁膜10を堆積し、平坦化する(このときの断面構成は図11に相当)。最後に、層間絶縁膜10にコンタクトホールを開口し、第1ソース電極15と第2ソース電極16を形成し、図59に示す半導体装置が完成する。

【0011】

また、図60に示すように、上述した構成の横型パワー素子において、トレンチ4の底面に厚いLOCOS(Local Oxidation of Silicon)酸化膜17を形成した素子が公知である(例えば、特許文献2参照。)。LOCOS酸化膜17は、素子の上方から見て、ゲート電極8,9とその内側の酸化膜の界面が拡張Nドレイン領域5と重なる部分で厚くなるように形成されている。以下、素子の上方から見て、トレンチ内の電極とその内側の絶縁膜(酸化膜を含む)の界面がトレンチ底部のドレイン領域と重なる部分をオーバーラップ部分と称する。

10

【0012】

【特許文献1】特開2004-274039号公報

【特許文献2】特開2003-249650号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、図59に示す従来の素子では、第1ソース電極15とその側のゲート電極8を接地電位とし、第2ソース電極16とその側のゲート電極9に耐圧未満の高電圧を印加して信頼性試験を行うと、図61に破線で示す電界分布のように、オーバーラップ部分で電界の集中が起こる。そして、拡張Nドレイン領域5の電子が薄い酸化膜に捕獲され、拡張Nドレイン領域5が空乏化する。そのため、深刻な電流低下を招くという問題点がある。

20

【0014】

上述したオーバーラップ部分での電界の集中を防ぐには、トレンチ4の幅を広げるか、図60に示すように、トレンチ4の底面にLOCOS酸化膜17を形成して、オーバーラップ部分におけるゲート電極8,9と拡張Nドレイン領域5の間の酸化膜を厚くする必要がある。しかし、トレンチ幅を広げると、デバイスピッチが大きくなり、素子の集積度が低くなるため、十分なオン抵抗の低減効果が得られないという問題点がある。一方、LOCOS酸化膜17によりオーバーラップ部分の酸化膜を厚くすると、LOCOS酸化膜17に起因して応力歪みが発生するため、信頼性の低下を招くという問題点がある。

30

【0015】

この発明は、上述した従来技術による問題点を解消するため、トレンチ底部に厚いLOCOS酸化膜を形成することなく、トレンチ底部において、トレンチ内に形成された電極近傍の電界を緩和することができる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

上述した課題を解決し、目的を達成するため、請求項1の発明にかかる半導体装置は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域および第2メサ領域で電流の引き出しを行う半導体装置であって、半導体基板の表面層に形成されたウェル領域と、前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型のドレイン領域と、第1メサ領域の表面層に設けられた第1導電型の第1ソース領域と、前記第1ソース領域と前記ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第1ソース領域および前記ドレイン領域の両方に接する第2導電型の第1チャンネル領域と、前記第1チャンネル領域に沿って前記トレンチの側壁に設けられた第1ゲート絶縁膜と、前記第1ゲート絶縁

40

50

膜に沿って前記トレンチの内側に設けられた第1ゲート電極と、第2メサ領域の表面層に設けられた第1導電型の第2ソース領域と、前記第2ソース領域と前記ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ソース領域および前記ドレイン領域の両方に接する第2導電型の第2チャンネル領域と、前記第2チャンネル領域に沿って前記トレンチの側壁に設けられた第2ゲート絶縁膜と、前記第2ゲート絶縁膜に沿って前記トレンチの内側に設けられた第2ゲート電極と、前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第1ゲート電極および前記第2ゲート電極の両方に重なる第2導電型のフローティング領域と、前記第1ソース領域に電氣的に接続する第1ソース電極と、前記第2ソース領域に電氣的に接続する第2ソース電極と、を備えることを特徴とする。

10

【0017】

この請求項1の発明によれば、フローティング領域が設けられていることによって、トレンチ底部における電界が緩和されるので、トレンチ底部において、第1ゲート電極および第2ゲート電極とそれらの間の絶縁膜との界面近傍での電界が緩和される。従って、トレンチ底部の薄い絶縁膜に電子が捕獲されることによるドレイン領域の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

【0018】

請求項2の発明にかかる半導体装置は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置であって、半導体基板の表面層に形成されたウェル領域と、前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型の第1ドレイン領域と、第1メサ領域の表面層に設けられた第1導電型のソース領域と、前記ソース領域と前記第1ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記ソース領域および前記第1ドレイン領域の両方に接する第2導電型のチャンネル領域と、前記チャンネル領域に沿って前記トレンチの側壁に設けられたゲート絶縁膜と、前記ゲート絶縁膜に沿って前記トレンチの内側に設けられたゲート電極と、第2メサ領域の表面層に設けられた第1導電型の第2ドレイン領域と、前記第2ドレイン領域と前記第1ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ドレイン領域および前記第1ドレイン領域の両方に接する第1導電型の第3ドレイン領域と、前記第3ドレイン領域に沿って前記トレンチの側壁に設けられたフィールド絶縁膜と、前記フィールド絶縁膜に沿って前記トレンチの内側に設けられたフィールド電極と、前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域と、前記ソース領域に電氣的に接続するソース電極と、前記第2ドレイン領域に電氣的に接続する第2ドレイン電極と、を備えることを特徴とする。

20

30

【0019】

この請求項2の発明によれば、フローティング領域が設けられていることによって、トレンチ底部における電界が緩和されるので、トレンチ底部において、ゲート電極およびフィールド電極とそれらの間の絶縁膜との界面近傍での電界が緩和される。従って、トレンチ底部の薄い絶縁膜に電子が捕獲されることによるドレイン領域の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

40

【0020】

請求項3の発明にかかる半導体装置は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域および第2メサ領域で電流の引き出しを行う半導体装置であって、半導体基板の表面層に形成されたウェル領域と、前記ウェル領

50

域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型のドレイン領域と、第1メサ領域の表面層に設けられた第1導電型の第1ソース領域と、前記第1ソース領域と前記ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第1ソース領域および前記ドレイン領域の両方に接する第2導電型の第1チャンネル領域と、前記第1チャンネル領域に沿って前記トレンチの側壁に設けられた第1ゲート絶縁膜と、前記第1ゲート絶縁膜に沿って前記トレンチの内側に設けられた第1ゲート電極と、第2メサ領域の表面層に設けられた第1導電型の第2ソース領域と、前記第2ソース領域と前記ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ソース領域および前記ドレイン領域の両方に接する第2導電型の第2チャンネル領域と、前記第2チャンネル領域に沿って前記トレンチの側壁に設けられた第2ゲート絶縁膜と、前記第2ゲート絶縁膜に沿って前記トレンチの内側に設けられた第2ゲート電極と、前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第1ゲート電極に重なる第2導電型の第1フローティング領域と、前記ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記第1チャンネル領域および前記第2チャンネル領域の両方から離れるとともに、上方から見て前記第2ゲート電極に重なる第2導電型の第2フローティング領域と、前記第1ソース領域に電氣的に接続する第1ソース電極と、前記第2ソース領域に電氣的に接続する第2ソース電極と、を備えることを特徴とする。

10

【0021】

20

この請求項3の発明によれば、第1フローティング領域および第2フローティング領域が設けられていることによって、トレンチ底部における電界が緩和されるので、トレンチ底部において、第1ゲート電極および第2ゲート電極とそれらの間の絶縁膜との界面近傍での電界が緩和される。従って、トレンチ底部の薄い絶縁膜に電子が捕獲されることによるドレイン領域の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

【0022】

請求項4の発明にかかる半導体装置は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置であって、半導体基板の表面層に形成されたウェル領域と、前記ウェル領域内で、前記ウェル領域内に形成されたトレンチの底部に設けられた第1導電型の第1ドレイン領域と、第1メサ領域の表面層に設けられた第1導電型のソース領域と、前記ソース領域と前記第1ドレイン領域の間の前記第1メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記ソース領域および前記第1ドレイン領域の両方に接する第2導電型のチャンネル領域と、前記チャンネル領域に沿って前記トレンチの側壁に設けられたゲート絶縁膜と、前記ゲート絶縁膜に沿って前記トレンチの内側に設けられたゲート電極と、第2メサ領域の表面層に設けられた第1導電型の第2ドレイン領域と、前記第2ドレイン領域と前記第1ドレイン領域の間の前記第2メサ領域内で、前記トレンチの側壁に沿って設けられ、かつ前記第2ドレイン領域および前記第1ドレイン領域の両方に接する第1導電型の第3ドレイン領域と、前記第3ドレイン領域に沿って前記トレンチの側壁に設けられたフィールド絶縁膜と、前記フィールド絶縁膜に沿って前記トレンチの内側に設けられたフィールド電極と、前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極に重なる第2導電型の第1フローティング領域と、前記第1ドレイン領域内で、前記トレンチの底部に設けられ、かつ前記チャンネル領域および前記第3ドレイン領域の両方から離れるとともに、上方から見て前記フィールド電極に重なる第2導電型の第2フローティング領域と、前記ソース領域に電氣的に接続するソース電極と、前記第2ドレイン領域に電氣的に接続する第2ドレイン電極と、を備えることを特徴とする。

30

40

50

【 0 0 2 3 】

この請求項 4 の発明によれば、第 1 フローティング領域および第 2 フローティング領域が設けられていることによって、トレンチ底部における電界が緩和されるので、トレンチ底部において、ゲート電極およびフィールドとそれらの間の絶縁膜との界面近傍での電界が緩和される。従って、トレンチ底部の薄い絶縁膜に電子が捕獲されることによるドレイン領域の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

【 0 0 2 4 】

請求項 5 の発明にかかる半導体装置は、請求項 1 ~ 4 のいずれか一つに記載の発明において、前記ウェル領域は第 1 導電型であることを特徴とする。請求項 6 の発明にかかる半導体装置は、請求項 1 ~ 4 のいずれか一つに記載の発明において、前記ウェル領域は第 2 導電型であることを特徴とする。請求項 7 の発明にかかる半導体装置は、請求項 1 ~ 6 のいずれか一つに記載の発明において、前記半導体基板は第 1 導電型であることを特徴とする。請求項 8 の発明にかかる半導体装置は、請求項 1 ~ 6 のいずれか一つに記載の発明において、前記半導体基板は第 2 導電型であることを特徴とする。請求項 5 ~ 8 の発明によれば、請求項 1 ~ 4 と同様の効果が得られる。

【 0 0 2 5 】

また、請求項 9 の発明にかかる半導体装置の製造方法は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第 1 メサ領域と第 2 メサ領域に分割され、かつ第 1 メサ領域と第 2 メサ領域が交互に配置され、第 1 メサ領域および第 2 メサ領域で電流の引き出しを行う半導体装置を製造するにあたって、半導体基板の表面層にウェル領域を形成する工程と、前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第 1 メサ領域と第 2 メサ領域に分割する工程と、前記第 1 メサ領域内の表面層、前記第 2 メサ領域内の表面層および前記トレンチの底部にそれぞれ第 2 導電型の第 1 チャネル領域、第 2 導電型の第 2 チャネル領域および第 1 導電型のドレイン領域の形成を行う工程と、前記トレンチの、前記第 1 チャネル領域に沿う側壁および前記第 2 チャネル領域に沿う側壁にそれぞれ第 1 ゲート絶縁膜および第 2 ゲート絶縁膜を形成する工程と、前記第 1 ゲート絶縁膜および前記第 2 ゲート絶縁膜に沿って前記トレンチの内側にそれぞれ第 1 ゲート電極および第 2 ゲート電極を形成する工程と、前記ドレイン領域内の前記トレンチの底部に、前記第 1 チャネル領域および前記第 2 チャネル領域の両方から離れるとともに、上方から見て前記第 1 ゲート電極および前記第 2 ゲート電極の両方に重なる第 2 導電型のフローティング領域を、前記第 1 ゲート電極および前記第 2 ゲート電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、前記第 1 メサ領域の表面層および前記第 2 メサ領域の表面層にそれぞれ第 1 導電型の第 1 ソース領域および第 1 導電型の第 2 ソース領域を形成する工程と、前記トレンチを層間絶縁膜で埋める工程と、前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記第 1 ソース領域および前記第 2 ソース領域にそれぞれ電氣的に接続する第 1 ソース電極および第 2 ソース電極を形成する工程と、を含むことを特徴とする。

【 0 0 2 6 】

請求項 10 の発明にかかる半導体装置の製造方法は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第 1 メサ領域と第 2 メサ領域に分割され、かつ第 1 メサ領域と第 2 メサ領域が交互に配置され、第 1 メサ領域および第 2 メサ領域で電流の引き出しを行う半導体装置を製造するにあたって、半導体基板の表面層にウェル領域を形成する工程と、前記ウェル領域内の表面層に第 2 導電型のチャネル領域の形成を行う工程と、基板表面にトレンチパターンを有するエッチングマスクを形成し、該エッチングマスクを用いて前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第 1 メサ領域と第 2 メサ領域に分割することによって、前記ウェル領域内に形成される前記チャネル領域の表面層を第 1 メサ領域における第 1 チャネル領域と第 2 メサ領域における第 2 チャネル領域に分割する工程と、前記トレンチの底部に第 1 導電型のドレイン領域の形成を行う工程と、前記トレンチの、前記第 1 チャネル領域に沿う側壁および前記第 2 チャネル領域に沿う側壁にそれぞれ第 1 ゲート絶縁膜および第 2 ゲート絶縁膜を形成する

工程と、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜に沿って前記トレンチの内側にそれぞれ第1ゲート電極および第2ゲート電極を形成する工程と、前記ドレイン領域内の前記トレンチの底部に、前記第1チャネル領域および前記第2チャネル領域の両方から離れるとともに、上方から見て前記第1ゲート電極および前記第2ゲート電極の両方に重なる第2導電型のフローティング領域を、前記エッチングマスク、前記第1ゲート電極および前記第2ゲート電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、前記エッチングマスクを除去した後、前記第1メサ領域の表面層および前記第2メサ領域の表面層にそれぞれ第1導電型の第1ソース領域および第1導電型の第2ソース領域を形成する工程と、前記トレンチを層間絶縁膜で埋める工程と、前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記第1ソース領域および前記第2ソース領域にそれぞれ電氣的に接続する第1ソース電極および第2ソース電極を形成する工程と、を含むことを特徴とする。

10

【0027】

この請求項9または10の発明によれば、従来の製造プロセスに、フローティング領域を形成するためのイオン注入工程を追加するだけで、請求項1または3の半導体装置を製造することができる。また、請求項10の発明によれば、基板表面に残るエッチングマスクを利用して、フローティング領域を形成するためのイオン注入を行うので、請求項9の発明に比べて、マスクが1枚減り、製造プロセスが簡略する。従って、請求項1または3の半導体装置を製造する際の製造コストの増大を最小限に抑えることができる。

【0028】

20

請求項11の発明にかかる半導体装置の製造方法は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置を製造するにあたって、半導体基板の表面層にウェル領域を形成する工程と、前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第1メサ領域と第2メサ領域に分割する工程と、前記第1メサ領域内の表面層に第2導電型のチャネル領域の形成を行う工程と、前記第2メサ領域内の表面層に第1導電型の第1ドレイン領域の形成を行う工程と、前記トレンチの底部に第1導電型の第2ドレイン領域の形成を行う工程と、前記トレンチの、前記チャネル領域に沿う側壁および前記第1ドレイン領域に沿う側壁にそれぞれゲート絶縁膜およびフィールド絶縁膜を形成する工程と、前記ゲート絶縁膜および前記フィールド絶縁膜に沿って前記トレンチの内側にそれぞれゲート電極およびフィールド電極を形成する工程と、前記第2ドレイン領域内の前記トレンチの底部に、前記チャネル領域および前記第1ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域を、前記ゲート電極および前記フィールド電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、前記第1メサ領域の表面層に第1導電型のソース領域を形成する工程と、前記トレンチを層間絶縁膜で埋める工程と、前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記ソース領域および前記第1ドレイン領域にそれぞれ電氣的に接続するソース電極およびドレイン電極を形成する工程と、を含むことを特徴とする。

30

40

【0029】

請求項12の発明にかかる半導体装置の製造方法は、半導体基板の表面層に形成されたトレンチによって該半導体基板の表面層が第1メサ領域と第2メサ領域に分割され、かつ第1メサ領域と第2メサ領域が交互に配置され、第1メサ領域でソース電流の引き出しを行い、第2メサ領域でドレイン電流の引き出しを行う半導体装置を製造するにあたって、半導体基板の表面層にウェル領域を形成する工程と、前記ウェル領域内の表面層に第2導電型のチャネル領域および第1導電型の第1ドレイン領域の形成を行う工程と、基板表面にトレンチパターンを有するエッチングマスクを形成し、該エッチングマスクを用いて前記ウェル領域の表面層にトレンチを形成して、前記半導体基板の表面層を第1メサ領域と第2メサ領域に分割することによって、第1メサ領域におけるチャネル領域と第2メサ領

50

域における第1ドレイン領域を分離する工程と、前記トレンチの底部に第1導電型の第2ドレイン領域の形成を行う工程と、前記トレンチの、前記チャンネル領域に沿う側壁および前記第1ドレイン領域に沿う側壁にそれぞれゲート絶縁膜およびフィールド絶縁膜を形成する工程と、前記ゲート絶縁膜および前記フィールド絶縁膜に沿って前記トレンチの内側にそれぞれゲート電極およびフィールド電極を形成する工程と、前記第2ドレイン領域内の前記トレンチの底部に、前記チャンネル領域および前記第1ドレイン領域の両方から離れるとともに、上方から見て前記ゲート電極および前記フィールド電極の両方に重なる第2導電型のフローティング領域を、前記エッチングマスク、前記ゲート電極および前記フィールド電極をマスクとして不純物のイオン注入を行うことによって形成する工程と、前記エッチングマスクを除去した後、前記第1メサ領域の表面層に第1導電型のソース領域を形成する工程と、前記トレンチを層間絶縁膜で埋める工程と、前記層間絶縁膜にコンタクトホールを開口し、該コンタクトホールを介して前記ソース領域および前記第1ドレイン領域にそれぞれ電氣的に接続するソース電極およびドレイン電極を形成する工程と、を含むことを特徴とする。

10

【0030】

この請求項11または12の発明によれば、従来の製造プロセスに、フローティング領域を形成するためのイオン注入工程を追加するだけで、請求項2または4の半導体装置を製造することができる。また、請求項12の発明によれば、基板表面に残るエッチングマスクを利用して、フローティング領域を形成するためのイオン注入を行うので、請求項11の発明に比べて、マスクが1枚減り、製造プロセスが簡略する。従って、請求項2または4の半導体装置を製造する際の製造コストの増大を最小限に抑えることができる。

20

【0031】

請求項13の発明にかかる半導体装置の製造方法は、請求項9または10に記載の発明において、前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta = \arctan \left(\frac{L_{GG}}{2 \cdot D_t} \right)$$

であることを特徴とする。

【0032】

請求項14の発明にかかる半導体装置の製造方法は、請求項9または10に記載の発明において、前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$\theta < \arctan \left(\frac{L_{GG}}{D_t} \right)$$

であることを特徴とする。

30

【0033】

請求項15の発明にかかる半導体装置の製造方法は、請求項10に記載の発明において、前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記エッチングマスクの厚さを T_1 とし、前記第1ゲート電極および前記第2ゲート電極の厚さをそれぞれ T_3 とし、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$\theta > \arctan \left(\frac{D_t \cdot T_2}{L_{GG}} \right)$$

かつ

$$\theta < \arctan \left(\frac{(2 \cdot T_2 + L_{GG})}{2 \cdot (T_1 + D_t)} \right)$$

であることを特徴とする。

40

【0034】

請求項16の発明にかかる半導体装置の製造方法は、請求項10に記載の発明において

50

、前記トレンチの深さを D_t とし、前記第1ゲート電極と前記第2ゲート電極との間隔を L_{GG} とし、前記エッチングマスクの厚さを T_1 とし、前記第1ゲート電極および前記第2ゲート電極の厚さをそれぞれ T_3 とし、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

かつ

$$(2 \cdot T_2 + L_{GG}) / \{2 \cdot (T_1 + D_t)\} < |\tan \theta| < (2 \cdot T_2 + L_{GG}) / (T_1 + D_t)$$

10

であることを特徴とする。

【0035】

請求項17の発明にかかる半導体装置の製造方法は、請求項11または12に記載の発明において、前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$-L_{FG} / (2 \cdot D_t) < \tan \theta < L_{FG} / (2 \cdot D_t)$$

であることを特徴とする。

【0036】

請求項18の発明にかかる半導体装置の製造方法は、請求項11または12に記載の発明において、前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とすると、

$$L_{FG} / (2 \cdot D_t) < |\tan \theta| < L_{FG} / D_t$$

であることを特徴とする。

【0037】

請求項19の発明にかかる半導体装置の製造方法は、請求項12に記載の発明において、前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記エッチングマスクの厚さを T_1 とし、前記ゲート電極および前記フィールド電極の厚さをそれぞれ T_3 とし、前記ゲート絶縁膜および前記フィールド絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

かつ

$$-(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\} < \tan \theta < (2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\}$$

であることを特徴とする。

【0038】

請求項20の発明にかかる半導体装置の製造方法は、請求項12に記載の発明において、前記トレンチの深さを D_t とし、前記ゲート電極と前記フィールド電極との間隔を L_{FG} とし、前記エッチングマスクの厚さを T_1 とし、前記ゲート電極および前記フィールド電極の厚さをそれぞれ T_3 とし、前記ゲート絶縁膜および前記フィールド絶縁膜の厚さをそれぞれ T_4 とし、前記フローティング領域を形成するために不純物のイオン注入を行う際のチルト面と前記トレンチの側壁面に平行な面とのなす角度を θ とし、前記 T_3 と前記 T_4 の和を T_2 とすると、

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

かつ

$$(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\} < |\tan \theta| < (2 \cdot T_2 + L_{FG}) / (T_1 + D_t)$$

50

であることを特徴とする。

【0039】

請求項13～20の発明によれば、斜めイオン注入法によりフローティング領域を形成することができる。特に、請求項14、16、18および20の発明によれば、斜めイオン注入法によりドレイン領域内に複数に分割されたフローティング領域を形成することができる。

【0040】

請求項21の発明にかかる半導体装置の製造方法は、請求項9～12のいずれか一つに記載の発明において、前記ウェル領域は第1導電型であることを特徴とする。請求項22の発明にかかる半導体装置の製造方法は、請求項9～12のいずれか一つに記載の発明において、前記ウェル領域は第2導電型であることを特徴とする。請求項23の発明にかかる半導体装置の製造方法は、請求項9～22のいずれか一つに記載の発明において、前記半導体基板は第1導電型であることを特徴とする。請求項24の発明にかかる半導体装置の製造方法は、請求項9～22のいずれか一つに記載の発明において、前記半導体基板は第2導電型であることを特徴とする。

10

【発明の効果】

【0041】

本発明にかかる半導体装置およびその製造方法によれば、トレンチ底部に厚いLOCOS酸化膜を形成することなく、トレンチ底部において、トレンチ内に形成された電極近傍の電界を緩和することができるという効果を奏する。

20

【発明を実施するための最良の形態】

【0042】

以下に添付図面を参照して、この発明にかかる半導体装置およびその製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、NまたはPを冠記した領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、NやPに付す+は、それが付されていない領域よりも高不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0043】

実施の形態1

30

図1は、本発明の実施の形態1にかかる半導体装置の構成を示す断面図である。図1に示すように、P型半導体基板21の内部にN型ウェル領域22が設けられている。N型ウェル領域22の内部には、例えば2つのトレンチ24が形成されている。トレンチ24は、N型ウェル領域22よりも浅い。

【0044】

これらのトレンチ24によって、P型半導体基板21の表面層は、第1メサ領域41と第2メサ領域42に分割されている。第1メサ領域41と第2メサ領域42は、交互に配置されており、例えば図1の例では、2つのトレンチ24に挟まれる領域が第1メサ領域41であり、2つのトレンチ24の外側の領域が第2メサ領域42である。

【0045】

第1メサ領域41の表面層には、N⁺型の第1ソース領域31とP⁺型の第1ソース領域32が設けられている。N⁺型の第1ソース領域31は、トレンチ24の一方の側壁に接して設けられている。第2メサ領域42の表面層には、N⁺型の第2ソース領域33とP⁺型の第2ソース領域34が設けられている。N⁺型の第2ソース領域33は、トレンチ24のもう一方の側壁に接して設けられている。

40

【0046】

各トレンチ24の底部には、拡張Nドレイン領域25が設けられている。拡張Nドレイン領域25は、トレンチ24の底面全体と側面の一部を囲み、かつN型ウェル領域22よりも浅いが、N型ウェル領域22より深くても構わない。N型ウェル領域22がP型の場合は、拡張Nドレイン領域25は、P型ウェル領域より浅くなければならない。また、N

50

型ウェル領域 2 2 が P 型の場合、第 1 チャネル領域 4 3 と第 2 チャネル領域 4 4 とを分離するために隣り合う拡張 N ドレイン領域 2 5 は互いに接続されるようにする。第 1 メサ領域 4 1 において、拡張 N ドレイン領域 2 5 と N⁺型および P⁺型の第 1 ソース領域 3 1 , 3 2 との間には、P 型の第 1 チャネル領域 4 3 が設けられている。また、第 2 メサ領域 4 2 において、拡張 N ドレイン領域 2 5 と N⁺型および P⁺型の第 2 ソース領域 3 3 , 3 4 との間には、P 型の第 2 チャネル領域 4 4 が設けられている。

【 0 0 4 7 】

各トレンチ 2 4 の内側には、薄い第 1 ゲート酸化膜 2 6 および第 2 ゲート酸化膜 2 7 が設けられている。第 1 ゲート酸化膜 2 6 は、トレンチ 2 4 の底面および P 型の第 1 チャネル領域 4 3 に沿って設けられている。第 2 ゲート酸化膜 2 7 は、トレンチ 2 4 の底面および P 型の第 2 チャネル領域 4 4 に沿って設けられている。各トレンチ 2 4 において、第 1 ゲート酸化膜 2 6 および第 2 ゲート酸化膜 2 7 の内側には、それぞれ第 1 ゲート電極 2 8 および第 2 ゲート電極 2 9 が設けられている。

10

【 0 0 4 8 】

各拡張 N ドレイン領域 2 5 の内部には、P 型フローティング領域 4 5 が設けられている。P 型フローティング領域 4 5 は、トレンチ 2 4 の底部の中央部に接しており、P 型の第 1 チャネル領域 4 3 および P 型の第 2 チャネル領域 4 4 の両方から離れている。ただし、P 型フローティング領域 4 5 は、素子の上方から見て、第 1 ゲート電極 2 8 および第 2 ゲート電極 2 9 とその間を埋める層間絶縁膜 3 0 の界面が拡張 N ドレイン領域 2 5 と重なるオーバーラップ部分に、さらに重なるように形成されている。

20

【 0 0 4 9 】

層間絶縁膜 3 0 は、第 1 メサ領域 4 1 および第 2 メサ領域 4 2 の上にも設けられている。層間絶縁膜 3 0 を貫通するコンタクトホールを介して、N⁺型の第 1 ソース領域 3 1 および P⁺型の第 1 ソース領域 3 2 に第 1 ソース電極 3 5 が電気的に接続している。また、層間絶縁膜 3 0 を貫通するコンタクトホールを介して、N⁺型の第 2 ソース領域 3 3 および P⁺型の第 2 ソース領域 3 4 に第 2 ソース電極 3 6 が電気的に接続している。そして、第 1 ソース電極 3 5 と第 2 ソース電極 3 6 の間で双方向に電流が流れる。

【 0 0 5 0 】

図 2 は、図 1 に示す半導体装置の信頼性試験における電界分布を示す図である。信頼性試験は、第 1 ソース電極 3 5 と第 1 ゲート電極 2 8 を接地電位とし、第 2 ソース電極 3 6 と第 2 ゲート電極 2 9 に耐圧未満の高電圧を印加することによりおこなった。図 1 に示す半導体装置において、P 型フローティング領域 4 5 の濃度を最適化することにより、トレンチ底面での電界が緩和される。それによって、図 2 に破線で示す電界分布のように、図 6 1 と比べてオーバーラップ部分における電界が緩和される。従って、トレンチ底部の薄い絶縁膜に電子が捕獲されることによる拡張 N ドレイン領域 2 5 の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

30

【 0 0 5 1 】

次に、図 1 に示す半導体装置の製造プロセスについて図 3 ~ 図 1 1 を参照しながら説明する。図 3 ~ 図 1 1 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。まず、P 型半導体基板 2 1 の表面層に N 型ウェル領域 2 2 を形成する。続いて、基板表面に例えば酸化膜からなるマスク 5 1 を形成し、トレンチエッチングを行って、N 型ウェル領域 2 2 の表面層にトレンチ 2 4 を形成する(図 3)。

40

【 0 0 5 2 】

マスク 5 1 を除去した後、バッファ酸化を行って、バッファ酸化膜 5 2 を形成する。そして、トレンチ 2 4 の内部と、基板表面における P 型半導体基板 2 1 と N 型ウェル領域 2 2 の境界部分の上に、マスク 5 3 を被せ、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の表面層に P 型不純物として例えばボロン (B₁₁) をイオン注入する(図 4)。マスク 5 3 を除去した後、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 5 4 を被せ、トレンチ 2 4 の底面に N 型不純物として例えばリン (P₃₁) をイオン注入する(図 5)。なお、図 4 の工程の前に図 5 の工程を行ってもよい。

50

【 0 0 5 3 】

マスク 5 4 を除去した後、熱拡散を行って、第 1 メサ領域 4 1 内の表面層、第 2 メサ領域 4 2 内の表面層およびトレンチ 2 4 の底部にそれぞれ P 型の第 1 チャネル領域 4 3、P 型の第 2 チャネル領域 4 4 および拡張 N ドレイン領域 2 5 を形成する。バッファ酸化膜 5 2 を除去した後、トレンチ 2 4 の内部に第 1 ゲート酸化膜 2 6 および第 2 ゲート酸化膜 2 7 となる酸化膜を形成し、さらにその内側に第 1 ゲート電極 2 8 と第 2 ゲート電極 2 9 を形成する。そして、シャドウ酸化を行って、シャドウ酸化膜 5 5 を形成する（図 6）。

【 0 0 5 4 】

次いで、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 5 6 を被せ、第 1 ゲート電極 2 8 と第 2 ゲート電極 2 9 をマスクとしてトレンチ 2 4 の底面にのみ P 型不純物として例えばボロン (B_{11}) をイオン注入する（図 7）。マスク 5 6 を除去した後、熱拡散を行って、拡張 N ドレイン領域 2 5 内のトレンチ 2 4 の底部に P 型フローティング領域 4 5 を形成する（図 8）。

【 0 0 5 5 】

ここで、第 1 ゲート電極 2 8 と第 2 ゲート電極 2 9 をマスクとするのは、図 8 に示すように、P 型フローティング領域 4 5 と拡張 N ドレイン領域 2 5 との接合端のマージン L_{df} を確保し、P 型フローティング領域 4 5 が P 型の第 1 チャネル領域 4 3 および P 型の第 2 チャネル領域 4 4 とつながらないようにするためである。また、P 型フローティング領域 4 5 の両端が第 1 ゲート電極 2 8 および第 2 ゲート電極 2 9 の下側にまで伸びてオーバーラップ部分に重なるようにするためである。

【 0 0 5 6 】

次いで、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 5 7 を被せ、第 1 メサ領域 4 1 の表面層および第 2 メサ領域 4 2 の表面層に選択的に N 型不純物として例えば砒素 (As_{75}) をイオン注入する（図 9）。マスク 5 7 を除去した後、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 5 8 を被せ、第 1 メサ領域 4 1 の表面層および第 2 メサ領域 4 2 の表面層に選択的に P 型不純物として例えばボロン (B_{11}) をイオン注入する（図 10）。なお、図 9 の工程の前に図 10 の工程を行ってもよい。

【 0 0 5 7 】

マスク 5 8 を除去した後、熱拡散を行って、P 型の第 1 チャネル領域 4 3（第 1 メサ領域 4 1）の表面層に N^+ 型の第 1 ソース領域 3 1 と P^+ 型の第 1 ソース領域 3 2 を形成するとともに、P 型の第 2 チャネル領域 4 4（第 2 メサ領域 4 2）の表面層に N^+ 型の第 2 ソース領域 3 3 と P^+ 型の第 2 ソース領域 3 4 を形成する。続いて、基板全体に層間絶縁膜 3 0 を堆積し、トレンチ 2 4 を層間絶縁膜 3 0 で埋めるとともに、第 1 メサ領域 4 1 および第 2 メサ領域 4 2 の上にも層間絶縁膜 3 0 を堆積する。

【 0 0 5 8 】

そして、CMP (Chemical Mechanical Polishing: 化学機械研磨) などにより層間絶縁膜 3 0 を平坦化する（図 11）。最後に、層間絶縁膜 3 0 にコンタクトホールを開口し、 N^+ 型の第 1 ソース領域 3 1 と P^+ 型の第 1 ソース領域 3 2 に電氣的に接続する第 1 ソース電極 3 5 を形成するとともに、 N^+ 型の第 2 ソース領域 3 3 と P^+ 型の第 2 ソース領域 3 4 に電氣的に接続する第 2 ソース電極 3 6 を形成する。これによって、図 1 に示す半導体装置が完成する。

【 0 0 5 9 】

なお、図 3 ~ 図 6 の工程に代えて、図 12 ~ 図 14 の工程を行ってもよい。まず、P 型半導体基板 2 1 の表面層に N 型ウェル領域 2 2 を形成する。そして、基板表面にバッファ酸化膜 6 3 を形成する。続いて、基板表面における P 型半導体基板 2 1 と N 型ウェル領域 2 2 の境界部分の上に、マスク 5 9 を被せ、N 型ウェル領域 2 2 の全面に P 型不純物として例えばボロン (B_{11}) をイオン注入する（図 12）。

【 0 0 6 0 】

バッファ酸化膜 6 3 およびマスク 5 9 を除去した後、基板表面に例えば酸化膜からなるマスク 6 0 を形成し、トレンチエッチングを行って、N 型ウェル領域 2 2 の表面層にトレ

10

20

30

40

50

ンチ 24 を形成する。続いて、バッファ酸化を行って、トレンチ 24 の内部にバッファ酸化膜 61 を形成する。そして、トレンチ 24 の底面に N 型不純物として例えばリン (P_{31}) をイオン注入する (図 13)。

【 0061 】

次いで、熱拡散を行って、第 1 メサ領域 41 内の表面層、第 2 メサ領域 42 内の表面層およびトレンチ 24 の底部にそれぞれ P 型の第 1 チャネル領域 43、P 型の第 2 チャネル領域 44 および拡張 N ドレイン領域 25 を形成する。バッファ酸化膜 61 を除去した後、トレンチ 24 の内部に第 1 ゲート酸化膜 26 および第 2 ゲート酸化膜 27 となる酸化膜を形成し、さらにその内側に第 1 ゲート電極 28 と第 2 ゲート電極 29 を形成する (図 14)。

10

【 0062 】

また、図 7 の工程に代えて、図 15 の工程を行ってもよい。すなわち、図 6 の工程に続いて、基板表面における P 型半導体基板 21 と N 型ウェル領域 22 と P 型の第 2 チャネル領域 44 の境界部分の上に、マスク 62 を被せ、第 1 ゲート電極 28 と第 2 ゲート電極 29 をマスクとしてトレンチ 24 の底面、P 型の第 1 チャネル領域 43 の表面層および P 型の第 2 チャネル領域 44 の表面層に P 型不純物として例えばボロン (B_{11}) をイオン注入する (図 15)。

【 0063 】

図 15 の工程を行う場合には、P 型の第 1 チャネル領域 43 および P 型の第 2 チャネル領域 44 の濃度は、図 4 と図 15 の両工程における P 型不純物のイオン注入量によって制御される。図 15 の工程を行うことによって、微細化したときにマスクずれの精度を懸念することなく、イオン注入を行うことができるので、製造プロセスが簡便となる。

20

【 0064 】

さらに、図 7 の工程に代えて、図 16 と図 17 の工程を行ってもよいし、図 15 の工程に代えて、図 18 と図 19 の工程を行ってもよい。つまり、図 7 または図 15 の工程では、P 型不純物のイオン注入角度は、鉛直方向 (0 度) である。それに対して、図 16 と図 17 の工程、または図 18 と図 19 の工程では、斜めイオン注入法を適用しており、P 型不純物のイオン注入角度が鉛直方向から傾いている。

【 0065 】

この斜めイオン注入法においては、イオン注入を行う際のチルト面とトレンチ 24 の側壁面に平行な面とのなす角度を θ_1 とすると、 $\theta_1 = \pm \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、 θ_1 が、次の (1) 式を満たすようにする。ただし、 D_t は、トレンチ 24 の深さであり、 L_{GG} は、第 1 ゲート電極 28 と第 2 ゲート電極 29 との間隔である。

$$0 < \tan \theta_1 \leq L_{GG} / (2 \cdot D_t) \quad \dots (1)$$

【 0066 】

そして、図 16 または図 18 に示す正方向の斜めイオン注入工程では、 $\theta_1 = + \theta_1$ の角度でイオン注入を行い、図 17 または図 19 に示す負方向の斜めイオン注入工程では、正方向のときと同じ濃度で、 $\theta_1 = - \theta_1$ の角度でイオン注入を行うのが好ましい。このようにすれば、P 型フローティング領域 45 のプロファイルがトレンチ 24 の中心線に対して左右対称になるので、第 1 ソース電極 35 から第 2 ソース電極 36 へ電流が流れるときと、その逆のときとで、同じオン・オフ特性が得られるからである。

30

40

【 0067 】

実施の形態 1 によれば、トレンチ 24 の側壁にトランジスタが形成されるので、単位面積あたりのチャネル幅を増やすことができる。従って、集積度を高くすることができる。また、トレンチ 24 の底部における電界が緩和されることによって、電子の捕獲による拡張 N ドレイン領域 25 の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。さらに、従来の製造プロセスに、P 型フローティング領域 45 を形成するためのイオン注入工程と熱拡散工程を追加するだけで図 1 に示す半導体装置が得られるので、トレンチ底面に LOC

50

OS酸化膜を形成してトレンチ底部における電界を緩和する構成に比べて、製造プロセスが簡便である。

【0068】

実施の形態2.

図20は、本発明の実施の形態2にかかる半導体装置の構成を示す断面図である。図20に示すように、実施の形態2の半導体装置は、図1に示す実施の形態1の半導体装置において、次のように読み替えたものである。第1ゲート酸化膜26、第2ゲート酸化膜27、第1ゲート電極28および第2ゲート電極29をそれぞれゲート酸化膜76、フィールド酸化膜77、ゲート電極78およびフィールド電極79と読み替える。

【0069】

また、N⁺型の第1ソース領域31およびP⁺型の第1ソース領域32をそれぞれN⁺型ソース領域81およびP⁺型ソース領域82と読み替える。また、N⁺型の第2ソース領域33およびP⁺型の第2ソース領域34をともにN⁺型ドレイン領域83と読み替える。つまり、実施の形態2では、第2メサ領域42の表面層には、N⁺型ドレイン領域83が設けられており、P型の領域はない。

【0070】

また、第1ソース電極35および第2ソース電極36をそれぞれソース電極85およびドレイン電極86と読み替える。また、P型の第1チャネル領域43およびP型の第2チャネル領域44をそれぞれP型チャネル領域93およびN型ドレイン領域94と読み替える。その他の構成については、実施の形態1と同様であるので、詳細な説明を省略する。実施の形態2の半導体装置では、ドレイン電極86からソース電極85へ向かう一方向に電流が流れる。

【0071】

図20に示す半導体装置において、P型フローティング領域45の濃度を最適化し、ソース電極85とゲート電極78を接地電位とし、ドレイン電極86とフィールド電極79に耐圧未満の高電圧を印加して信頼性試験を行うと、トレンチ底面での電界が緩和される。従って、実施の形態1と同様に、オーバーラップ部分における電界が緩和され、トレンチ底部の薄い絶縁膜に電子が捕獲されることによる拡張Nドレイン領域25の空乏化を抑制することができるので、オン電流が安定し、信頼性が向上する。

【0072】

次に、図20に示す半導体装置の製造プロセスについて図3および図21～図29を参照しながら説明する。図3および図21～図29は、工程順に製造段階の半導体装置の要部を示す縦断面図である。まず、実施の形態1と同様にして、P型半導体基板21の表面層にN型ウェル領域22を形成し、マスク51によりトレンチ24を形成する(図3)。

【0073】

マスク51を除去した後、バッファ酸化を行って、バッファ酸化膜101を形成する。そして、トレンチ24の内部と第2メサ領域42の上にマスク102を被せ、第1メサ領域41の表面層にP型不純物として例えばボロン(B₁₁)をイオン注入する(図21)。マスク102を除去した後、トレンチ24の内部と第1メサ領域41の上と、基板表面におけるP型半導体基板21とN型ウェル領域22の境界部分の上に、マスク103を被せ、第2メサ領域42の表面層にN型不純物として例えばリン(P₃₁)をイオン注入する(図22)。

【0074】

マスク103を除去した後、第1メサ領域41と第2メサ領域42の上にマスク104を被せ、トレンチ24の底面にN型不純物として例えばリン(P₃₁)をイオン注入する(図23)。マスク104を除去した後、熱拡散を行って、第1メサ領域41内の表面層、第2メサ領域42内の表面層およびトレンチ24の底部にそれぞれP型チャネル領域93、N型ドレイン領域94および拡張Nドレイン領域25を形成する。バッファ酸化膜101を除去した後、トレンチ24の内部にゲート酸化膜76およびフィールド酸化膜77となる酸化膜を形成し、さらにその内側にゲート電極78とフィールド電極79を形成する

10

20

30

40

50

。そして、シャドウ酸化を行って、シャドウ酸化膜 105 を形成する (図 24)。

【0075】

次いで、第 1 メサ領域 41 と第 2 メサ領域 42 の上にマスク 106 を被せ、ゲート電極 78 とフィールド電極 79 をマスクとしてトレンチ 24 の底面にのみ P 型不純物として例えばボロン (B_{11}) をイオン注入する (図 25)。マスク 106 を除去した後、熱拡散を行って、拡張 N ドレイン領域 25 内のトレンチ 24 の底部に P 型フローティング領域 45 を形成する (図 26)。

【0076】

ここで、ゲート電極 78 とフィールド電極 79 をマスクとするのは、図 26 に示すように、P 型フローティング領域 45 と拡張 N ドレイン領域 25 との接合端のマージン L_{df1} および L_{df2} を確保し、P 型フローティング領域 45 が P 型チャネル領域 93 とつながらないようにするためである。また、P 型フローティング領域 45 の両端がゲート電極 78 およびフィールド電極 79 の下側にまで伸びてオーバーラップ部分に重なるようにするためである。

10

【0077】

次いで、第 1 メサ領域 41 と第 2 メサ領域 42 の上にマスク 107 を被せ、第 1 メサ領域 41 の表面層および第 2 メサ領域 42 の表面層に選択的に N 型不純物として例えば砒素 (As_{75}) をイオン注入する (図 27)。マスク 107 を除去した後、第 1 メサ領域 41 と第 2 メサ領域 42 の上にマスク 108 を被せ、第 1 メサ領域 41 の表面層に選択的に P 型不純物として例えばボロン (B_{11}) をイオン注入する (図 28)。

20

【0078】

マスク 108 を除去した後、熱拡散を行って、P 型チャネル領域 93 (第 1 メサ領域 41) の表面層に N^+ 型ソース領域 81 と P^+ 型ソース領域 82 を形成するとともに、N 型ドレイン領域 94 (第 2 メサ領域 42) の表面層に N^+ 型ドレイン領域 83 を形成する。続いて、基板全体に層間絶縁膜 30 を堆積し、CMP (Chemical Mechanical Polishing: 化学機械研磨) などにより層間絶縁膜 30 を平坦化する (図 29)。

【0079】

最後に、層間絶縁膜 30 にコンタクトホールを開口し、 N^+ 型ソース領域 81 と P^+ 型ソース領域 82 に電氣的に接続するソース電極 85 を形成するとともに、 N^+ 型ドレイン領域 83 に電氣的に接続するドレイン電極 86 を形成する。これによって、図 20 に示す半導体装置が完成する。

30

【0080】

なお、図 3 および図 21 ~ 図 24 の工程に代えて、図 30 ~ 図 33 の工程を行ってもよい。まず、P 型半導体基板 21 の表面層に N 型ウェル領域 22 を形成する。そして、基板表面にバッファ酸化膜 109 を形成する。続いて、第 2 メサ領域となる領域上に、マスク 110 を被せ、第 1 メサ領域となる領域に P 型不純物として例えばボロン (B_{11}) をイオン注入する (図 30)。なお、図 29 の工程の前に図 30 の工程を行ってもよい。

【0081】

次いで、第 1 メサ領域となる領域上に、マスク 111 を被せ、第 2 メサ領域となる領域に N 型不純物として例えばリン (P_{31}) をイオン注入する (図 31)。バッファ酸化膜 109 およびマスク 111 を除去した後、基板表面に例えば酸化膜からなるマスク 112 を形成し、トレンチエッチングを行って、N 型ウェル領域 22 の表面層にトレンチ 24 を形成する。続いて、バッファ酸化を行って、トレンチ 24 の内部にバッファ酸化膜 113 を形成する。そして、トレンチ 24 の底面に N 型不純物として例えばリン (P_{31}) をイオン注入する (図 32)。

40

【0082】

次いで、熱拡散を行って、第 1 メサ領域 41 内の表面層、第 2 メサ領域 42 内の表面層およびトレンチ 24 の底部にそれぞれ P 型チャネル領域 93、N 型ドレイン領域 94 および拡張 N ドレイン領域 25 を形成する。バッファ酸化膜 113 を除去した後、トレンチ 2

50

4の内部にゲート酸化膜76およびフィールド酸化膜77となる酸化膜を形成し、さらにその内側にゲート電極78とフィールド電極79を形成する(図33)。そして、図示省略するが、マスク112を除去し、シャドウ酸化を行って、シャドウ酸化膜を形成した後、図25の工程へ進む。

【0083】

また、図25の工程に代えて、図34の工程を行ってもよい。すなわち、図24の工程に続いて、第2メサ領域42の上に、マスク114を被せ、ゲート電極78とフィールド電極79をマスクとしてトレンチ24の底面およびP型チャネル領域93の表面層にP型不純物として例えばボロン(B₁₁)をイオン注入する(図34)。そして、マスク114を除去し、図26の工程へ進む。

10

【0084】

図34の工程を行う場合には、P型チャネル領域93の濃度は、図21と図34の両工程におけるP型不純物のイオン注入量によって制御される。図34の工程を行うことによって、微細化したときにマスクずれの精度を懸念することなく、イオン注入を行うことができるので、製造プロセスが簡便となる。

【0085】

さらに、図25の工程に代えて、図35と図36の工程を行ってもよいし、図34の工程に代えて、図37と図38の工程を行ってもよい。つまり、図25または図34の工程では、P型不純物のイオン注入角度は、鉛直方向(0度)である。それに対して、図35と図36の工程、または図37と図38の工程では、斜めイオン注入法を適用しており、P型不純物のイオン注入角度が鉛直方向から傾いている。

20

【0086】

この斜めイオン注入法においては、実施の形態1と同様に、 $\theta = \pm \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、 θ_1 が、次の(2)式を満たすようにする。ただし、 L_{FG} は、ゲート電極78とフィールド電極79との間隔である。

$$0 < \tan \theta_1 \leq L_{FG} / (2 \cdot D_t) \quad \dots (2)$$

【0087】

そして、図35または図37に示す正方向と、図36または図38に示す負方向とで対称にイオン注入を行うのが好ましい。このようにすれば、どのトレンチストライプ断面をとってもP型フローティング領域45のプロファイルが同じになるので、デバイス特性のばらつきが小さくなるからである。実施の形態2によれば、実施の形態1と同様の効果が得られる。

30

【0088】

実施の形態3

図39は、本発明の実施の形態3にかかる半導体装置の構成を示す断面図である。図39に示すように、実施の形態3の半導体装置は、図1に示す実施の形態1の半導体装置において、P型フローティング領域45を複数、例えば2つのP型フローティング領域46、47に分割し、トレンチ24の底部の中央部にP型フローティング領域がないようにしたものである。これらP型フローティング領域46、47は、P型の第1チャネル領域43およびP型の第2チャネル領域44の両方から離れている。

40

【0089】

また、一方のP型フローティング領域46は、素子の上方から見て、第1ゲート電極28と層間絶縁膜30の界面が拡張Nドレイン領域25と重なるオーバーラップ部分に、さらに重なるように形成されている。他方のP型フローティング領域47は、素子の上方から見て、第2ゲート電極29と層間絶縁膜30の界面が拡張Nドレイン領域25と重なるオーバーラップ部分に、さらに重なるように形成されている。その他の構成については、実施の形態1と同様であるので、詳細な説明を省略する。

【0090】

実施の形態3では、実施の形態1と同様に、オーバーラップ部分の電界緩和によってオン電流が安定し、信頼性が向上するのに加えて、実施の形態1よりもオン抵抗を低くする

50

ことができる。その理由は、次の通りである。実施の形態 1 では、図 4 0 に示すように、P 型フローティング領域 4 5 が、トレンチ 2 4 の底面と拡張 N ドレイン領域 2 5 の界面のほぼ全面を被っているため、オン電流は拡張 N ドレイン領域 2 5 の高抵抗バルク領域（図中、R 1 で示す部分）を流れることになる。

【0091】

それに対して、実施の形態 3 では、図 4 1 に示すように、P 型フローティング領域 4 6、4 7 が分割されているので、拡張 N ドレイン領域 2 5 の一部がトレンチ 2 4 の底面に接する。このため、拡張 N ドレイン領域 2 5 の抵抗成分として、高抵抗バルク領域の抵抗 R 1 に並列な抵抗成分 R 2 が生じることになり、拡張 N ドレイン領域 2 5 のドリフト抵抗が R 1 よりも低くなる。従って、実施の形態 3 の方が、実施の形態 1 よりもオン抵抗が低くなる。

10

【0092】

次に、図 3 9 に示す半導体装置の製造プロセスについて図 4 2 ~ 図 4 4 を参照しながら説明する。図 4 2 ~ 図 4 4 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。まず、実施の形態 1 と同様に、図 3 ~ 図 6 の工程を行う。次いで、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 5 6 を被せ、第 1 ゲート電極 2 8 と第 2 ゲート電極 2 9 をマスクとしてトレンチ 2 4 の底面にのみ P 型不純物として例えばボロン (B_{11}) を斜めイオン注入する（図 4 2、図 4 3）。

【0093】

次いで、マスク 5 6 を除去した後、熱拡散を行って、拡張 N ドレイン領域 2 5 内のトレンチ 2 4 の底部に P 型フローティング領域 4 6、4 7 を形成する（図 4 4）。これ以降は、実施の形態 1 と同様に、図 9 ~ 図 1 1 の工程を行い、第 1 ソース電極 3 5 と第 2 ソース電極 3 6 を形成する。

20

【0094】

図 4 2 および図 4 3 の斜めイオン注入工程では、 $\theta = \pm \theta_1$ （ただし、 $\theta_1 > 0$ ）でイオン注入を行う。その際、 θ_1 が、次の (3) 式を満たすようにする。なお、マスク 5 6 の厚みはシャドウ効果に寄与しないものとする。

$$L_{GG} / (2 \cdot D_t) < \tan \theta_1 \leq L_{GG} / D_t \quad \dots (3)$$

【0095】

(3) 式を満たす必要があるのは以下の理由による。 $\tan \theta_1 \leq L_{GG} / (2 \cdot D_t)$ となる θ_1 で斜めイオン注入を行うと、図 1 6 および図 1 7 のようになり、2 つの P 型フローティング領域 4 6、4 7 がトレンチ 2 4 の底面でつながってしまうからである。また、 $\tan \theta_1 > L_{GG} / D_t$ となる θ_1 で斜めイオン注入を行うと、シャドウ効果によりトレンチ 2 4 の底面に P 型不純物が到達しないため、P 型フローティング領域 4 6、4 7 を形成することができないからである。

30

【0096】

実施の形態 3 によれば、実施の形態 1 と同様の効果が得られる。また、シャドウ効果を利用して P 型フローティング領域 4 6、4 7 を形成することができるので、P 型フローティング領域 4 6、4 7 を分けて形成するためにトレンチ 2 4 の底面にマスクを形成する必要がない。従って、製造プロセスが簡便となる。なお、拡張 N ドレイン領域 2 5 の内部に P 型フローティング領域を 3 個以上形成してもよい。

40

【0097】

実施の形態 4

図 4 5 は、本発明の実施の形態 4 にかかる半導体装置の構成を示す断面図である。図 4 5 に示すように、実施の形態 4 の半導体装置は、図 2 0 に示す実施の形態 2 の半導体装置において、実施の形態 3 と同様に、P 型フローティング領域 4 5 を複数、例えば 2 つの P 型フローティング領域 4 6、4 7 に分割し、トレンチ 2 4 の底部の中央部に P 型フローティング領域がないようにしたものである。

【0098】

一方の P 型フローティング領域 4 6 は、素子の上方から見て、ゲート電極 7 8 と層間絶

50

縁膜 30 の界面が拡張 N ドレイン領域 25 と重なるオーバーラップ部分に、さらに重なるように形成されている。他方の P 型フローティング領域 47 は、素子の上方から見て、フィールド電極 79 と層間絶縁膜 30 の界面が拡張 N ドレイン領域 25 と重なるオーバーラップ部分に、さらに重なるように形成されている。

【0099】

その他の構成については、実施の形態 2 と同様であるので、詳細な説明を省略する。実施の形態 4 では、実施の形態 2 よりもオン抵抗を低くすることができる。その理由は、実施の形態 3 で説明した通りである。

【0100】

次に、図 45 に示す半導体装置の製造プロセスについて図 46 ~ 図 48 を参照しながら説明する。図 46 ~ 図 48 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。まず、実施の形態 2 と同様に、図 3 および図 21 ~ 図 24 の工程を行う。次いで、第 1 メサ領域 41 と第 2 メサ領域 42 の上にマスク 106 を被せ、ゲート電極 78 とフィールド電極 79 をマスクとしてトレンチ 24 の底面にのみ P 型不純物として例えばボロン (B_{11}) を斜めイオン注入する (図 46、図 47)。

10

【0101】

次いで、マスク 106 を除去した後、熱拡散を行って、拡張 N ドレイン領域 25 内のトレンチ 24 の底部に P 型フローティング領域 46, 47 を形成する (図 48)。これ以降は、実施の形態 2 と同様に、図 27 ~ 図 29 の工程を行い、ソース電極 85 とドレイン電極 86 を形成する。

20

【0102】

図 46 および図 47 の斜めイオン注入工程では、 $\theta = \pm \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、 θ_1 が、次の (4) 式を満たすようにする。(4) 式を満たす必要がある理由は、実施の形態 3 で説明した通りである。なお、マスク 106 の厚みはシャドウ効果に寄与しないものとする。

$$L_{FG} / (2 \cdot D_t) < \tan \theta_1 \cdot L_{FG} / D_t \quad \dots (4)$$

【0103】

実施の形態 4 によれば、実施の形態 2 と同様の効果が得られる。また、実施の形態 3 と同様に、シャドウ効果を利用して P 型フローティング領域 46, 47 を形成するので、製造プロセスが簡便となる。なお、拡張 N ドレイン領域 25 の内部に P 型フローティング領域を 3 個以上形成してもよい。

30

【0104】

実施の形態 5 .

実施の形態 5 は、図 1 に示す実施の形態 1 の半導体装置の別の製造方法である。実施の形態 5 の製造プロセスについて図 49 および図 50 を参照しながら説明する。図 49 および図 50 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。

【0105】

まず、実施の形態 1 と同様に、図 12 ~ 図 14 の工程を行う。次いで、第 1 メサ領域 41 と第 2 メサ領域 42 の上にマスク 60 を被せたまま、第 1 ゲート電極 28 と第 2 ゲート電極 29 をマスクとしてトレンチ 24 の底面にのみ P 型不純物として例えばボロン (B_{11}) をイオン注入する (図 49)。次いで、熱拡散を行って、拡張 N ドレイン領域 25 内のトレンチ 24 の底部に P 型フローティング領域 45 を形成する (図 50)。これ以降は、実施の形態 1 と同様に、図 9 ~ 図 11 の工程を行い、第 1 ソース電極 35 と第 2 ソース電極 36 を形成する。図示省略するが、図 9 の工程へ進む前にマスク 60 を除去し、シャドウ酸化を行って、シャドウ酸化膜を形成する。

40

【0106】

なお、図 49 の工程では、P 型不純物のイオン注入角度は、鉛直方向 (0 度) であるが、斜めイオン注入法を適用してもよい。この斜めイオン注入法においては、 $\theta = \pm \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、次の (5) 式または (6) 式を満たすようにする。ただし、 T_1 は、マスク 60 の厚さであり、 T_2 は、第 1 ゲート酸化膜 26 と

50

第1ゲート電極28、または第2ゲート酸化膜27と第2ゲート電極29の厚さの和である。

【0107】

$$T_1 < (D_t \cdot T_2) / L_{GG}$$

のとき、

$$0 < \tan^{-1} L_{GG} / (2 \cdot D_t) \leq \theta < \pi/2 \quad \dots (5)$$

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

のとき、

$$0 < \tan^{-1} (2 \cdot T_2 + L_{GG}) / \{2 \cdot (T_1 + D_t)\} \leq \theta < \pi/2 \quad \dots (6)$$

【0108】

実施の形態5によれば、実施の形態1と同様の効果が得られる。また、マスク60を残したままP型フローティング領域45を形成するためのイオン注入を行うことによって、図7のようにイオン注入を行う前にマスク56を形成する必要がないので、製造プロセスが簡便となる。

【0109】

実施の形態6

実施の形態6は、図20に示す実施の形態2の半導体装置の別の製造方法である。実施の形態6の製造プロセスについて図51および図52を参照しながら説明する。図51および図52は、工程順に製造段階の半導体装置の要部を示す縦断面図である。

【0110】

まず、実施の形態2と同様に、図30～図33の工程を行う。次いで、第1メサ領域41と第2メサ領域42の上にマスク112を被せたまま、ゲート電極78とフィールド電極79をマスクとしてトレンチ24の底面にのみP型不純物として例えばボロン(B₁₁)をイオン注入する(図51)。次いで、熱拡散を行って、拡張Nドレイン領域25内のトレンチ24の底部にP型フローティング領域45を形成する(図52)。これ以降は、実施の形態2と同様に、図27～図29の工程を行い、ソース電極85とドレイン電極86を形成する。図示省略するが、図27の工程へ進む前にマスク112を除去し、シャドウ酸化を行って、シャドウ酸化膜を形成する。

【0111】

なお、図51の工程では、P型不純物のイオン注入角度は、鉛直方向(0度)であるが、斜めイオン注入法を適用してもよい。この斜めイオン注入法においては、 $\theta = \pm \theta_1$ (ただし、 $\theta_1 > 0$)でイオン注入を行う。その際、次の(7)式または(8)式を満たすようにする。ただし、 T_1 は、マスク112の厚さであり、 T_2 は、ゲート酸化膜76とゲート電極78、またはフィールド酸化膜77とフィールド電極79の厚さの和である。

【0112】

$$T_1 < (D_t \cdot T_2) / L_{FG}$$

のとき、

$$0 < \tan^{-1} L_{FG} / (2 \cdot D_t) \leq \theta < \pi/2 \quad \dots (7)$$

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

のとき、

$$0 < \tan^{-1} (2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\} \leq \theta < \pi/2 \quad \dots (8)$$

【0113】

実施の形態6によれば、実施の形態2と同様の効果が得られる。また、マスク112を残したままP型フローティング領域45を形成するためのイオン注入を行うことによって、図25のようにイオン注入を行う前にマスク106を形成する必要がないので、製造プロセスが簡便となる。

【0114】

実施の形態7

実施の形態7は、図39に示す実施の形態3の半導体装置の別の製造方法である。実施の形態7の製造プロセスについて図53～図55を参照しながら説明する。図53～図5

10

20

30

40

50

5 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。

【0115】

まず、実施の形態 1 または 5 と同様に、図 1 2 ~ 図 1 4 の工程を行う。次いで、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 6 0 を被せたまま、第 1 ゲート電極 2 8 と第 2 ゲート電極 2 9 をマスクとしてトレンチ 2 4 の底面にのみ P 型不純物として例えばボロン (B_{11}) を斜めイオン注入する (図 5 3、図 5 4)。次いで、熱拡散を行って、拡張 N ドレイン領域 2 5 内のトレンチ 2 4 の底部に P 型フローティング領域 4 6, 4 7 を形成する (図 5 5)。これ以降は、実施の形態 1 と同様に、図 9 ~ 図 1 1 の工程を行い、第 1 ソース電極 3 5 と第 2 ソース電極 3 6 を形成する。図示省略するが、図 9 の工程へ進む前にマスク 6 0 を除去し、シャドウ酸化を行って、シャドウ酸化膜を形成する。

10

【0116】

図 5 3 および図 5 4 の斜めイオン注入工程では、 $\theta = \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、次の (9) 式または (10) 式を満たすようにする。ただし、 T_1 は、マスク 6 0 の厚さであり、 T_2 は、第 1 ゲート酸化膜 2 6 と第 1 ゲート電極 2 8、または第 2 ゲート酸化膜 2 7 と第 2 ゲート電極 2 9 の厚さの和である。

【0117】

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

のとき、

$$L_{GG} / (2 \cdot D_t) < \tan \theta_1 \cdot L_{GG} / D_t \quad \dots (9)$$

$$T_1 > (D_t \cdot T_2) / L_{GG}$$

20

のとき、

$$(2 \cdot T_2 + L_{GG}) / \{2 \cdot (T_1 + D_t)\} < \tan \theta_1 \cdot (2 \cdot T_2 + L_{GG}) / (T_1 + D_t) \quad \dots (10)$$

【0118】

(9) 式は、マスク 6 0 の厚さ T_1 が薄く、マスク 6 0 がシャドウ効果に寄与しない場合に対応している。一方、(10) 式は、マスク 6 0 の厚さ T_1 が厚く、マスク 6 0 がシャドウ効果に寄与する場合に対応している。

【0119】

実施の形態 7 によれば、実施の形態 3 と同様の効果が得られる。また、マスク 6 0 を残したまま P 型フローティング領域 4 6, 4 7 を形成するためのイオン注入を行うことによって、図 4 2 のようにイオン注入を行う前にマスク 5 6 を形成する必要がないので、製造プロセスが簡便となる。なお、拡張 N ドレイン領域 2 5 の内部に P 型フローティング領域を 3 個以上形成してもよい。

30

【0120】

実施の形態 8 .

実施の形態 8 は、図 4 5 に示す実施の形態 4 の半導体装置の別の製造方法である。実施の形態 8 の製造プロセスについて図 5 6 ~ 図 5 8 を参照しながら説明する。図 5 6 ~ 図 5 8 は、工程順に製造段階の半導体装置の要部を示す縦断面図である。

【0121】

まず、実施の形態 2 または 6 と同様に、図 3 0 ~ 図 3 3 の工程を行う。次いで、第 1 メサ領域 4 1 と第 2 メサ領域 4 2 の上にマスク 1 1 2 を被せたまま、ゲート電極 7 8 とフィールド電極 7 9 をマスクとしてトレンチ 2 4 の底面にのみ P 型不純物として例えばボロン (B_{11}) を斜めイオン注入する (図 5 6、図 5 7)。次いで、熱拡散を行って、拡張 N ドレイン領域 2 5 内のトレンチ 2 4 の底部に P 型フローティング領域 4 6, 4 7 を形成する (図 5 8)。これ以降は、実施の形態 2 と同様に、図 2 7 ~ 図 2 9 の工程を行い、ソース電極 8 5 とドレイン電極 8 6 を形成する。図示省略するが、図 2 7 の工程へ進む前にマスク 1 1 2 を除去し、シャドウ酸化を行って、シャドウ酸化膜を形成する。

40

【0122】

図 5 6 および図 5 7 の斜めイオン注入工程では、 $\theta = \theta_1$ (ただし、 $\theta_1 > 0$) でイオン注入を行う。その際、次の (11) 式または (12) 式を満たすようにする。ただし、

50

T_1 は、マスク112の厚さであり、 T_2 は、ゲート酸化膜76とゲート電極78、またはフィールド酸化膜77とフィールド電極79の厚さの和である。

【0123】

$$T_1 < (D_t \cdot T_2) / L_{FG}$$

のとき、

$$L_{FG} / (2 \cdot D_t) < \tan^{-1} (L_{FG} / D_t) \cdots (11)$$

$$T_1 > (D_t \cdot T_2) / L_{FG}$$

のとき、

$$(2 \cdot T_2 + L_{FG}) / \{2 \cdot (T_1 + D_t)\} < \tan^{-1} (2 \cdot T_2 + L_{FG}) / (T_1 + D_t) \cdots (12)$$

10

【0124】

(11)式は、マスク112の厚さ T_1 が薄く、マスク112がシャドウ効果に寄与しない場合に対応している。一方、(12)式は、マスク112の厚さ T_1 が厚く、マスク112がシャドウ効果に寄与する場合に対応している。

【0125】

実施の形態8によれば、実施の形態4と同様の効果が得られる。また、マスク112を残したままP型フローティング領域46、47を形成するためのイオン注入を行うことによって、図46のようにイオン注入を行う前にマスク106を形成する必要がないので、製造プロセスが簡便となる。なお、拡張Nドレイン領域25の内部にP型フローティング領域を3個以上形成してもよい。

20

【0126】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、実施の形態1～8において、ウェル領域22の導電性をP型にしてもよい。その場合、実施の形態1、3、5または7においては、半導体基板21の導電性をN型にするのが望ましい。その理由は、半導体基板21とウェル領域22がともにP型であると、P型の第1チャネル領域43および第2チャネル領域44とP型半導体基板21とが同電位となるため、第1ソース電極35と第2ソース電極36が同電位となり、双方向のMOSFETとして機能しなくなるからである。ただし、第1メサ領域41を挟む2つの拡張Nドレイン領域25が電氣的に接続されるような構成であれば、半導体基板21の導電性がP型であってもよい。

30

【0127】

また、実施の形態1～8において、半導体基板21の導電性は、P型、N型のいずれでもよい。さらに、実施の形態1～8において、すべての半導体の導電性を反転させてもよい。

【産業上の利用可能性】

【0128】

以上のように、本発明にかかる半導体装置およびその製造方法は、高耐圧で大電流を制御する集積回路に適する低オン抵抗のパワーMOSFETに有用であり、特に、スイッチング電源用IC、自動車パワー系駆動用IC、フラットパネルディスプレイ駆動用ICなどに集積されるパワーMOSFETに適している。

40

【図面の簡単な説明】

【0129】

【図1】本発明の実施の形態1にかかる半導体装置の構成を示す断面図である。

【図2】図1に示す半導体装置の電界分布を説明する断面図である。

【図3】本発明の実施の形態1にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図4】本発明の実施の形態1にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図5】本発明の実施の形態1にかかる半導体装置の製造段階における要部を示す縦断面図である。

50

面図である。

【図 3 2】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 3】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 4】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 5】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 6】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

10

【図 3 7】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 8】本発明の実施の形態 2 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 3 9】本発明の実施の形態 3 にかかる半導体装置の構成を示す断面図である。

【図 4 0】図 1 に示す半導体装置のドリフト抵抗を説明する断面図である。

【図 4 1】図 3 9 に示す半導体装置のドリフト抵抗を説明する断面図である。

【図 4 2】本発明の実施の形態 3 にかかる半導体装置の製造段階における要部を示す縦断面図である。

20

【図 4 3】本発明の実施の形態 3 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 4 4】本発明の実施の形態 3 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 4 5】本発明の実施の形態 4 にかかる半導体装置の構成を示す断面図である。

【図 4 6】本発明の実施の形態 4 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 4 7】本発明の実施の形態 4 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 4 8】本発明の実施の形態 4 にかかる半導体装置の製造段階における要部を示す縦断面図である。

30

【図 4 9】本発明の実施の形態 5 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 0】本発明の実施の形態 5 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 1】本発明の実施の形態 6 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 2】本発明の実施の形態 6 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 3】本発明の実施の形態 7 にかかる半導体装置の製造段階における要部を示す縦断面図である。

40

【図 5 4】本発明の実施の形態 7 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 5】本発明の実施の形態 7 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 6】本発明の実施の形態 8 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 7】本発明の実施の形態 8 にかかる半導体装置の製造段階における要部を示す縦断面図である。

【図 5 8】本発明の実施の形態 8 にかかる半導体装置の製造段階における要部を示す縦断面

50

面図である。

【図59】従来のトレンチ構造を適用した横型パワー素子の一例を示す断面図である。

【図60】従来のトレンチ構造を適用した横型パワー素子の他の例を示す断面図である。

【図61】図59に示す横型パワー素子の電界分布を説明する断面図である。

【符号の説明】

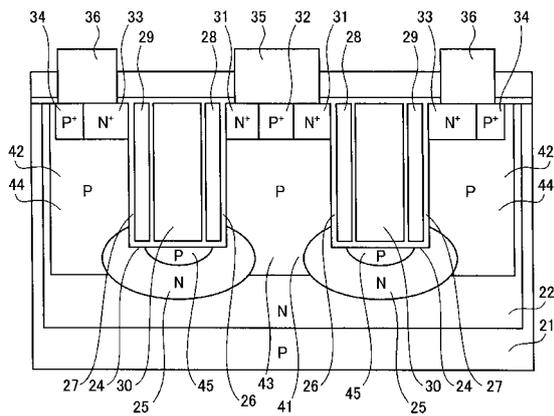
【0130】

- 21 半導体基板
- 22 ウェル領域
- 24 トレンチ
- 25, 83, 94 ドレイン領域
- 26, 27, 76 ゲート絶縁膜
- 28, 29, 78 ゲート電極
- 30 層間絶縁膜
- 31, 33, 81 ソース領域
- 35, 36, 85 ソース電極
- 41 第1メサ領域
- 42 第2メサ領域
- 43, 44, 93 チャンネル領域
- 45 フローティング領域
- 77 フィールド酸化膜
- 79 フィールド電極
- 86 ドレイン電極

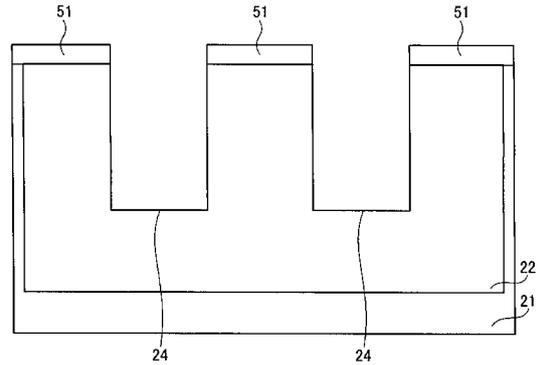
10

20

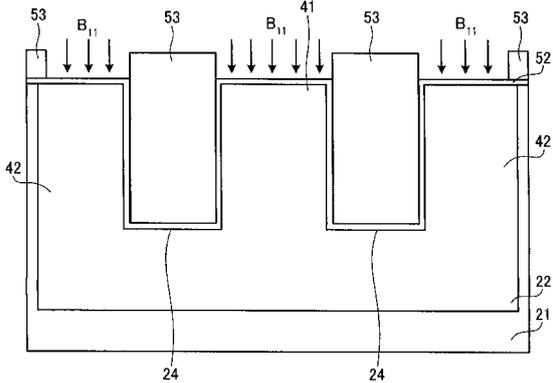
【図1】



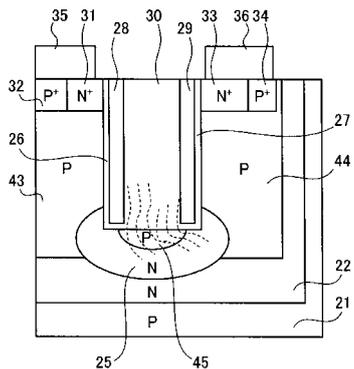
【図3】



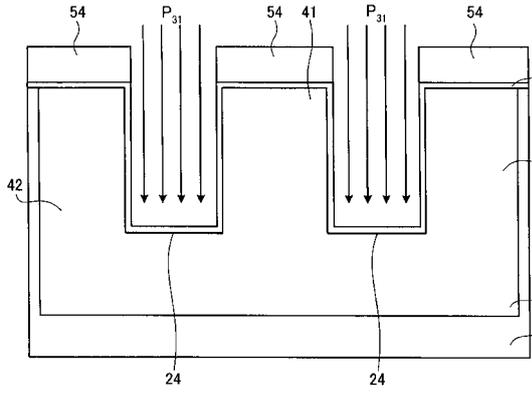
【図4】



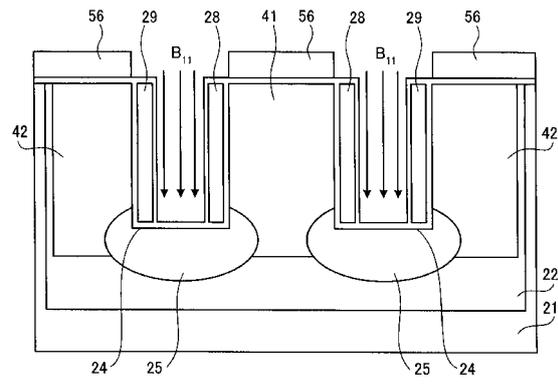
【図2】



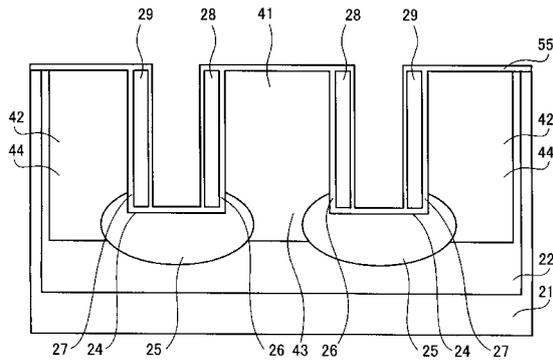
【図5】



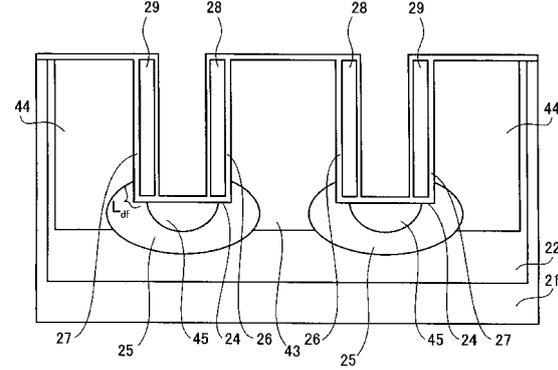
【図7】



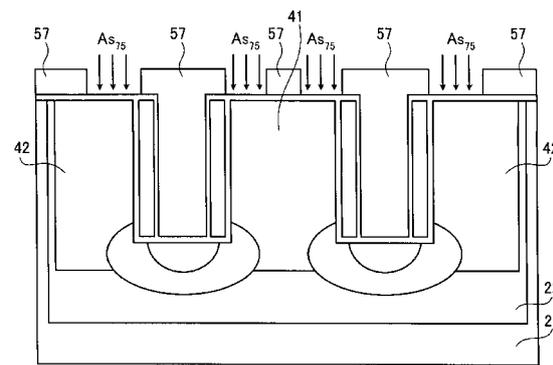
【図6】



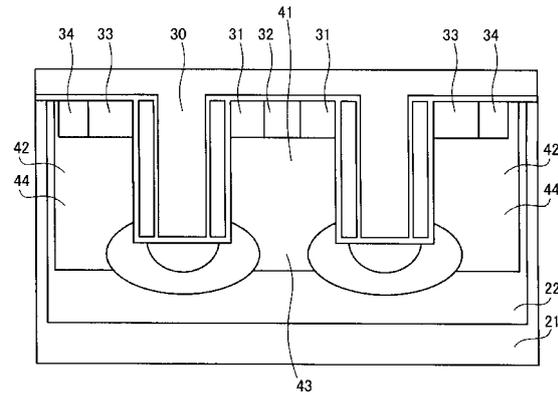
【図8】



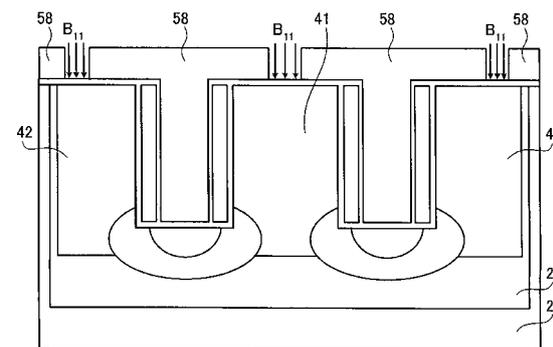
【図9】



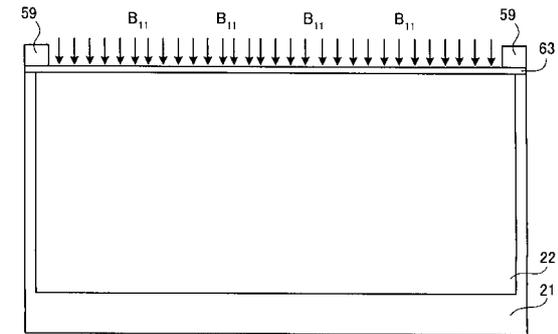
【図11】



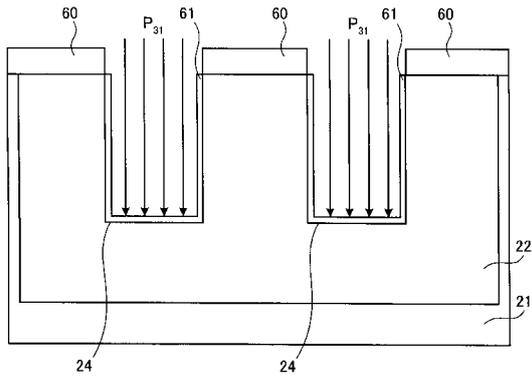
【図10】



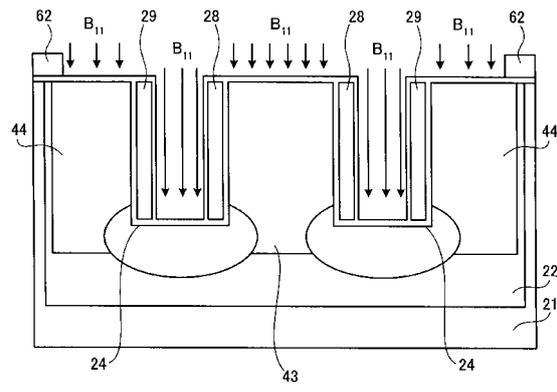
【図12】



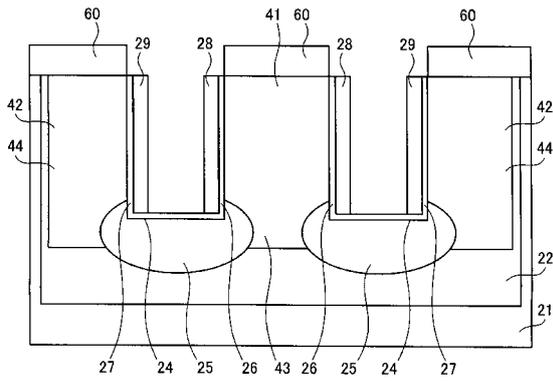
【図13】



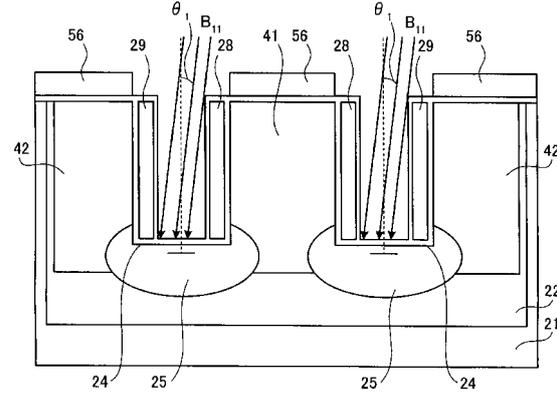
【図15】



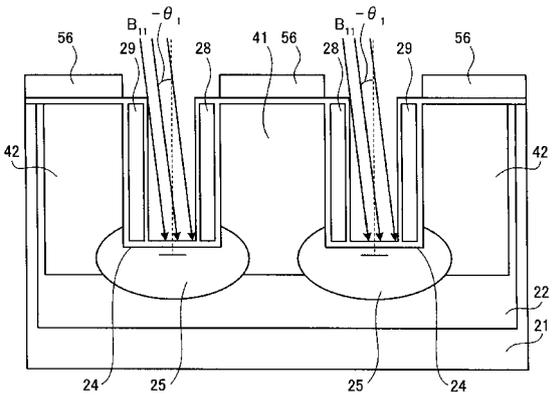
【図14】



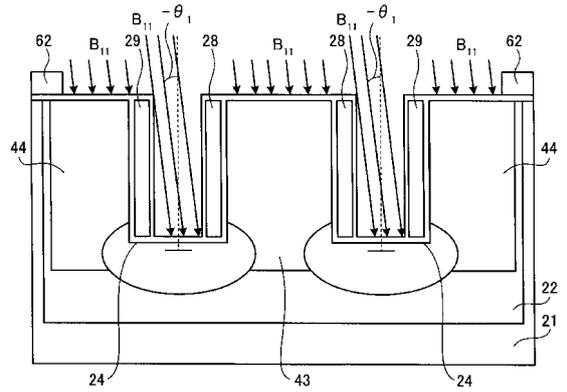
【図16】



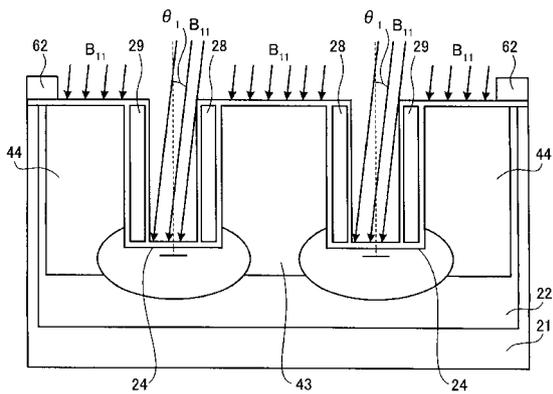
【図17】



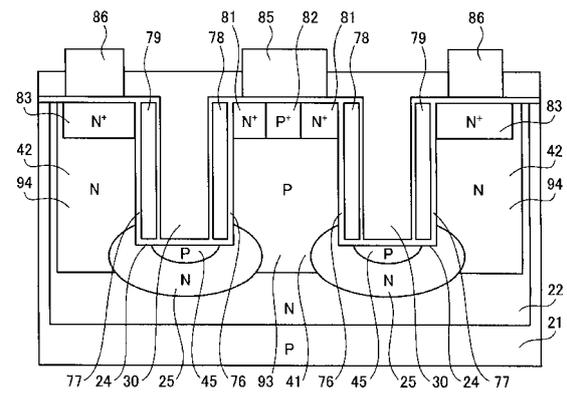
【図19】



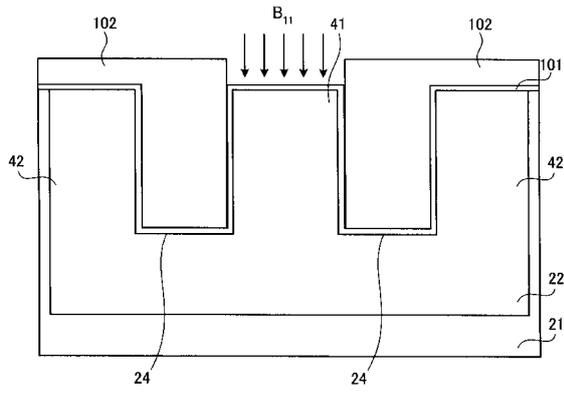
【図18】



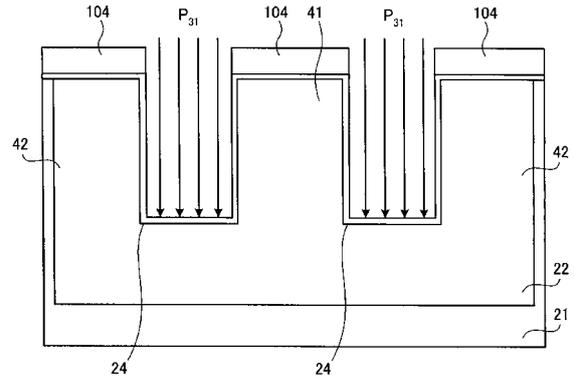
【図20】



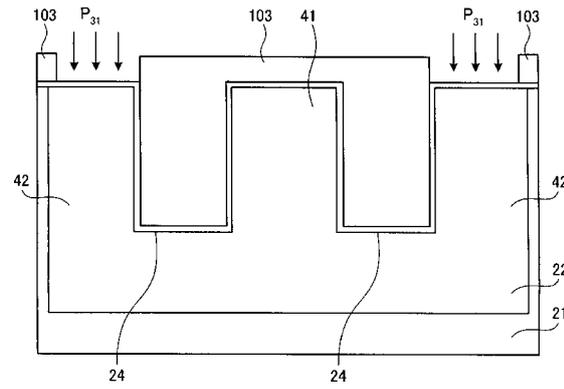
【図 2 1】



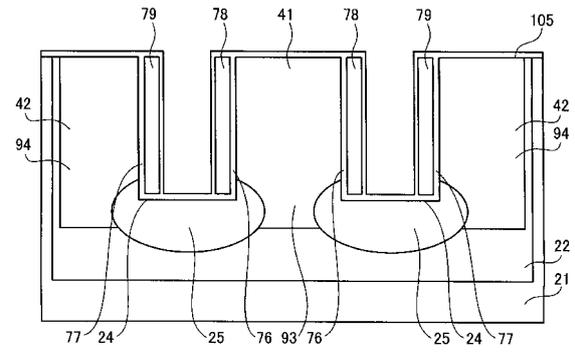
【図 2 3】



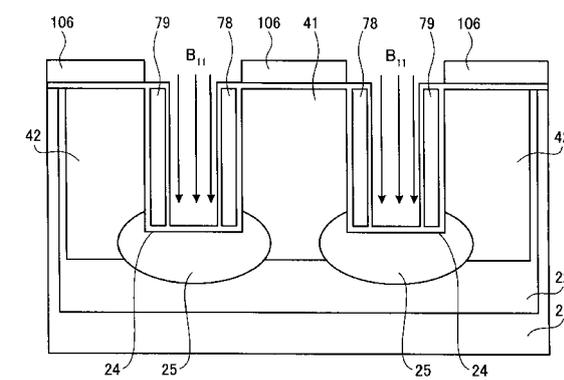
【図 2 2】



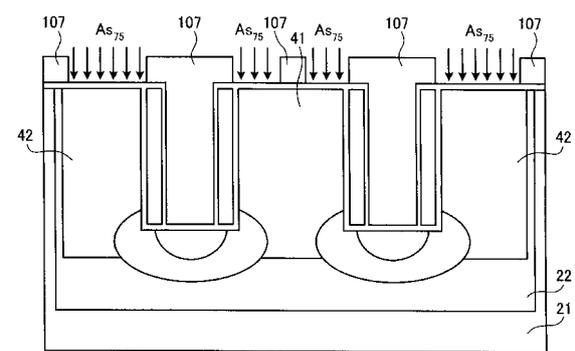
【図 2 4】



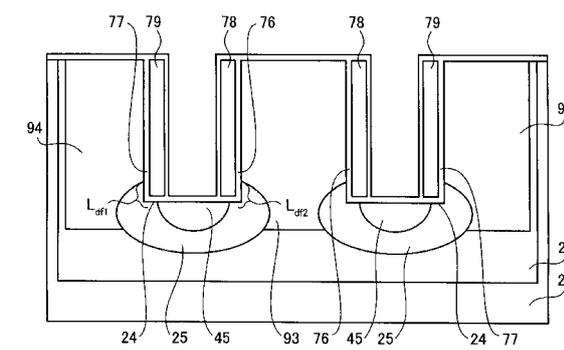
【図 2 5】



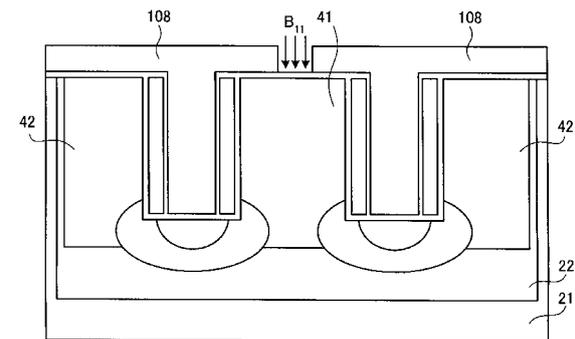
【図 2 7】



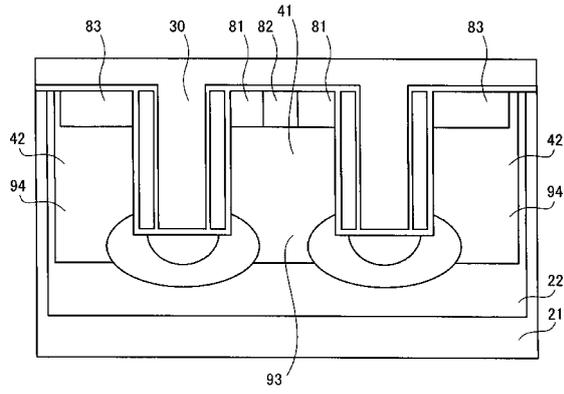
【図 2 6】



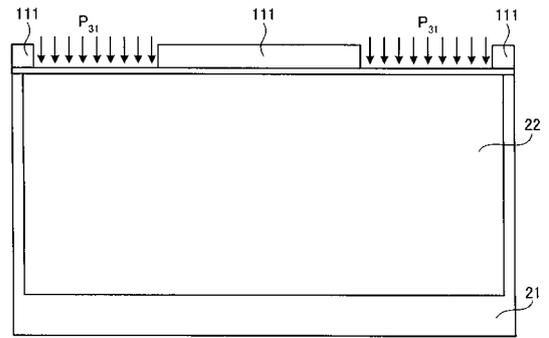
【図 2 8】



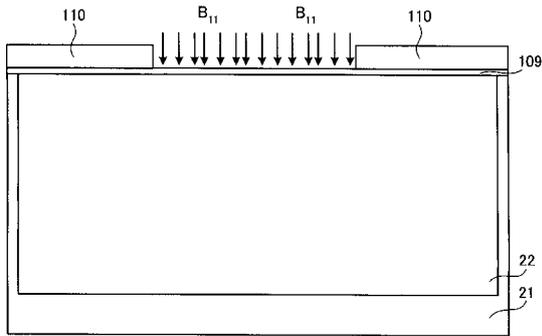
【図29】



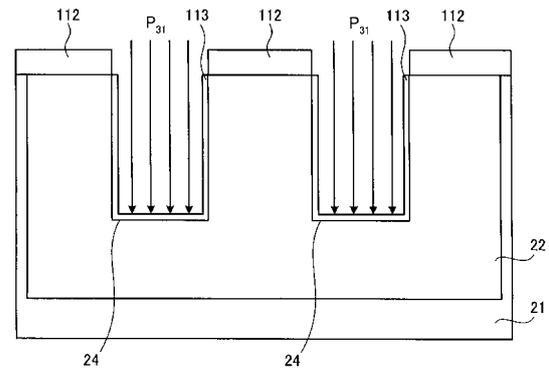
【図31】



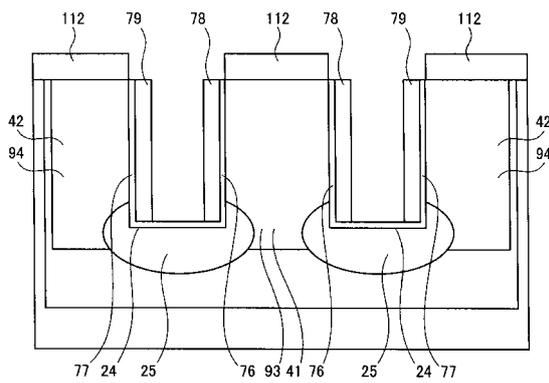
【図30】



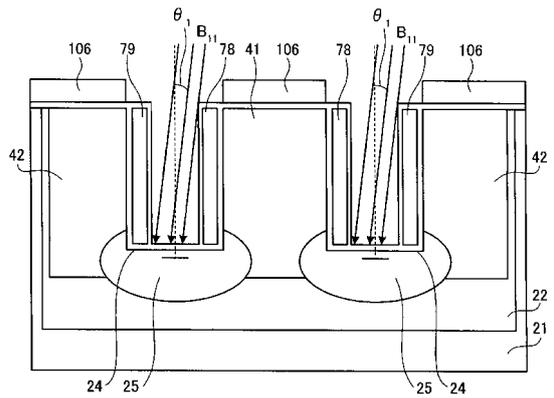
【図32】



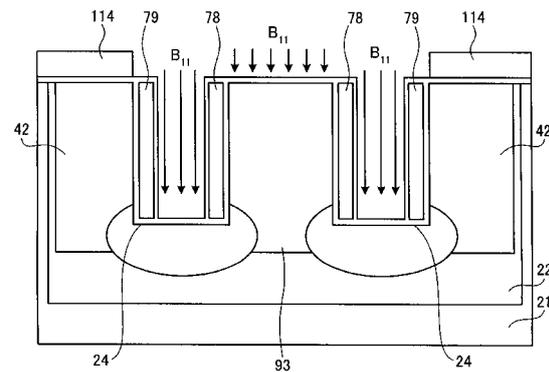
【図33】



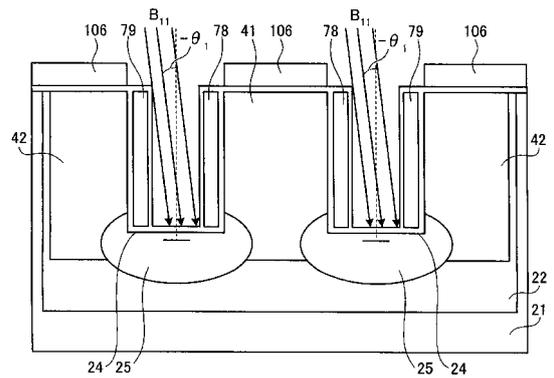
【図35】



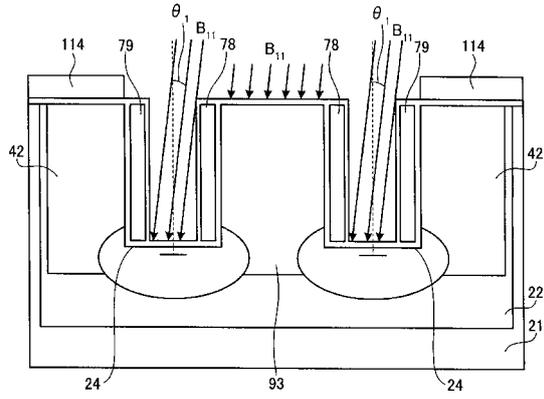
【図34】



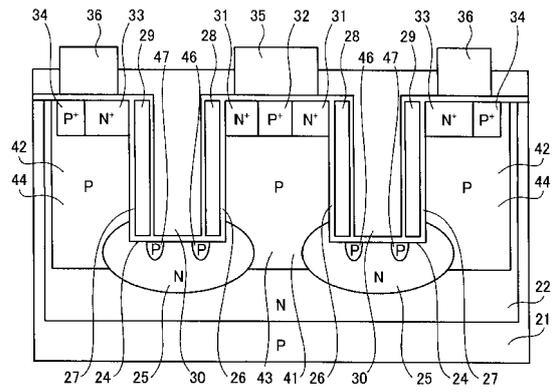
【図36】



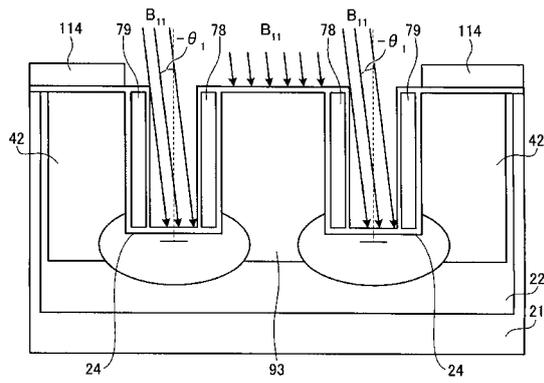
【図37】



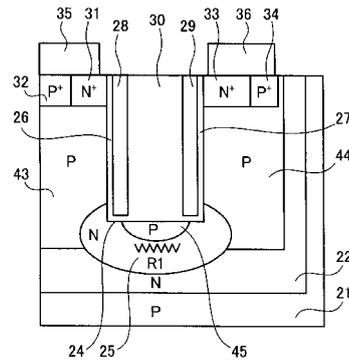
【図39】



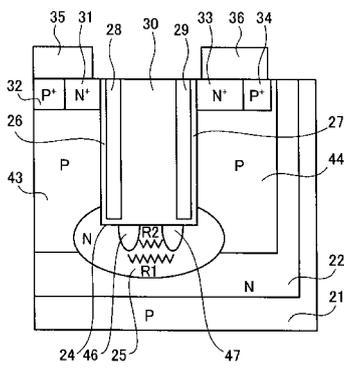
【図38】



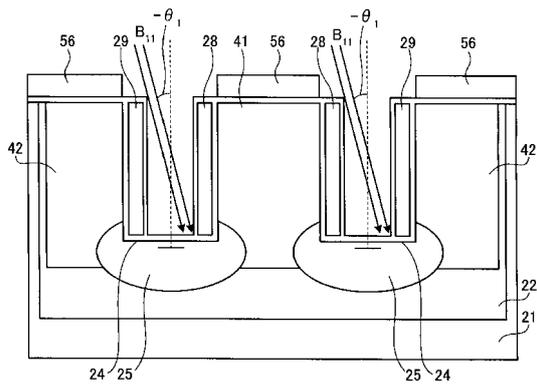
【図40】



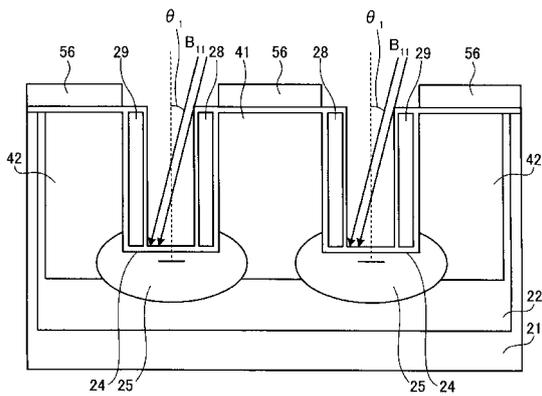
【図41】



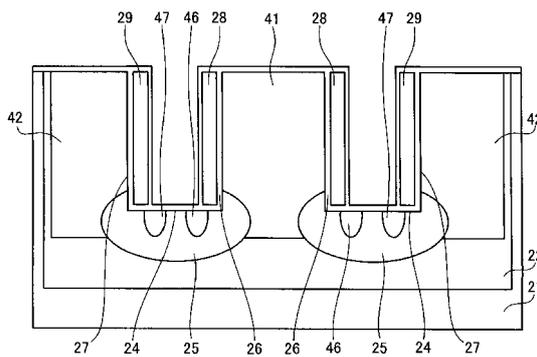
【図43】



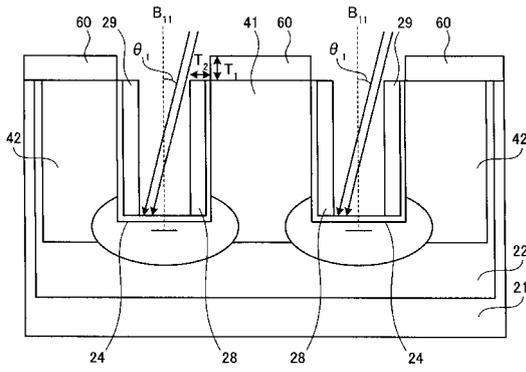
【図42】



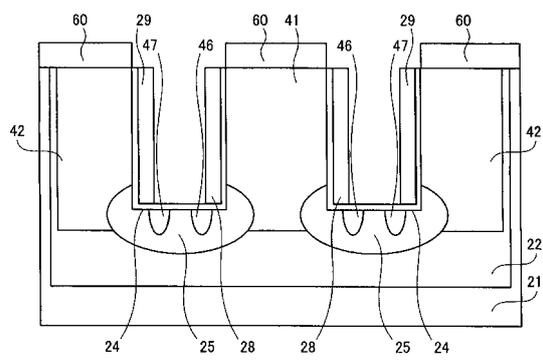
【図44】



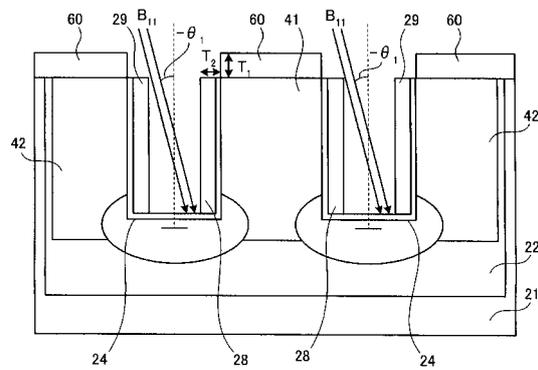
【図53】



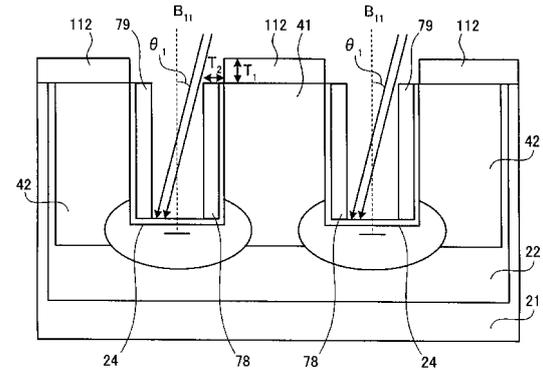
【図55】



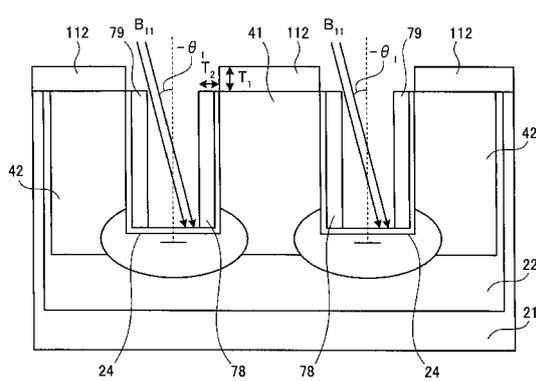
【図54】



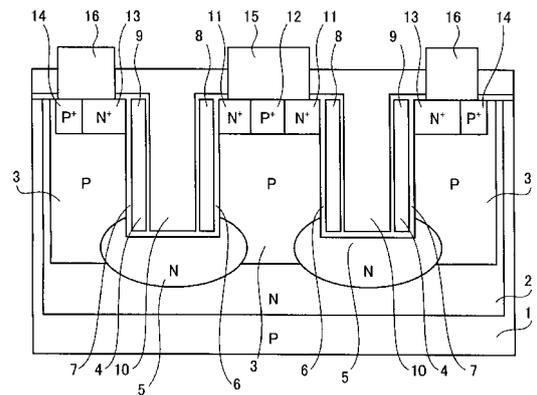
【図56】



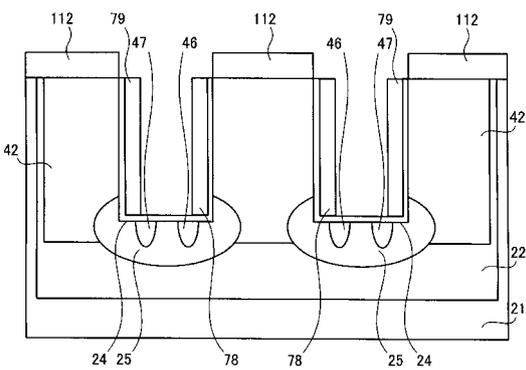
【図57】



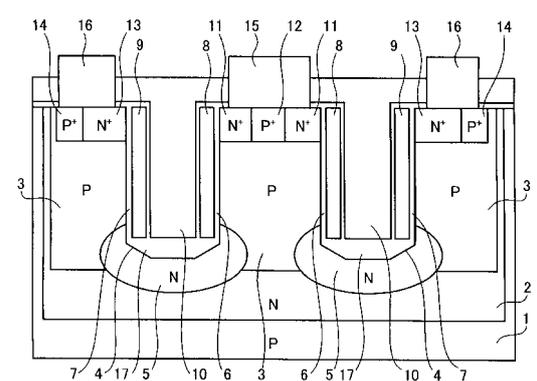
【図59】



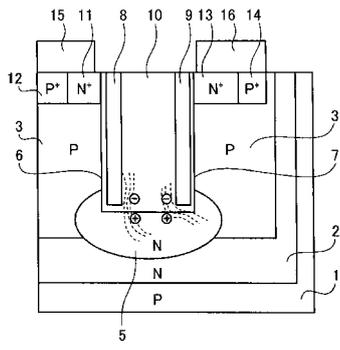
【図58】



【図60】



【図 61】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 D
H 0 1 L 29/78 6 5 8 B

(72)発明者 ホンフェイ ルー
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

審査官 松本 陶子

(56)参考文献 特開2004-274039(JP,A)
特開平06-097450(JP,A)
特開平11-284187(JP,A)
特開2002-141501(JP,A)
特開2002-353446(JP,A)
特開平10-098188(JP,A)
特開2003-179223(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6