

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3800638号  
(P3800638)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.		F I		
<b>HO4N</b>	<b>7/01</b>	<b>(2006.01)</b>	HO4N	7/01
<b>HO3M</b>	<b>7/00</b>	<b>(2006.01)</b>	HO3M	7/00
				G

請求項の数 4 (全 17 頁)

<p>(21) 出願番号 特願平7-132863  (22) 出願日 平成7年5月2日(1995.5.2)  (65) 公開番号 特開平8-307834  (43) 公開日 平成8年11月22日(1996.11.22)  審査請求日 平成14年4月19日(2002.4.19)</p>	<p>(73) 特許権者 000002185  ソニー株式会社  東京都品川区北品川6丁目7番35号  (74) 代理人 100082762  弁理士 杉浦 正知  (72) 発明者 内田 真史  東京都品川区北品川6丁目7番35号 ソ  ニー株式会社内  (72) 発明者 近藤 哲二郎  東京都品川区北品川6丁目7番35号 ソ  ニー株式会社内    審査官 菅原 道晴</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 画像情報変換装置および方法

(57) 【特許請求の範囲】

【請求項1】

デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、

外部から供給された画像情報の奇数フィールドと偶数フィールドとを切り換えて出力する切換手段と、

上記偶数フィールドの画素と上記偶数フィールドの画素で生成される生成画素との位置関係が、上記奇数フィールドの画素と上記奇数フィールドの画素で生成される生成画素との位置関係と同等となるように、上記偶数フィールドを位相シフトして出力する位相シフト手段と、

上記偶数フィールドを位相シフトさせるために上記奇数フィールドを遅延させて出力する遅延手段と、

上記遅延手段および上記位相シフト手段から供給されたデータを時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

上記画像情報分割手段により分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データが上記クラス毎に記憶されており、上記クラス検出手段からの上記クラス情報に応じて上記係数データを出力する係

10

20

数データ記憶手段と、

上記係数データ記憶手段から供給された上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とする画像情報変換装置。

【請求項 2】

請求項 1 に記載の画像情報変換装置において、

上記係数データ記憶手段は、クラス毎に上記係数データを格納するメモリ手段を有し、注目画素の空間的および/または時間的に近傍の複数の画素の値と上記係数データの線形一次結合によって、上記注目画素の値を作成した時に、作成された値と上記注目画素の真値との誤差を最小とするようなクラス毎の上記係数データを予め学習によって求めてお

10

く  
ことを特徴とする画像情報変換装置。

【請求項 3】

デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、

外部から供給された画像情報の奇数フィールドと偶数フィールドとを切り換えて出力する切替ステップと、

上記偶数フィールドの画素と上記偶数フィールドの画素で生成される生成画素との位置関係が、上記奇数フィールドの画素と上記奇数フィールドの画素で生成される生成画素との位置関係と同等となるように、上記偶数フィールドを位相シフトして出力する位相シフト

20

ステップと、

上記偶数フィールドを位相シフトさせるために上記奇数フィールドを遅延させて出力する遅延ステップと、

上記遅延ステップおよび上記位相シフトステップから供給されたデータを時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割ステップと、

上記画像情報分割ステップにより分割された上記ブロック毎に画像情報のレベル分布のパターンが検出され、上記検出されたパターンに基づいて、上記ブロックの画像情報が属するクラス情報を出力するクラス検出ステップと、

上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データが上記クラス毎に記憶されており、上記クラス検出ステップからの上記クラス情報に応じて係数データ記憶手段から上記係数データを出力するステップと、

30

上記係数データ記憶手段から供給された上記係数データに応じて、上記外部から供給された画像情報を、上記外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換ステップとを有することを特徴とする画像情報変換方法。

【請求項 4】

請求項 3 に記載の画像情報変換方法において、

クラス毎に上記係数データを格納するステップを有し、

注目画素の空間的および/または時間的に近傍の複数の画素の値と上記係数データの線形一次結合によって、上記注目画素の値を作成した時に、作成された値と上記注目画素の真値との誤差を最小とするようなクラス毎の上記係数データを予め学習によって求めてお

40

く  
ことを特徴とする画像情報変換方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、例えばテレビジョン受像器やビデオテープレコーダ装置等に用いて好適な画像情報変換装置に関し、特に、外部から供給される通常の解像度の画像情報を高解像度の画像情報に変換して出力するような画像情報変換装置および方法に関する。

50

## 【0002】

## 【従来の技術】

今日において、オーディオ・ビジュアル指向の高まりから、より高解像度の画像を得ることが出来るようなテレビジョン受像器の開発が望まれ、この要望に応じて、いわゆるハイビジョンが開発された。このハイビジョンは、いわゆるNTSC方式に規定される走査線数が525本なのに対して、2倍以上の1125本となっているうえ、表示画面の縦横比もNTSC方式が3：4に対して9：16と広角画面になっている。このため、高解像度で臨場感のある画像を得ることが出来るようになってきている。

## 【0003】

ここで、このような優れた特性を有するハイビジョンではあるが、NTSC方式の映像信号をそのまま供給しても画像表示を行うことはできない。これは、上述のようにNTSC方式とハイビジョン方式とでは規格が異なるからである。このため、NTSC方式の映像信号に応じた画像をハイビジョンで表示しようとする場合、従来は、例えば図8に示すような画像情報変換装置を用いて映像信号のレート変換を行っていた。

## 【0004】

図8において、従来の画像情報変換装置は、入力端子100を介して供給されるNTSC方式の映像信号に対して水平方向の補間処理を行う水平補間フィルタ101と、水平方向の補間処理の行われた映像信号に対して垂直方向の補間処理を行う垂直補間フィルタ102とから構成されている。そして、出力端子103からハイビジョン方式の映像信号を得ることができる。

## 【0005】

具体的には、水平補間フィルタ101は、図9に示すような構成を有しており、入力端子100を介して供給されるNTSC方式の映像信号は、入力端子110を介して第1～第 $m$ の乗算器 $111_{\perp} \sim 111_m$ にそれぞれ供給される。各乗算器 $111$ は、それぞれ映像信号に係数を乗算して出力する。係数の乗算された映像信号は、それぞれ第1～第 $m-1$ の加算器 $112_{\perp} \sim 112_{m-1}$ に供給される。各加算器 $112_{\perp} \sim 112_{m-1}$ の間には、それぞれ時間 $T$ の遅延レジスタ $113_{\perp} \sim 113_m$ が設けられている。そして、第 $m$ の乗算器 $111_m$ から出力された映像信号は、第 $m-1$ の遅延レジスタ $113_{m-1}$ により時間 $T$ の遅延が施され、第 $m-1$ の加算器 $112_{m-1}$ に供給される。

## 【0006】

第 $m-1$ の加算器 $112_{m-1}$ は、第 $m-1$ の遅延レジスタ $113_{m-1}$ からの時間 $T$ の遅延時間の施された映像信号と、第 $m-1$ の乗算器 $111_{m-1}$ からの映像信号とを加算処理して出力する。この加算処理の施された映像信号は、第 $m-2$ の遅延レジスタ $113_{m-2}$ により再度、時間 $T$ の遅延時間が施され、図示しない第 $m-2$ の加算器 $112_{m-2}$ において、同じく図示しない第 $m-2$ の乗算器 $112_{m-2}$ からの映像信号と加算処理される。水平補間フィルタ101は、このようにしてNTSC方式の映像信号を出力端子120を介して垂直補間フィルタ102に供給する。

## 【0007】

垂直補間フィルタ102は、上述の水平補間フィルタ101と同様の構成を有しており、水平補間処理の行われた映像信号に対して、垂直方向の画素の補間を行う。これにより、NTSC方式の映像信号に対して、垂直方向の画素の補間を行う。このような変換のなされたハイビジョンの映像信号は、ハイビジョン受像器に供給される。これにより、NTSC方式の映像信号に応じた画像をハイビジョン受像器で表示することができる。

## 【0008】

しかしながら、従来の画像情報変換装置は、NTSC方式の映像信号を基にして、単に水平方向および垂直方向の補間を行っているに過ぎないため、解像度は、基となるNTSC方式の映像信号と何ら変わらなかった。特に、通常の動画を変換対象とした場合、垂直方向の補間をフィールド内処理で行うのが一般的であるが、その場合、画像のフィールド間相関を使用していないため、画像静止部においてはNTSC方式の映像信号よりもむしろ解像度が劣化する欠点があった。

10

20

30

40

50

## 【0009】

これに対し、出願人は、特願平6-205934号において、画像信号変換装置に入力信号である画像信号レベルの3次元(時空間)分布に応じてクラス分割を行い、クラス毎に予め学習により獲得された予測係数値を格納した記憶手段を持ち、予測式に基づいた演算により最適な推定値を出力する、というものを提案している。

## 【0010】

この手法は、HD画素を創造する場合、創造するHD画素の近傍にある複数のSD画素データを用いてクラス分割し、それぞれのクラス毎に予測係数値を学習により獲得することで、画像静止部においてはフレーム内相関、また動き部においてはフィールド内相関を利用して、より真値に近いHD画素値を得る、というような巧妙なものである。

10

## 【0011】

この手法によれば、静止/動き、の切り換わりも実際の画像を用いて学習することにより滑らかに表現できるので、従来の動き適応方式のように静止/動きの切り換わりによる不自然さの発生を大幅に減少させることができる。

## 【0012】

## 【発明が解決しようとする課題】

しかしながら、上述の先の出願に開示されている手法は、創造するHD画素の間隔を均等とするために、図10に示すような画素構造をとっていた。すなわち、中心となるSD画素xに近いHD画素 $y_1$ を作り出すモードと、SD画素xから遠いHD画素 $y_2$ を作り出すモードの2つのモードが必要であった。この2つのモードで係数を共用することは不可能であるから、クラス分類された各々のクラス毎にモード1用の係数とモード2用の係数の2組の係数が必要であった。ところで変換の精度をあげるためには、多くのクラスを持つ必要がある。したがって、複数のモードを持つことは、係数ROMがそれだけの倍率で大きくなることを意味しており、実用化の上で問題点となっていた。

20

## 【0013】

また、SD画素に近いHD画素を作り出すモード1においては、常に高精度の変換が可能であるが、SD画素から遠いHD画素を作り出すモード2において、静止部のときは、他のフィールドの空間的に近いデータが変換に使用できるため高精度の変換が可能であるが、動き部のときは、そのデータを変換に使用できないため、変換精度が劣化する。それにより動画部のときは、モード1とモード2の間でかなりの変換精度差が生じることになり、時として画質的な問題が生じることもあった。

30

## 【0014】

さて、垂直方向の変換と水平方向の変換を順番に行う(同時には行わない)セパラル方式の垂直方向の変換において、2つの変換モードが必要なのは上述のように作り出すHD画素間隔を正しいものにするためである。作り出すHD画素間隔を均等なものにするために、SD画素からの距離が均等でない2つのモードが必要になるわけである。ここで、2つのモードを用意しなくてすむよう、SD画素からの距離が均等になるようにHD画素を創造するものとする、図11に示すような画素関係になる。すなわち、HD画素が第1フィールドと第2フィールドで空間的に同じ位置に存在することになり、HD画素間隔が正しくないことになってしまう。したがって、単純にこの手法は使えない。

40

## 【0015】

上述の手法を用いて、HD画素間隔を正しくするためには、第1フィールドと第2フィールドで処理を変える必要がある。例えば、図12のような画素構造にした場合、HD画素間隔は正しくなる。しかし、第1フィールドに関しては1つのモードで済むが、第2フィールドに関しては、第1フィールドとは異なる2つのモードが必要になり、合計3モード必要なことになり、係数ROMの削減どころか増大につながることになる。このように従来のアプローチでは、モードの削減によるROMの削減は困難であった。

## 【0016】

ところで、従来の変換方式の多くは、セパラル方式である。例えば、垂直方向の変換が2モード、水平方向の変換が1モードであった場合、セパラル方式では、(2+1)で

50

合計 3 モード分の係数が必要があったが、垂直方向の変換と水平方向の変換を同時に行うノン・セパラブル方式においては、(2 × 1) で計 2 モードで済む。したがって、ノン・セパラブル方式を採用することによって、モード数を減少させることは可能な場合があるが、同等の性能を得ようとした場合は、クラス分類のクラス数が増大するので実質的には係数 ROM の削減にはつながらない。したがって、係数 ROM の削減という観点では、ノン・セパラブル方式の採用は決め手にはならない。

【 0 0 1 7 】

この発明は、上述の問題点に鑑みてなされたものであり、解像度を向上させて N T S C 方式の映像信号をハイビジョン用の映像信号に変換することができる画像情報変換装置および方法の提供を目的とする。

10

【 0 0 1 8 】

【課題を解決するための手段】

請求項 1 に記載の発明は、デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換装置において、

外部から供給された画像情報の奇数フィールドと偶数フィールドとを切り換えて出力する切換手段と、

偶数フィールドの画素と偶数フィールドの画素で生成される生成画素との位置関係が、奇数フィールドの画素と奇数フィールドの画素で生成される生成画素との位置関係と同等となるように、偶数フィールドを位相シフトして出力する位相シフト手段と、

偶数フィールドを位相シフトさせるために奇数フィールドを遅延させて出力する遅延手段と、

20

遅延手段および位相シフト手段から供給されたデータを時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割手段と、

画像情報分割手段により分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出手段と、

外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データがクラス毎に記憶されており、クラス検出手段からのクラス情報に応じて係数データを出力する係数データ記憶手段と、

係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換手段とを有することを特徴とする画像情報変換装置である。

30

【 0 0 1 9 】

また、請求項 3 に記載の発明は、デジタル画像信号を、より画素数の多いデジタル画像信号に変換するようにした画像情報変換方法において、

外部から供給された画像情報の奇数フィールドと偶数フィールドとを切り換えて出力する切換ステップと、

偶数フィールドの画素と偶数フィールドの画素で生成される生成画素との位置関係が、奇数フィールドの画素と奇数フィールドの画素で生成される生成画素との位置関係と同等となるように、偶数フィールドを位相シフトして出力する位相シフトステップと、

40

偶数フィールドを位相シフトさせるために奇数フィールドを遅延させて出力する遅延ステップと、

遅延ステップおよび位相シフトステップから供給されたデータを時空間的に近傍に位置する複数の画像データからなる複数のブロックに分割する画像情報分割ステップと、

画像情報分割ステップにより分割されたブロック毎に画像情報のレベル分布のパターンが検出され、検出されたパターンに基づいて、ブロックの画像情報が属するクラス情報を出力するクラス検出ステップと、

外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換するための情報である推定式の係数データがクラス毎に記憶されており、クラス検出ステップからのクラス情報に応じて係数データ記憶手段から係数データを出力する

50

ステップと、

係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換して出力する画像変換ステップとを有することを特徴とする画像情報変換方法である。

【0020】

【作用】

この発明に係る画像情報変換装置は、奇数フィールドのデータを生成する場合は、入力SD信号をそのまま画像情報分割手段に送り、偶数フィールドのデータを生成する場合は、入力SD信号を位相シフト手段により、フィールド内SD画素間隔の1/4だけ上にシフトさせたものを画像情報分割手段割に送る。画像情報分割手段では、垂直方向に連続する同一フレーム内の複数の画素からなる、複数の領域に分割し、それぞれの領域毎に画像情報のレベル分布のパターンを検出し、この検出したパターンに基づいて、その領域の画像情報が属するクラスを決定してクラス検出情報を出力する。さらに、異なる種類の画像情報分割手段により、複数のフレーム間データの組合せに分割し、それぞれの領域毎に空間的に同一位置にあるフレーム間差分の絶対値の平均値を算出し、予め設定したしきい値により動きの程度を表すクラスを決定し、クラス検出情報を出力する。2つのクラスをクラスコード発生回路により統合し、最終的なクラスとして出力する。係数データ記憶手段には、外部から供給された画像情報をこの画像情報よりも高い解像度の画像情報に変換するための情報である線形推定式の係数データがクラス毎に記憶されており、この係数データは、クラス検出情報に応じて出力される。そして、画像情報変換手段が係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、外部から供給された画像情報よりも高い解像度の画像情報に変換する。

【0021】

【実施例】

以下、この発明に係る画像信号変換装置の実施例について図面を参照しながら詳細に説明する。図1は、この一実施例、すなわち画像信号変換装置の信号処理の概略的構成を示す。1で示す入力端子から、外部から供給される画像情報として、例えばいわゆるNTSC方式の映像信号がデジタル化され、SD(Standard Definition)データとして供給される。

【0022】

この実施例における、SD画素と創造すべきHD画素の位置関係は、第1フィールドにおいては、図3に示す通りとする。すなわち、創造すべきHD画素は、同一フィールド内で見たと、SD画素の上下の均等な距離に存在する。すなわち、中心となるSD画素のxの上に位置するHD画素 $y_1$ 、下に位置するHD画素 $y_2$ は、それぞれSD画素xから等しい距離にある。以降SD画素の上の位置に存在するHD画素を推定するモードをモード1、SD画素の下の位置に存在するHD画素を推定するモードをモード2、と呼ぶ。

【0023】

しかしながら、第2フィールドのHD画素創造も同様な構造を用いた場合、上述のように第1フィールドと第2フィールドのHDの画素が空間的に同一位置上に作られてしまうため、この手法は使えない。

【0024】

そこで、第1フィールドのHD画像創造においては、SD画像のデータをそのまま扱い、第2フィールドのHD画像創造においては、フィルタリングにより位相シフトを行ったSD画像を扱うことにする。

【0025】

入力端子1から供給されたSDデータは、切換器2へ供給され、この切換器2は、端子3から供給されるフィールドIDに基づいて、入力端子1から供給されたSDデータが第1フィールドのSDデータであれば、遅延回路5へ供給され、第2フィールドのSDデータであれば、位相シフトフィルタ回路4へ供給される。位相シフトフィルタ回路4は、第2フィールドのHD画素生成のためのSD画素の位相シフトを行う回路である。ここでは、

10

20

30

40

50

すべてのSD画素がフィールド内位相シフトフィルタにより、フィールド内SD画素間隔の1/4だけ上にシフトした位置に位相シフトされる。この位相シフトフィルタには特に制限はないが、変換性能の点から見ると理想フィルタに近いものが望ましい。これにより、図4上に示す位置に新たにSD画素データが生成される。第2フィールドのHD画像創造においては、フィルタリングにより生成されたこれらのSD画像を用いて、第1フィールドと同様の手法でHD画像データが創造される。すなわち、フィルタリングにより生成されたSD画像データの上下均等の位置にHD画素が生成される。この様子を図5に示す。

#### 【0026】

このように第1フィールドのHD画素に関しては、入力されたSD画素データをそのまま扱い、第2フィールドのHD画素に関しては、位相シフトされたSD画素データを扱い、HD画像を生成することにより、1つのモードで正規の間隔のHD画像を生成することができる。

10

#### 【0027】

一方、遅延回路5は、第1フィールドのHD画素生成のために、位相シフトフィルタ回路4に要するのと同じだけの時間遅延を行う回路である。第1フィールドのHD画素生成の時は、遅延回路5の出力信号が領域分割化回路6および領域分割化回路7へ供給され、同様に第2フィールドのHD画素生成の時は、位相シフトフィルタ回路4の出力信号が領域分割化回路6および領域分割化回路7へ供給される。

#### 【0028】

20

以降簡単のため、第1フィールドのHD画素生成の場合を中心に述べる。領域分割化回路6では、位相シフトフィルタ回路4あるいは遅延回路5から供給されたSD画像信号を複数の領域に分割する。この実施例では、創造すべきHD画素の同一フィールド内に属するSD画素と1つ前のフィールドに属するSD画素の中から、例えば垂直方向に空間的に隣接したものから5つの画素を選択し、1画素×5ラインの計5画素からなる領域に分割する。

#### 【0029】

図6におけるHD画素 $y_1$ 、HD画素 $y_2$ 、に対するSD画素 $x_1$ 、 $x_2$ 、 $x_3$ 、 $x_4$ 、 $x_5$ がその領域にあたる。

#### 【0030】

30

領域分割化回路6によりブロック化されたデータが、ADRC回路9および遅延回路10に供給される。遅延回路10は、ADRC回路9、クラスコード発生回路11、ROMテーブル12の処理に必要な時間だけデータを遅延させて、推定演算回路13に出力する。

#### 【0031】

ADRC回路9は、上述したように領域毎に供給されるSDデータの1次元あるいは2次元なレベル分布のパターンを検出すると共に、上述のように各領域のデータを、例えば8ビットのSDデータから2ビットのSDデータに圧縮するような演算を行うことによりパターン圧縮データを形成し、このパターン圧縮データをクラスコード発生回路11に供給する。本来、ADRC(Adaptive Dynamic Range Coding)は、VTR向け高能率符号化用に関与された適応的再量子化法であるが、信号レベルの局所的なパターンを短い語長で効率的に表現できるので、この実施例では、信号パターンのクラス分類のコード発生に使用している。ADRC回路9は、領域内のダイナミックレンジをDR、ビット割当をn、領域内画素のデータレベルをL、再量子化コードをQとして以下の式(1)により、領域内の最大値MAXと最小値MINとの間を指定されたビット長で均等に分割して再量子化を行う。

40

#### 【0032】

$$DR = MAX - MIN + 1$$

$$Q = \{ (L - MIN + 0.5) \cdot 2^n / DR \} \quad (1)$$

ただし、{ }は切り捨て処理を意味する。

#### 【0033】

50

この実施例では、領域分離化回路 6 により分離されたそれぞれ 5 画素の S D データを、各 2 ビットに圧縮するものとする。圧縮された S D データをそれぞれ  $q_1$ 、 $q_2$ 、 $q_3$ 、 $q_4$ 、 $q_5$  とする。

【 0 0 3 4 】

一方、位相シフトフィルタ回路 4 あるいは遅延回路 5 から供給された S D 画像信号は、領域分割化回路 7 にも供給される。領域分割化回路 7 においても、供給された S D 画像信号を複数の領域に分割する。この実施例では、供給された S D 画像信号から、創造すべき H D 画素の 2 フィールド前の S D 画素を、例えば 1 画素  $\times$  3 ラインの計 3 画素からなる領域に分割し、さらに創造すべき H D 画素と同一フィールド内の S D 画素を、例えば同様に 1 画素  $\times$  3 ラインの計 3 画素からなる領域に分割する。

10

【 0 0 3 5 】

すなわち、図 7 における H D 画素  $y_1$ 、H D 画素  $y_2$  に対する前フレームの S D 画素  $m_1$ 、 $m_2$ 、 $m_3$  および同一フレームの S D 画素  $n_1$ 、 $n_2$ 、 $n_3$  がその領域にあたる。

【 0 0 3 6 】

領域分割化回路 7 により切り出されたデータが、動きクラス決定回路 8 に供給される。動きクラス決定回路 8 は、上述したように領域毎に供給される S D データの差分を算出し、その絶対値の平均値をしきい値処理することにより動きの指標である動きパラメータを算出し、この動きクラス mv-class をクラスコード発生回路 11 に供給する。具体的には、動きクラス決定回路 8 は、以下の式 (2) により、供給される S D データの差分の絶対値の平均値 param を算出する。

20

【 0 0 3 7 】

【 数 1 】

$$\text{param} = \frac{\sum_{i=1}^n |m_i - n_i|}{n} \quad (2)$$

ただし、この実施例では  $n = 3$  である。

【 0 0 3 8 】

上述の手法で算出した S D データの差分の絶対値の平均値 param を予め設定したしきい値により、この S D データの差分の絶対値の平均値 param を用いて動きクラス mv-class を算出する。例えば、ここでは動きクラスを 4 つ設けることとして、動きクラス mv-class を以下のように決定する。

30

param 2 の場合：動きクラス 0

param 4 の場合：動きクラス 1

param 8 の場合：動きクラス 2

param > 8 の場合：動きクラス 3

【 0 0 3 9 】

クラスコード発生回路 11 は、A D R C 回路 9 から供給されるパターン圧縮データ ( $q_1$ 、 $q_2$ 、 $q_3$ 、 $q_4$ 、 $q_5$ ) および動きクラス決定回路 8 から供給される動きクラス mv-class に基づいて以下の式 (3) の演算を行うことにより、そのブロックが属するクラスを検出し、そのクラスを示すクラスコード class を R O M テーブル 12 へ供給する。このクラスコード class は、R O M テーブル 12 からの読み出しアドレスを示すのとなっている。

40

【 0 0 4 0 】

【 数 2 】

$$\text{class} = \sum_{i=1}^n q_i (2^i) + \text{mv-class} \cdot 2^n \quad (3)$$

50

## 【 0 0 4 1 】

この実施例では、 $n = 3$ 、 $P = 2$ である。ただし、モード1の推定とモード2の推定では、画素の位置が逆なのでA D R Cの量子化データをモード1とモード2では逆読みにする必要がある。すなわち、モード1のクラスを式(2)で決定した場合、モード2のクラスは以下の式(4)で決定される。

## 【 0 0 4 2 】

## 【 数 3 】

$$\text{class} = \sum_{i=n}^1 q_i (2^P)^{((n+1)-i)} + \text{mv-class} \cdot 2^n \quad (4)$$

10

## 【 0 0 4 3 】

R O Mテーブル12には、S DデータのパターンとH Dデータの関係を学習することにより、線形推定式を用いて、S Dデータに対応するH Dデータを算出するための係数データが各クラス毎に記憶されている。これは、線形推定式によりS Dデータをこの画像情報よりも高い解像度の画像情報である。いわゆるハイビジョンの規格に合致したH D (High Definition) データに変換するための情報である。この実施例において、係数データはモード1とモード2で共通に用意される。なお、R O Mテーブル12に記憶されている係数データの作成方法については後述する。R O Mテーブル12からは、クラスコードclass 20

で示されるアドレスから、そのクラスの係数データである $w_i(\text{class})$ が読み出される。この係数データは、推定演算回路13へ供給される。

## 【 0 0 4 4 】

推定演算回路13は、遅延回路10を介して領域分割化回路6から供給されるS DデータおよびR O Mテーブル12から供給される係数データである $w_i(\text{class})$ に基づいて、入力されたS Dデータに対応するH Dデータを算出する。

## 【 0 0 4 5 】

より具体的には、推定演算回路13は、遅延回路10より供給されたS DデータをR O Mテーブル12より供給された係数データにより、係数データである $w_i(\text{class})$ に基づいて、それぞれ以下の式(5)に示す演算を行うことにより、入力されたS Dデータに対応するH Dデータを算出する。作成されたH Dデータは、水平補間フィルタ14へ供給される。

30

## 【 0 0 4 6 】

$$h d' = w_1 \times x_1 + w_2 \times x_2 + w_3 \times x_3 + w_4 \times x_4 + w_5 \times x_5 \quad (5)$$

## 【 0 0 4 7 】

水平補間フィルタ14は、図8の水平補間フィルタ102と同一なもので、補間処理により水平方向の画素数を2倍にするものである。水平補間フィルタ14の出力は、出力端子15を介して出力される。この出力端子15を介して出力されるH Dデータは、例えばH Dテレビジョン受像器やH Dビデオテープレコーダ装置等に供給される。

## 【 0 0 4 8 】

このように、S Dデータに対応するH Dデータを推定するための係数データを各クラス毎に予め学習により求めた上で、R O Mテーブル12に記憶しておき、入力されるS DデータおよびR O Mテーブル12から読み出した係数データ( $w_i(\text{class})$ )に基づいて演算を行い、入力されたS Dデータに対応するH Dデータを形成して出力することにより、入力されるS Dデータを単に補間処理したのとは異なり、実際のH Dデータにより近いデータを出力することが出来る。

40

## 【 0 0 4 9 】

続いて、R O Mテーブル12に格納される係数データの作成方法について図2を用いて説明する。

## 【 0 0 5 0 】

50

係数データを学習によって得るためには、まず、既に知られているHD画像に対応した、HD画像の1/4の画素数のSD画像を形成する。具体的には、図2に示す理想フィルタ回路により、入力端子21を介して供給されるHDデータの垂直方向の画素を垂直間引きフィルタ22において、フィールド内の垂直方向の周波数が1/2になるように間引き処理し、さらに水平間引きフィルタ23において、HDデータの水平方向の画素を間引き処理することにより、SDデータが得られる。垂直間引きフィルタ23により得られたSDデータは、領域分割化回路24に供給される。

【0051】

領域分割化回路24では、水平間引きフィルタ23より供給されたSD画像信号が複数の領域に分割される。具体的には、領域分割化回路24は、先に説明した領域分割化回路6  
10  
と同一の働きをするものである。この実施例では、領域分割化回路6と同じく、各5画素からなる領域にSD画像信号が分割される。この領域毎のSDデータは、ADRC回路25および正規方程式加算回路29へ供給される。

【0052】

ADRC回路25は、領域毎に供給されるSDデータの1次元あるいは2次元なレベル分布のパターンを検出すると共に、上述のように各領域の全てのデータあるいは一部のデータ、例えば8ビットのSDデータから2ビットのSDデータに圧縮するような演算を行うことによりパターン圧縮データを形成し、このパターン圧縮データは、クラスコード発生回路28へ供給される。このADRC回路25は、先に説明したADRC回路9と  
20  
同一なものであり、この実施例では、領域分割化回路24により分離された、5画素からなる各領域のSDデータ(図6における $x_1 \sim x_5$ )をADRCにより各2ビットに圧縮するものとする。

【0053】

一方、水平間引きフィルタ23より供給されたSD画像信号は、領域分割化回路26にも供給される。具体的には、領域分割化回路26は、先に説明した領域分割化回路7と同一の働きをするものである。領域分割化回路26により切り出されたSDデータは、動きクラス決定回路27へ供給される。具体的には、動きクラス決定回路27は、先に説明した動きクラス決定回路8と同一の働きをするものである。動きクラス決定回路27で決定された動きクラスは、クラスコード発生回路28へ供給される。

【0054】

クラスコード発生回路28は、先に説明したクラスコード発生回路11と同一のものであり、ADRC回路25から供給されるパターン圧縮データおよび動きクラス決定回路27から供給された動きクラスに基づいて式(2)の演算を行うことにより、そのブロックが属するクラスを検出し、そのクラスを示すクラスコードを出力するものである。クラスコード発生回路28は、クラスコードを正規方程式加算回路29に出力する。  
30

【0055】

ここで、正規方程式加算回路29の説明のために、複数個のSD画素からHD画素への変換式の学習とその予測式を用いた信号変換について述べる。以下では、説明のために画素をより一般化してn画素による予測を行う場合について説明する。さらに、SD画素レベルをそれぞれ、 $x_1$ 、 $\dots$ 、 $x_n$ として、それぞれにpビットADRCを行った結果の  
40  
再量子化データを $q_1$ 、 $\dots$ 、 $q_n$ とする。

【0056】

このとき、この領域のクラスコードclassを式(2)で定義する。

【0057】

上述のように、SD画素レベルをそれぞれ、 $x_1$ 、 $\dots$ 、 $x_n$ とし、HD画素レベルをyとしたとき、クラス毎に係数 $w_1$ 、 $\dots$ 、 $w_n$ によるnタップの線形推定式を設定する。これを式(6)に示す。学習前は、 $w_i$ が未定係数である。

【0058】

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (6)$$

【0059】

10

20

30

40

50

学習は、クラス毎に複数の信号データに対して行う。データ数が  $m$  の場合、式 (6) に従って、以下に示す式 (7) が設定される。

【0060】

$$y_k = w_1 \cdot x_{k1} + w_2 \cdot x_{k2} + \dots + w_n \cdot x_{kn} \quad (7)$$

( $k = 1, 2, \dots, m$ )

【0061】

$m > n$  の場合、 $w_1, \dots, w_n$  は一意に決まらないので、誤差ベクトル  $e$  の要素を式 (8) で定義して、式 (9) を最小にする係数を求める。いわゆる、最小二乗法による解法である。

【0062】

$$e_k = y_k - \{w_1 \cdot x_{k1} + w_2 \cdot x_{k2} + \dots + w_n \cdot x_{kn}\} \quad (8)$$

( $k = 1, 2, \dots, m$ )

【0063】

【数4】

$$e^2 = \sum_{k=0}^m e_k^2 \quad (9)$$

10

【0064】

ここで、式 (9) の  $w_i$  による偏微分係数を求める。それは式 (10) を 0 にするように、各  $w_i$  を求めればよい。 20

【0065】

【数5】

$$\frac{\partial e^2}{\partial w_i} = \sum_{k=0}^m 2 \left( \frac{\partial e_k}{\partial w_i} \right) e_k = \sum_{k=0}^m 2 x_{ki} \cdot e_k \quad (10)$$

【0066】

以下、式 (11)、式 (12) のように、 $X_{ij}, Y_i$  を定義すると、式 (10) は、行列を用いて式 (13) に書き換えられる。 30

【0067】

【数6】

$$X_{ji} = \sum_{p=0}^m x_{pi} \cdot x_{pj} \quad (11)$$

【0068】

【数7】

$$Y_i = \sum_{k=0}^m x_{ki} \cdot y_k \quad (12)$$

40

【0069】

【数8】

$$\begin{bmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \cdot & \cdot & \dots & \cdot \\ X_{n1} & X_{n2} & \dots & X_{nn} \end{bmatrix} \begin{bmatrix} w_1 \\ w_2 \\ \cdot \\ w_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \cdot \\ Y_n \end{bmatrix} \quad (13)$$

## 【0070】

この方程式は、一般に正規方程式と呼ばれている。正規方程式加算回路29は、クラスコード発生回路28から供給されたクラスコード、領域分割化回路24より供給されたSDデータ $x_1$ 、 $\dots$ 、 $x_n$ が入力端子21より供給された、SDデータに対応するHD画素レベル $y$ を用いて、この正規方程式の加算を行う。

10

## 【0071】

すべてのトレーニングデータの入力終了した後、正規方程式加算回路29は、予測係数決定回路30に正規方程式データを出力する。予測係数決定回路30は、正規方程式を掃き出し法などの一般的な行列解法を用いて、 $w_i$ について解き、予測係数を算出する。予測係数決定回路30は、算出された予測係数をメモリ31に書き込む。

## 【0072】

以上のようにトレーニングを行った結果、メモリ31には、量子化データ $q_1$ 、 $q_2$ 、 $q_3$ 、 $q_4$ 、 $q_5$ で規定されるパターン毎に、注目HDデータ $y$ を推定するための、統計的にもっとも真値に近い推定が出来る予測係数が格納される。このメモリ31に格納されたテーブルが上述のように、この発明の画像信号変換装置において使用されるROMテーブル12である。以上の処理により、線形推定式によりSDデータからHDデータを作成するための係数データの学習が終了する。

20

## 【0073】

なお、上述の実施例の説明では、情報圧縮手段として、ADRCを設けることにしたが、これはほんの一例であり、信号波形のパターンの少ないクラスで表現できるような情報圧縮手段であれば何を設けるかは自由であり、例えばDPCMやVQ等の圧縮手段を用いても良い。

30

## 【0074】

さらに、上述の実施例の説明では、簡単のため、水平方向のアップコンバージョン、水平補間フィルタ14を用いたが、このかわりに、水平方向のアップコンバージョン用のROMを用意し、水平方向のアップコンバージョンにおいても推定式を用いた方式を採用することも勿論可能である。

## 【0075】

また、上述の実施例の説明では、垂直方向の変換と水平方向の変換を順次行うセパラル方式を採用していたが、これはこの発明の本質ではなく、垂直方向の変換と水平方向の変換を同時に行う、ノン・セパラル方式を採用しても何ら問題はない。

## 【0076】

さらに、上述の実施例の説明では、領域分割化回路6により、信号波形のパターンを1次元的に分割したが、2次元的な分割にしても良い。

40

## 【0077】

さらに、上述の実施例の説明では、領域分割化回路7および動きクラス決定回路8により、1次元的に分割したSD画像データを用いて、動きクラスmv-classの決定を行っていたが、領域分割を2次元的な分割にしても良い。むしろ、2次元的なものにするほうが望ましい。また、今回は簡単のため、領域分割化回路6による領域分割と領域分割化回路7による領域分割は、類似の領域分割を行ったが本来これらは全く別個のものであり、類似の領域分割を行う必要は全くない。

## 【0078】

50

さらに、上述の実施例の説明では、クラス分類に使用するSD画素と、線形推定式で用いるSD画素を同一のものとしたが、これらは必ずしも同一なものである必要はない。異なる画素を使用する場合、クラス分類に使用するSD画素を線形推定式で用いるSD画素が包含するような形にするのが望ましく、また追加して使用する、線形推定式で用いるSD画素は、推定するHD画素と同一フィールドに属するもののみとすることが望ましい。

【0079】

さらに、上述の実施例の説明では、ROMテーブル12の作成時に、位相シフトを行わないSDデータのみを入力対象としているが、図1に示すように位相シフトフィルタ回路4と遅延回路5と同様な回路を用意し、位相シフトされたSDデータをも学習対象としても良い。

10

【0080】

【発明の効果】

この発明に依れば、奇数フィールドと偶数フィールドで処理を変え、偶数フィールドのHD画素生成は、位相シフトフィルタにより位相をずらしたSD画素をもとにするという手法を用いることにより、1種類の変換モードで垂直方向の変換を実現する。これにより、ROMテーブルの大きさが半分になり、また画質の均質化を実現することが可能となる。

【図面の簡単な説明】

【図1】この発明に係る画像情報変換装置の一実施例のブロック図である。

【図2】補正データテーブルの作成を説明するためのブロック図である。

【図3】この発明の変換方式の位相関係を説明するための略線図である。

20

【図4】この発明の変換方式の位相関係を説明するための略線図である。

【図5】従来の時空間クラス分割方式の問題点を説明するための略線図である。

【図6】この発明に係る時空間クラス決定に使用するデータを説明するための略線図である。

【図7】この発明に係る動きクラス決定に使用するデータを説明するための略線図である。

【図8】従来の画像情報変換装置のブロック図である。

【図9】従来の画像情報変換装置に係る水平補間フィルタの一例の回路図である。

【図10】従来の変換方式の位相関係を説明するための略線図である。

【図11】従来の変換方式の位相関係を説明するための略線図である。

30

【図12】従来の変換方式の位相関係を説明するための略線図である。

【符号の説明】

2 切換器

4 位相シフトフィルタ回路

6、7 領域分割化回路

8 動きクラス決定回路

9 ADR C回路

11 クラスコード発生回路

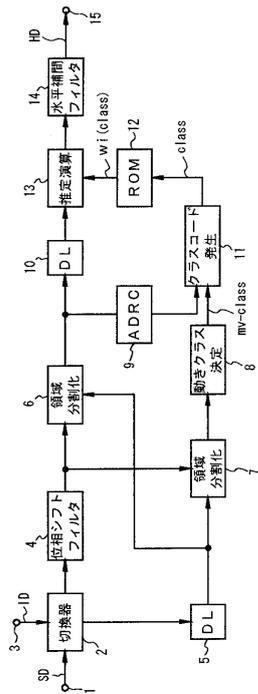
12 ROMテーブル

13 推定演算回路

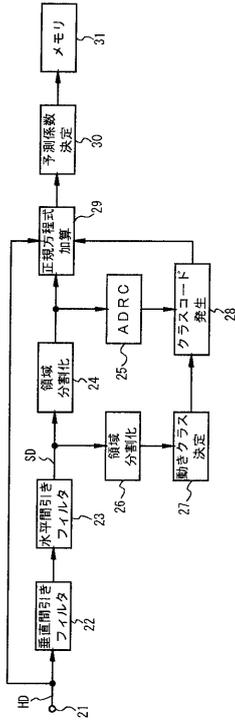
40

14 水平補間フィルタ

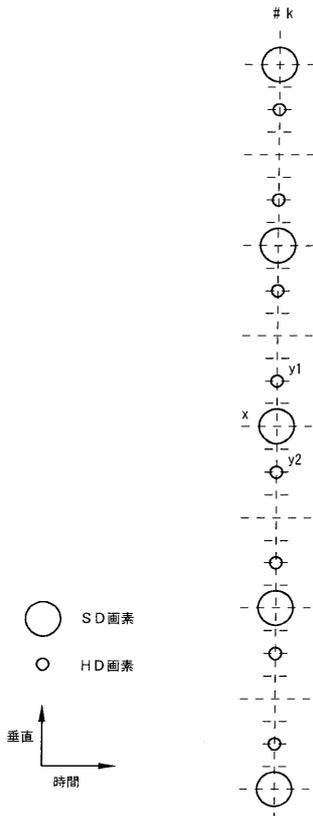
【 図 1 】



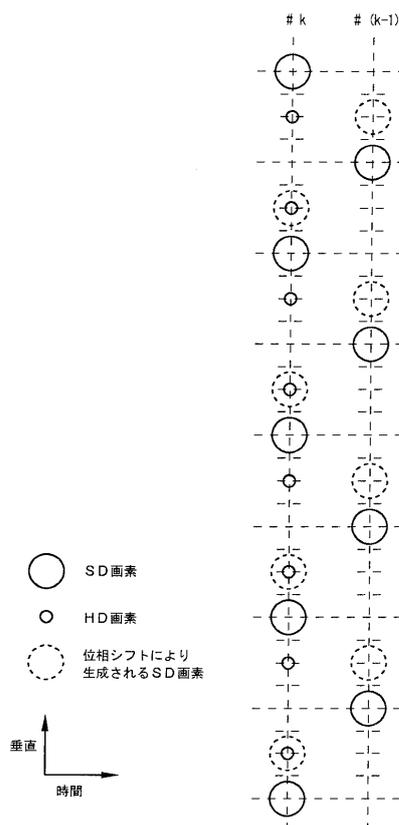
【 図 2 】



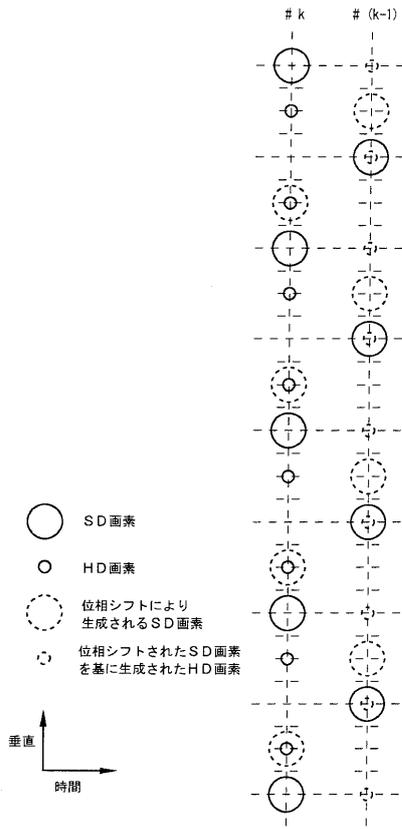
【 図 3 】



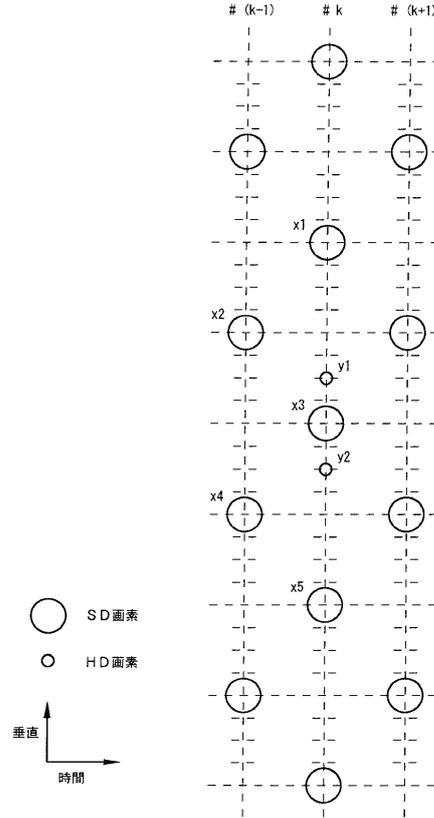
【 図 4 】



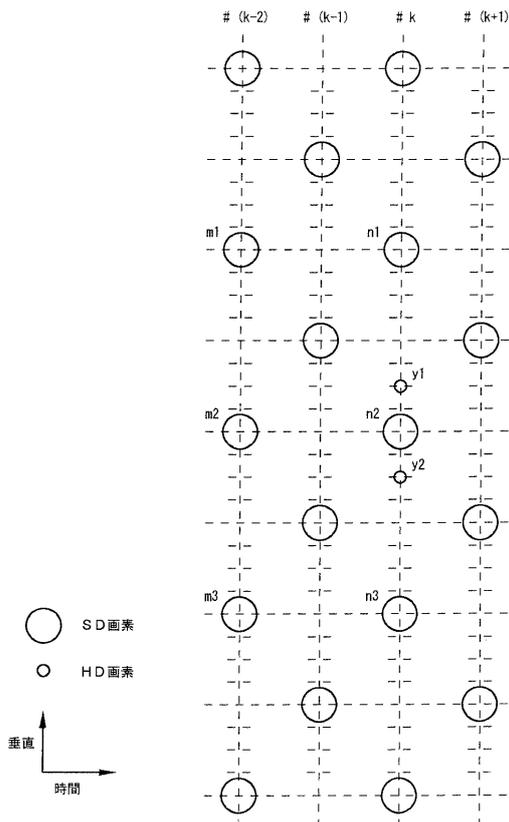
【 図 5 】



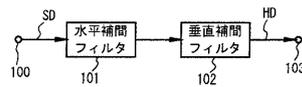
【 図 6 】



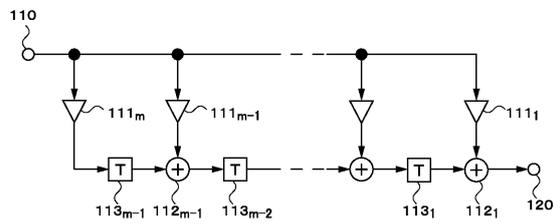
【 図 7 】



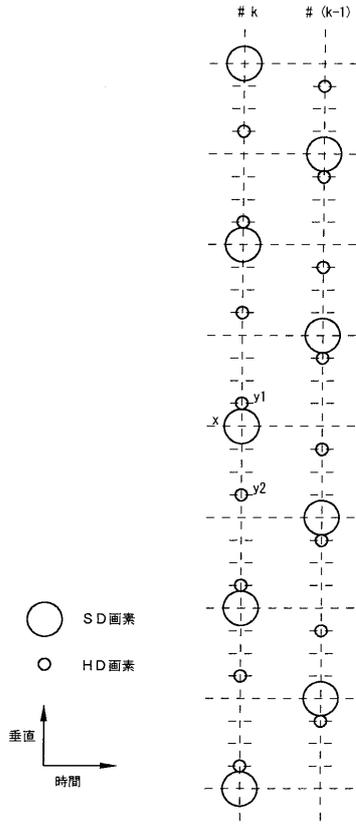
【 図 8 】



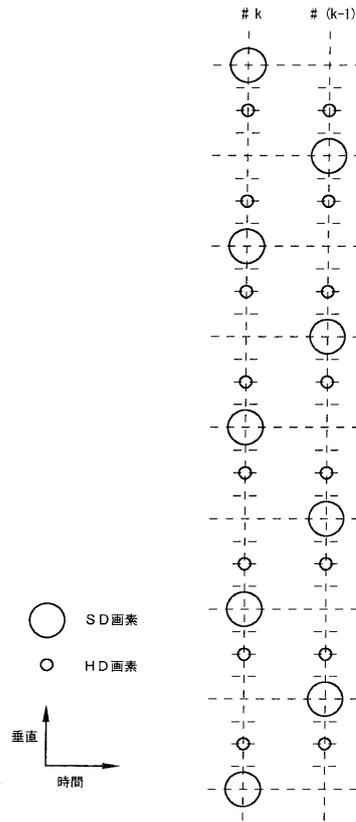
【 図 9 】



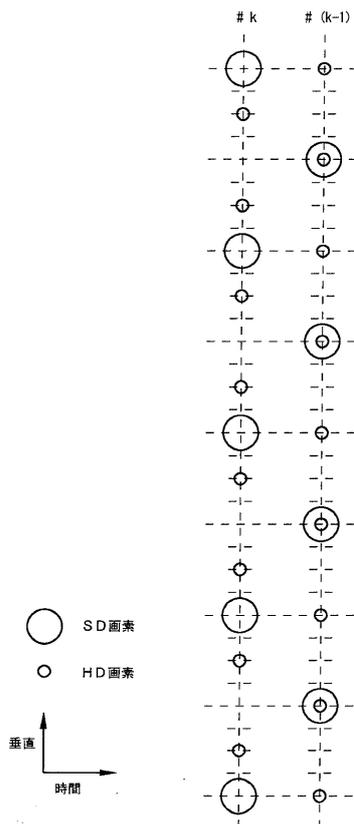
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H04N 7/00-7/01

H03M 7/00