

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7126140号
(P7126140)

(45)発行日 令和4年8月26日(2022.8.26)

(24)登録日 令和4年8月18日(2022.8.18)

(51)国際特許分類	F I		
H 0 1 L 51/50 (2006.01)	H 0 5 B	33/22	D
H 0 1 L 27/32 (2006.01)	H 0 1 L	27/32	
H 0 5 B 33/12 (2006.01)	H 0 5 B	33/22	B
H 0 5 B 33/22 (2006.01)	H 0 5 B	33/12	B
G 0 9 F 9/30 (2006.01)	H 0 5 B	33/22	Z

請求項の数 9 (全11頁) 最終頁に続く

(21)出願番号	特願2018-41768(P2018-41768)	(73)特許権者	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22)出願日	平成30年3月8日(2018.3.8)	(74)代理人	110000154弁理士法人はるか国際特許 事務所
(65)公開番号	特開2019-160863(P2019-160863 A)	(72)発明者	前田 典久 東京都港区西新橋三丁目7番1号 株式 会社ジャパンディスプレイ内
(43)公開日	令和1年9月19日(2019.9.19)	審査官	渡邊 吉喜
審査請求日	令和3年3月4日(2021.3.4)		

最終頁に続く

(54)【発明の名称】 有機EL表示装置

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板上に位置する複数の画素と、

前記複数の画素のそれぞれが備える下部電極と、

前記複数の画素を区画し、隣接する前記下部電極の間に位置するバンクと、

前記下部電極上および前記バンク上に配置される有機材料層と、

前記有機材料層上に配置される上部電極と、を有し、

前記有機材料層は前記下部電極から順にホール輸送層、発光層を含み、

前記ホール輸送層は前記複数の画素に跨り、

前記バンク上において、前記有機材料層と前記上部電極との間に、前記上部電極から前記有機材料層へのキャリアの移動を阻止するキャリア移動阻止層が形成され、
前記上部電極がカソードであり、前記キャリア移動阻止層が前記有機材料層を構成するホール輸送層に含まれる材料を含む、

有機EL表示装置。

【請求項2】

基板と、

前記基板上に位置する複数の画素と、

前記複数の画素のそれぞれが備える下部電極と、

前記複数の画素を区画し、隣接する前記下部電極の間に位置するバンクと、

前記下部電極上および前記バンク上に配置される有機材料層と、
 前記有機材料層上に配置される上部電極と、を有し、
 前記有機材料層は前記下部電極から順にホール輸送層、発光層を含み、
 前記ホール輸送層は前記複数の画素に跨り、
 前記バンク上において、前記有機材料層と前記上部電極との間に、前記上部電極から前記有機材料層へのキャリアの移動を阻止するキャリア移動阻止層が形成され、
 前記上部電極がカソードであり、前記キャリア移動阻止層が4,4'-ビス[N-(ナフチル)-N-フェニル-アミノ]ピフェニル(-NPD)、N,N'-ビス(3-メチルフェニル)-(1,1'-ピフェニル)-4,4'-ジアミン(TPD)および2-TNATA、4,4',4''-トリス(N-(3-メチルフェニル)N-フェニルアミノ)トリフェニルアミン(MTDATA)からなる群から選ばれる一種以上を含む、
 有機EL表示装置。

10

【請求項3】

前記キャリア移動阻止層は、前記有機材料層および前記上部電極に直に接している、請求項1または2に記載の有機EL表示装置。

【請求項4】

前記キャリア移動阻止層が前記有機材料層を構成する電子注入層または電子輸送層よりも電子の移動度が小さい層である、請求項1から3のいずれかに記載の有機EL表示装置。

【請求項5】

前記キャリア移動阻止層が絶縁材料を含む、請求項1から3のいずれかに記載の有機EL表示装置。

20

【請求項6】

前記バンクの端部と前記キャリア移動阻止層の端部とが、平面的に見て重なっている、請求項1から5のいずれかに記載の有機EL表示装置。

【請求項7】

前記キャリア移動阻止層は、少なくとも前記バンクの端部と対向する、請求項1から5のいずれかに記載の有機EL表示装置。

【請求項8】

前記バンクは、隣接する前記下部電極の間に位置する上面を有し、

前記キャリア移動阻止層は、少なくとも前記上面の中央部と対向する、請求項1から5のいずれかに記載の有機EL表示装置。

30

【請求項9】

前記バンクは、前記下部電極の一部を露出する開口部を有し、

前記キャリア移動阻止層は前記バンクを覆い、前記キャリア移動阻止層の端部は前記開口部の一部と対向する、請求項1から5のいずれかに記載の有機EL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL表示装置に関する。

【背景技術】

40

【0002】

有機エレクトロルミネッセンス(EL)表示装置は、基板上に薄膜トランジスタ(TFT)や有機発光ダイオード(OLED: Organic Light Emitting Diode)などが形成された表示パネルを有する。OLEDは、一对の電極間に有機材料層を備える。有機材料層は、例えば、ホール輸送層、発光層、電子輸送層等が積層されて構成される。このような有機材料層は、代表的には、画素を区画するために予め設けられた凸状のバンクで囲まれた領域に形成される。例えば、下記特許文献1では、有機材料層を画素毎に形成(塗り分け)しているが、高精細化された場合や発光効率を上げるために上記バンクの開口率を高くした場合、塗り分けの制御が難しいという問題がある。その一方で、例えば、ホール輸送層等の導電性の材料を複数の画素間で共通に設けると、隣接する画素間でリーク電流が

50

流れてしまうという問題がある。具体的には、リーク電流により本来発光すべきでない隣接の画素が発光し、色純度の低下や画質の劣化を招くという問題がある。このような問題は、高精細化や駆動電圧の低減化（例えば、高移動度材料の採用）が進むほど、顕著に発生し得る。

【0003】

上記のような問題に対し、例えば、下記特許文献2では、バンク上の有機材料層に分断領域を形成して、隣接する画素間のキャリアの移動を阻止することが提案されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2009-88320号公報

特開2016-103395号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上記リーク電流は、隣接する画素を発光させるだけでなく、例えば、上記バンク上においても発光を生じさせていると考えられる。

【0006】

本発明は、上記に鑑み、リーク電流による不具合が抑制された有機EL表示装置の提供を目的とする。

【課題を解決するための手段】

【0007】

本発明に係る有機EL表示装置は、基板と、前記基板上に位置する複数の画素と、前記複数の画素のそれぞれが備える下部電極と、前記複数の画素を区画し、隣接する前記下部電極の間に位置するバンクと、前記下部電極上および前記バンク上に配置される有機材料層と、前記有機材料層上に配置される上部電極と、を有し、前記バンク上において、前記有機材料層と前記上部電極との間に、前記上部電極から前記有機材料層へのキャリアの移動を阻止するキャリア移動阻止層が形成されている。

【図面の簡単な説明】

【0008】

【図1】本発明の実施形態に係る有機EL表示装置の概略の構成を示す模式図である。

【図2】図1に示す有機EL表示装置の表示パネルの一例を示す模式的な平面図である。

【図3】図2のIII-III断面の一例を示す図である。

【図4】図3に示す表示パネルのバンク付近の一例の拡大断面図である。

【図5A】バンクとキャリア移動阻止層との位置関係を説明するための図である。

【図5B】バンクとキャリア移動阻止層との位置関係を説明するための図である。

【図5C】バンクとキャリア移動阻止層との位置関係を説明するための図である。

【図5D】バンクとキャリア移動阻止層との位置関係を説明するための図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に評される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略することがある。

【0010】

図1は、本発明の実施形態に係る有機EL表示装置の概略の構成を示す模式図である。有機EL表示装置2は、画像を表示する画素アレイ部4と、画素アレイ部4を駆動する駆

10

20

30

40

50

動部とを備える。有機 E L 表示装置 2 は、基板上に T F T や O L E D などの構造が積層されて構成された表示パネルを有する。なお、図 1 に示した概略図は一例であって、本実施形態はこれに限定されるものではない。

【 0 0 1 1 】

画素アレイ部 4 には、画素に対応して O L E D 6 および画素回路 8 がマトリクス状に配置される。画素回路 8 は複数の T F T 1 0 , 1 2 やキャパシタ 1 4 で構成される。

【 0 0 1 2 】

上記駆動部は、走査線駆動回路 2 0、映像線駆動回路 2 2、駆動電源回路 2 4 および制御装置 2 6 を含み、画素回路 8 を駆動し O L E D 6 の発光を制御する。

【 0 0 1 3 】

走査線駆動回路 2 0 は、画素の水平方向の並び（画素行）ごとに設けられた走査信号線 2 8 に接続されている。走査線駆動回路 2 0 は、制御装置 2 6 から入力されるタイミング信号に応じて走査信号線 2 8 を順番に選択し、選択した走査信号線 2 8 に、点灯 T F T 1 0 をオンする電圧を印加する。

【 0 0 1 4 】

映像線駆動回路 2 2 は、画素の垂直方向の並び（画素列）ごとに設けられた映像信号線 3 0 に接続されている。映像線駆動回路 2 2 は、制御装置 2 6 から映像信号を入力され、走査線駆動回路 2 0 による走査信号線 2 8 の選択に合わせて、選択された画素行の映像信号に応じた電圧を各映像信号線 3 0 に出力する。当該電圧は、選択された画素行にて点灯 T F T 1 0 を介してキャパシタ 1 4 に書き込まれる。駆動 T F T 1 2 は、書き込まれた電圧に応じた電流を O L E D 6 に供給し、これにより、選択された走査信号線 2 8 に対応する画素の O L E D 6 が発光する。

【 0 0 1 5 】

駆動電源回路 2 4 は、画素列ごとに設けられた駆動電源線 3 2 に接続され、駆動電源線 3 2 および選択された画素行の駆動 T F T 1 2 を介して O L E D 6 に電流を供給する。

【 0 0 1 6 】

ここで、O L E D 6 の下部電極は、駆動 T F T 1 2 に接続される。一方、各 O L E D 6 の上部電極は、全画素の O L E D 6 に共通の電極で構成される。下部電極を陽極（アノード）として構成する場合は、高電位が入力され、上部電極は陰極（カソード）となって低電位が入力される。下部電極を陰極（カソード）として構成する場合は、低電位が入力され、上部電極は陽極（アノード）となって高電位が入力される。

【 0 0 1 7 】

図 2 は、図 1 に示す有機 E L 表示装置の表示パネルの一例を示す模式的な平面図である。表示パネル 4 0 の表示領域 4 2 に、図 1 に示した画素アレイ部 4 が設けられ、上述したように画素アレイ部 4 には O L E D 6 が配列される。上述したように O L E D 6 を構成する上部電極は、各画素に共通に形成され、表示領域 4 2 全体を覆う。

【 0 0 1 8 】

矩形である表示パネル 4 0 の一辺には、部品実装領域 4 6 が設けられ、表示領域 4 2 につながる配線が配置される。部品実装領域 4 6 には、駆動部を構成するドライバ集積回路（I C）4 8 が搭載されたり、F P C 5 0 が接続されたりする。フレキシブルプリント基板（F P C）5 0 は、制御装置 2 6 やその他の回路 2 0 , 2 2 , 2 4 等に接続されたり、その上に I C を搭載されたりする。

【 0 0 1 9 】

図 3 は、図 2 の III - III 断面の一例を示す図である。表示パネル 4 0 は、基板 7 0 の上に T F T 7 2 などからなる回路層 7 4、O L E D 6 および O L E D 6 を封止する封止層 1 0 6 などが積層された構造を有する。基板 7 0 は、例えば、ガラス板、樹脂膜（例えば、ポリイミド系樹脂などの樹脂を含む樹脂膜）で構成される。本実施形態においては、画素アレイ部 4 はトップエミッション型であり、O L E D 6 で生じた光は、基板 7 0 側とは反対側（図 3 において上向き）に出射される。

【 0 0 2 0 】

10

20

30

40

50

表示領域 4 2 の回路層 7 4 には、上述した画素回路 8、走査信号線 2 8、映像信号線 3 0、駆動電源線 3 2 などが形成される。駆動部の少なくとも一部分は、基板 7 0 上に回路層 7 4 として表示領域 4 2 に隣接する領域に形成することができる。上述したように、駆動部を構成するドライバ IC 4 8 や FPC 5 0 を、部品実装領域 4 6 にて、回路層 7 4 の配線 1 1 6 に接続することができる。

【 0 0 2 1 】

図 3 に示すように、基板 7 0 上には、無機絶縁材料で形成された下地層 8 0 が配置されている。無機絶縁材料としては、例えば、窒化シリコン (Si N y)、酸化シリコン (Si O x) およびこれらの複合体が用いられる。

【 0 0 2 2 】

表示領域 4 2 においては、下地層 8 0 を介して、基板 7 0 上には、トップゲート型の TFT 7 2 のチャンネル部およびソース・ドレイン部となる半導体領域 8 2 が形成されている。半導体領域 8 2 は、例えば、ポリシリコン (p - Si) で形成される。半導体領域 8 2 は、例えば、基板 7 0 上に半導体層 (p - Si 膜) を設け、この半導体層をパターニングし、回路層 7 4 で用いる箇所を選択的に残すことにより形成される。

【 0 0 2 3 】

TFT 7 2 のチャンネル部の上には、ゲート絶縁膜 8 4 を介してゲート電極 8 6 が配置されている。ゲート絶縁膜 8 4 は、代表的には、TEOS で形成される。ゲート電極 8 6 は、例えば、スパッタリング等で形成した金属膜をパターニングして形成される。ゲート電極 8 6 上には、ゲート電極 8 6 を覆うように層間絶縁層 8 8 が配置されている。層間絶縁層 8 8 は、例えば、上記無機絶縁材料で形成される。TFT 7 2 のソース・ドレイン部となる半導体領域 8 2 (p - Si) には、イオン注入により不純物が導入され、さらにそれらに電気的に接続されたソース電極 9 0 a およびドレイン電極 9 0 b が形成され、TFT 7 2 が構成される。

【 0 0 2 4 】

TFT 7 2 上には、層間絶縁膜 9 2 が配置されている。層間絶縁膜 9 2 の表面には、配線 9 4 が配置される。配線 9 4 は、例えば、スパッタリング等で形成した金属膜をパターニングすることにより形成される。配線 9 4 を形成する金属膜と、ゲート電極 8 6、ソース電極 9 0 a およびドレイン電極 9 0 b の形成に用いた金属膜とで、例えば、配線 1 1 6 および図 1 に示した走査信号線 2 8、映像信号線 3 0、駆動電源線 3 2 を多層配線構造で形成することができる。この上に、平坦化膜 9 6 およびパッシベーション膜 9 8 が形成され、表示領域 4 2 において、パッシベーション膜 9 8 上に OLED 6 が形成されている。平坦化膜 9 6 は、例えば、樹脂材料で形成される。パッシベーション膜 9 8 は、例えば、SiN_y 等の無機絶縁材料で形成される。

【 0 0 2 5 】

OLED 6 は、下部電極 1 0 0、有機材料層 1 0 2 および上部電極 1 0 4 を含む。OLED 6 は、代表的には、下部電極 1 0 0、有機材料層 1 0 2 および上部電極 1 0 4 を基板 7 0 側からこの順に積層して形成される。本実施形態では、下部電極 1 0 0 が OLED 6 の陽極 (アノード) であり、上部電極 1 0 4 が陰極 (カソード) である。

【 0 0 2 6 】

図 3 に示す TFT 7 2 が、n チャンネルを有した駆動 TFT 1 2 であるとする、下部電極 1 0 0 は、TFT 7 2 のソース電極 9 0 a に接続される。具体的には、上述した平坦化膜 9 6 の形成後、下部電極 1 0 0 を TFT 7 2 に接続するためのコンタクトホール 1 1 0 が形成され、例えば、平坦化膜 9 6 表面およびコンタクトホール 1 1 0 内に形成した導電部をパターニングすることにより、TFT 7 2 に接続された下部電極 1 0 0 が画素ごとに形成される。下部電極 1 0 0 は、例えば、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide) 等の透明金属酸化物、Ag、Al 等の金属で形成される。

【 0 0 2 7 】

上記構造上には、画素を分離するバンク 1 1 2 が配置されている。バンク 1 1 2 は、各

10

20

30

40

50

画素に対応して設けられた下部電極 100 を電氣的に分離するものであり、下部電極 100 の周縁を上面から側面にかけて覆うように形成されている。具体的には、バンク 112 は下部電極 100 の一部を露出する開口部を有している。バンク 112 は、代表的には、ポリイミド系樹脂、アクリル系樹脂等の樹脂材料で形成される。バンク 112 の側面は下部電極 100 側（外側）に向かうにつれて基板 70 側に傾斜する斜面を有している。

【0028】

例えば、下部電極 100 の形成後、画素境界にバンク 112 を形成し、バンク 112 で囲まれた画素の有効領域（下部電極 100 の露出する領域）に、有機材料層 102 および上部電極 104 が積層される。有機材料層 102（後述の発光層 102b を除く場合がある）および上部電極 104 は、各画素間で共通に設けられ、下部電極 100 の上面だけでなくバンク 112 の上にも設けられている。

10

【0029】

有機材料層 102 は、代表的には、複数の層を含む。具体的には、有機材料層 102 は、アノード側から順に、ホール輸送層、発光層および電子輸送層を積層して形成されている。また、有機材料層 102 は、その他の層を含み得る。その他の層としては、例えば、アノードと発光層との間に配置されるホール注入層や電子ブロック層、カソードと発光層との間に配置される電子注入層やホールブロック層が挙げられる。上部電極 104 は、透過性導電膜で構成される。透過性導電膜は、例えば、Mg と Ag の極薄合金や ITO、IZO 等の透明金属酸化物で形成される。

【0030】

上部電極 104 上には、封止層 106 が配置されている。封止層 106 は、例えば、OLED6 を水分等から保護する保護層として機能し得るため、表示領域 42 の全体を覆うように形成される。封止層 106 は、例えば、化学気相成長（CVD）法により SiNy 等の無機絶縁材料膜を成膜することにより形成される。また、図示しないが、例えば、表示パネル 40 の表面の機械的な強度を確保するため、表示領域 42 の表面には保護膜が配置される。具体的には、封止層 106 の上に接着層を介してシート状あるいはフィルム状の保護膜を貼り合わせる。この場合、部品実装領域 46 では、IC や FPC を接続し易くするため、通常、保護膜は設けない。FPC50 の配線やドライバ IC48 の端子は、例えば、配線 116 に電氣的に接続される。

20

【0031】

バンク 112 上には、有機材料層 102 と上部電極 104 との間にキャリア移動阻止層 108 が形成されている。キャリア移動阻止層 108 は、有機材料層 102 および上部電極 104 に直に接している。有機材料層 102 と上部電極 104 との間にキャリア移動阻止層 108 を配置させることで、バンク 112 上において、上部電極 104 から有機材料層 102 へのキャリアの注入を抑制し、バンク 112 上の発光が防止され、発光効率の向上、表示特性（例えば、正面色度、視覚特性）の向上に寄与し得る。

30

【0032】

図 4 は、図 3 に示す表示パネルのバンク付近の一例の拡大断面図であり、図 3 に示す表示パネル 40 の積層構造のうち、基板 70 上の下地層 80 からバッシベーション膜 98 までの積層構造を上部構造層 114 として簡略化して示し、封止層 106 は省略している。有機材料層 102 は、例えば、下部電極（アノード）100 およびバンク 112 上にホール輸送層 102a を連続的に形成し（複数の画素間で共通に設け）、ホール輸送層 102a 上に、各画素の色に対応した発光層 102b を各画素領域に形成し、発光層 102b を覆うように（複数の画素間で共通に）電子輸送層 102c を形成することにより形成される。上記バンク 112 上の発光は、図 4 に示すように、バンク 112 上に発光層 102b が存在する場合に生じ得る。具体的には、アノード 100 からホールが有機材料層 102 に注入され、カソード 104 から電子が有機材料層 102 に注入され、発光層 102b においてホールと電子とが再結合して発光層 102b が発光するが、バンク 112 上に発光層 102b が存在すると、バンク 112 上においても発光し得る。バンク 112 上の発光は、比較的弱い（例えば、顕微鏡観察で確認できる程度の発光、あるいは、顕微鏡観察

40

50

では確認されず、顕微分光で確認可能なレベルであるが)、発光効率や表示特性に影響し得る。上述のように、バンク112上において、有機材料層102と上部電極104との間にキャリア移動阻止層108を配置させることで、上部電極(カソード)104から有機材料層102へのキャリア(電子)の注入を抑制し、バンク112上の発光が防止され得る。

【0033】

キャリア移動阻止層108は、上部電極104から有機材料層102へのキャリアの移動を阻止し得る任意の適切な材料で形成される。1つの実施形態においては、キャリア移動阻止層108の構成は、上部電極104に応じて決定される。例えば、上述のとおり、上部電極104がカソードである場合、キャリア移動阻止層108は、上部電極104から有機材料層102への電子の移動を阻止し得る材料で形成される。例えば、有機材料層102に含まれ得る電子注入層または電子輸送層よりも電子の移動度が小さい層を形成する材料で形成される。このような層の具体例としては、有機材料層102を構成し得るホール輸送層が挙げられる。この場合、有機材料層102を形成する材料でキャリア移動阻止層108を形成することができ、製造効率に優れ得る。ホール輸送層を形成する材料としては、例えば、4,4'-ビス[N-(ナフチル)-N-フェニル-アミノ]ピフェニル(-NPD)、N,N'-ビス(3-メチルフェニル)-(1,1'-ビフェニル)-4,4'-ジアミン(TPD)、2-TNATA、4,4',4''-トリス(N-(3-メチルフェニル)N-フェニルアミノ)トリフェニルアミン(MTDATA)が挙げられる。別の実施形態においては、キャリア移動阻止層108は、絶縁材料で形成される。すなわち、キャリア移動阻止層108は絶縁層であってもよい。絶縁材料としては、例えば、窒化シリコン(SiN_y)、酸化シリコン(SiO_x)およびこれらの複合体に代表される無機絶縁材料、樹脂等が用いられる。

【0034】

キャリア移動阻止層108は、任意の適切な方法で形成され得る。形成方法としては、例えば、パターンを有するマスクを用いたマスク蒸着による成膜、レーザー転写法による成膜等が挙げられる。キャリア移動阻止層108の厚みは、例えば、5nm~50nmである。

【0035】

図5Aから図5Dは、バンクとキャリア移動阻止層との位置関係を説明するための図である。好ましい実施形態では、図5Aに示すように、キャリア移動阻止層108は、バンク112の全体を覆い、その端部とバンク112の端部が揃ってバンク112の開口部に重ならないように形成される。別の実施形態では、図5Bに示すように、キャリア移動阻止層108は、少なくともバンク112の端部(斜面)112aを覆うように形成され、バンク112の端部と対向する。そして、バンク112の中央部112bには形成されていない。バンク112の中央部112bは、隣接する下部電極100間に位置するバンク112の上面の中央部ということもできる。バンク112上の発光はバンク112の開口部に近いほど強く、この形態では、発光の強い箇所に選択的にキャリア移動阻止層108が形成されている。さらに別の実施形態では、図5Cに示すように、キャリア移動阻止層108は、少なくともバンク112の中央部112bに覆うように形成され、バンク112の端部(斜面)112aには形成されていない。この形態は、例えば、キャリア移動阻止層108の形成の困難性は低いという点で好ましい。さらに別の実施形態では、図5Dに示すように、キャリア移動阻止層108は、バンク112の全体を覆い、その端部はバンク112の開口部も覆うように形成されている。この形態では、バンク112の開口領域(発光領域)が小さくなるが、バンク112上の発光を効果的に防止し得る。

【0036】

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施形態で示した構成と実質的に同一の構成、同一の作用効果を奏する構成または同一の目的を達成することができる構成で置き換えることができる。

【0037】

10

20

30

40

50

本発明の思想の範疇において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【符号の説明】

【0038】

2 有機EL表示装置、4 画素アレイ部、6 OLED、8 画素回路、10 点灯TFT、12 駆動TFT、14 キャパシタ、20 走査線駆動回路、22 映像線駆動回路、24 駆動電源回路、26 制御装置、28 走査信号線、30 映像信号線、32 駆動電源線、40 表示パネル、42 表示領域、46 部品実装領域、48 ドライバIC、50 FPC、60 粘着シート、70 基板、72 TFT、74 回路層、80 下地層、82 半導体領域、84 ゲート絶縁膜、86 ゲート電極、88 層間絶縁膜、90a ソース電極、90b ドレイン電極、92 層間絶縁膜、94 配線、96 平坦化膜、98 パッシベーション膜、100 下部電極、102 有機材料層、104 上部電極、106 封止層、108 キャリア移動阻止層、110 コンタクトホール、112 バンク、114 上部構造層、116 配線。

10

20

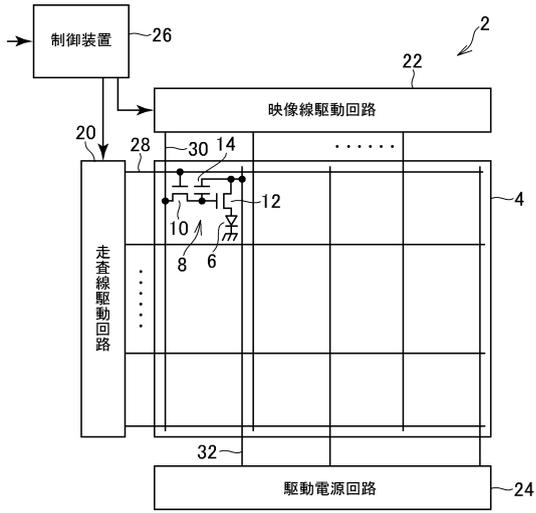
30

40

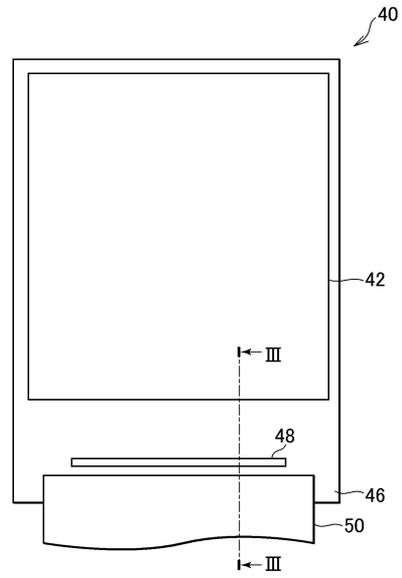
50

【図面】

【図 1】



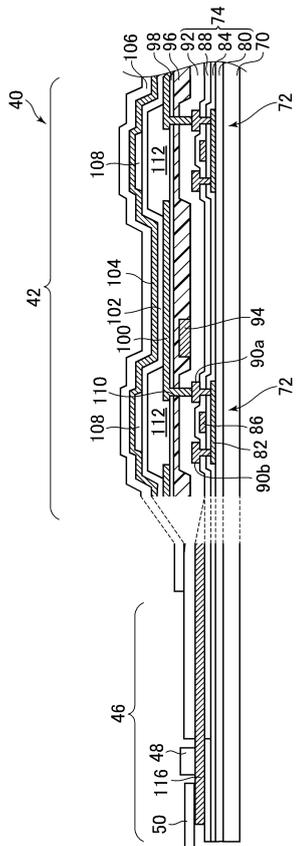
【図 2】



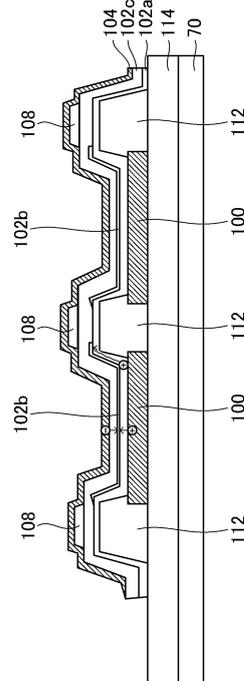
10

20

【図 3】



【図 4】

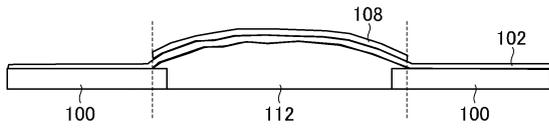


30

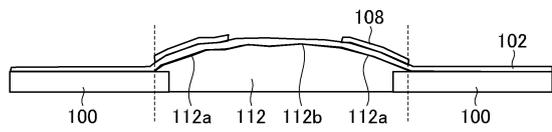
40

50

【 5 A 】

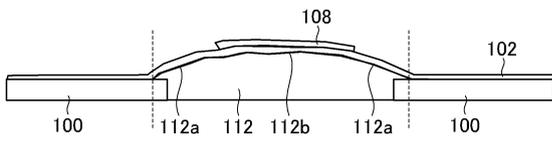


【 5 B 】

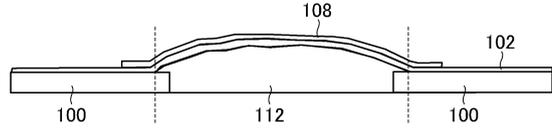


10

【 5 C 】



【 5 D 】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I
G 0 9 F 9/30 3 6 5

(56)参考文献

米国特許出願公開第 2 0 1 6 / 0 3 2 2 4 3 8 (U S , A 1)

特開 2 0 0 5 - 2 7 6 6 6 7 (J P , A)

特開 2 0 1 6 - 1 5 7 6 7 8 (J P , A)

特開 2 0 1 0 - 0 3 3 9 7 2 (J P , A)

特開 2 0 0 7 - 0 5 9 3 8 3 (J P , A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 5 1 / 5 0

H 0 1 L 2 7 / 3 2

H 0 5 B 3 3 / 1 2

H 0 5 B 3 3 / 2 2

G 0 9 F 9 / 3 0