



(12)发明专利申请

(10)申请公布号 CN 110337724 A

(43)申请公布日 2019.10.15

(21)申请号 201880012876.4

S.B.莫林 R.蒋

(22)申请日 2018.02.14

(74)专利代理机构 北京市柳沈律师事务所
11105

(30)优先权数据

代理人 王蕊瑞

62/461,117 2017.02.20 US

15/588,357 2017.05.05 US

15/640,081 2017.06.30 US

(51)Int.Cl.

H01L 29/772(2006.01)

H01L 29/417(2006.01)

H01L 29/66(2006.01)

H01L 21/8234(2006.01)

(85)PCT国际申请进入国家阶段日

2019.08.20

(86)PCT国际申请的申请数据

PCT/IB2018/050909 2018.02.14

(87)PCT国际申请的公布数据

W02018/150340 EN 2018.08.23

(71)申请人 斯兰纳亚洲有限公司

地址 新加坡新加坡

(72)发明人 S.L.涂 M.A.斯图伯 B.塔斯巴斯

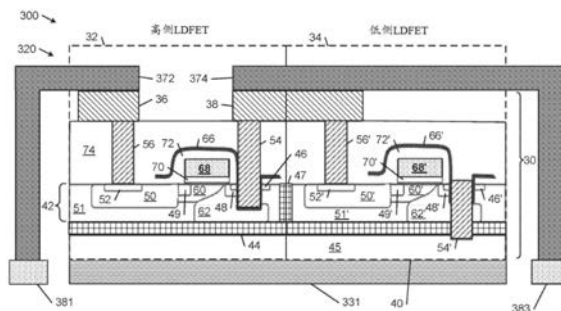
权利要求书8页 说明书19页 附图19页

(54)发明名称

用于集成的横向扩散场效应晶体管的连接布置

(57)摘要

在半导体衬底上方的有源层中,一种半导体装置具有包括源极、漏极和栅极的第一横向扩散场效应晶体管(LDFET),以及包括源极、漏极和栅极的第二LDFET。所述第一LDFET的所述源极和所述第二LDFET的所述漏极电连接到公共节点。在所述有源层上方形成第一正面触点和第二正面触点,并且形成电连接到所述半导体衬底的衬底触点。所述第一正面触点、所述第二正面触点和所述衬底触点中的每一者电连接到所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点中不同的相应一者。



1. 一种半导体装置,所述半导体装置包括:
半导体衬底,所述半导体衬底支撑上覆有源层;
第一横向扩散场效应晶体管(LDFET),所述第一LDFET在所述有源层中并且包括源极、漏极和栅极;
第二LDFET,所述第二LDFET在所述有源层中并且包括源极、漏极和栅极;
公共节点,所述公共节点电连接到所述第一LDFET的所述源极和所述第二LDFET的所述漏极;
第一正面触点,所述第一正面触点在所述有源层上方并且电连接到以下各项中的第一者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点;
第二正面触点,所述第二正面触点在所述有源层上方并且电连接到以下各项中的第二者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点;以及
衬底触点,所述衬底触点电连接到所述半导体衬底和以下各项中的第三者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点;
其中所述第一正面触点、所述第二正面触点和所述衬底触点中的每一者电连接到所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点中不同的相应一者。
2. 如权利要求1所述的半导体装置,所述半导体装置还包括介于所述半导体衬底与所述有源层之间的掩埋介电层;其中所述衬底触点延伸穿过所述掩埋介电层。
3. 如权利要求2所述的半导体装置,所述半导体装置还包括介于所述第一LDFET与所述第二LDFET之间的介电隔离障壁,所述介电隔离障壁穿过所述有源层延伸到所述掩埋介电层。
4. 如权利要求2所述的半导体装置,其中所述衬底触点延伸穿过所述有源层。
5. 如权利要求4所述的半导体装置,其中所述衬底触点延伸穿过所述第一LDFET和所述第二LDFET的所述源极和所述漏极中的一者。
6. 如权利要求5所述的半导体装置,其中所述衬底触点电连接到所述公共节点。
7. 如权利要求5所述的半导体装置,其中所述衬底触点电连接到所述第一正面触点和所述第二正面触点中的一者。
8. 如权利要求4所述的半导体装置,其中所述衬底触点包括第一组平行的衬底子触点,所述第一组平行的衬底子触点与连接到所述第一LDFET和所述第二LDFET的所述源极和所述漏极中的一者的第二组平行的沟道子触点交错,其中所述第一组和所述第二组中的所述相应的子触点延伸到所述有源层上方的表面,它们在所述表面交替地布置成行。
9. 如权利要求4所述的半导体装置,其中所述衬底触点在没有所述第一LDFET和所述第二LDFET的所述源极和所述漏极中的任一者的区中延伸穿过所述有源层,并且所述衬底触点通过电连接而电连接到所述第一LDFET和所述第二LDFET的所述源极和所述漏极中的一者,所述电连接在所述有源层上方横向地延伸并向下延伸穿过所述第一LDFET和所述第二LDFET的所述源极和所述漏极中的一者。
10. 如权利要求9所述的半导体装置,其中所述衬底触点延伸穿过所述有源层中的开口,所述开口从所述掩埋介电层延伸穿过所述有源层。
11. 如权利要求10所述的半导体装置,其中所述衬底触点和所述有源层中的所述开口在正交于所述衬底触点延伸所沿的轴向维度的横向维度上具有相应的宽度,并且所述有源

层中的所述开口的所述宽度大于所述衬底触点的所述宽度。

12. 如权利要求4所述的半导体装置,其中所述衬底触点沿着轴向维度穿过所述有源层延伸到所述衬底,所述衬底触点具有顶部部分,所述顶部部分延伸到所述有源层中并且由在正交于所述轴向维度的横向维度上的第一宽度表征,并且所述衬底触点具有底部部分,所述底部部分延伸到所述有源层中并且由在所述横向维度上的第二宽度表征,所述第二宽度小于所述第一宽度。

13. 如权利要求1所述的半导体装置,所述半导体装置还包括第一导电夹和第二导电夹,其中所述第一导电夹和所述第二导电夹电连接到所述第一正面触点、所述第二正面触点和所述衬底触点中的两者。

14. 如权利要求1所述的半导体装置,所述半导体装置还包括半导体封装,所述半导体封装包括导电浆状件和周边封装引线,其中第一导电夹电连接到所述第一正面触点和所述周边封装引线中的第一组一个或多个,第二导电夹电连接到所述第二正面触点和所述周边封装引线中的第二组一个或多个,并且所述衬底触点电连接到所述导电浆状件。

15. 如权利要求1所述的半导体装置,所述半导体装置还包括电连接到所述第一正面触点的所述第一导电夹和电连接到所述第二正面触点的第二导电夹。

16. 一种半导体装置,所述半导体装置包括:

半导体衬底,所述半导体衬底支撑上覆有源层;

第一横向扩散场效应晶体管(LDFET),所述第一LDFET在所述有源层中并且包括源极、漏极和栅极;

第二LDFET,所述第二LDFET在所述有源层中并且包括源极、漏极和栅极,其中所述第一LDFET的所述漏极电耦合到所述第二LDFET的所述源极;

第一正面触点,所述第一正面触点在所述有源层上方并且电连接到所述第一LDFET的所述漏极;

第二正面触点,所述第二正面触点在所述有源层上方并且电连接到所述第二LDFET的所述漏极和所述第一LDFET的所述源极;以及

衬底触点,所述衬底触点电连接到所述半导体衬底和所述第二LDFET的所述源极。

17. 一种半导体装置,所述半导体装置包括:

半导体衬底,所述半导体衬底支撑上覆有源层;

第一横向扩散场效应晶体管(LDFET),所述第一LDFET在所述有源层中并且包括源极、漏极和栅极;

第二LDFET,所述第二LDFET在所述有源层中并且包括源极、漏极和栅极,其中所述第一LDFET的所述漏极电耦合到所述第二LDFET的所述源极;

第一正面触点,所述第一正面触点在所述有源层上方并且电连接到所述第一LDFET的所述源极;

第二正面触点,所述第二正面触点在所述有源层上方并且电连接到所述第二LDFET的所述漏极;以及

衬底触点,所述衬底触点电连接到所述半导体衬底、所述第一LDFET的所述漏极和所述第二LDFET的所述源极。

18. 一种制造半导体装置的方法,所述方法包括:

在半导体衬底上方的有源层中,形成包括源极、漏极和栅极的第一横向扩散场效应晶体管(LDFET),以及包括源极、漏极和栅极的第二LDFET;

将所述第一LDFET的所述源极和所述第二LDFET的所述漏极电连接到公共节点;

在所述有源层上方,形成第一正面触点和第二正面触点;以及

形成电连接到所述半导体衬底的衬底触点;

其中所述第一正面触点、所述第二正面触点和所述衬底触点中的每一者电连接到所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点中不同的相应一者。

19.如权利要求18所述的方法,所述方法还包括:

在所述半导体衬底与所述有源层之间形成掩埋介电层,其中所述衬底触点延伸穿过所述掩埋介电层;以及

在所述第一LDFET与所述第二LDFET之间形成介电隔离障壁,所述介电隔离障壁穿过所述有源层延伸到所述掩埋介电层。

20.如权利要求18所述的方法,所述方法还包括:

利用第一导电夹将所述第一正面触点电连接到半导体封装的第一组一个或多个周边封装引线;

利用第二导电夹将所述第二正面触点电连接到所述半导体封装的第二组一个或多个周边封装引线;以及

将所述衬底触点电连接到所述半导体封装的桨状件。

21.一种设备,所述设备包括:

导电桨状件;

多个导电周边封装引线;

第一导电夹,所述第一导电夹电连接到第一组所述多个导电周边封装引线;

第二导电夹,所述第二导电夹电连接到第二组所述多个导电周边封装引线;以及

单个半导体管芯,所述单个半导体管芯包括:

正面有源层,所述正面有源层包括具有两个或更多个晶体管的集成功率结构;

背面部分,所述背面部分具有背面触点,所述背面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述导电桨状件;

一个或多个第一正面触点,所述一个或多个第一正面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述第一导电夹;以及

一个或多个第二正面触点,所述一个或多个第二正面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述第二导电夹。

22.如权利要求21所述的设备,其中:

所述第一导电夹和所述第二导电夹中的一者或两者具有约100微米的最小特征尺寸。

23.如权利要求21所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述一个或多个第一正面触点电耦合到所述高侧漏极;

所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起;并且

所述背面触点电耦合到所述低侧源极。

24. 如权利要求21所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述一个或多个第二正面触点电耦合到所述低侧源极;

所述低侧漏极电耦合到所述高侧源极;

所述背面触点电耦合到所述高侧源极;并且

所述一个或多个第一正面触点耦合到所述高侧漏极。

25. 如权利要求21所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述一个或多个第一正面触点电耦合到所述高侧漏极;

所述背面触点将所述高侧源极和所述低侧漏极电耦合在一起;并且

所述一个或多个第二正面触点电耦合到所述低侧源极。

26. 如权利要求21所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述一个或多个第一正面触点电耦合到所述高侧漏极;

所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起;并且

所述低侧源极电耦合到所述背面触点。

27. 如权利要求21所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管、低侧晶体管和第二低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述第二低侧晶体管包括第二低侧源极、第二低侧漏极和第二低侧栅极;

所述单个半导体管芯包括电耦合到所述第二导电夹的一个或多个第三正面触点;

所述一个或多个第一正面触点将所述高侧源极和所述第二低侧漏极电耦合在一起;

所述一个或多个第二正面触点电耦合到所述高侧漏极;

所述一个或多个第三正面触点电耦合到所述低侧漏极;并且

所述背面触点将所述低侧源极和所述第二低侧源极电耦合在一起。

28. 一种设备,所述设备包括:

导电浆状件;

多个导电周边封装引线;

第一导电夹,所述第一导电夹电连接到第一组所述多个导电周边封装引线;

第二导电夹,所述第二导电夹电连接到第二组所述多个导电周边封装引线;以及

单个半导体管芯,所述单个半导体管芯包括:

正面有源层；

背面部分，所述背面部分具有背面触点，所述背面触点电连接到所述正面有源层并且电连接到所述导电浆状件；

一个或多个第一正面触点，所述一个或多个第一正面触点电连接到所述正面有源层并且电连接到所述第一导电夹；以及

一个或多个第二正面触点，所述一个或多个第二正面触点电连接到所述正面有源层并且电连接到所述第二导电夹。

29. 如权利要求28所述的设备，其中：

所述正面有源层包括两个或更多个晶体管；

所述背面触点电耦合到所述两个或更多个晶体管中的至少一者；

所述一个或多个第一正面触点电耦合到所述两个或更多个晶体管中的至少一者；并且

所述一个或多个第二正面触点电耦合到所述两个或更多个晶体管中的至少一者。

30. 如权利要求29所述的设备，其中：

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管；

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极；

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极；

所述一个或多个第一正面触点电耦合到所述高侧漏极；

所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起；并且

所述背面触点电耦合到所述低侧源极。

31. 如权利要求29所述的设备，其中：

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管；

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极；

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极；

所述一个或多个第二正面触点电耦合到所述低侧源极；

所述低侧漏极电耦合到所述高侧源极；

所述背面触点电耦合到所述高侧源极；并且

所述一个或多个第一正面触点耦合到所述高侧漏极。

32. 如权利要求29所述的设备，其中：

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管；

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极；

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极；

所述一个或多个第一正面触点电耦合到所述高侧漏极；

所述背面触点将所述高侧源极和所述低侧漏极电耦合在一起；并且

所述一个或多个第二正面触点电耦合到所述低侧源极。

33. 如权利要求29所述的设备，其中：

所述两个或更多个晶体管包括高侧晶体管和低侧晶体管；

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极；

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极；

所述一个或多个第一正面触点电耦合到所述高侧漏极；

所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起;并且所述低侧源极电耦合到所述背面触点。

34. 如权利要求29所述的设备,其中:

所述两个或更多个晶体管包括高侧晶体管、低侧晶体管和第二低侧晶体管;

所述高侧晶体管包括高侧源极、高侧漏极和高侧栅极;

所述低侧晶体管包括低侧源极、低侧漏极和低侧栅极;

所述第二低侧晶体管包括第二低侧源极、第二低侧漏极和第二低侧栅极;

所述单个半导体管芯包括电耦合到所述第二导电夹的一个或多个第三正面触点;

所述一个或多个第一正面触点将所述高侧源极和所述第二低侧漏极电耦合在一起;

所述一个或多个第二正面触点电耦合到所述高侧漏极;

所述一个或多个第三正面触点电耦合到所述低侧漏极;并且

所述背面触点将所述低侧源极和所述第二低侧源极电耦合在一起。

35. 一种方法,所述方法包括:

提供导电浆状件;

提供多个导电周边封装引线;

提供第一导电夹;

将所述第一导电夹电连接到第一组所述多个导电周边封装引线;

提供第二导电夹;

将所述第二导电夹电连接到第二组所述多个导电周边封装引线;

形成半导体管芯,所述形成包括:

形成所述半导体管芯的正面有源层;

在所述半导体管芯的背面部分处形成背面触点;

形成所述半导体管芯的一个或多个第一正面触点;以及

形成所述半导体管芯的一个或多个第二正面触点;

将所述第一导电夹电连接到所述一个或多个第一正面触点;

将所述第二导电夹电连接到所述一个或多个第二正面触点;以及

将所述背面触点电连接到所述导电浆状件。

36. 如权利要求35所述的方法,其中形成所述半导体管芯的所述正面有源层还包括:

在所述半导体管芯的所述正面有源层中形成两个或更多个晶体管,所述正面有源层包括集成功率结构;

将所述半导体管芯的所述背面触点电耦合到所述两个或更多个晶体管中的至少一者;

将所述半导体管芯的所述一个或多个第一正面触点电耦合到所述两个或更多个晶体管中的至少一者;以及

将所述半导体管芯的所述一个或多个第二正面触点电耦合到所述两个或更多个晶体管中的至少一者。

37. 如权利要求36所述的方法,所述方法还包括:

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的高侧晶体管,所述高侧晶体管具有高侧源极、高侧漏极和高侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的低侧晶体

管,所述低侧晶体管具有低侧源极、低侧漏极和低侧栅极;
将所述一个或多个第一正面触点电耦合到所述高侧漏极;
通过所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起;以
及

将所述背面触点电耦合到所述低侧源极。

38. 如权利要求36所述的方法,所述方法还包括:

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的高侧晶体管,所述高侧晶体管具有高侧源极、高侧漏极和高侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的低侧晶体管,所述低侧晶体管具有低侧源极、低侧漏极和低侧栅极;

将所述一个或多个第二正面触点电耦合到所述低侧源极;

将所述低侧漏极电耦合到所述高侧源极;

将所述背面触点电耦合到所述高侧源极;以及

将所述一个或多个第一正面触点电耦合到所述高侧漏极。

39. 如权利要求36所述的方法,所述方法还包括:

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的高侧晶体管,所述高侧晶体管具有高侧源极、高侧漏极和高侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的低侧晶体管,所述低侧晶体管具有低侧源极、低侧漏极和低侧栅极;

将所述一个或多个第一正面触点电耦合到所述高侧漏极;

通过所述背面触点将所述高侧源极和所述低侧漏极电耦合在一起;以及

将所述一个或多个第二正面触点电耦合到所述低侧源极。

40. 如权利要求36所述的方法,所述方法还包括:

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的高侧晶体管,所述高侧晶体管具有高侧源极、高侧漏极和高侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的低侧晶体管,所述低侧晶体管具有低侧源极、低侧漏极和低侧栅极;

将所述一个或多个第一正面触点电耦合到所述高侧漏极;

通过所述一个或多个第二正面触点将所述高侧源极和所述低侧漏极电耦合在一起;以
及

将所述低侧源极电耦合到所述背面触点。

41. 如权利要求36所述的方法,所述方法还包括:

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的高侧晶体管,所述高侧晶体管具有高侧源极、高侧漏极和高侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的低侧晶体管,所述低侧晶体管具有低侧源极、低侧漏极和低侧栅极;

在所述半导体管芯的所述正面有源层中形成所述两个或更多个晶体管中的第二低侧晶体管,所述第二低侧晶体管具有第二低侧源极、第二低侧漏极和第二低侧栅极;

形成所述半导体管芯的一个或多个第三正面触点;

将所述第二导电夹电连接到所述一个或多个第三正面触点；
通过所述一个或多个第一正面触点将所述高侧源极和所述第二低侧漏极电耦合在一起；

将所述一个或多个第二正面触点电耦合到所述高侧漏极；

将所述一个或多个第三正面触点电耦合到所述低侧漏极；以及

通过所述背面触点将所述低侧源极和所述第二低侧源极电耦合在一起。

用于集成的横向扩散场效应晶体管的连接布置

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年6月30日提交的标题为“具有背面触点的用于集成的横向扩散场效应晶体管的连接布置 (Connection Arrangements For Integrated Lateral Diffusion Field Effect Transistors Having A Backside Contact)”的美国专利申请号15/640,081的优先权,该专利申请是2017年5月5日提交的标题为“用于集成的横向扩散场效应晶体管的连接布置 (Connection Arrangements for Integrated Lateral Diffusion Field Effect Transistors)”的美国专利申请号15/588,357的部分继续申请,该专利申请要求2017年2月20日提交的标题为“背面接触式集成横向扩散的MOS设备和方法 (Backside Contact Integrated Laterally Diffused MOS Apparatus and Methods)”的美国临时申请号62/461,117的权益,所有的专利申请以其全文引用的方式并入本文中。

背景技术

[0003] 半导体功率装置是典型地在功率电子电路中用作开关或整流器的专业装置。半导体功率装置由它们耐受高电压和大电流以及与高功率操作相关联的高温的能力表征。例如,切换电压调节器典型地包括两个功率装置,这两个功率装置以同步的方式不断地导通和关断以调节电压。这种情形下的功率装置需要在导通状态下吸收系统级电流、在关断状态下耐受电源的全电位,并且耗散大量的热。理想的功率装置能够在高功率条件下操作、可以在导通状态与关断状态之间快速地切换,并且呈现低热电阻和导通状态电阻。

[0004] 典型的半导体功率装置封装包括一组离散的功率晶体管,每个功率晶体管在其本身相应的半导体管芯上制成。单独的晶粒封装在具有引线框架结构的绝缘模化合物中,所述引线框架结构为半导体晶粒中形成的单独装置或集成电路提供外部电连接。引线框架结构典型地包括被引线包围的中心浆状件。半导体晶粒典型地安装在浆状件上,并且半导体晶粒上的半导体管芯焊盘电连接引线中的相应一个引线。对于每个离散的功率晶体管半导体管芯,电流典型地在正面触点与典型地电连接到封装浆状件的背面触点之间竖直地流过半导体管芯。

[0005] 诸如功率切换和功率处理的高功率半导体应用需要半导体管芯焊盘与封装引线之间的电连接,所述电连接由高电流携载容量、低电阻和/或低电感表征。出于这些原因,已经努力将由铜、铜合金或铝构成的导电带或预成型夹而不是接合线用于半导体封装内的高功率电连接。然而,导电夹物理地很大并且难以高度准确地机械定位在芯片上。

[0006] 在典型的半导体功率装置封装中,每个离散的功率晶体管半导体管芯通过单个正面高电流封装引线、用于栅极控制的单个正面低电流封装引线和到封装浆状件的背面连接而电连接到封装。在每半导体管芯仅单个高电流正面连接的情况下,导电夹可以容易地用于这些类型的封装布置中的正面连接,而不会有损可制造性或性能。

[0007] 功率装置可以使用横向扩散场效应晶体管(LDFET)来实施,诸如横向扩散金属氧化物半导体(LDMOS)晶体管。这些类型的晶体管由“横向扩散”区(或低掺杂或轻掺杂漏极(LDD)区)表征,该“横向扩散”区对应于不如中心漏极区那么强地掺杂且远离沟道横向地延

伸的漏极区的延伸。横向扩散区通过吸收否则将导致源极-漏极穿通的电场的部分来增加LDFET在关断状态下处理更高电流的能力,并且通过经由将热载流子注射到装置的主体中而防止否则将导致装置退化的大电位降在漏极-主体界面处堆积来增加LDFET在接通状态下处理更高电流的能力。

[0008] 诸如LDFET的横向功率装置典型地具有正面源极和漏极触点,每个触点典型地具有其本身的高电流、低电阻和/或低电感正面电连接。对外部(例如,封装)和芯片上电连接的需要随着集成在相同半导体管芯上的横向功率装置的数量而增加。然而,半导体管芯的正面具有有限的空间可用于容纳相对大尺寸的高性能电连接。这个限制严重地约束了集成横向功率装置电路的电路设计灵活性、性能和可制造性。

发明内容

[0009] 在一些实例中,一种半导体装置包括支撑上覆有源层的半导体衬底。所述有源层中的第一横向扩散场效应晶体管(LDFET)包括源极、漏极和栅极。所述有源层中的第二LDFET包括源极、漏极和栅极。公共节点电连接到所述第一LDFET的所述源极和所述第二LDFET的所述漏极。第一正面触点在所述有源层上方并且电连接到以下各项中的第一者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点。第二正面触点在所述有源层上方并且电连接到以下各项中的第二者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点。衬底触点电连接到所述半导体衬底和以下各项中的第三者:所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点。所述第一正面触点、所述第二正面触点和所述衬底触点中的每一者电连接到所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点中不同的相应一者。

[0010] 在一些实例中,一种半导体装置包括支撑上覆有源层的半导体衬底。所述有源层中的第一横向扩散场效应晶体管(LDFET)包括源极、漏极和栅极。所述有源层中的第二LDFET包括源极、漏极和栅极,其中所述第一LDFET的所述漏极电耦合到所述第二LDFET的所述源极。第一正面触点在所述有源层上方并且电连接到所述第一LDFET的所述漏极。第二正面触点在所述有源层上方并且电连接到所述第二LDFET的所述漏极和所述第一LDFET的所述源极。衬底触点电连接到所述半导体衬底和所述第二LDFET的所述源极。

[0011] 在一些实例中,一种半导体装置包括支撑上覆有源层的半导体衬底。所述有源层中的第一横向扩散场效应晶体管(LDFET)包括源极、漏极和栅极。所述有源层中的第二LDFET包括源极、漏极和栅极,其中所述第一LDFET的所述漏极电耦合到所述第二LDFET的所述源极。第一正面触点在所述有源层上方并且电连接到所述第一LDFET的所述源极。第二正面触点在所述有源层上方并且电连接到所述第二LDFET的所述漏极。衬底触点电连接到所述半导体衬底、所述第一LDFET的所述漏极和所述第二LDFET的所述源极。

[0012] 在一些实例中,制造半导体装置。在这个过程中,在半导体衬底上方的有源层中,形成包括源极、漏极和栅极的第一横向扩散场效应晶体管(LDFET),以及包括源极、漏极和栅极的第二LDFET。所述第一LDFET的所述源极和所述第二LDFET的所述漏极电连接到公共节点。在所述有源层上方形成第一正面触点和第二正面触点,并且形成电连接到所述半导体衬底的衬底触点。所述第一正面触点、所述第二正面触点和所述衬底触点中的每一者电连接到所述第一LDFET的所述漏极、所述第二LDFET的所述源极和所述公共节点中不同的相

应一者。

[0013] 在一些实施方案中,一种半导体装置包括:导电浆状件;导电周边封装引线;第一导电夹,所述第一导电夹电连接到第一组所述导电周边封装引线;第二导电夹,所述第二导电夹电连接到第二组所述导电周边封装引线;以及单个半导体管芯。在一些实施方案中,所述单个半导体管芯包括正面有源层,并且所述正面有源层包括具有两个或更多个晶体管的集成功率结构。所述单个半导体管芯还包括背面部分,所述背面部分具有背面触点,所述背面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述导电浆状件。所述单个半导体管芯包括一个或多个第一正面触点,所述一个或多个第一正面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述第一导电夹。所述单个半导体管芯另外包括一个或多个第二正面触点,所述一个或多个第二正面触点电耦合到所述两个或更多个晶体管中的至少一者并且电耦合到所述第二导电夹。

[0014] 在一些实施方案中,一种半导体装置包括:导电浆状件;导电周边封装引线;第一导电夹,所述第一导电夹电连接到第一组所述导电周边封装引线;第二导电夹,所述第二导电夹电连接到第二组所述导电周边封装引线;以及单个半导体管芯。在一些实施方案中,所述单个半导体管芯包括:正面有源层;背面部分,所述背面部分具有背面触点,所述背面触点电连接到所述正面有源层并且电连接到所述导电浆状件;一个或多个第一正面触点,所述一个或多个第一正面触点电连接到所述正面有源层并且电连接到所述第一导电夹;以及一个或多个第二正面触点,所述一个或多个第二正面触点电连接到所述正面有源层并且电连接到所述第二导电夹。

[0015] 在一些实施方案中,一种用于将半导体装置封装在具有引线框架结构的半导体封装中的方法涉及提供引线框架结构,所述引线框架结构具有导电浆状件,以及导电周边封装引线。提供第一导电夹并且将其电连接到第一组所述导电周边封装引线。提供第二导电夹并且将其电连接到第二组所述导电周边封装引线。形成半导体管芯。形成半导体管芯涉及形成所述半导体管芯的正面有源层、在所述半导体管芯的背面部分处形成背面触点、形成所述半导体管芯的一个或多个第一正面触点,以及形成所述半导体管芯的一个或多个第二正面触点。将所述背面触点电连接到所述导电浆状件。将所述第一导电夹电连接到所述一个或多个第一正面触点。将所述第二导电夹电连接到所述一个或多个第二正面触点。

附图说明

[0016] 图1是结合一些实施方案的高功率半导体开关的实例的电路图。

[0017] 图2A是根据一些实施方案的集成电路封装的一部分的简化实例的图解顶部正视图。

[0018] 图2B是根据一些实施方案的集成电路封装的一部分的简化实例的图解顶部正视图。

[0019] 图2C是根据一些实施方案的集成电路封装的一部分的简化实例的截面图。

[0020] 图3是根据一些实施方案的集成电路封装的一部分的简化实例的图解截面图。

[0021] 图4是根据一些实施方案的集成电路封装的一部分的简化实例的图解截面侧视图。

[0022] 图5是根据一些实施方案的集成电路封装的一部分的简化实例的图解截面侧视图。

图。

[0023] 图6是根据一些实施方案的集成电路封装的一部分的简化实例的图解截面侧视图。

[0024] 图7A是结合一些实施方案的高功率半导体开关的实例的电路图。

[0025] 图7B是根据一些实施方案的集成电路封装的一部分的简化实例的图解截面侧视图。

[0026] 图8A是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0027] 图8B是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0028] 图9A是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0029] 图9B是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0030] 图10A是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0031] 图10B是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0032] 图11A是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0033] 图11B是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0034] 图12A是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0035] 图12B是根据一些实施方案的LDFET结构的简化实例的图解截面侧视图。

[0036] 图13是根据一些实施方案的图8A和图9A的LDFET结构的简化示例性布局的图解自上而下视图。

[0037] 图14是根据一些实施方案的图10A的LDFET结构的简化第一示例性布局的图解自上而下视图。

[0038] 图15是根据一些实施方案的图10A的LDFET结构的简化第二示例性布局的图解自上而下视图。

[0039] 图16是根据一些实施方案的图11A和图12A的LDFET结构的简化示例性布局的图解自上而下视图。

[0040] 图17是根据一些实施方案的图3的LDFET电路的简化示例性布局的图解自上而下视图。

[0041] 图18是根据一些实施方案的制造半导体装置的方法的简化实例的流程图。

[0042] 图19是根据一些实施方案的用于将半导体装置封装在半导体封装中的方法的简化实例的流程图。

具体实施方式

[0043] 在以下描述中,使用相同的附图标记来标识相同的元件。此外,附图意在以图解方式示出示例性实施方案的主要特征。附图既不意在描绘实际实施方案的每个特征,也不意在描绘所示元件的相对尺寸,并且不按比例绘制。

[0044] 本文中描述的实施方案提供了用于将半导体管芯上的半导体管芯焊盘电连接到引线框架结构的导电夹布置。本文中提供的半导体晶粒的实例包括在相应的半导体晶粒上形成的集成的横向扩散场效应晶体管(LDFET)电路,所述半导体晶粒相应地包括到背面电连接的至少一个衬底触点,所述背面电连接减少了所需的正面电连接的数量。通过这种方式,这些实例增大了可用于容纳预成型的导电夹的相对大尺寸的高性能电连接的空间,由

此增加集成的LDFET功率装置电路的电路设计灵活性、性能和可制造性。在一些实例中,具有衬底触点的LDFET与同一电路中的其他LDFET电隔离,以通过防止在连接到衬底的LDFET与未连接到衬底的那些LDFET之间形成公共节点而进一步改进电路的性能。

[0045] 仅出于说明性目的,本公开在类似于图1所示的高功率半导体开关电路10的实施方案的背景下描述了单个半导体管芯的集成LDFET电路的具体实例。相同或类似的教导可以用来制造适合于功率应用和非功率应用的其他单个半导体管芯的集成LDFET电路。

[0046] 图1示出了包括高侧场效应晶体管(FET) 12和低侧FET 14的高功率半导体开关电路10的实例。高侧FET 12的源极在相位节点16 ($V_{\text{相位}}$) 处耦合到低侧FET 14的漏极。驱动器输入端子18、20控制高侧FET 12和低侧FET 14的占空比,以将输入节点22处的输入电压 ($V_{\text{输入}}$) 转换成相位节点16处的特定输出电压 ($V_{\text{相位}}$)。一般来说,FET 12、14可以使用广泛多种半导体材料系统和技术中的任一种来制造,包括硅、锗和复合半导体技术。

[0047] 图2A示出了根据一些实施方案的集成电路(IC)封装200的一部分的简化实例的顶部正视图,所述IC封装包括用于半导体装置的引线框架结构220。在所示的实例中,半导体装置体现集成负载上功率(POL)电压转换器。然而,半导体装置可以是如本领域已知的另一半导体装置。

[0048] 一般来说,引线框架结构220包括导电浆状件(“浆状件”) 231(包括矩形顶表面235);系杆252a至252d、导电周边封装引线(“周边封装引线”) 260a至260d(包括封装引线280和282),以及导电夹布置270(包括第一导电夹272和第二导电夹274)。IC封装200还包括控制器电路222和半导体管芯230(包括顶表面236和半导体管芯焊盘238a至238d)。

[0049] 如图所示,第一导电夹272电连接到导电周边封装引线260a的封装引线280。第二导电夹274电连接到导电周边封装引线260b的封装引线282。半导体管芯230具有与顶表面236相反的背面部分(图2C中示出),其电连接到浆状件231。半导体管芯焊盘238a(半导体管芯230的第一正面触点)电耦合到第一导电夹272。另外,半导体管芯焊盘238b(半导体管芯230的第二正面触点)电耦合到第二导电夹274。

[0050] 在所示的简化实例中,半导体管芯230体现图1所示的高功率半导体开关电路10的示例性实施方式。浆状件231具有以四个边为界的矩形顶表面235。半导体管芯230通过任何合适的技术粘结到浆状件231,诸如利用半导体管芯附接粘合剂、焊膏或烧结银。在一些实例中,半导体管芯230的衬底触点通过浆状件231本身或通过浆状件231上或延伸穿过其中的电导体电耦合到引线框架结构220的电端子(例如,周边封装引线260a至260d中的一者)。半导体管芯230包括其上设置有许多半导体管芯焊盘238a至238d的顶表面236。在所示实例中,半导体管芯焊盘238a和238b分别对应于图1所示的高功率半导体开关电路的 $V_{\text{输入}}$ 端子22和 $V_{\text{相位}}$ 端子16,半导体管芯焊盘238c对应于驱动器输入端子18、20,并且半导体管芯焊盘238d对应于其他输入/输出端子。在一些实施方案中,半导体管芯焊盘238c和/或半导体管芯焊盘238d的全部或部分适当地电连接到控制器电路222(以接收或发送用于控制下文描述的半导体管芯230中的高功率半导体开关电路的电子部件(例如,晶体管)的信号、命令和/或反馈),或者通过接合线电连接到周边封装引线260a至260d的封装引线。在一些实施方案中,四个系杆252a至252d将浆状件231的拐角附接到半导体封装壳体(未示出)。控制器电路222也例如通过接合线电连接到周边封装引线260a至260d的封装引线中的一些。

[0051] 示例性导电夹布置270分别使用第一导电夹272和第二导电夹274将半导体管芯

230的半导体管芯焊盘238a和半导体管芯焊盘238b电连接到引线框架结构220。诸如第一导电夹272和第二导电夹274的导电夹通常使用铜(Cu)预成型(例如,而不是沉积)、与半导体管芯相比或与接合线相比机械地较大、与接合线相比具有更大的结构强度、比接合线具有更大的导电能力,并且比接合线具有更大的导热能力。例如,导电夹典型地具有约100 μm 的最小特征尺寸和相当大的截面积。

[0052] 如图所示,第一导电夹272将半导体管芯焊盘238a($V_{\text{输入}}$)电连接到(周边封装引线组260a中的)周边封装引线280,所述半导体管芯焊盘对应于图1所示的电路中的端子22。第二导电夹274将半导体管芯焊盘238b($V_{\text{相位}}$)电连接到(周边封装引线组260b中的)周边封装引线282,所述半导体管芯焊盘对应于图1所示的高功率半导体开关电路10中的节点16。有利地,两个矩形导电夹272、274可以越过半导体管芯焊盘238a至238b以直接方式机械地连接到封装引线280、282,同时维持优化夹的尺寸以满足期望的电流携载容量、电阻和/或电感规范的相当大自由。然而,第三正面导电夹的存在将在针对可制造性在半导体管芯的正面上最佳地布置导电夹方面和在优化导电夹的电流携载容量、电阻和/或电感性质的自由方面施加显著的约束。

[0053] 图2A是简化实例,并且一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。

[0054] 图2B示出了根据一些实施方案的集成电路(IC)封装200'的另一简化实例的图解顶部正视图,所述IC封装包括用于集成负载上功率(POL)电压转换器的引线框架结构220'。引线框架结构220'一般包括导电浆状件231'、导电周边封装引线260a'至260f'(包括第一封装引线连接部分281和第二封装引线连接部分283),以及导电夹布置270'(包括第一导电夹272'和第二导电夹274')。IC封装200'还包括控制器电路222'和半导体管芯230'(具有顶侧部分236'和半导体管芯焊盘238a'至238c')。

[0055] 图2B所示的引线框架结构220'的元件以与图2A所示的引线框架结构220的对应元件类似的方式起作用。就这点而言,图2B的引线框架结构220'的功能类似元件用图2A的引线框架结构220的对应元件的附图标记加撇(')指示来标记。例如,图2B的导电夹274'对应于图2A的功能类似的导电夹274。

[0056] 图2B的导电夹布置270'使用第一导电夹272'和第二导电夹274'将半导体管芯230'的半导体管芯焊盘238a'和半导体管芯焊盘238b'电连接到引线框架结构220'。如图所示,第一导电夹272'电连接到导电周边封装引线260a'的第一封装引线部分281,并且由此电连接到导电周边封装引线260a'。第二导电夹274'电连接到导电周边封装引线260b'的第二封装引线部分283,并且由此电连接到导电周边封装引线260b'。半导体管芯230'具有与顶表面236'相对的背面部分(图2C中示出),所述背面部分电耦合到导电浆状件231'。半导体管芯焊盘238a'(顶表面236'上的半导体管芯230'的第一正面触点)电耦合到第一导电夹272'。另外,半导体管芯焊盘238b'(顶表面236'上的半导体管芯230'的第二正面触点)电耦合到第二导电夹274'。

[0057] 在一些实施方案中,半导体管芯230'的背面部分的背面触点(在本文中也称为“衬底触点”)通过半导体管芯附接粘合剂或通过诸如焊膏或烧结银的另一材料电耦合到导电浆状件231'。电耦合浆状件231'是周边封装引线260e至260f的一部分或电连接到所述周边封装引线。在一些实施方案中,半导体管芯230'的衬底触点可以通过浆状件231'本身或

通过浆状件231' 上或延伸穿过其中的电导体电耦合到引线框架结构220' 的电端子。

[0058] 如将参考之后的图讨论, 在一些实施方案中, 半导体管芯230' 包括具有两个或更多个晶体管的集成功率结构。在一些实施方案中, 集成功率结构是图1所示的高功率半导体开关电路10, 并且两个或更多个晶体管包括高侧FET 12和低侧FET 14。半导体管芯230' 具有包括半导体管芯焊盘238a' 至238c' 的正面触点。半导体管芯焊盘238a' 至238c' 分别电耦合到半导体管芯230' 的两个或更多个晶体管中的至少一者。在所示实例中, 半导体管芯焊盘238a' 和238b' 分别对应于图1所示的高功率半导体开关电路的 $V_{\text{输入}}$ 端子22和 $V_{\text{相位}}$ 端子16, 并且(顶表面236' 上的) 半导体管芯焊盘238c' 对应于驱动器输入端子18、20。在一些实施方案中, 半导体管芯焊盘238c' 的一部分或全部电耦合到控制器电路222' 或通过接合线电耦合到周边封装引线260c' 至260d' 的封装引线。

[0059] 为简单起见, 一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。

[0060] 图2C示出了根据一些实施方案的简化示例性集成电路(IC) 封装200" 的一部分的图解截面图, 所述IC封装包括用于集成负载上功率(POL) 电压转换器的引线框架结构220"。所示的引线框架结构220" 的部分一般包括导电浆状件231"、第一导电夹272"、第二导电夹274"、第一封装引线连接部分281" 和第二封装引线连接部分283"。IC封装200" 还包括半导体管芯230"。在所示的简化实例中, 半导体管芯230" 一般包括具有高侧FET 232和低侧FET 234的正面有源层(例如, 上覆有源层)、半导体管芯焊盘238a" 至238b"、衬底触点240和衬底245。

[0061] 第一导电夹272" 电连接到第一封装引线连接部分281", 并且由此电连接到类似于图2B的导电周边封装引线260a' 的第一组导电封装引线(如图2B所示)。第二导电夹274" 电连接到第二封装引线连接部分283", 并且由此电连接到类似于图2B的导电周边封装引线260b' 的第二组导电封装引线(如图2B所示)。

[0062] 衬底触点240电耦合到高侧FET 232和/或低侧FET 234。半导体管芯焊盘238a" 电耦合到高侧FET 232并且电耦合到第一导电夹272"。半导体管芯焊盘238b" 电耦合到低侧FET 234并且电耦合到第二导电夹274"。衬底触点240电耦合到导电浆状件231"。

[0063] 半导体管芯焊盘238a" 至238b" 一般表示多个金属层中的顶部金属层。为简单起见, 未示出半导体管芯焊盘238a" 至238b" 与FET 232和234之间的多个金属层中的附加金属层。各种金属层根据需要对FET 232和234与半导体管芯焊盘238a" 至238b" 之间和它们之中的连接以及与附加半导体管芯焊盘238a" 至238b" 的连接进行布线。为简单起见, 一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。

[0064] 图3示出了根据一些实施方案的包括引线框架结构320的集成电路(IC) 封装300的一部分的简化图解截面侧视图。所示的引线框架结构320的部分一般包括导电浆状件331、第一导电夹372、第二导电夹374、第一封装引线连接部分381和第二封装引线连接部分383。IC封装300还包括半导体管芯30。引线框架结构320的部分类似于参考图2A至图2C讨论的引线框架结构220/220' /220" 的部分。例如: 导电浆状件331类似于导电浆状件231/231' /231"; 第一导电夹372类似于第一导电夹272/272' /272"; 第二导电夹374类似于第二导电夹274/274' /274"; 第一封装引线连接部分381类似于第一封装引线连接部分281/281"; 并且第二封装引线连接部分383类似于第二封装引线连接部分283/283"。

[0065] 在所示的简化示例性实施方案中,半导体管芯30体现图1的高功率半导体开关电路10。在这个实例中,LDFET 32实施开关电路10的高侧FET 12,并且LDFET 34实施开关电路10的低侧FET 14。在一个示例性配置中,高侧LDFET 32的输入触点36对应于开关电路10的输入节点22,相位触点38对应于开关电路10的相位节点16,并且衬底触点40对应于开关电路10的接地节点。

[0066] 在上文描述且图3中示出的高功率半导体开关电路10的示例性实施方式中,高侧LDFET 32的漏极触点56连接到输入节点22,高侧LDFET 32的源极触点54和低侧LDFET 34的漏极触点56' 两者连接到相位节点16,并且低侧LDFET 34的源极触点54' 连接到接地节点。如上文提及,其他节点连接布置是可能的。例如,这些其他连接布置包括第一LDFET与第二LDFET之间的任何连接布置,所述连接布置包括(i)电连接到第一LDFET的源极和第二LDFET的漏极的公共节点、(ii)第一LDFET的漏极、第二LDFET的源极和公共节点中的至少一者电连接到半导体衬底,以及(iii)分别电连接到第一LDFET的漏极、第二LDFET的源极和公共节点中的没有电连接到半导体衬底中的多者的第一正面触点和第二正面触点。

[0067] 高侧LDFET 32和低侧LDFET 34在有源层42中实施。有源层42可以是半导体晶片的块体的掺杂部分、在半导体晶片的较大掺杂部分中形成的局部化阱、绝缘体上半导体(SOI)晶片的有源层以及在SOI晶片中形成的局部化阱中的任一者。在所示实例中,有源层42是在SOI衬底45的掩埋介电层44上方形成的薄膜。在所示实例中,介电隔离障壁47在高侧LDFET 32与低侧LDFET 34之间从有源层42的顶部延伸到掩埋介电层44。在一些实例中,介电隔离障壁47使用浅沟槽隔离(STI)工艺形成。

[0068] 有源层42的高侧LDFET 32部分包括在掺杂区48中形成的源极区46、在掺杂区51中形成的轻掺杂(LDD)区50与重掺杂延伸区49,以及漏极区52。源极区46、掺杂区48、LDD区50、延伸区49和漏极区52可以包括通过例如杂质植入到有源层42中而形成的掺杂半导体材料。每个区46至52的掺杂半导体材料具有类似的导电类型(例如,n型或p型)。因此,每个区46至52可以由相同的掺杂物种类形成,诸如通过植入一种掺杂物原子。LDD区50具有比漏极区52低的掺杂物浓度,并且还可以具有比源极区46低的掺杂物浓度。就其抵挡大电压并且在吸收大电流时不会退化的能力而言,LDD区50向LDFET提供其作为功率装置的优越性能。LDD区50的存在向LDFET提供其具有不对称的源极区和漏极区的特性。在一些方法中,LDD区50一般从漏极区52横向地延伸掺杂区48从源极区46延伸的至少两倍远。

[0069] 有源层42的高侧LDFET部分还包括主体区60和深阱区62,所述主体区和深阱区具有与源极区、掺杂区、LDD区、延伸区和漏极区46至52的导电类型相反的导电类型。深阱区62在源极区46以及主体区域60的形成有沟道的那部分下方横向地延伸。深阱区62增强高侧LDFET 32耐受大电压的能力并且用来从主体区60移除不需要的电荷载流子,以防止寄生双极结型晶体管在高侧LDFET 32的导通状态期间激活。

[0070] 在有源层42上方,高侧LDFET 32包括栅极结构,所述栅极结构包括栅极屏蔽66和栅极电极68。栅极电极68通过介电材料70、72分别与有源层42和栅极屏蔽66电绝缘。源极区46电耦合到源极触点54,所述源极触点连接到相位触点38。漏极区52电耦合到漏极触点56,所述漏极触点连接到输入触点36。漏极区52可以是高掺杂漏极区并且可以在漏极触点56与LDD区50之间形成导电路径。电绝缘材料74(例如,层间电介质)将有源层42上方的电部件电隔离。一般来说,电绝缘材料74和介电材料70、72可以是相同或类似的材料。另外,在某些方

法中,不论何时和如何形成,绝缘材料74和介电材料70、72的组合在完成的装置中都可以概念化为单个绝缘层。

[0071] 响应于将电压施加到栅极电极68,在源极触点54与漏极触点56之间形成导电路径。源极触点54与漏极触点56之间的导电路径包括在施加到栅极电极68的前述电压的影响下选择性地为主体区60中形成的沟道。当沟道形成时,晶体管被称为导通。当沟道未形成,并且源极触点54与漏极触点56之间不存在导电路径时,晶体管被称为关断。在这种情况下,不存在导电路径,因为源极区46和漏极区50、52具有与主体区60相反的导电类型,使得在它们的界面处形成二极管结。

[0072] 栅极屏蔽66与源极触点54处于欧姆接触。栅极屏蔽66是使得高侧FET 32更适合高功率应用的另一特征。通过将栅极屏蔽66偏压到给定的电压,屏蔽漏极触点56上的高功率信号以免对栅极区产生显著影响。尽管栅极屏蔽66被示为欧姆耦合到源极触点54,但是栅极屏蔽66也可以独立地偏压。在一些实例中,栅极屏蔽66和源极触点54可以在两个不同的步骤中形成,并且可以包括不同的两种材料。然而,在这种情况下,此类特征对于多数情形下的装置操作来说不重要,因为栅极屏蔽66和源极触点54是具有从介电材料74上方一直到有源层42的表面的不间断欧姆接触的高导电材料的一个连续区。因此,栅极屏蔽66和源极触点54的组合可以概念化为单个源极触点。

[0073] 一般来说,源极触点54和漏极触点56实现从可以与同一集成电路上的LDFET集成或可以不集成的其他电路到高侧LDFET 32的电连接。源极区46可以经由在源极区46的表面上形成的硅化物层电耦合到源极触点54。更一般来说,源极区46可以使用在结构的两个区之间形成欧姆或非整流接触的任何过程耦合到源极触点54。漏极触点56与漏极区52之间的连接可以包括上文参考源极触点54和源极区46描述的变型中的任一者。源极触点54和漏极触点56可以包括金属、金属合金、金属硅化物,或诸如掺杂多晶硅的导电半导体材料。示例性金属、金属合金和金属硅化物可以各自包括铜、钨、钼和铝。

[0074] 在图3所示的实例中,有源层42的低侧LDFET部分34的元件中的一些以与有源层42的高侧LDFET部分32的对应元件类似的方式起作用。就这点而言,低侧LDFET 34的功能类似元件将用高侧LDFET的对应元件的附图标记跟着撇号来标记。例如,对应于高侧LDFET 32的功能类似漏极区52的低侧LDFET 34的漏极区用附图标记52' 来标记。因此,低侧LDFET 34包括以下元件:源极区46'、掺杂区48'、在掺杂区51'中形成的LDD区50'与重掺杂延伸区49'、漏极区52'、源极触点54'、漏极触点56'、主体区60'、深阱区62'、栅极屏蔽66'、栅极电极68'和介电材料70'、72'。

[0075] 在这个实例中,低侧LDFET 34的源极触点54' 不仅从有源层42上方穿过源极区46'和掺杂区48' 延伸到深阱区62',而且它还延伸穿过深阱区62' 和掩埋介电层44并进入衬底45中。通过这种方式,低侧LDFET 34的源极触点54' 提供到衬底45并由此到衬底触点40的源极向下电连接,所述衬底触点对应于高功率半导体开关电路10的接地节点。

[0076] 相位节点触点38将高侧LDFET的源极触点54与低侧LDFET的漏极触点56' 电互连,并且由此形成高侧LDFET 32的源极区46和低侧LDFET 34的漏极区52' 的公共节点。应注意,掩埋介电层44和介电隔离障壁47将高侧LDFET 32与衬底45电隔离,以防止在功率开关电路10的操作期间与低侧LDFET 34的源极触点54' 形成公共节点。

[0077] 如图所示,第一导电夹372电耦合到输入触点36并且第二导电夹374电耦合到相位

节点触点38。衬底触点40电耦合到导电浆状件331。第一导电夹372电连接到第一封装引线连接部分381,并且由此电连接到类似于图2B的导电周边封装引线260a'的第一组导电封装引线(未示出)。第二导电夹374电连接到第二封装引线连接部分383,并且由此电连接到类似于图2B的导电周边封装引线260b'的第二组导电封装引线(未示出)。

[0078] 如上文提及,将功率开关电路10的常规实施方式中的三个正面源极触点、漏极触点和相位节点触点中的一者重新配置成衬底触点释放出半导体管芯的正面上的物理空间,以用于到两个剩余正面触点的高性能电连接。这个特征增加了集成横向功率装置电路的电路设计灵活性、性能和可制造性。

[0079] 图3所示的金属层(例如,触点36和38)一般表示根据需要对连接布线的多个金属层,包括用于半导体管芯焊盘(例如,类似于238a至238d、238a'至238c'和238a''至238b'')的顶部金属层,以及介于半导体管芯焊盘与绝缘材料(例如,74)或有源层(例如,42)之间的附加金属层。为简单起见,一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。为简单起见,简化图解截面侧视图仅示出了单个晶体管“指状件”。在一些实施方案中,如参考图17讨论,多个晶体管指状件并联连接以增加所体现的电路的功率处理能力并且减少应用所体现的电路所需的总电阻。

[0080] 图4示出了包括引线框架结构420的集成电路(IC)封装400的一部分的简化图解截面侧视图。所示的引线框架结构420的部分一般包括导电浆状件431、第一导电夹473、第二导电夹475、第一封装引线连接部分481和第二封装引线连接部分483。IC封装400还包括半导体管芯430。引线框架结构420的部分在结构上类似于参考图2A至图2C讨论的引线框架结构220/220'/220''的部分。例如:导电浆状件431类似于导电浆状件231/231'/231'';第一导电夹473类似于第一导电夹272/272'/272'';第二导电夹475类似于第二导电夹274/274'/274'';第一封装引线连接部分481类似于第一封装引线连接部分281/281'';并且第二封装引线连接部分483类似于第二封装引线连接部分283/283''。

[0081] 在所示的示例性实施方案中,半导体管芯430体现图1的高功率半导体开关电路10。在一个示例性配置中,高侧LDFET 432的第一正面触点480对应于开关电路10(见图1)的输入节点22,衬底触点440对应于开关电路10的相位节点16,并且第二正面触点484对应于开关电路10的接地节点。

[0082] 图3所示的半导体管芯30的高侧LDFET 32的元件中的一些以与图4所示的高侧LDFET 432的对应元件类似的方式起作用。就这点而言,图4的高侧LDFET 432的功能类似元件用图3的高侧LDFET的对应元件的附图标记前面加上数字“4”来标记。例如,对应于图3的高侧LDFET 32的功能类似漏极区52的图4的高侧LDFET 432的漏极区用附图标记“452”来标记。因此,高侧LDFET 432包括以下元件:源极区446、掺杂区448、在掺杂区451中形成的LDD区450与重掺杂延伸区449、漏极区452、源极触点454、漏极触点456、主体区460、深阱区462、栅极屏蔽466、栅极电极468、介电材料470、472和绝缘材料474。另外,低侧LDFET 434的功能类似元件用高侧LDFET 432的对应元件的附图标记跟着撇号来标记。因此,低侧LDFET 434包括以下元件:源极区446'、掺杂区448'、在掺杂区451'中形成的LDD区450'与重掺杂延伸区449'、漏极区452'、源极触点454'、漏极触点456'、主体区460'、深阱区462'、栅极屏蔽466'、栅极电极468'和介电材料470'、472'。

[0083] 在这个实例中,低侧LDFET 434的漏极触点456'和高侧LDFET432的源极触点454由

包括平面外部分489的电导体482电连接。另外,高侧LDFET 432的源极触点454不仅从有源层上方穿过源极区446和掺杂区448延伸到深阱区462,而且它还延伸穿过深阱区462和掩埋介电层444并进入晶片衬底445中。通过这种方式,高侧LDFET 432的源极触点454提供到衬底445并由此到用于高功率半导体开关电路10的接地节点16的衬底触点440的源极向下电连接。应注意,掩埋介电层444和介电隔离障壁447将低侧LDFET 434与衬底445电隔离,以防止在功率开关电路的操作期间与高侧LDFET 432的源极触点454形成公共节点。

[0084] 如图所示,第一导电夹473电耦合到第一正面触点480并且第二导电夹475电耦合到第二正面触点484。衬底触点440电耦合到导电浆状件431。第一导电夹473电连接到第一封装引线连接部分481,并且由此电连接到类似于图2B的导电周边封装引线260a'的第一组导电封装引线(未示出)。第二导电夹475电连接到第二封装引线连接部分483,并且由此电连接到类似于图2B的导电周边封装引线260b'的第二组导电封装引线(未示出)。

[0085] 图4所示的金属层(例如,触点和电导体480、482和484)一般表示根据需要对连接布线的多个金属层,包括用于半导体管芯焊盘(例如,类似于238a至238d、238a'至238c'和238a''至238b'')的顶部金属层,以及介于半导体管芯焊盘与绝缘材料或有源层之间的附加金属层,如上文在其他实施方案中针对金属层提及。为简单起见,一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。为简单起见,简化图解截面侧视图仅示出了单个晶体管“指状件”。在一些实施方案中,如参考图17讨论,多个晶体管指状件并联连接以增加所体现的电路的功率处理能力并且减少应用所体现的电路所需的总电阻。

[0086] 图5示出了根据一些实施方案的包括引线框架结构520的集成电路(IC)封装501的一部分的简化图解截面侧视图。所示引线框架结构520的部分一般包括导电浆状件531、第一导电夹572和第二导电夹574。IC封装501还包括半导体管芯530。引线框架结构520的部分类似于参考图2A至图2C讨论的引线框架结构220/220'/220''的部分。例如:导电浆状件531类似于导电浆状件231/231'/231'';第一导电夹572类似于第一导电夹272/272'/272'';并且第二导电夹574类似于第二导电夹274/274'/274''。

[0087] 为简单起见,图5中仅示出了第一导电夹572和第二导电夹574的部分。应理解,这些部分各自是类似于导电夹结构272''和274''的相应的导电夹结构的部分。因此,第一导电夹572电连接到类似于第一封装引线连接部分281/281''的第一封装引线连接部分(未示出)。类似地,第二导电夹574电连接到类似于第二封装引线连接部分283/283''的第二封装引线连接部分(未示出)。

[0088] 在所示的示例性实施方案中,半导体管芯530体现图1的高功率半导体开关电路10。在一个实例中,高侧LDFET的第一正面触点580连接到开关电路10(见图1)的输入节点($V_{\text{输入}}$),衬底触点540连接到开关电路10的相位节点16($V_{\text{相位}}$),第二正面触点584连接到开关电路10的接地节点(GND)。衬底触点540对应于开关电路10的相位节点。

[0089] 在这个实例中,图3所示的半导体管芯30的高侧LDFET 32的元件中的一些以与图5所示的高侧LDFET的对应元件类似的方式起作用。就这点而言,图5的高侧LDFET的功能类似元件用图3的高侧LDFET的对应元件的附图标记前面加上数字“5”来标记。例如,对应于图3的高侧LDFET 32的功能类似漏极区52的图5的高侧LDFET的漏极区用附图标记“552”来标记。因此,高侧LDFET包括以下元件:源极区546、漏极区552、源极触点554、漏极触点556和栅

极电极568。另外,低侧LDFET的功能类似元件用高侧LDFET的对应元件的附图标记跟着撇号来标记。因此,图5所示的低侧LDFET包括以下元件:源极区546'、漏极区552'、源极触点554'、漏极触点556'和栅极电极568'。

[0090] 在这个实例中,使用支持形成源极衬底触点和漏极衬底触点两者的过程,将高侧源极触点554和低侧漏极触点556'两者制造成穿过掩埋介电层544延伸到衬底545的衬底触点。因此,代替如在图4所示的实例中使用正面触点将高侧源极区546连接到低侧漏极区552',高功率半导体开关电路10的这个实施方式使用两个衬底触点554和556'将高侧源极区546和低侧漏极区552'连接到相位节点($V_{\text{相位}}$)。通过这种方式,正面连接的数量从三减少到二。

[0091] 如图所示,第一导电夹572电耦合到第一正面触点580并且第二导电夹574电耦合到第二正面触点584。衬底触点540电耦合到导电浆状件531。第一导电夹572电连接到第一封装引线连接部分(未示出),并且由此电连接到类似于图2B的导电周边封装引线260a'的第一组导电封装引线(未示出)。第二导电夹574电连接到第二封装引线连接部分(未示出),并且由此电连接到类似于图2B的导电周边封装引线260b'的第二组导电封装引线(未示出)。

[0092] 图5所示的金属层(例如,触点580和584)一般表示根据需要对连接布线的多个金属层,包括用于半导体管芯焊盘(例如,类似于238a至238d、238a'至238c'和238a''至238b'')的顶部金属层,以及介于半导体管芯焊盘与绝缘材料或有源层之间的附加金属层,如上文在其他实施方案中针对金属层提及。为简单起见,一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。为简单起见,简化图解截面侧视图仅示出了单个晶体管“指状件”。在一些实施方案中,如参考图17讨论,多个晶体管指状件并联连接以增加所体现的电路的功率处理能力并且减少应用所体现的电路所需的总电阻。

[0093] 图6示出了根据一些实施方案的包括引线框架结构620的集成电路(IC)封装601的一部分的简化图解截面侧视图。所示引线框架结构620的部分一般包括导电浆状件631、第一导电夹672和第二导电夹674。IC封装601还包括半导体管芯630。引线框架结构620的部分类似于参考图2A至图2C讨论的引线框架结构220/220'/220''的部分。例如:导电浆状件631类似于导电浆状件231/231'/231'';第一导电夹672类似于第一导电夹272/272'/272'';并且第二导电夹674类似于第二导电夹274/274'/274''。

[0094] 为简单起见,图6中仅示出了第一导电夹672和第二导电夹674的部分。应理解,这些部分各自是类似于导电夹结构272''和274''的相应的导电夹结构的部分。因此,第一导电夹672电连接到类似于第一封装引线连接部分281/281''的第一封装引线连接部分(未示出)。类似地,第二导电夹674电连接到类似于第二封装引线连接部分283/283''的第二封装引线连接部分(未示出)。

[0095] 在所示的示例性实施方案中,半导体管芯630体现图1的高功率半导体开关电路10。在一个示例性配置中,高侧LDFET的第一正面触点680连接到开关电路10(见图1)的输入节点($V_{\text{输入}}$),第二正面触点682连接到开关电路10的相位节点($V_{\text{相位}}$),并且接触衬底645的源极触点654'通过背面触点640由导电浆状件631连接到开关电路10的接地节点(GND)。

[0096] 图3所示的半导体管芯30的高侧LDFET 32的元件中的一些以与图6所示的高侧

LDFET的对应元件类似的方式起作用。就这点而言,图6的高侧LDFET的功能类似元件用图3的高侧LDFET的对应元件的附图标记前面加上数字“6”来标记。例如,对应于图3的高侧LDFET 32的功能类似漏极区52的图6的高侧LDFET的漏极区用附图标记“652”来标记。因此,高侧LDFET包括以下元件:源极区646、漏极区652、源极触点654、漏极触点656和栅极电极668。另外,低侧LDFET的功能类似元件用高侧LDFET的对应元件的附图标记跟着撇号来标记。因此,图6所示的低侧LDFET包括以下元件:源极区646’、漏极区652’、源极触点654’、漏极触点656’和栅极电极668’。

[0097] 在这个实例中,高侧源极区646由在低侧源极区646’上方延伸的第二正面连接件682连接到低侧漏极区652’,所述低侧源极区通过衬底触点连接到开关电路10的接地节点。这个实例示出衬底触点的使用如何增加可用的正面空间量并且由此增加电路设计人员可用的互连选择。

[0098] 图6所示的金属层(例如,触点680和682)一般表示根据需要对连接布线的多个金属层,包括用于半导体管芯焊盘(例如,类似于238a至238d、238a’至238c’和238a”至238b”)的顶部金属层,以及介于半导体管芯焊盘与绝缘材料或有源层之间的附加金属层,如上文在其他实施方案中针对金属层提及。为简单起见,一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。为简单起见,简化图解截面侧视图仅示出了单个晶体管“指状件”。在一些实施方案中,如参考图17讨论,多个晶体管指状件并联连接以增加所体现的电路的功率处理能力并且减少应用所体现的电路所需的总电阻。

[0099] 图7A示出了包括高侧场效应晶体管(FET)780、第一低侧FET 782和第二低侧FET 784的高功率半导体开关电路794的实例。高侧FET 780的源极耦合到第一低侧FET 782的漏极并且在相位节点716处耦合到第二低侧FET 784的漏极。

[0100] 图7B示出了根据一些实施方案的集成电路(IC)封装701的一部分的简化图解截面侧视图,所述IC封装包括体现图7A的高功率开关电路794的引线框架结构720。所示引线框架结构720的部分一般包括导电浆状件731、第一导电夹772和第二导电夹774。IC封装701还包括半导体管芯730。引线框架结构720的部分类似于参考图2A至图2C讨论的引线框架结构220/220’/220”的部分。例如:导电浆状件731类似于导电浆状件231/231’/231”;第一导电夹772类似于第一导电夹272/272’/272”;并且第二导电夹774类似于第二导电夹274/274’/274”。

[0101] 为简单起见,图7B中仅示出了第一导电夹772和第二导电夹774的部分。应理解,这些部分各自是类似于导电夹结构272”和274”的相应的导电夹结构的部分。因此,第一导电夹772电连接到类似于第一封装引线连接部分281/281”的第一封装引线连接部分(未示出)。类似地,第二导电夹774电连接到类似于第二封装引线连接部分283/283”的第二封装引线连接部分(未示出)。

[0102] 在所示的示例性实施方案中,半导体管芯730体现包括一个高侧LDFET 780以及两个低侧LDFET 782和784的高功率半导体开关电路794。在一个示例性配置中,第一正面触点786将高侧LDFET 780的源极触点756和低侧LDFET 784的漏极触点754”连接到开关电路795(见图7A)的相位节点716($V_{\text{相位}}$),第二正面触点788将高侧LDFET780的漏极触点754连接到开关电路794的输入节点722($V_{\text{输入}}$),第三正面触点790将漏极触点754’连接到相位节点($V_{\text{相位}}$),

并且第四正面触点792将可选的第四高侧LDFET(未示出)的漏极触点连接到开关电路10的输入节点($V_{\text{输入}}$)。第一正面触点786和第三正面触点790在图7B所示的截面的平面外彼此电耦合。类似地,第二正面触点788和第四正面触点792在图7B所示的截面的平面外彼此电耦合(如果使用可选的第四高侧LDFET的话)。

[0103] 图3所示的半导体管芯30的高侧LDFET 32的元件中的一些以与图7B所示的高侧LDFET 780的对应元件类似的方式起作用。就这点而言,图7B的高侧LDFET 780的功能类似元件用图3的高侧LDFET的对应元件的附图标记前面加上数字“7”来标记。例如,对应于图3的高侧LDFET 32的功能类似漏极区52的图7B的高侧LDFET 780的漏极区用附图标记“752”来标记。因此,高侧LDFET 780包括以下元件:源极区746、漏极区752、漏极触点754、源极触点756和栅极电极768。另外,低侧LDFET 782的功能类似元件用高侧LDFET的对应元件的附图标记跟着撇号来标记。因此,图7B所示的低侧LDFET 782包括以下元件:源极区746’、漏极区752’、漏极触点754’、源极触点756’和栅极电极768’。类似地,低侧LDFET 784的功能类似元件用高侧LDFET的对应元件的附图标记跟着双撇号来标记。因此,图7B所示的低侧LDFET 784包括以下元件:源极区746”、漏极区752”、漏极触点754”、源极触点756”和栅极电极768”。

[0104] 在这个实例中,高侧源极区746和邻近的低侧漏极区752”通过第一正面触点786和高侧源极触点756以及低侧漏极触点754”进行互连。通过使用衬底触点756’和756”分别将源极区746’和746”连接到接地节点(GND),针对低侧漏极区752’,更大的金属区可用于正面相位节点触点790,以使得能够减少平面外电阻。

[0105] 如图所示,第一导电夹772电耦合到第二正面触点788,并且第二导电夹774电耦合到第一正面触点786。衬底触点740电耦合到导电浆状件731。第一导电夹772电连接到第一封装引线连接部分(未示出),并且由此电连接到类似于图2B的导电周边封装引线260a’的第一组导电封装引线(未示出)。第二导电夹774电连接到第二封装引线连接部分(未示出),并且由此电连接到类似于图2B的导电周边封装引线260b’的第二组导电封装引线(未示出)。

[0106] 图7B所示的金属层(例如,触点786、788、790、792)一般表示根据需要对连接布线的多个金属层,包括用于半导体管芯焊盘(例如,类似于238a至238d、238a’至238c’和238a”至238b”)的顶部金属层,以及介于半导体管芯焊盘与绝缘材料或有源层之间的附加金属层,如上文在其他实施方案中针对金属层提及。为简单起见,一些金属层、连接、接合线或其他特征已经被省略。可以存在中介金属层、导电粘合剂或其他金属粘结结构。为简单起见,简化图解截面侧视图仅示出了单个晶体管“指状件”。在一些实施方案中,如参考图17讨论,多个晶体管指状件并联连接以增加所体现的电路的功率处理能力并且减少应用所体现的电路所需的总电阻。

[0107] 可以用来实施集成LDFET装置的组成LDFET的结构和布置的许多变化是可能的。以下公开描述可以替换图2和图4所示的集成LDFET电路的组成LDFET中的一者或两者以产生不同的集成LDFET电路实施方案的单独LDFET结构。另外,这些单独LDFET结构中的两者或更多者可以彼此组合以产生附加的集成LDFET电路实施方案。以下单独LDFET结构中的每一者包括功能类似于图3所示的高侧LDFET 32的元件的元件。为易于理解,单独LDFET结构的功能类似元件用高侧LDFET 32的对应元件的相同附图标记跟着两个撇号来标记。

[0108] 图8A示出了源极向下配置中的LDFET 500的实例的图解截面侧视图。LDFET 500包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，代替如上文结合图3所示的低侧LDFET 34实例的源极触点54’所述的延伸穿过深阱62”，图8A所示的源极触点54”包括连接到衬底触点504的正面触点502，所述衬底触点延伸穿过有源层中的开口506并且进一步穿过掩埋介电层44”延伸到衬底45”。在一些实例中，有源层中的开口506允许使用氧化物蚀刻过程来形成穿过掩埋介电层44”的衬底触点，并且不需要硅蚀刻过程。

[0109] 图8B示出了漏极向下配置中的LDFET 510的实例的图解截面侧视图。LDFET 510包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，代替延伸穿过漏极区52”和LDD区50”，漏极触点56”包括连接到衬底触点514的正面触点512，所述衬底触点延伸穿过有源层中的开口516并且进一步穿过掩埋介电层44”延伸到衬底45”。在一些实例中，有源层中的开口516允许使用氧化物蚀刻过程来形成穿过掩埋介电层44”的衬底触点514，并且不需要硅蚀刻过程。

[0110] 图9A示出了源极向下配置中的LDFET 600的实例的图解截面侧视图。LDFET 600包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，代替如上文结合图3所示的低侧LDFET 34实例的源极触点54’所述的延伸穿过深阱62”，源极触点54”包括连接到衬底触点604的正面触点602，所述衬底触点延伸穿过有源层并且进一步穿过掩埋介电层44”延伸到衬底45”。在一些实例中，穿过有源层蚀刻衬底触点可以消除触点到有源间隔设计规则，从而降低晶体管节距。

[0111] 图9B示出了漏极向下配置中的LDFET 610的实例的图解截面侧视图。LDFET 610包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，代替延伸穿过漏极区52”和LDD区50”，漏极触点56”包括连接到衬底触点614的正面触点612，所述衬底触点延伸穿过有源层并且进一步穿过掩埋介电层44”延伸到衬底45”。在一些实例中，穿过有源层蚀刻衬底触点可以消除触点到有源间隔设计规则，从而降低晶体管节距。

[0112] 图10A示出了源极向下配置中的LDFET 700的实例的图解截面侧视图。LDFET 700包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，除了如上文结合图3所示的低侧LDFET 34实例的源极触点54’所述的从有源层上方延伸到衬底45”之外，源极触点702还向上穿过电绝缘材料74”延伸到正面触点704。

[0113] 图10B示出了漏极向下配置中的LDFET 710的实例的图解截面侧视图。LDFET 710

包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，漏极触点712从衬底45”向上穿过掺杂区51”、LDD区50”、漏极区52”和电绝缘材料区74”延伸到正面触点714。

[0114] 图11A示出了源极向下配置中的LDFET 800的实例的图解截面侧视图。LDFET 800包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，漏极触点54”不需要任何金属1连接，如上文关于图3所示的低侧LDFET 34实例的源极触点54’所述。出于这个原因，对正面触点802进行布局可以不用考虑到源极触点54”的位置。在这个实例中，金属1正面触点802可以覆在源极触点54”上面或者不覆在其上面，具体取决于电路设计要求。

[0115] 图11B示出了漏极向下配置中的LDFET 810的实例的图解截面侧视图。LDFET 810包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。在这个实例中，漏极触点56”不需要金属1连接。出于这个原因，可以在不考虑漏极触点56”的位置的情况下对正面触点812进行布局。例如，金属1正面触点802可以覆在漏极触点56”上面或者不覆在其上面，具体取决于电路设计要求。

[0116] 图12A示出了源极向下配置中的LDFET 900的实例的图解截面侧视图。LDFET 900包括以下元件：衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。这个实例对应于图11A所示的LDFET 800，除了它包括具有相对窄的底部部分904和较宽顶部架部分906的源极触点902之外，所述源极触点减小对源极区46”的触点电阻。具体地，源极触点902沿着轴向维度908穿过有源层延伸到衬底45”，顶部架部分906延伸到有源层中并且由正交于轴向维度908的横向维度上的第一宽度表征，并且底部部分904穿过有源层延伸到衬底45”并且由横向维度上的第二宽度表征，所述第二宽度小于第一宽度。

[0117] 在一些实例中，通过执行浅宽接触蚀刻接着是第二深窄接触蚀刻来形成源极触点902。

[0118] 在一些实例中，还可以通过在执行第一浅宽接触蚀刻之后植入源极46”来减小源极触点902的电阻。

[0119] 在一些实例中，源极触点902与主体之间的电阻还可以通过在深阱区62”的较深位置处形成架部分906来减小。这种方法可以与在执行第二深窄接触蚀刻之后对深阱区62”进行重植入相结合。

[0120] 在所示实例中，在执行第二深窄接触蚀刻之后沉积栅极屏蔽66”。在其他实例中，在执行第一浅宽接触蚀刻之后沉积栅极屏蔽66”。

[0121] 在一些实例中，在执行深窄接触蚀刻之后，利用衬底45”的相同掺杂物类型的重植

入物(例如,如果衬底是p型,则p+掺杂物)通过由深窄接触蚀刻形成的开口植入衬底45”,以改进衬底触点电阻。

[0122] 图12B示出了漏极向下配置中的LDFET 910的实例的图解截面侧视图。LDFET 910包括以下元件:衬底触点40”、掩埋介电层44”、衬底45”、源极区46”、掺杂区48”、在掺杂区51”中形成的LDD区50”与重掺杂延伸区49”、漏极区52”、源极触点54”、漏极触点56”、主体区60”、深阱区62”、栅极屏蔽66”、栅极电极68”和介电材料70”、72”、74”。这个实例对应于图11B所示的LDFET 810,除了它包括具有相对窄的底部部分914和较宽顶部架部分916的漏极触点912之外,所述漏极触点减小对漏极区52”的触点电阻。具体地,漏极触点912沿着轴向维度918穿过有源层延伸到衬底45”,顶部架部分916延伸到有源层中并且由正交于轴向维度918的横向维度上的第一宽度表征,并且底部部分914穿过有源层延伸到衬底45”并且由横向维度上的第二宽度表征,所述第二宽度小于第一宽度。

[0123] 在一些实例中,通过执行浅宽接触蚀刻接着是第二深窄接触蚀刻来形成源极触点912。在其他实例中,首先执行深窄接触蚀刻,并且然后执行宽氧化物蚀刻以在有源层的表面处暴露漏极区52”。

[0124] 在一些实例中,LDFET 900和910的源极向下配置和漏极向下配置可以相结合以产生单个LDFET,其中源极区46”和漏极区52”两者连接到衬底45”。

[0125] 以下公开描述了图8A至图12B所示的单独LDFET结构的布局选择的实例。

[0126] 图13示出了图8A的源极向下LDFET结构500的示例性布局的图解自顶向下视图,其中衬底触点504从源极区46”横向地移位。在这个实例中,正面触点502将源极触点54”电连接到衬底触点504,所述衬底触点穿过有源层和掩埋介电层延伸到衬底。如图13所示,邻近源极触点54”添加衬底触点504会增加晶体管节距,由此增加半导体管芯面积和成本。图13所示的示例性布局同样适用于图9A的源极向下LDFET结构600,例如,相对于衬底触点604和正面触点602。另外,图13所示的布局的水平反射版本可以分别用于图8B和图9B所示的漏极向下LDFET结构510、610。

[0127] 图14示出了图10A的LDFET结构700的第一示例性布局的图解自上而下视图,其中源极触点702从衬底45”穿过源极46”延伸到正面触点704。因此,在源极触点702连接源极区46”和衬底45”两者的情况下,与图13所示的方法相比,可以通过使用单个触点来节省半导体管芯面积和成本。在一些实例中,源极区46”可以连接在源极触点702的两侧上。在一些实例中,可以在源极的顶部处形成架,以改进源极触点电阻(例如,见图12A)。图14所示的布局的水平反射版本可以用于图10B所示的漏极向下LDFET结构710。

[0128] 在一些实例中,衬底触点包括第一组平行的衬底子触点,所述第一组平行的衬底子触点与连接到第一LDFET和第二LDFET的源极和漏极中的一者的第二组平行的沟道子触点交错,其中第一组和第二组中的相应的子触点延伸到有源层上方的表面,它们在所述表面交替地布置成行。例如,图15示出了图10A的LDFET结构700的第二示例性布局的图解自上而下视图,其中源极触点由从源极46”延伸到正面触点704的一组平行的竖直源极触点706的平面阵列实施,并且衬底触点由一组平行的竖直衬底触点708的平面阵列实施,所述一组平行的竖直衬底触点与正面触点704交错并且从衬底45”延伸到正面触点704。与图13所示的实施方案相比,以这样的方式使源极触点706与衬底触点708交错减小了晶体管节距。图15所示的布局的水平反射版本可以用于图10B所示的漏极向下LDFET结构710。

[0129] 图16示出了图11A的LDFET结构800的示例性布局的图解自上而下视图,其中源极触点54”延伸到衬底但没有延伸到半导体管芯的正面。如上文解释,这个特征允许在不考虑源极触点54”的位置的情况下对漏极的正面触点802进行布局。在所示实例中,正面漏极触点802在源极触点54”上方延伸并延伸到其之外,而没有电连接到源极触点54”。图16所示的示例性布局同样适用于图12A的源极向下LDFET结构900。另外,图16所示的布局的水平反射版本可以用于图11B和图12B所示的漏极向下LDFET结构810、910。

[0130] 图17示出了图3的LDFET电路的示例性布局的图解自上而下视图。在这个实例中,高侧LDFET 32和低侧LDFET 34由一组多个交错的高侧LDFET和低侧LDFET“指状件”实施,所述指状件通过输入节点金属化(例如, $V_{\text{输入}}$)和相位节点金属化(例如, $V_{\text{相位}}$)的一组交替的导电路径互连。在这种方法中,组成高侧LDFET和低侧LDFET指状件可以紧密地放置在一起,从而允许高侧漏极与低侧源极之间的互连金属化路径较短、共同具有比通过电路结构的阻抗更低的总阻抗的低阻抗连接,其中高侧晶体管和低侧晶体管安排在半导体管芯的单独区段中。因此,减小通过LDFET电路从高侧源极到低侧漏极的阻抗。在一些实例中,可能需要附加金属层以将相应的连接从LDFET指状件拉到封装引脚。在一些实例中,输入节点指状件金属化路径中的多个(例如,36a、36b和36c)连接到与输入节点(例如, $V_{\text{输入}}$)连接的第一导电输出路径,并且相位节点指状件金属化路径中的多个(例如,38a和38b)连接到与相位节点(例如, $V_{\text{相位}}$)连接的第二导电输出路径。

[0131] 图18示出了用于制造半导体装置的方法的实例。根据这种方法,在半导体衬底上方的有源层中,形成包括源极、漏极和栅极的第一横向扩散场效应晶体管(LDFET),以及包括源极、漏极和栅极的第二LDFET(图18,框950)。将第一LDFET的源极和第二LDFET的漏极电连接到公共节点(图18,框952)。在有源层上方形成第一正面触点和第二正面触点,并且形成电连接到半导体衬底的衬底触点,其中第一正面触点、第二正面触点和衬底触点中的每一者电连接到第一LDFET的漏极、第二LDFET的源极和公共节点中不同的相应一者(图18,框954)。

[0132] 在一些实例中,在半导体衬底与有源层之间形成掩埋介电层,其中衬底触点延伸穿过掩埋介电层。在这些实例中的一些中,还在第一LDFET与第二LDFET之间形成介电隔离障壁,所述介电隔离障壁穿过有源层延伸到掩埋介电层。

[0133] 在一些实例中,利用第一导电夹将第一正面触点电连接到半导体封装的第一组一个或多个周边封装引线。利用第二导电夹将第二正面触点电连接到半导体封装的第二组一个或多个周边封装引线。将衬底触点电连接到半导体封装的桨状件。

[0134] 其他实施方案在权利要求的范围内。例如,本文中公开的半导体装置在高功率条件下具有改进的性能。然而,本文中公开的教导可以用于广泛地改进半导体装置,并且不限于高功率应用。本文中公开的某些方法允许构建所公开的装置的有成本效益且高效的方式。在半导体装置是晶体管的具体情况下,装置的主体被有效地偏压以防止装置进入具体的击穿条件,诸如由晶体管的主体的电位增加引起的击穿条件。因此,这些半导体装置中的一些可用于在有源材料薄层中形成装置的情况,因为在这些情况下,半导体装置的主体更容易受引入外源电荷的影响,因为在薄有源层中存在较少的固有电荷来抵消外源电荷的影响。

[0135] 图19示出了根据一些实施方案的用于将半导体装置封装在具有引线框架结构的

半导体封装的方法的简化实例。根据这种方法,提供具有引线框架结构的半导体装置封装,所述引线框架结构包括导电浆状件和导电周边封装引线(图19,框1910)。形成半导体管芯,半导体管芯包括正面有源层和背面触点(图19,框1915)。所形成的半导体管芯可以根据本文中公开的半导体晶粒中任一者的半导体管芯。将半导体管芯的背面触点电连接到导电浆状件(图19,框1920)。将第一导电夹电连接到第一组导电周边封装引线并且电连接到半导体管芯的第一正面触点(图19,框1925)。将第二导电夹电连接到第二组导电周边封装引线并且电连接到半导体管芯的第二正面触点(图19,框1930)。

[0136] 已经详细参考所公开发明的实施方案,在附图中示出了所述实施方案的一个或多个实例。通过解释本发明的技术而不是限制本发明的技术的方式提供了每个实例。事实上,尽管已参考本发明的具体实施方案详细描述了本说明书,但是应了解,本领域技术人员在理解前述内容后可以容易构想出这些实施方案的替代物、变型和等效物。例如,作为一个实施方案的一部分示出或描述的特征结构可以用于另一实施方案,以得出又一实施方案。因此,本发明的主题意在涵盖所附权利要求和其等效物的范围内的所有此类修改和变化。在不脱离所附权利要求中更具体地阐述的本发明的范围的情况下,本领域一般技术人员可以实践本发明的这些和其他修改和变型。此外,本领域一般技术人员将了解,上述描述仅作为示例并且不意图限制本发明。

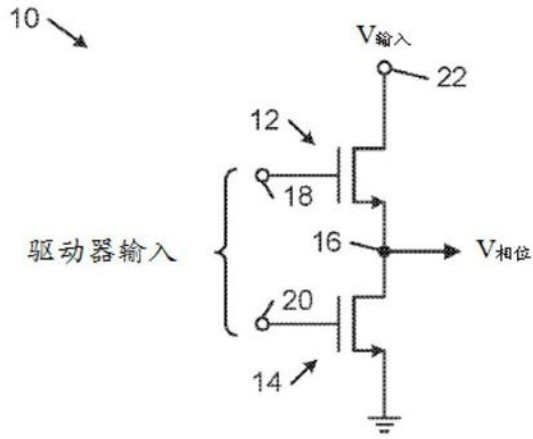


图1

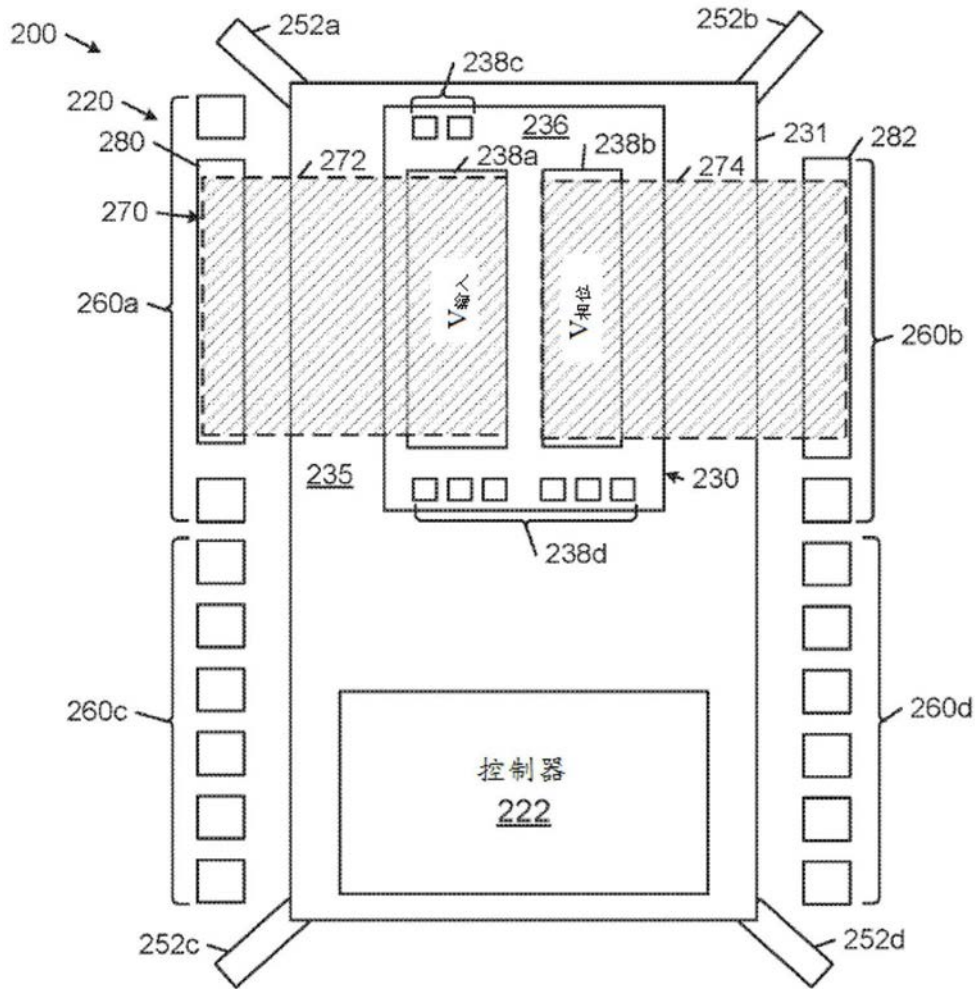


图2A

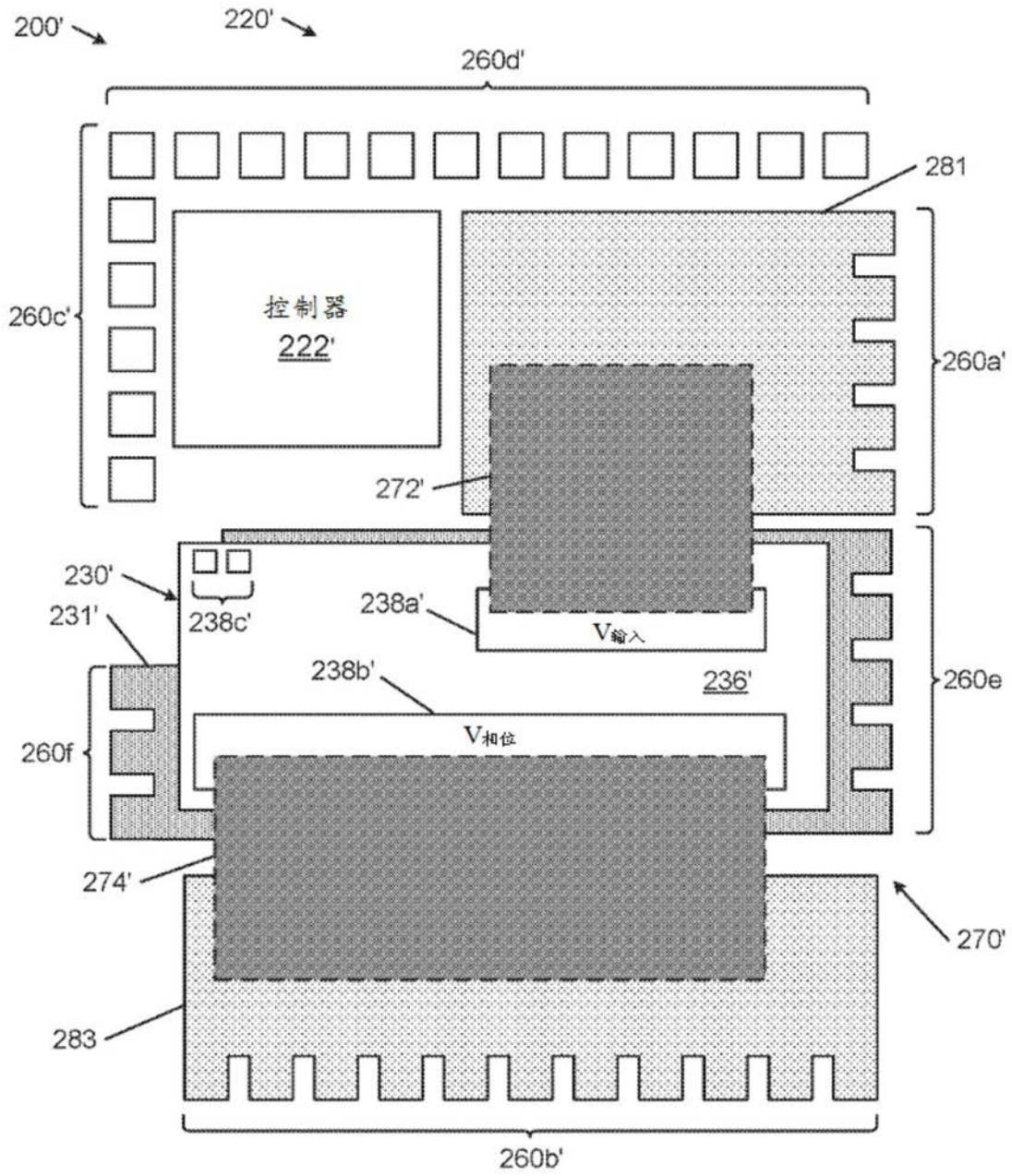


图2B

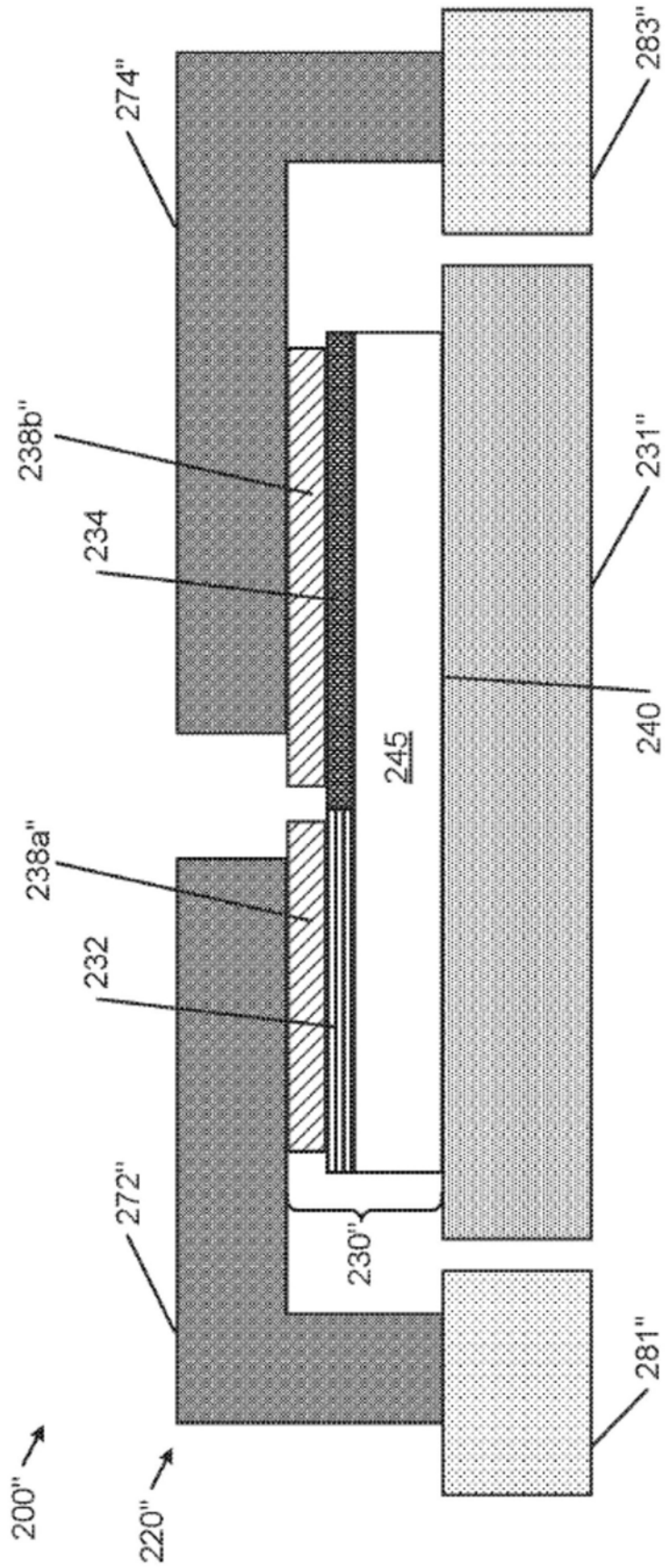


图2C

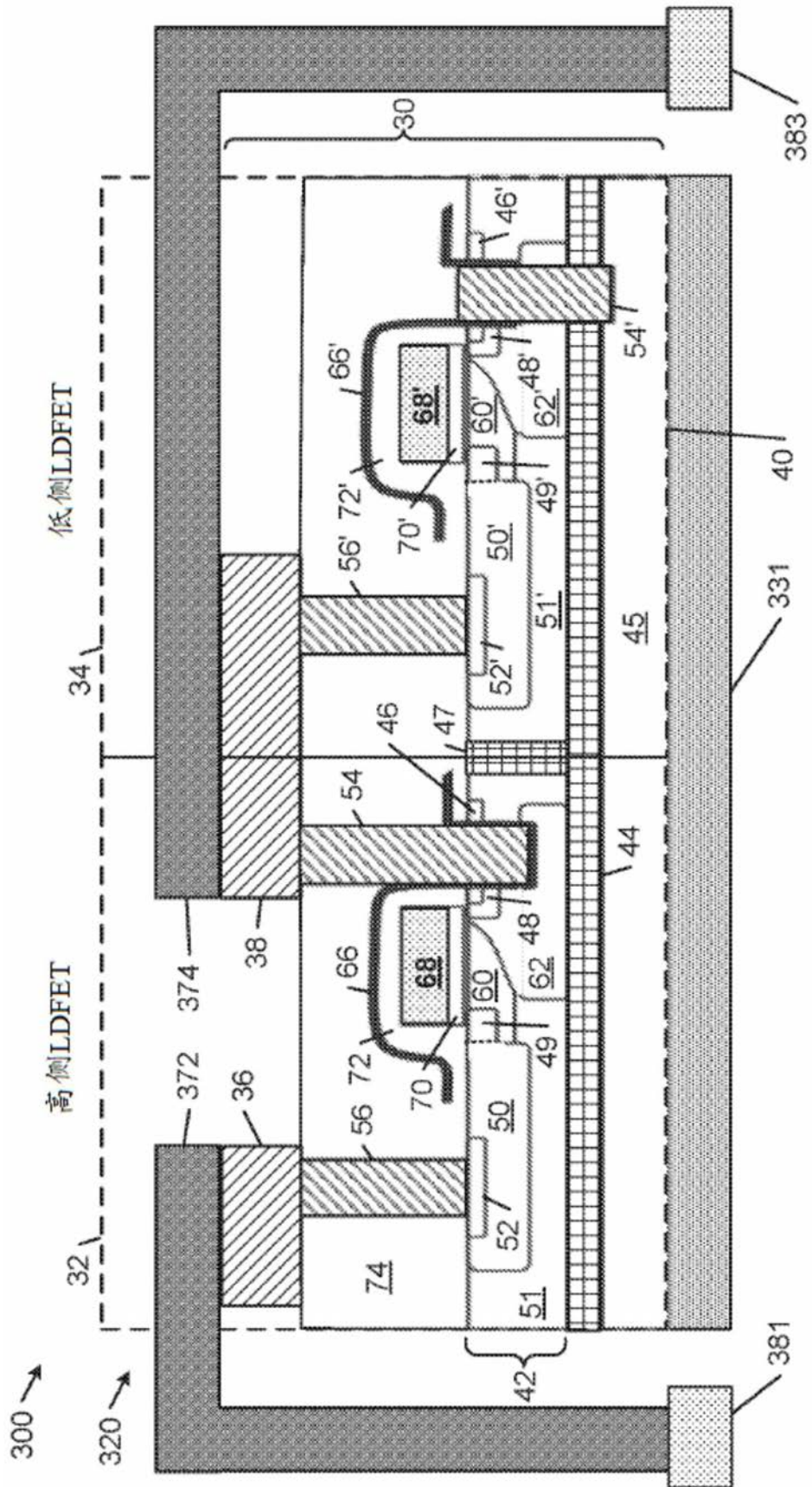


图3

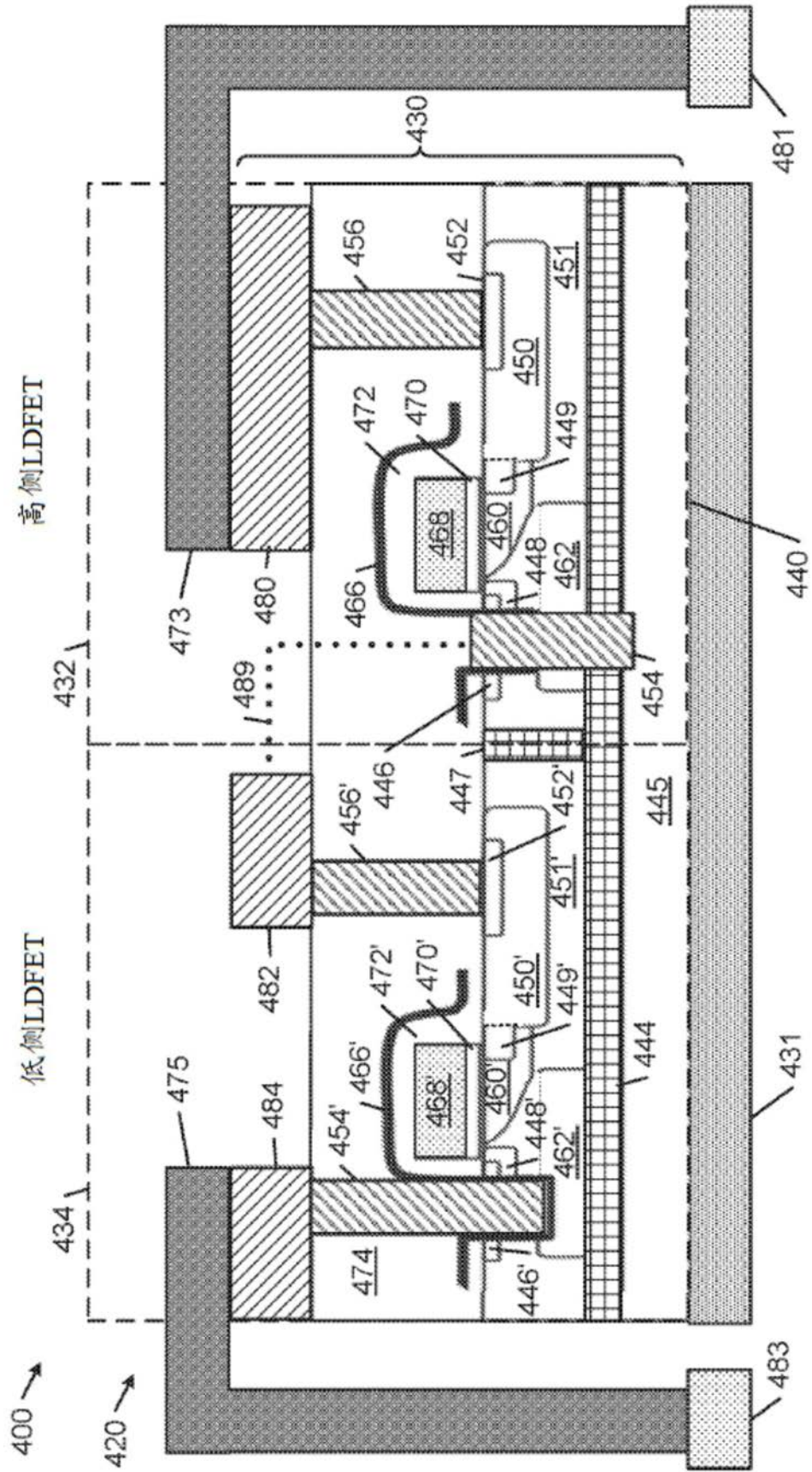


图4

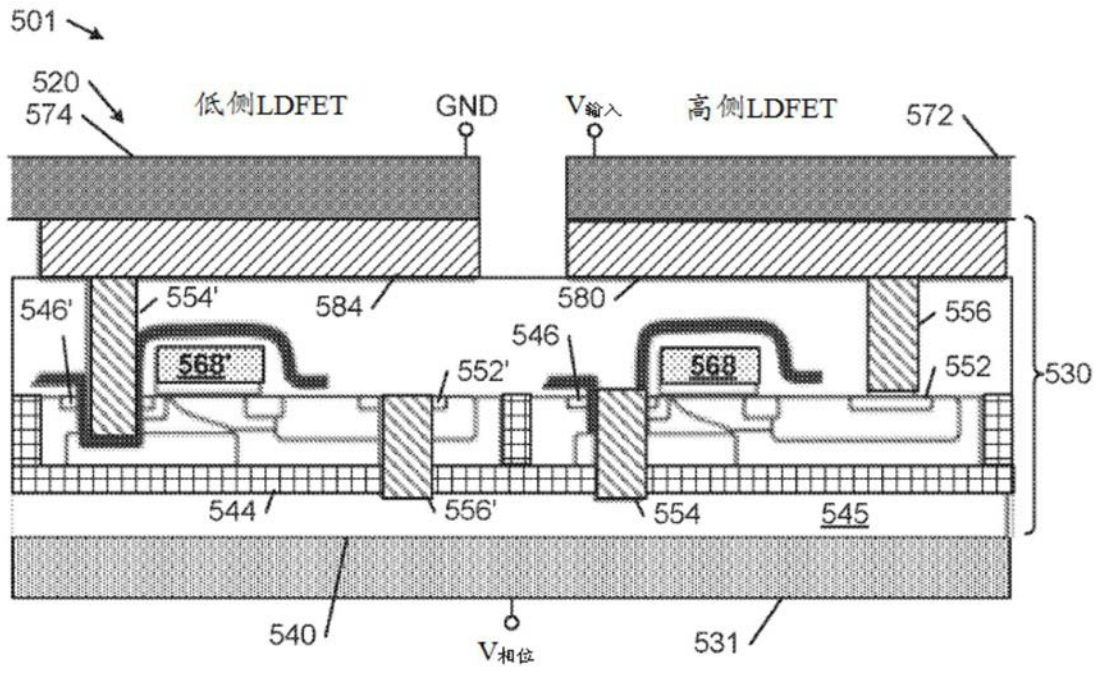


图5

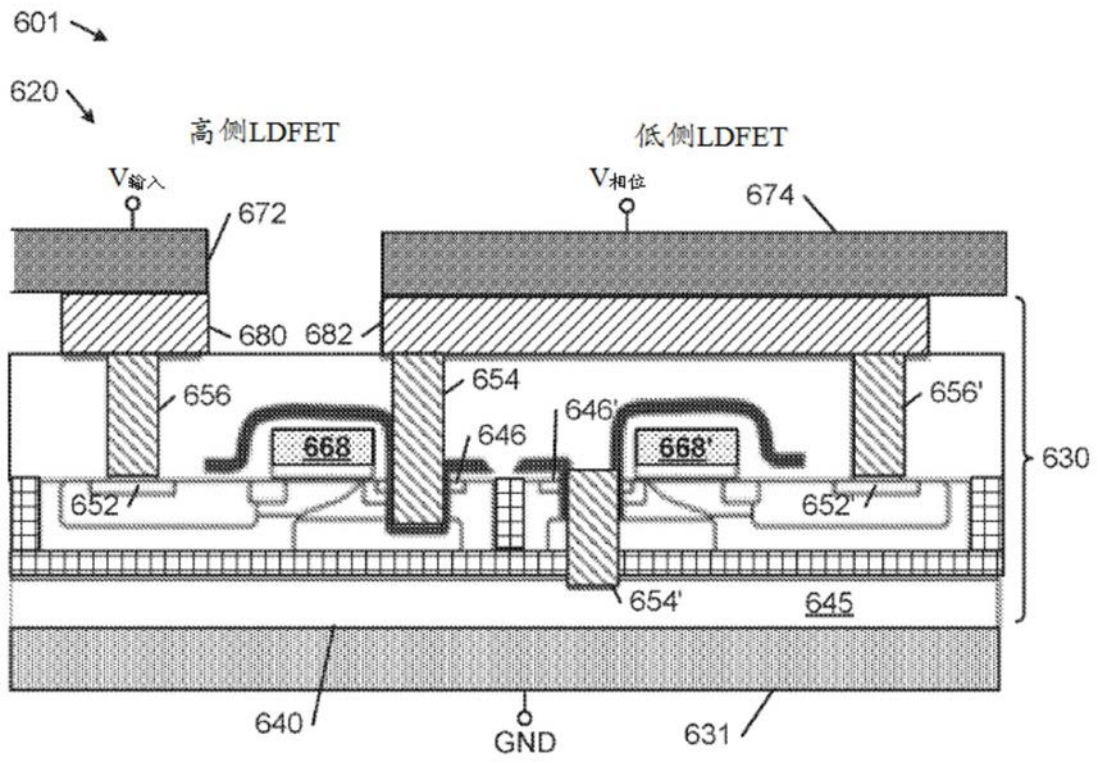


图6

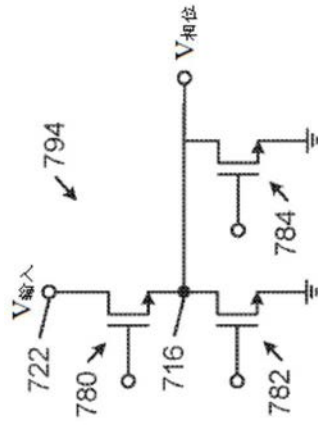


图7A

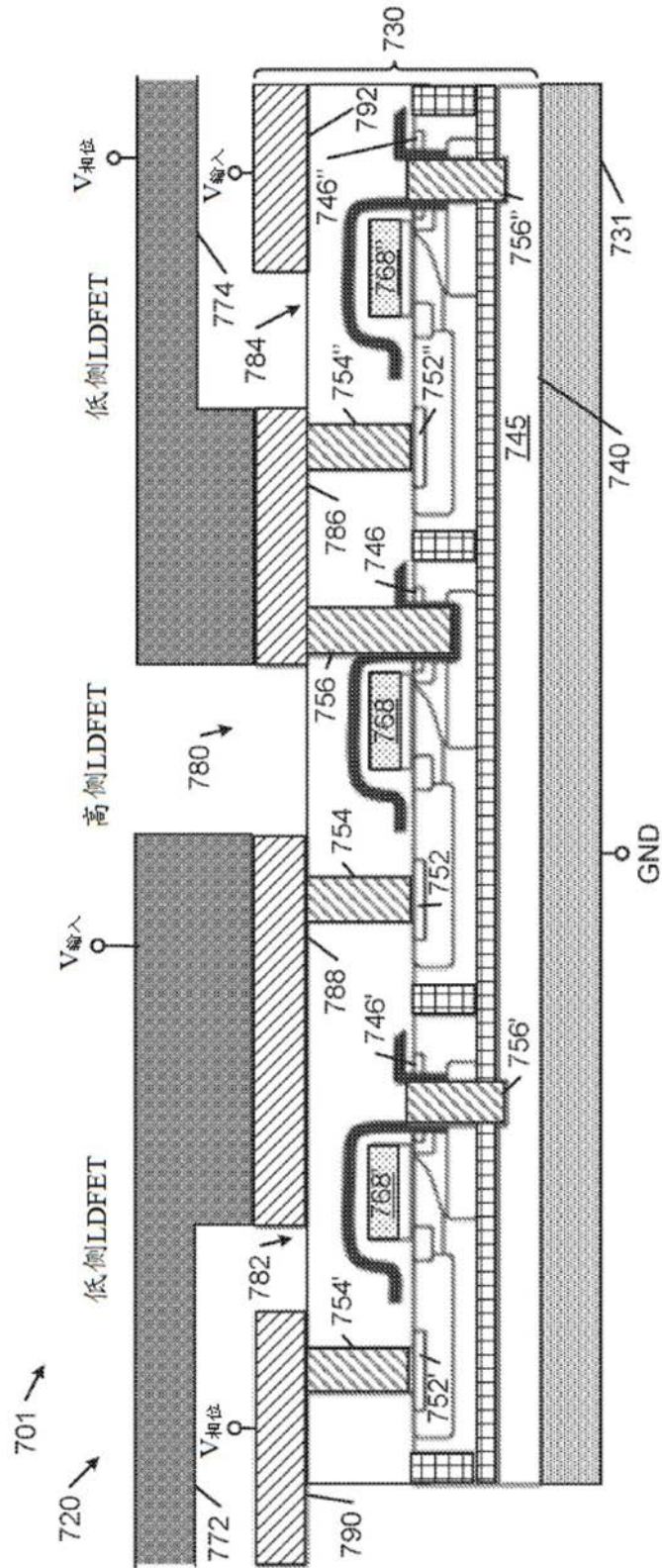


图7B

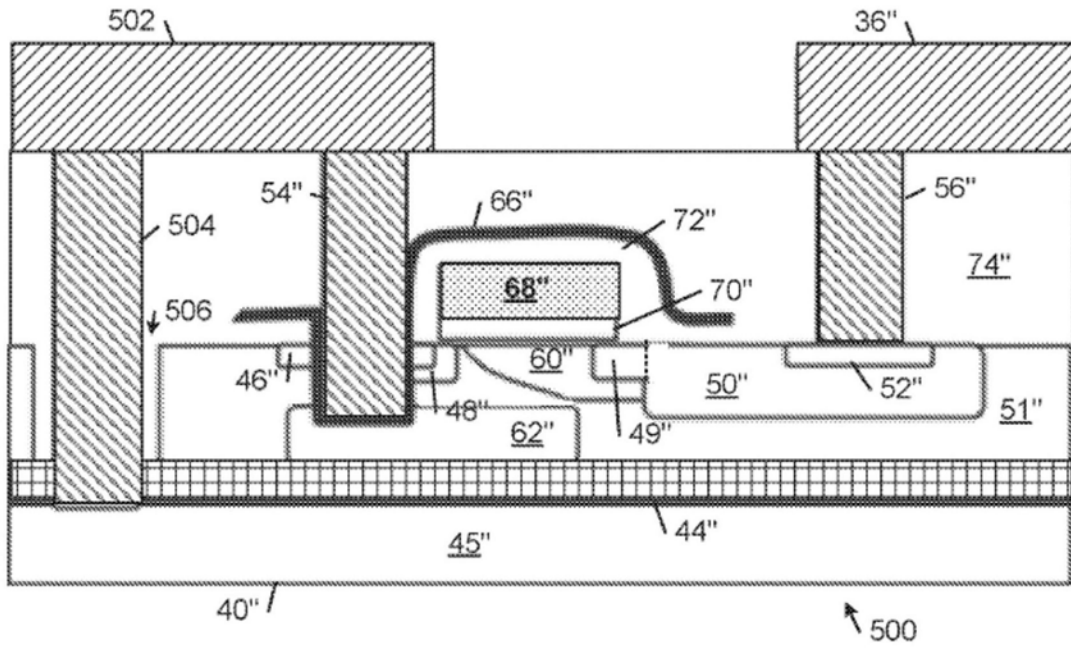


图8A

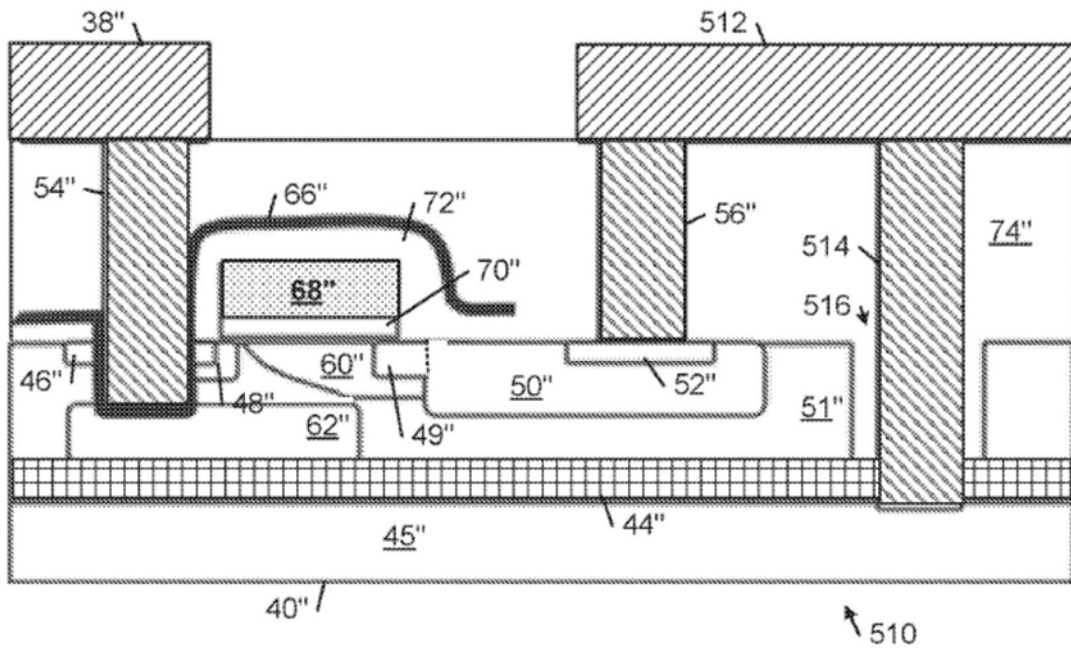


图8B

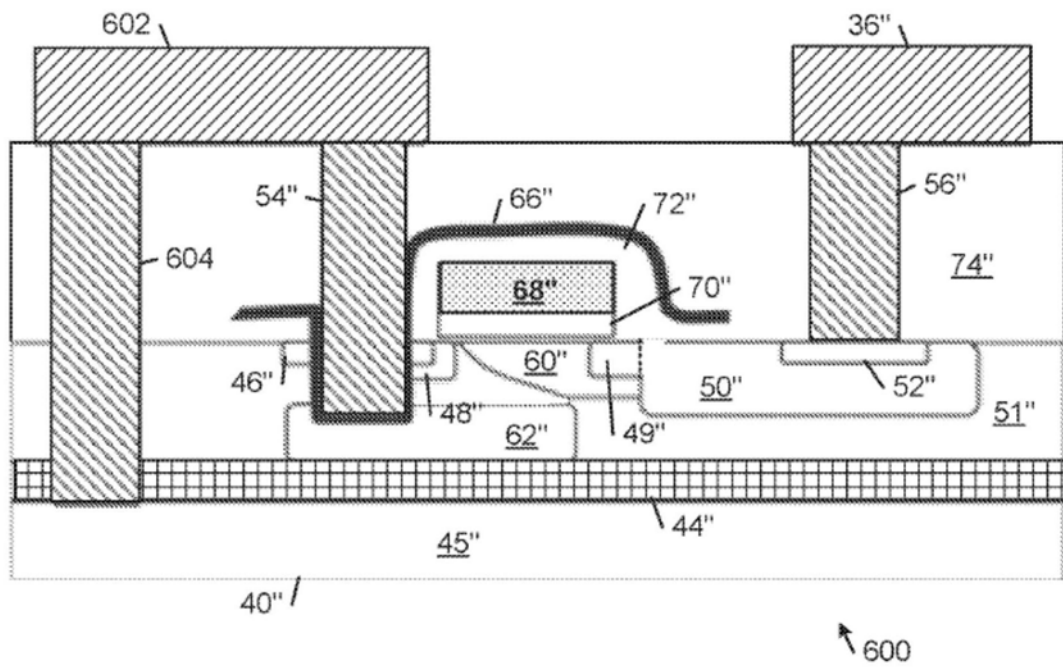


图9A

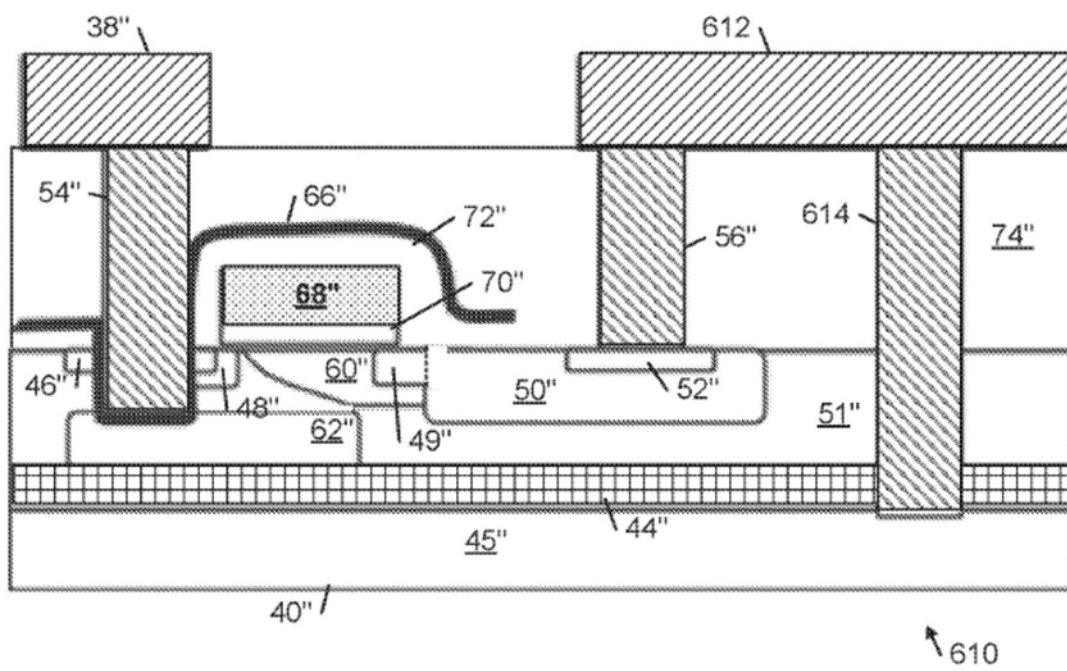


图9B

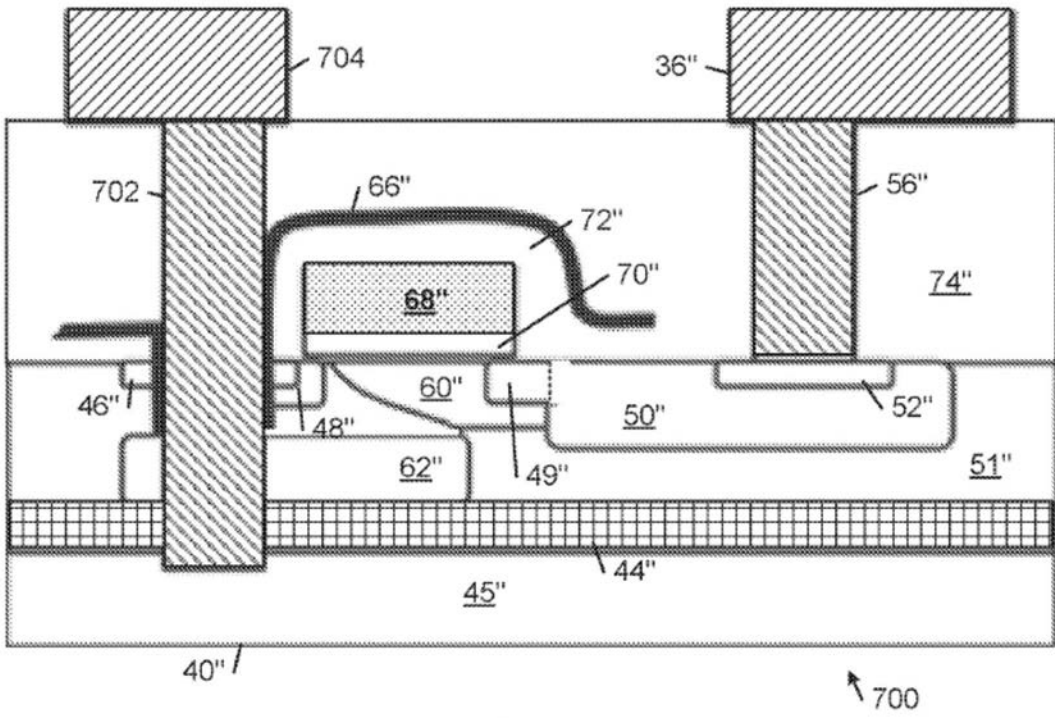


图10A

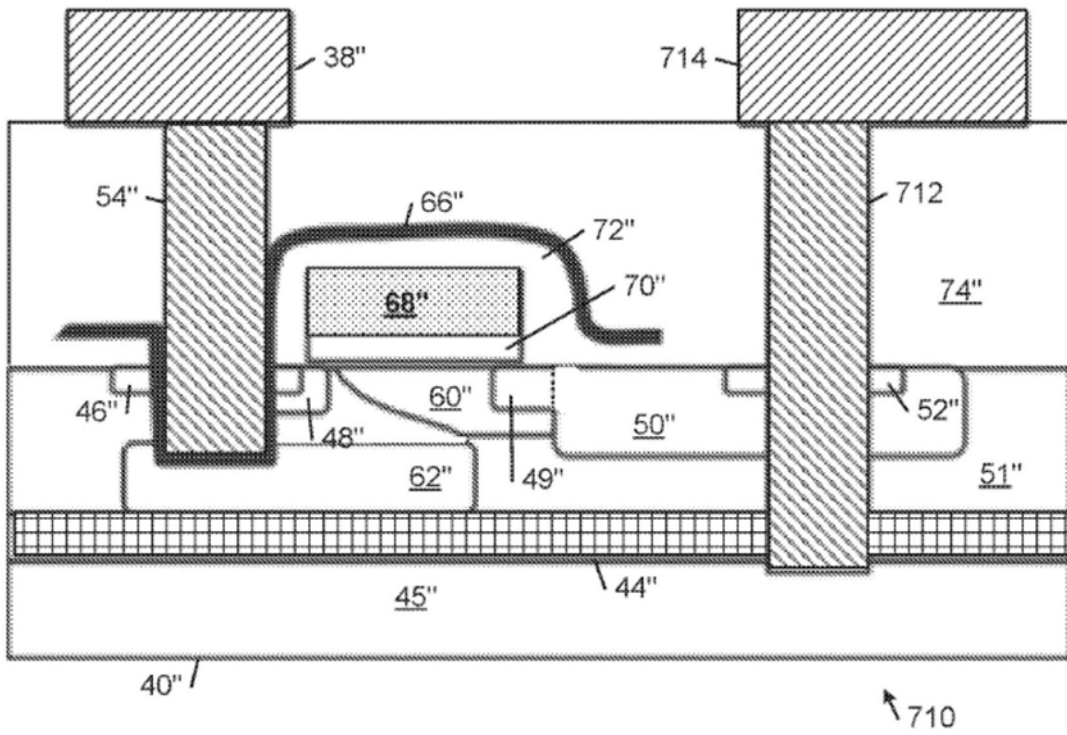


图10B

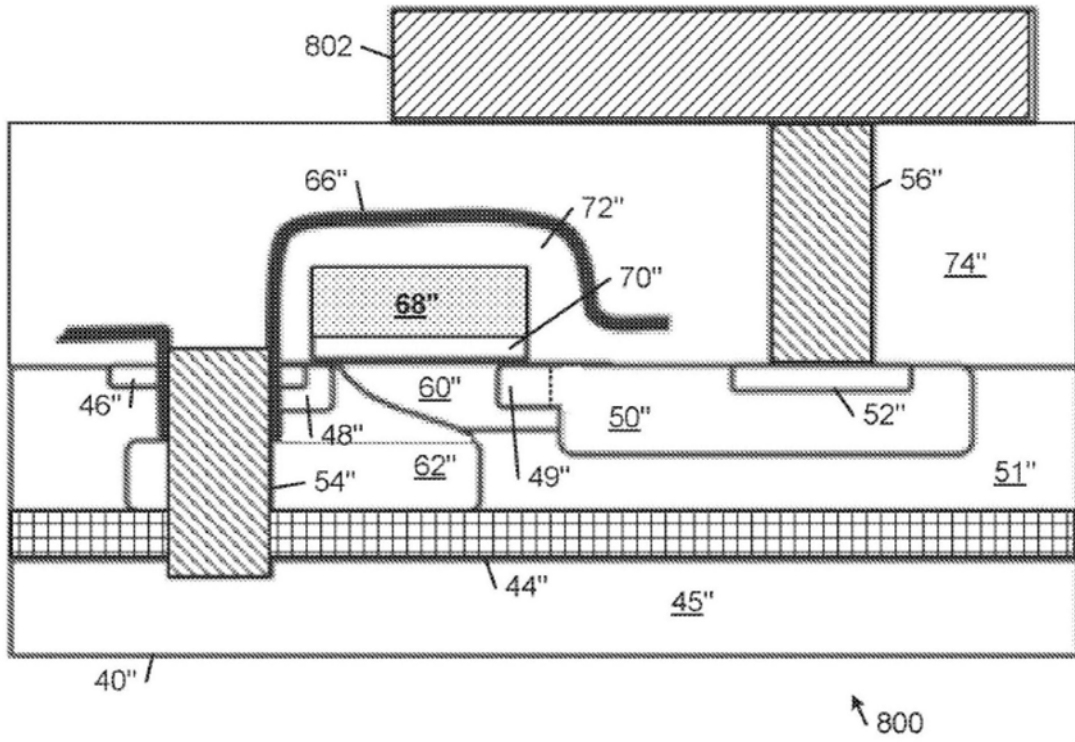


图11A

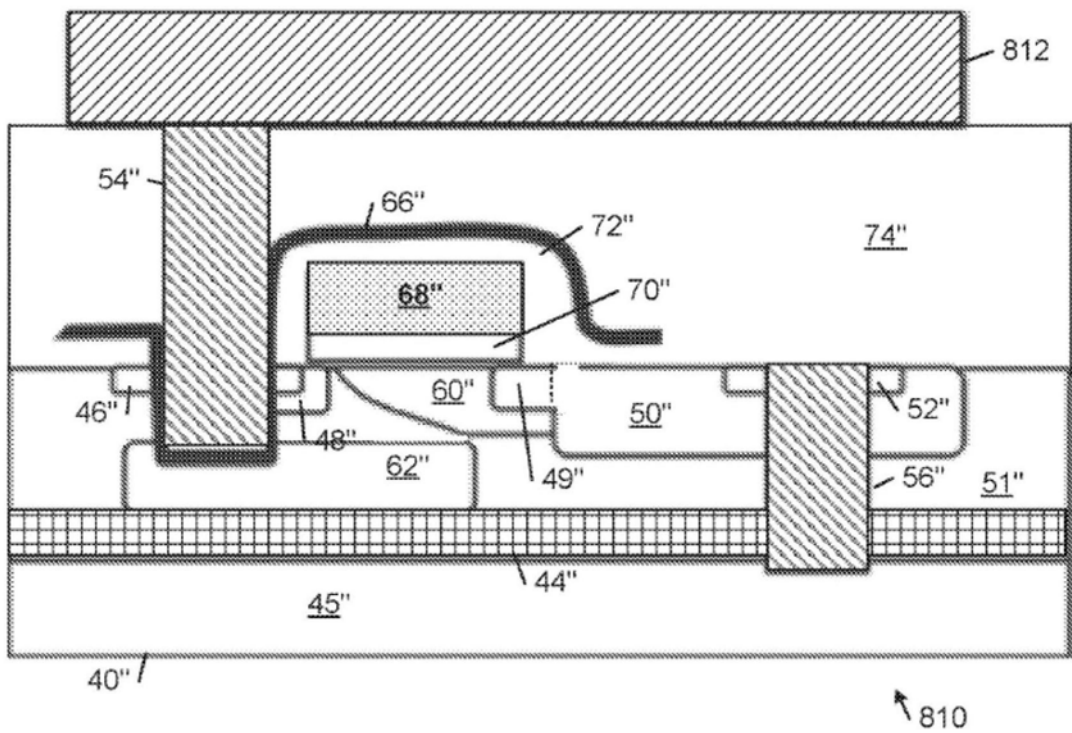


图11B

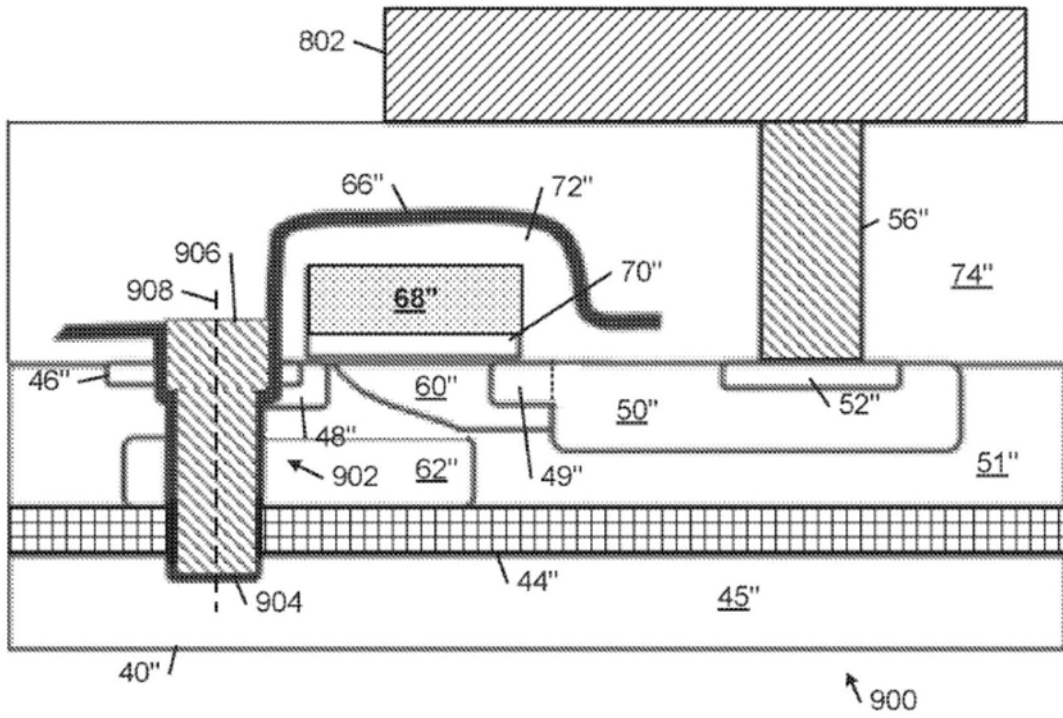


图12A

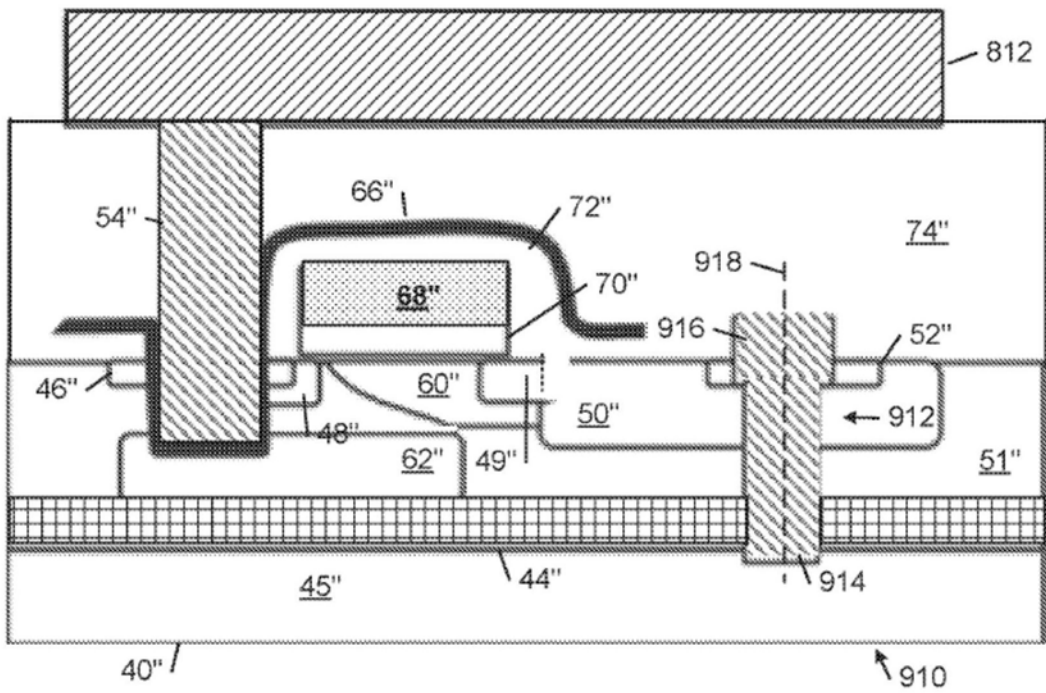


图12B

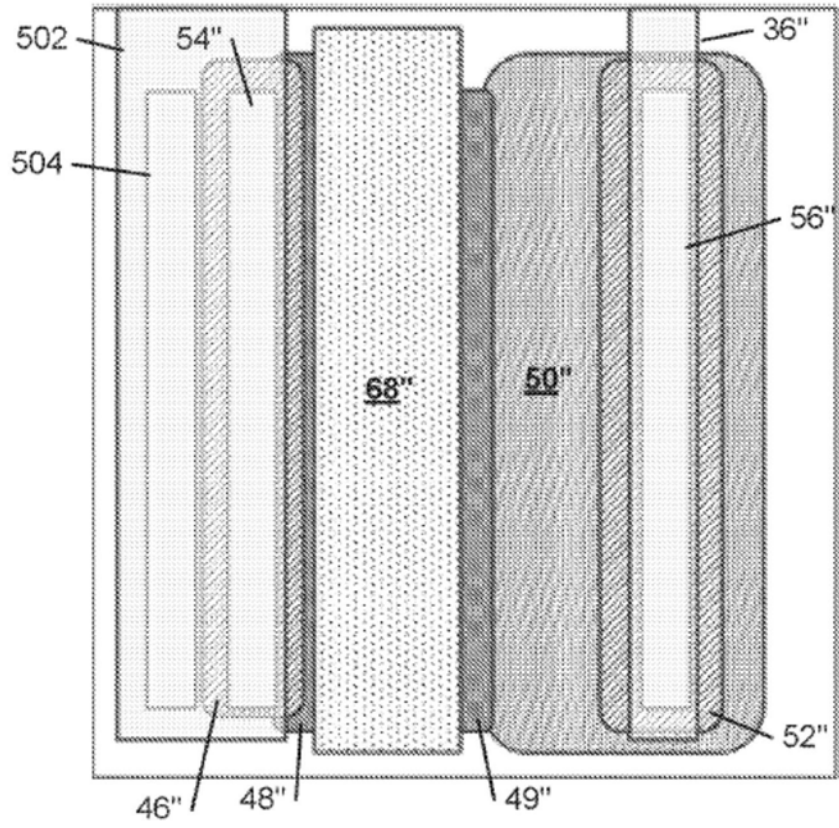


图13

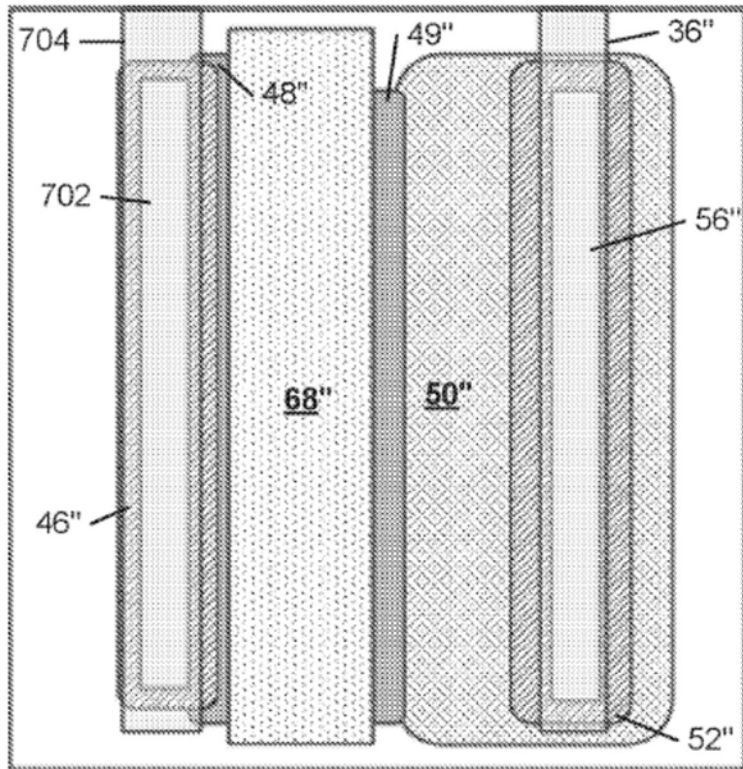


图14

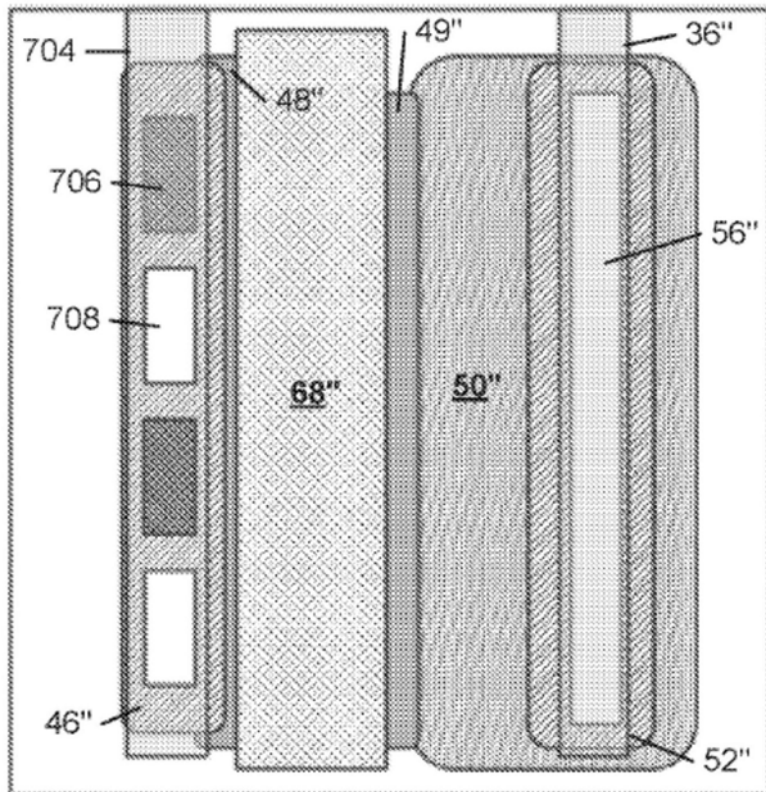


图15

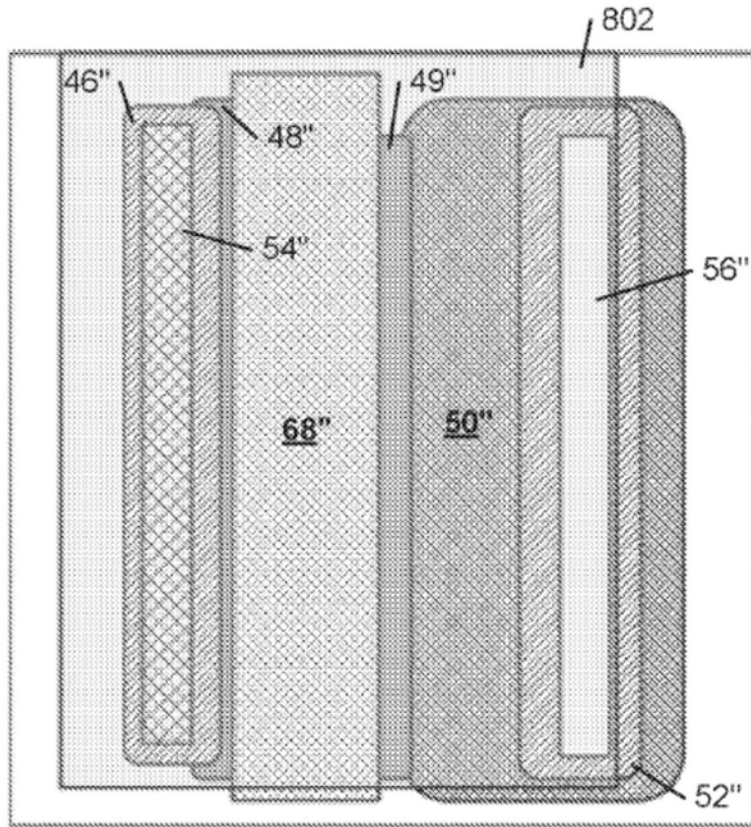


图16

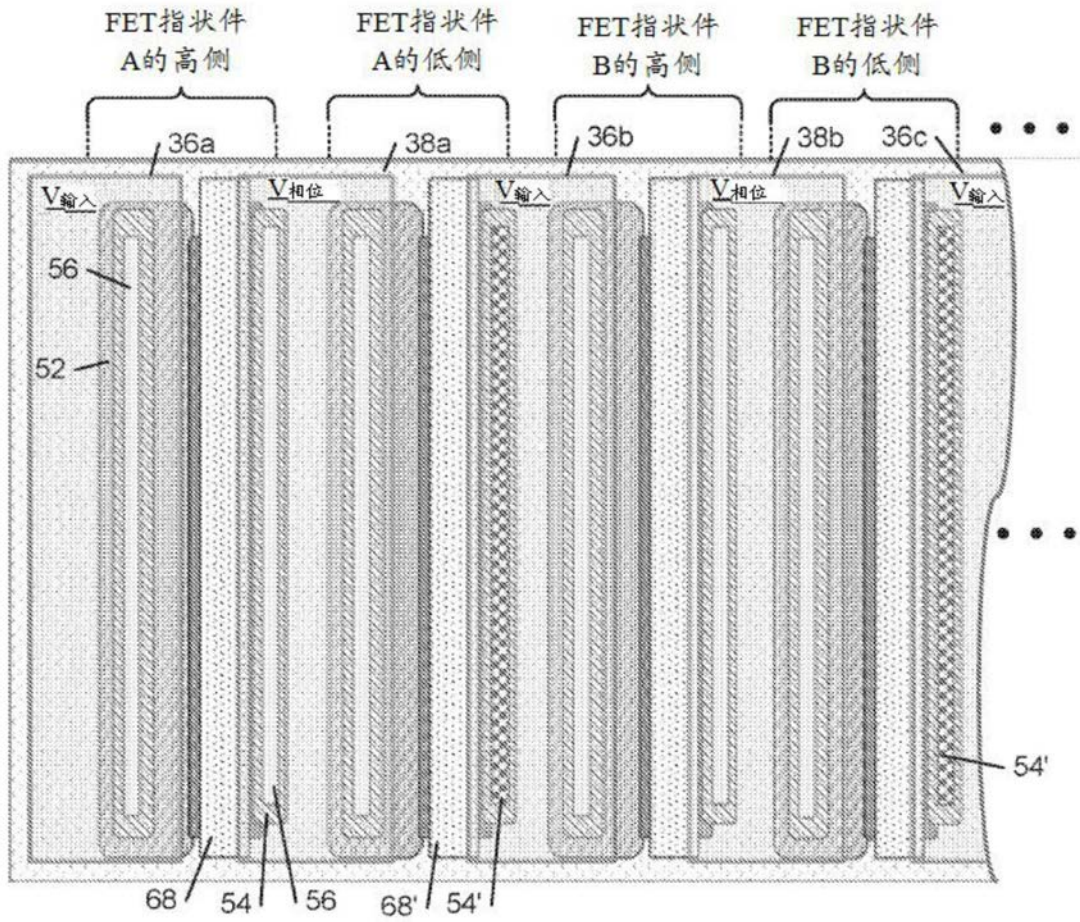


图17



图18

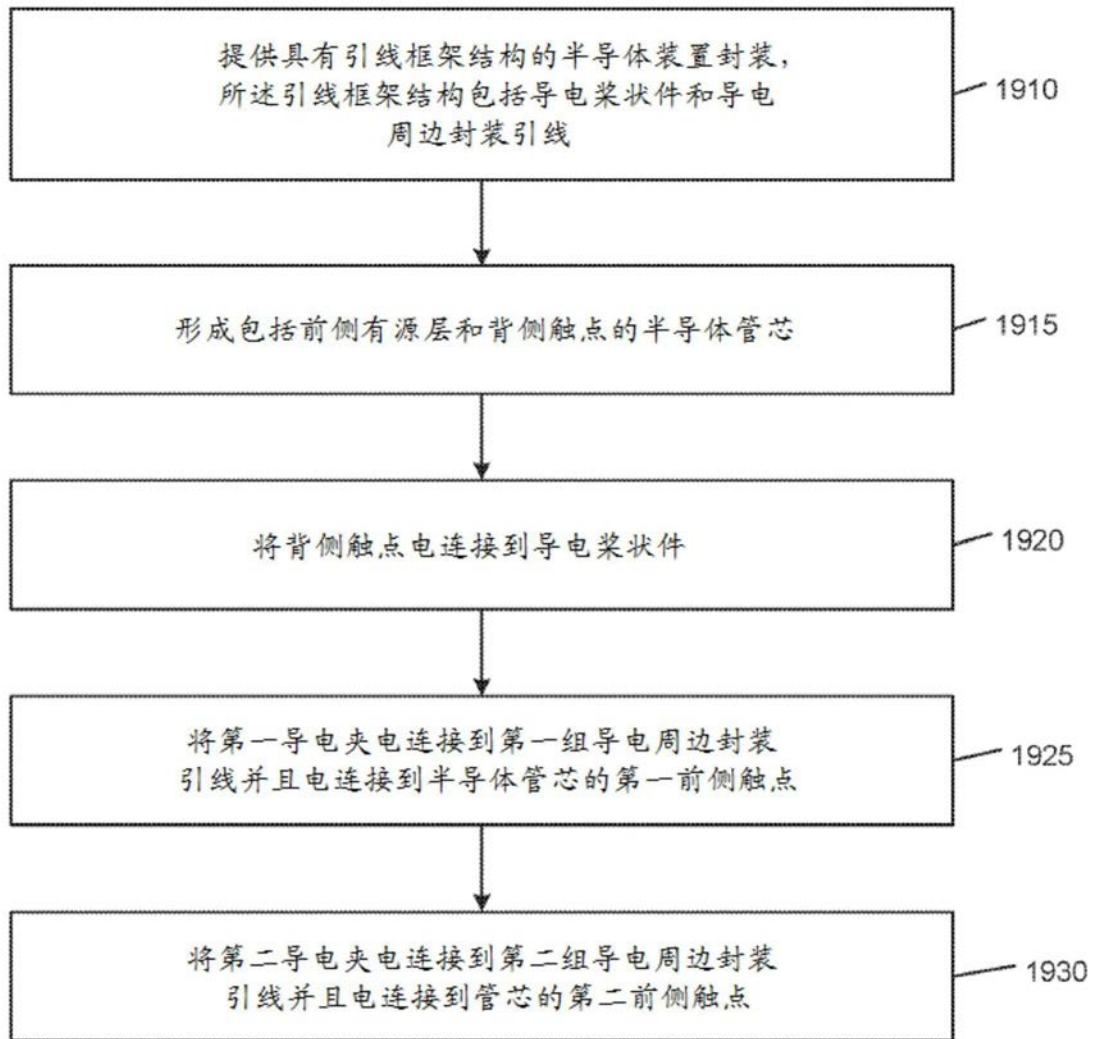


图19