



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0082280
(43) 공개일자 2014년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2012-0152017
(22) 출원일자 2012년12월24일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이현진
경기 성남시 분당구 장안로51번길 11, 107동 100
4호 (분당동, 건영아파트)
(74) 대리인
특허법인태평양

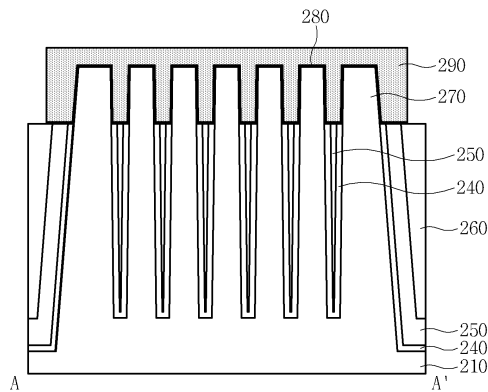
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 소자 및 그 제조 방법

(57) 요약

본 기술은 주변회로영역의 반도체 기판을 식각하여 홀들을 형성한 후, 주변회로영역의 홀들에 갭필(gapfill) 물질을 매립하여 제 1 및 제 2 소자분리영역을 형성하고, 갭필 물질을 리세스하여 핀(fin) 구조를 형성한 다음에 핀 구조를 포함한 전면에 게이트를 형성함으로써, 주변회로영역의 트랜지스터의 동작 특성이 향상되고, 단채널 효과 특성이 향상된 반도체 소자 및 그 제조 방법에 관한 발명이다

대표도 - 도2d



특허청구의 범위

청구항 1

주변회로영역이 구비된 반도체 기판을 형성하는 단계;
상기 반도체 기판을 식각하여 활성영역, 제 1 소자분리영역 및 제 2 소자분리영역을 형성하는 단계;
상기 제 1 및 제 2 소자분리영역에 절연막을 형성하는 단계;
상기 활성영역의 상부 및 측벽이 일부 노출되도록 상기 절연막을 식각하여 핀형 활성영역을 형성하는 단계; 및
상기 핀형 활성영역의 상부에 라인 구조의 게이트 패턴을 형성하는 단계
를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2

청구항 1에 있어서,
상기 활성영역, 제 1 소자분리영역 및 제 2 소자분리영역을 형성 시 동시에 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

청구항 1에 있어서,
상기 제 2 소자분리영역의 너비는 상기 제 1 소자분리영역의 너비보다 넓게 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

청구항 1에 있어서,
상기 핀형 활성영역을 형성하는 단계는
상기 활성영역의 상부 및 측벽이 일부 노출되도록 라인 구조의 마스크를 식각 마스크로 상기 절연막을 식각하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

청구항 4에 있어서,
상기 라인 구조의 마스크의 길이 방향의 너비는 상기 핀형 활성영역의 너비보다 더 좁게 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

청구항 1에 있어서,
상기 제 1 소자분리영역은 섬 또는 아일랜드 구조인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

청구항 1에 있어서,
상기 게이트 패턴은 상기 제 1 소자분리영역 및 상기 핀형 활성영역 상부에 구비되되, 라인 구조로 형성된 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

청구항 1에 있어서,

상기 제 1 소자분리영역 내 상기 절연막은 측벽 산화막, 라이너 절연막의 적층구조인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

청구항 1에 있어서,

상기 제 2 소자분리영역 내 상기 절연막은 측벽 산화막, 라이너 절연막 및 SOD(Spin On Dielectric)막의 적층구조인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

청구항 1에 있어서,

상기 게이트 패턴을 형성하는 단계 이후,

노출된 상기 활성영역 상부에 콘택플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

청구항 10에 있어서,

상기 콘택플러그는 상기 게이트 패턴의 양측에 구비된 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

청구항 1에 있어서,

상기 게이트 패턴의 길이 방향의 너비는 상기 핀형 활성영역의 너비보다 더 넓게 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 13

주변회로영역이 구비된 반도체 기판;

상기 주변회로영역의 상기 반도체 기판 내에 구비된 활성영역, 제 1 소자분리영역 및 제 2 소자분리영역;

상기 제 1 및 제 2 소자분리영역 내 구비된 절연막;

상기 활성영역의 상부 및 측벽의 일부가 노출되도록 구비된 핀형 활성영역; 및

상기 핀형 활성영역의 상부에 구비된 라인 구조의 게이트 패턴

을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 14

청구항 13에 있어서,

상기 제 2 소자분리영역의 너비는 상기 제 1 소자분리영역의 너비보다 넓게 형성되는 것을 특징으로 하는 반도체 소자.

청구항 15

청구항 13에 있어서,

상기 제 1 소자분리영역은 섬 또는 아일랜드 구조인 것을 특징으로 하는 반도체 소자.

청구항 16

청구항 13에 있어서,

상기 제 1 소자분리영역 내 상기 절연막은 측벽 산화막, 라이너 절연막의 적층구조인 것을 특징으로 하는 반도체 소자.

청구항 17

청구항 13에 있어서,

상기 제 2 소자분리영역 내 상기 절연막은 측벽 산화막, 라이너 절연막 및 SOD(Spin On Dielectric)막의 적층구조인 것을 특징으로 하는 반도체 소자.

청구항 18

청구항 13에 있어서,

상기 게이트 패턴은 상기 제 1 소자분리영역 및 상기 핀형 활성영역 상부에 구비되되, 라인 구조로 형성된 것을 특징으로 하는 반도체 소자.

청구항 19

청구항 13에 있어서,

상기 게이트 패턴의 양측에 구비된 콘택플러그를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 20

청구항 13에 있어서,

상기 게이트 패턴의 길이 방향의 너비는 상기 핀형 활성영역의 너비보다 더 넓게 형성하는 것을 특징으로 하는 반도체 소자.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 주변회로영역의 트랜지스터를 포함하는 반도체 소자 및 그 제조 방법에 관련된 기술이다.

배경기술

[0002] 통상적인 트랜지스터를 반도체 기판에 만드는 경우 반도체 기판에 게이트를 형성하고 게이트의 양 옆에 불순물을 도핑하여 소스와 드레인을 형성해왔다. 반도체 기억 장치의 데이터 저장용량이 증가하고 집적도는 높아지면서 각각의 단위셀의 크기는 점점 작게 제조되도록 요구되고 있다.

[0003] 즉, 단위셀에 포함된 캐패시터와 트랜지스터의 디자인 규칙(Design Rule)이 감소하였고, 이에 따라 셀 트랜지스터의 채널 길이도 점점 줄어들면서 통상적인 트랜지스터에 단채널 효과 및 DIBL(Drain Induced Barrier Lower) 효과 등이 발생하여 동작의 신뢰성이 저하되었다. 채널의 길이가 감소하면서 발생한 현상들은 셀 트랜지스터가 정상적인 동작을 수행할 수 있도록 문턱 전압을 유지할 경우 극복이 가능하다. 통상적으로, 트랜지스터의 채널이 짧아질수록 채널이 형성되는 영역에 불순물의 도핑 농도를 증가시켜왔다.

[0004] 하지만, 디자인 규칙이 100nm 이하로 감소하면서 그만큼 채널 영역에 도핑 농도를 더 증가하는 것은 SN접합(Storage Node(SN) junction)에서의 전계를 증가시켜 반도체 기억 장치의 리프레쉬 특성을 저하하는 또 다른 문제를 야기한다. 이를 극복하기 위해 디자인 규칙이 감소하더라도 셀 트랜지스터의 채널 길이를 유지할 수 있도록 채널이 수직 방향으로 길게 확보된 3차원 채널 구조를 가진 셀 트랜지스터를 사용한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일실시예는 주변회로영역의 반도체 기판을 식각하여 홀들을 형성한 후, 주변회로영역의 홀들에 갭필(gapfill) 물질을 매립하여 제 1 및 제 2 소자분리영역을 형성하고, 갭필 물질을 리세스하여 핀(fin) 구조를 형성한 다음에 핀 구조를 포함한 전면에 게이트를 형성할 수 있는 반도체 소자 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 일실시예에 따른 반도체 소자의 제조 방법은 주변회로영역이 구비된 반도체 기판을 형성하는 단계, 상기 반도체 기판을 식각하여 활성영역, 제 1 소자분리영역 및 제 2 소자분리영역을 형성하는 단계, 상기 제 1 및 제 2 소자분리영역에 절연막을 형성하는 단계, 상기 활성영역의 상부 및 측벽이 일부 노출되도록 상기 절연막을 식각하여 핀형 활성영역을 형성하는 단계 및 상기 핀형 활성영역의 상부에 라인 구조의 게이트 패턴을 형성하는 단계를 포함한다.

[0007] 아울러, 본 발명의 일실시예에 따른 반도체 소자는 주변회로영역이 구비된 반도체 기판, 상기 주변회로영역의 상기 반도체 기판 내에 구비된 활성영역, 제 1 소자분리영역 및 제 2 소자분리영역, 상기 제 1 및 제 2 소자분리영역 내 구비된 절연막, 상기 활성영역의 상부 및 측벽의 일부가 노출되도록 구비된 핀형 활성영역 및 상기 핀형 활성영역의 상부에 구비된 라인 구조의 게이트 패턴을 포함한다.

발명의 효과

[0008] 본 기술은 주변회로영역의 반도체 기판을 식각하여 홀들을 형성한 후, 주변회로영역의 홀들에 갭필(gapfill) 물질을 매립하여 제 1 및 제 2 소자분리영역을 형성하고, 갭필 물질을 리세스하여 핀(fin) 구조를 형성한 다음에 핀 구조를 포함한 전면에 게이트를 형성함으로써, 주변회로영역의 트랜지스터의 동작 특성이 향상되고, 단채널 효과 특성이 향상되는 장점을 갖는다.

도면의 간단한 설명

[0009] 도 1은 본 발명에 따른 반도체 소자 및 그 제조 방법을 도시한 도면.
 도 2a 내지 도 2d는 본 발명에 따른 반도체 소자 및 그 제조 방법을 도시한 단면도들.
 도 3 및 도 4는 본 발명에 따른 반도체 소자 및 그 제조 방법을 도시한 평면도들.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.

[0011] 도 1은 본 발명에 따른 반도체 소자 및 그 제조 방법을 도시한 도면이다.
 [0012] 도 1을 참조하면, 주변회로(Peri) 영역의 활성영역(210) 및 제 1 소자분리영역(220) 및 제 2 소자분리영역(230)이 도시된 도면으로서, 제 1 소자분리영역(220)은 섬(island) 구조로 형성되며, 복수 개 형태로 배열된 구조이다. 아울러, 제 2 소자분리영역(230)은 하나의 활성영역(210)의 최외곽에 구비되어 활성영역(210)을 분리 또는 격리시키는 구조로 형성된다. 여기서, 각각의 구성 요소 간의 위치를 자세하게 설명하기 위하여 하기와 같이 나타낸다. 활성영역(210)과 접하는 제 2 소자분리영역(230)의 너비를 'a'로 나타내고, 제 2 소자분리영역(230)과 제 1 소자분리영역(220) 사이의 활성영역(210)의 너비를 'b'로 나타낸다. 아울러, 제 1 소자분리영역(220)의 너비를 'c'로 나타낸다.

[0013] 도 2a 내지 도 2d는 본 발명에 따른 반도체 소자 및 그 제조 방법을 도시한 단면도들로서, 도 1의 A-A' 절단면을 도시한 것이다.

[0014] 도 2a를 참조하면, 주변회로(Peri) 영역의 반도체 기판(200) 상에 감광막을 도포한 후, 소자 분리 영역을 정의하는 마스크를 이용한 노광 및 현상 공정으로 감광막 패턴(미도시)을 형성한다. 이어서, 감광막 패턴을 식각 마스크로 반도체 기판을 식각하여 활성영역(210)을 정의하는 제 1 소자분리영역(220) 및 제 2 소자분리영역(230)을 형성한다. 여기서, 활성영역(210)과 접하는 제 2 소자분리영역(230)의 너비를 'a'로 나타내고, 제 2 소자분리영역(230)과 제 1 소자분리영역(220) 사이의 활성영역(210)의 너비를 'b'로 나타낸다. 아울러, 제 1 소자분리영역(220)의 너비를 'c'로 나타낸다.

[0015] 여기서, 제 2 소자분리영역(230)의 너비(a)는 제 1 소자분리영역(220)의 너비(c)보다 더 넓게 형성할 수 있고, 제 2 소자분리영역(230) 및 제 1 소자분리영역(220)은 하나의 식각 마스크를 이용하여 동시에 형성할 수 있다. 또한, 복수의 식각 마스크를 이용하여 순차적으로 형성할 수도 있다. 참고로, 셀(Cell) 영역의 반도체 기판과 주변회로(Peri)영역의 반도체 기판은 동시에 식각될 수 있다.

[0016] 도 2b를 참조하면, 측벽 산화(Wall Oxidation)를 실시하여 제 1 및 제 2 소자 분리 영역(220, 230)의 바닥 및 측벽에 측벽 산화막(240)을 형성한다. 그리고, 측벽 산화막(240)이 형성된 제 1 및 제 2 소자 분리 영역(220,

230)을 포함한 전면에 라이너 질화막(250, Liner Nitride) 및 라이너 산화막(미도시, Liner Oxide)을 차례로 형성한다. 여기서, 라이너 질화막(250)은 반도체 기판(200)이 받는 스트레스를 완화시켜 리프레시(refresh) 특성을 개선하기 위한 것이며, 라이너 산화막은 후속 절연막(HDP막 또는 SOD막) 증착 시 라이너 질화막(250)이 산화 및 식각되는 현상을 방지하기 위한 것이다.

[0017] 이후, 제 1 및 제 2 소자 분리 영역(220, 230)에 절연막(260)을 매립한 후, 반도체 기판이 노출될 때까지 화학적 기계적 연마(Chemical Mechanical Polishing)와 같은 방법으로 평탄화 식각한다. 여기서, 절연막(260)은 SOD(Spin On Dielectric)막을 포함한다.

[0018] 도 2c를 참조하면, 활성영역(210) 및 소자분리영역(220)을 포함하는 전체 표면 상부에 활성영역(210)의 상부 및 측벽을 일부 노출하는 마스크(도 3의 265)를 식각 마스크로 이용하여 절연막(260), 라이너 질화막(250) 및 측벽 산화막(240)을 일부 식각하여 핀형 활성영역(270)을 형성한다. 이러한 핀형 활성영역(270)은 사다리꼴 모양으로 형성될 수 있고, 채널(Channel)은 노출된 핀형 활성영역(270)에 형성되고, 3D 구조의 채널 형상이 가능하다. 여기서, 핀형 활성영역(270)의 높이 또는 깊이는 핀형 활성영역(270)의 측벽이 노출될 때까지 리세스함으로써 조절 가능하고, 리세스되는 깊이를 조절하여 트랜지스터의 동작 특성을 향상시킬 수 있다.

[0019] 여기서, 활성영역(210)의 상부 및 측벽을 일부 노출되도록 식각하는 공정은 핀 구조(핀형 활성영역) 형성 시 일반적으로 식각되는 깊이 및 제조 공정과 유사하다. 아울러, 마스크(265)는 라인(line) 구조로 형성하고, 마스크(265)의 길이(L) 방향의 너비(d)는 핀형 활성영역의 너비(c)보다 더 좁게 형성할 수 있다(도 3 참조) 여기서, 마스크(265)의 길이 방향의 너비(d)는 핀형 활성영역의 너비(c)보다 좁게 형성하는 이유는 핀형 활성영역의 소자 특성을 얻기 위함이다. 이때, 도 3의 마스크(265)는 오픈된 영역으로서, 실제로 핀이 형성되는 영역이고, 마스크 외 영역은 핀이 형성되지 않는 영역이다.

[0020] 도 2d를 참조하면, 핀형 활성영역(270), 노출된 절연막(260), 라이너 질화막(250) 및 측벽 산화막(240)의 상부에 게이트 절연막(280) 및 게이트(290)를 순차적으로 형성한다. 이때, 게이트 절연막(280)은 산화막(Oxide)을 포함할 수 있다.

[0021] 여기서, 게이트(290)는 라인(line) 구조로 형성하되, 마스크(도 3의 265)와 같은 방향의 라인 구조로 형성하고, 게이트(290)의 길이(L) 방향의 너비(e)는 핀형 활성영역(270)의 너비(c)보다 더 넓게 형성할 수 있다(도 4 참조)

[0022] 다음에는, 핀형 활성영역(270)은 콘택플러그(300)와 연결된다.

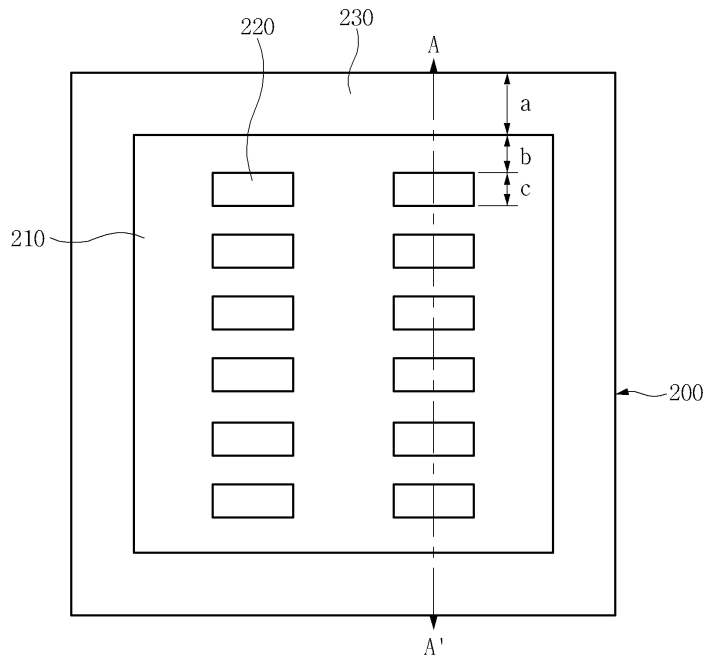
[0023] 이후, 게이트(290)의 양 측벽에 게이트 스페이서(미도시)를 형성하고, 이온 주입을 실시하여 소스/드레인 영역(미도시)을 형성한다. 여기서, 소스/드레인 영역은 융기된 소스/드레인 영역(Elevated Source/Drain)으로 형성 가능하다.

[0024] 전술한 바와 같이, 본 발명은 주변회로영역의 반도체 기판을 식각하여 홀들을 형성한 후, 주변회로영역의 홀들에 갭필(gapfill) 물질을 매립하여 제 1 및 제 2 소자분리영역을 형성하고, 갭필 물질을 리세스하여 핀(fin) 구조를 형성한 다음에 핀 구조를 포함한 전면에 게이트를 형성함으로써, 주변회로영역의 트랜지스터의 동작 특성이 향상되고, 단채널 효과 특성이 향상되는 장점을 갖는다.

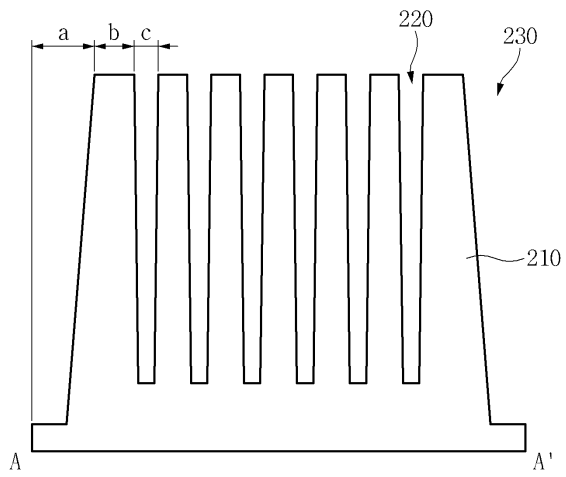
[0025] 아울러 본 발명의 바람직한 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

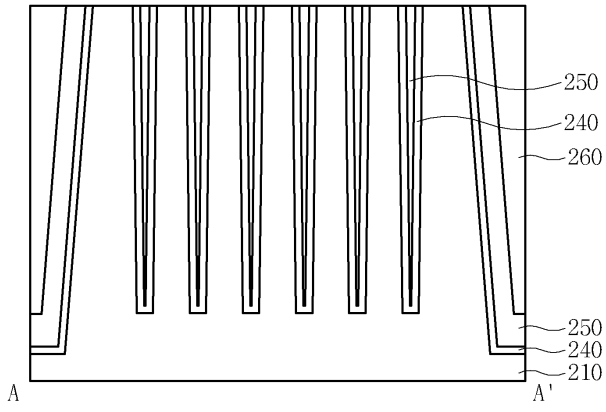
도면1



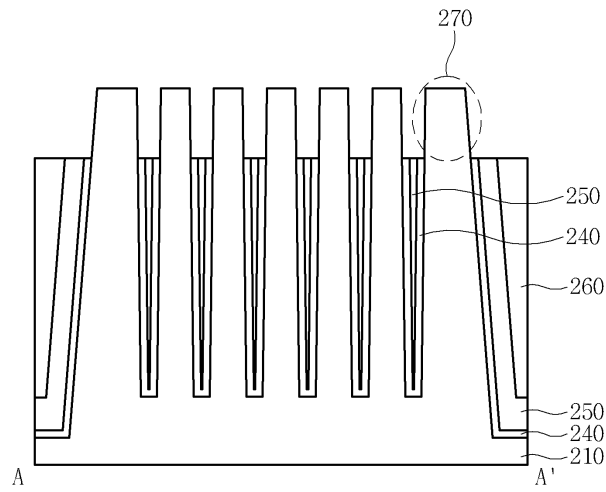
도면2a



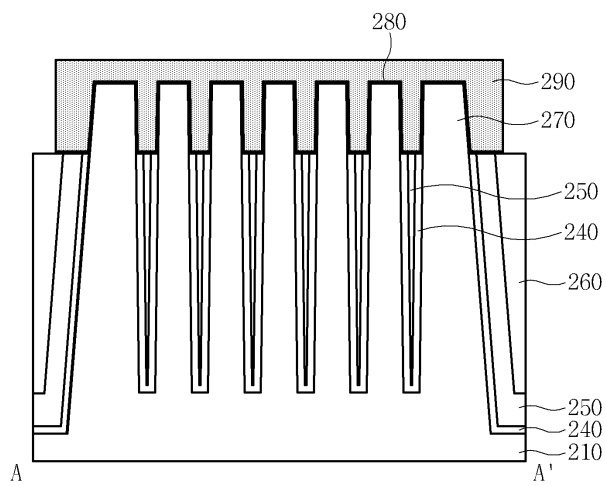
도면2b



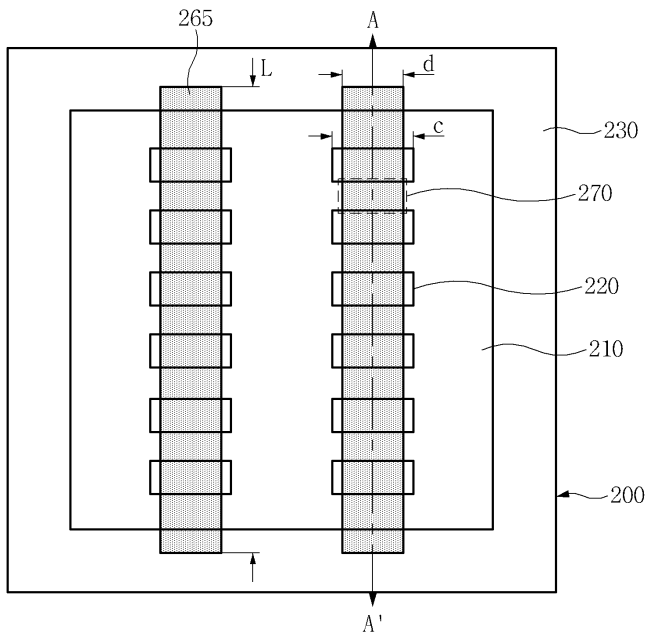
도면2c



도면2d



도면3



도면4

