

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6792667号
(P6792667)

(45) 発行日 令和2年11月25日(2020.11.25)

(24) 登録日 令和2年11月10日(2020.11.10)

(51) Int.Cl.		F I			
G 1 1 C	16/22	(2006.01)	G 1 1 C	16/22	1 0 0
G 1 1 C	5/14	(2006.01)	G 1 1 C	5/14	3 2 0
			G 1 1 C	5/14	3 7 0

請求項の数 10 (全 11 頁)

<p>(21) 出願番号 特願2019-90612 (P2019-90612)</p> <p>(22) 出願日 令和1年5月13日(2019.5.13)</p> <p>(65) 公開番号 特開2020-187808 (P2020-187808A)</p> <p>(43) 公開日 令和2年11月19日(2020.11.19)</p> <p>審査請求日 令和1年5月13日(2019.5.13)</p>	<p>(73) 特許権者 511062254 ウィンボンド エレクトロニクス コーポ レーション 台湾台中市 4 2 8 大雅區科雅一路8號</p> <p>(74) 代理人 100098497 弁理士 片寄 恭三</p> <p>(72) 発明者 須藤 直昭 神奈川県横浜市港北区新横浜 2 丁目 3 - 1 2 新横浜スクエアビル ウィンボンド・ エレクトロニクス株式会社内</p> <p>審査官 後藤 彰</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

供給電圧が一定電圧に低下したことを検出する第 1 の検出回路と、

第 1 の検出回路よりも高い検出精度を有し、供給電圧が一定電圧に低下したことを検出する第 2 の検出回路と、

内部回路が動作状態であるとき第 2 の検出回路を選択し、内部回路が待機状態であるとき第 1 の検出回路を選択する選択手段と、

第 1 の検出回路または第 2 の検出回路の検出結果に応答してパワーダウン動作を実行する実行手段と、

を有する半導体記憶装置。

10

【請求項 2】

前記第 2 の検出回路は、基準電圧を生成する基準電圧生成回路と、当該基準電圧と電源電圧とを比較する比較回路を含み、前記第 1 の検出回路は、基準電圧生成回路を含まない、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記動作状態は、外部からのコマンドに基づき内部回路が動作する状態を含み、前記待機状態は、外部からのコマンドを受け付け可能な状態を含む、請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記動作状態は、フラッシュメモリのビジー状態であり、前記待機状態は、フラッシュメモ

20

モリのレディ状態である、請求項 1 または 3 に記載の半導体記憶装置。

【請求項 5】

前記ビジー状態は、外部端子から出力されるビジー信号により規定され、前記レディ状態は、外部端子から出力されるレディ信号により規定される、請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記選択手段は、前記内部回路が動作状態であり、かつ予め決められた特定の動作をするとき前記第 2 の検出回路を選択する、請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記選択手段は、コントローラが実行する前記特定の動作に関する命令コードに応答して前記第 2 の検出回路を選択する、請求項 6 に記載の半導体記憶装置。

10

【請求項 8】

前記特定の動作は、チャージポンプ回路の動作である、請求項 6 または 7 に記載の半導体記憶装置。

【請求項 9】

前記特定の動作は、メモリセルアレイの選択ページの読出しを行うときのビット線のプリチャージ動作である、請求項 6 または 7 に記載の半導体記憶装置。

【請求項 10】

前記第 1 および第 2 の検出回路が検出する電圧レベルは、パワーアップ検出回路が検出する電圧レベルよりも低く、かつ CMOS の動作可能な電圧レベルよりも高い、請求項 1 ないし 9 いずれか 1 つに記載の半導体記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラッシュメモリ等の半導体記憶装置に関し、特に、パワーダウン検出に関する。

【背景技術】

【0002】

NAND 型フラッシュメモリは、読出し、プログラム、消去等のための電圧の設定やユーザーのオプションなどの設定情報を格納するためフューズセルを使用している。フューズセルは、例えば、メモリセルアレイ内のユーザーによってアクセスすることができない記憶領域に設定される。フラッシュメモリは、電源投入時、パワーアップ動作として、フューズセルから設定情報を読み出し、これを内部レジスタにロードする。パワーアップ動作終了後、コントローラは、内部レジスタに保持された設定情報に基づき各動作を制御する（特許文献 1）。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 6494139 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

フラッシュメモリの電源投入時のパワーアップ検出動作と、電源降下時のパワーダウン検出動作について図 1 を参照して説明する。図 1 は、外部から供給される電圧と時間との関係を表している。

【0005】

パワーアップ検出部は、例えば、3.0V の電圧が供給されるフラッシュメモリにおいて、その動作保証電圧が 2.7 ~ 3.3V であるとき、電源投入時にパワーアップ動作を開始させるための電圧として、約 2.2V のパワーアップ電圧レベル V_{PU} を検出する。パワーアップ検出部は、最初に、比較的精度の高くない検出回路を用いて供給電圧が一

50

定電圧に到達したことを検出し、次に、比較的精度の高い検出回路を用いて供給電圧がパワーアップ電圧レベル V_{PU} に到達したことを検出する。精度の高い検出回路は、基準電圧発生回路や、基準電圧を供給電圧とを比較する比較回路とを含んでいる。パワーアップ電圧レベル V_{PU} が検出されると、パワーアップシーケンスが実行され、内部回路が初期化(リセット)され、メモリセルアレイのフューズセルから読み出された設定情報がレジスタにセットされる、といった動作が行われる。その後、供給電圧が動作保証電圧に上昇すると、通常の動作が開始される。

【0006】

図2に、従来のパワーダウン検出部を示す。パワーダウン検出部10は、供給電圧 V_{cc} がパワーダウン電圧レベル V_{PD} に降下したことを検出すると、CPUやロジック回路等の内部回路20にリセット信号を出力する。例えば、外部の電力供給能力が低かったり、内部回路20の動作により大きなピーク電流が発生したとき、供給電圧 V_{cc} がパワーダウン電圧レベル V_{PD} に降下する。内部回路20は、パワーダウン検出部10からリセット信号を受け取ると、パワーダウン動作を実行し、内部回路20のチャージポンプ回路の動作を停止したり、CPUやロジック等のリセットを行う。

10

【0007】

パワーダウン電圧レベル V_{PD} は、パワーアップ電圧レベル V_{PU} よりも低く、(そうでなければ、パワーアップ動作後にパワーダウン動作が実行され、フラッシュメモリを動作させることができない)、また、パワーダウン電圧レベル V_{PD} およびパワーアップ電圧レベル V_{PU} は、内部回路のCMOSの動作電圧 V_t (例えば、PMOSのしきい値とNMOSのしきい値の合計)よりも大きく設定される(そうでなければ、パワーアップ動作やパワーダウン動作を正しく実行させることができない)。

20

【0008】

また、フラッシュメモリがスタンバイ状態にあるとき、その状態で消費が許される消費電流が仕様で定義されている。このような制約のため、パワーダウン検出部10は、スタンバイ状態の許容消費電流を超えないように、動作電流が最小となるように構成される。例えば図3に示すように、パワーダウン検出部10は、抵抗分圧とインバータを用いた簡易な回路から構成され、パワーダウン電圧レベル V_{PD} を検出したとき、Hレベルの検出信号 V_{det} を出力する。

【0009】

パワーダウン検出部10は、パワーアップ検出部のように基準電圧発生回路や比較回路を含まないため、消費電力を低減させることができるが、その反面、パワーアップ検出部よりも検出精度が悪くなる。このため、図1に示すように、パワーダウン検出部10の検出範囲H2のバラツキは、パワーアップ検出部の検出範囲H1のバラツキよりも大きくなる。

30

【0010】

このようなパワーダウン検出部10を用いた場合、検出範囲H2のバラツキが大きいため正しくパワーダウン電圧レベル V_{PD} を検出することができないという本質的な問題を抱えている。フラッシュメモリがスタンバイ状態であれば、パワーダウン電圧レベル V_{PD} の検出範囲に多少の誤差があっても特に影響はないが、内部回路が動作中のビジー状態でパワーダウン電圧レベル V_{PD} を正しく検出できないと、フラッシュメモリに深刻な問題を引き起こすおそれがある。例えば、プログラム動作や消去動作中に、供給電圧がパワーダウン電圧レベル V_{PD} よりも降下してもパワーダウン動作が開始されないと、誤動作により予期していない回路に高電圧が印加されて回路が故障したり、メモリセルに誤ってデータがプログラムされて元のデータが破壊されてしまう。

40

【0011】

本発明は、このような従来の課題を解決するものであり、消費電力を低減しつつ正確にパワーダウン動作を実行することができる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

50

本発明に係る半導体記憶装置は、供給電圧が一定電圧に低下したことを検出する第1の検出回路と、第1の検出回路よりも高い検出精度を有し、供給電圧が一定電圧に低下したことを検出する第2の検出回路と、内部回路が動作状態であるとき第2の検出回路を選択し、内部回路が待機状態であるとき第1の検出回路を選択する選択手段と、第1の検出回路または第2の検出回路の検出結果に応答してパワーダウン動作を実行する実行手段とを有する。

【0013】

ある実施態様では、前記第2の検出回路は、基準電圧を生成する基準電圧生成回路と、当該基準電圧と電源電圧とを比較する比較回路を含み、前記第1の検出回路は、基準電圧生成回路を含まない。ある実施態様では、前記動作状態は、外部からのコマンドに基づき内部回路が動作する状態を含み、前記待機状態は、外部からのコマンドを受け付け可能な状態を含む。ある実施態様では、前記動作状態は、フラッシュメモリのビジー状態であり、前記待機状態は、フラッシュメモリのレディ状態である。ある実施態様では、前記ビジー状態は、外部端子から出力されるビジー信号により規定され、前記レディ状態は、外部端子から出力されるレディ信号により規定される。ある実施態様では、前記選択手段は、前記内部回路が動作状態であり、かつ予め決められた特定の動作をするとき前記第2の検出回路を選択する。ある実施態様では、前記選択手段は、コントローラが実行する前記特定の動作に関する命令コードに応答して前記第2の検出回路を選択する。ある実施態様では、前記特定の動作は、チャージポンプ回路の動作である。ある実施態様では、前記特定の動作は、メモリセルアレイの選択ページの読出しを行うときのビット線のプリチャージ動作である。ある実施態様では、前記第1および第2の検出回路が検出する電圧レベルは、パワーアップ検出回路が検出する電圧レベルよりも低く、かつCMOSの動作可能な電圧レベルよりも高い。

【発明の効果】

【0014】

本発明によれば、内部回路が動作状態であるとき第2の検出回路を選択し、内部回路が待機状態であるとき第1の検出回路を選択し、選択された第1の検出回路または第2の検出回路の検出結果に応答してパワーダウン動作を実行するようにしたので、消費電力を低減しつつ正確にパワーダウン動作を実行することができる。

【図面の簡単な説明】

【0015】

【図1】フラッシュメモリのパワーアップ検出動作とパワーダウン検出動作とを説明するグラフである。

【図2】従来のパワーダウン検出部を示す図である。

【図3】従来のパワーダウン検出部の構成例を示す図である。

【図4】本発明の実施例に係るフラッシュメモリの内部構成を示すブロック図である。

【図5】本発明の実施例に係るパワーダウン検出部の構成を示す図である。

【図6】本発明の実施例に係る基準電圧発生回路の一例を示す図である。

【図7】本発明の実施例に係る高精度電圧検出回路の一例を示す図である。

【図8】本発明の実施例に係るパワーダウン検出部の動作を説明する図である。

【図9】本発明の実施例によるビジー状態のときのパワーダウン検出部の検出範囲のバラツキを説明する図である。

【図10】本発明の他の実施例に係るパワーダウン検出部の動作を説明する図である。

【発明を実施するための形態】

【0016】

次に、本発明の実施の形態について図面を参照して詳細に説明する。本発明の半導体記憶装置は、好ましい態様では、NAND型やNOR型のフラッシュメモリ、抵抗変化型メモリ、磁気変化型メモリ等の不揮発性メモリである。以下の説明では、NAND型のフラッシュメモリを例示する。

【実施例】

【 0 0 1 7 】

本発明の実施例に係るフラッシュメモリの概略構成を図4に示す。本実施例のフラッシュメモリ100は、複数のメモリセルが行列状に配列されたメモリセルアレイ110と、外部入出力端子I/Oに接続された入出力バッファ120と、入出力バッファ120からアドレスデータを受け取るアドレスレジスタ130と、入出力バッファ120からコマンドデータ等を受け取り、各部を制御するコントローラ140と、アドレスレジスタ130から行アドレス情報Axを受け取り、行アドレス情報Axをデコードし、デコード結果に基づきブロックの選択およびワード線の選択等を行うワード線選択回路150と、ワード線選択回路150によって選択されたページから読み出されたデータを保持したり、選択されたページにプログラムすべき入力データを保持するページバッファ/センス回路160と、アドレスレジスタ130から列アドレス情報Ayを受け取り、列アドレス情報Ayをデコードし、当該デコード結果に基づきページバッファ/センス回路160内の列アドレスのデータを選択する列選択回路170と、データの読出し、プログラムおよび消去等のために必要な種々の電圧(書込み電圧Vpgm、パス電圧Vpass、読出しパス電圧Vread、消去電圧Versなど)を生成する内部電圧発生回路180と、電源投入時に外部端子から供給される供給電圧Vccを監視し、パワーアップ電圧レベルV_{PU}を検出し、パワーアップ検出信号PWRESETを出力するパワーアップ検出部190と、供給電圧Vccを監視し、パワーダウン電圧レベルV_{PD}を検出し、パワーダウン検出信号DET_H/DET_Lを出力するパワーダウン検出部200とを含んで構成される。

10

【 0 0 1 8 】

メモリセルアレイ110は、列方向に配置されたm個のブロックBLK(0)、BLK(1)、・・・、BLK(m-1)を有する。1つのブロックには、複数のメモリセルを直列に接続したNANDストリングが複数形成される。NANDストリングは、基板表面上に2次的に形成されてもよいし、基板表面上に3次的に形成されてもよい。また、メモリセルは、1ビット(2値データ)を記憶するSLCタイプでもよいし、多ビットを記憶するMLCタイプであってもよい。1つのNANDストリングは、複数のメモリセル(例えば、64個)と、ビット線側選択トランジスタと、ソース線側選択トランジスタとを直列に接続して構成される。ビット線側選択トランジスタのドレインは、対応する1つのビット線GBLに接続され、ソース線側選択トランジスタのソースは、共通のソース線SLに接続される。

20

【 0 0 1 9 】

読出し動作では、ビット線に或る正の電圧を印加し、選択されたワード線に或る電圧(例えば0V)を印加し、非選択ワード線にパス電圧Vpass(例えば4.5V)を印加し、選択ゲート線SGD、SGSに正の電圧(例えば4.5V)を印加し、NANDストリングのビット線側選択トランジスタ、ソース線側選択トランジスタをオンし、共通ソース線に0Vを印加する。プログラム(書込み)動作では、選択されたワード線に高電圧のプログラム電圧Vpgm(15~20V)を印加し、非選択のワード線に中間電位(例えば10V)を印加し、ビット線側選択トランジスタをオンさせ、ソース線側選択トランジスタをオフさせ、「0」または「1」のデータに応じた電位をビット線に供給する。消去動作では、ブロック内の選択されたワード線に0Vを印加し、Pウエルに高電圧(例えば20V)を印加し、フローティングゲートの電子を基板に引き抜くことで、ブロック単位でデータを消去する。

30

40

【 0 0 2 0 】

パワーアップ電圧検出部190は、電源投入時にフラッシュメモリ100に供給される供給電圧Vccがパワーアップ電圧レベルV_{PU}に到達したことを検出すると、パワーアップ検出信号PWRESETをコントローラ140に出力する。コントローラ140は、例えば、CPUやROM/RAMなどを含み、ROM/RAMには、パワーアップ動作、パワーダウン動作、読出し動作、プログラム動作、消去動作等を実行するための命令やデータ等のコードが格納されている。コントローラ140は、パワーアップ検出信号PWRESETを受け取ると、これに回答してROM/RAMから読み出されたコードに従いパワーアップ動作を実行する。パワーアップ動作では、コントローラ140を含む内部回路の

50

リセットや、メモリセルアレイ 110 のフューズセルの読出し等が行われる。

【0021】

パワーダウン検出部 200 は、供給電圧 V_{cc} がパワーダウン検出レベル V_{PD} に降下したことを検出すると、フラッシュメモリ 100 の動作状態に応じてパワーダウン検出信号 DET_L または DET_H をコントローラ 140 に出力する。コントローラ 140 は、パワーダウン検出信号 DET_L / DET_H を受け取ると、これにตอบสนองして ROM / RAM から読み出されたコードに従いパワーダウン動作を実行する。パワーダウン動作では、コントローラ 140 を含む内部回路のリセットや、チャージポンプ回路の停止等が行われる。

【0022】

図 5 に、本実施例のパワーダウン検出部 200 の内部構成を示す。同図に示すように、パワーダウン検出部 200 は、低電力電圧検出回路 210、高精度電圧検出回路 220 およびセクタ 230 を有する。低電力電圧検出回路 210 は、比較的簡易な回路で、より消費電力を低減可能な回路から構成され、例えば、図 3 に示すような抵抗とインバータとを有する検出回路 10 から構成される。検出回路 10 は、供給電圧 V_{cc} を常時モニターし、検出ノード N がパワーダウン電圧レベル V_{PD} に降下したとき、検出ノード N の電圧がインバータのしきい値以下となるように抵抗の大きさが選択される。こうして、低電力電圧検出回路 210 は、供給電圧 V_{cc} がパワーダウン電圧レベル V_{PD} に降下したことを検出すると、その検出結果を表す H レベルの検出信号 DET_L をセクタ 230 に出力する（図 3 の検出信号 V_{det} が対応する）。

【0023】

高精度電圧検出回路 220 は、基準電圧 V_{ref} を発生する基準電圧発生器 222 と、基準電圧発生器 222 で発生された基準電圧 V_{ref} と供給電圧 V_{cc} とを比較する比較回路 224 とを含む。基準電圧 V_{ref} は、パワーダウン電圧レベル V_{PD} に設定され、比較回路 224 は、供給電圧 V_{cc} がパワーダウン電圧レベル V_{PD} 以下に降下すると、それを表す H レベルの検出信号 DET_H をセクタ 230 に出力する。

【0024】

基準電圧発生回路 222 は、特にその構成を限定されないが、例えば、電源電圧の変動や動作温度にほとんど依存しないバンドギャップリファレンス回路（BGR 回路）が用いられる。図 6 に、一般的な BGR 回路を示す。同図に示すように、BGR 回路は、電源電圧 V_{cc} と GND 間に第 1 および第 2 の電流経路を含み、第 1 の電流経路に直列に接続された PMOS トランジスタ P1、抵抗 R1、バイポーラトランジスタ Q1 を含み、第 2 の電流経路に直列に接続された PMOS トランジスタ P2、抵抗 R2、R、バイポーラトランジスタ Q2 を含み、さらに抵抗 R1 とトランジスタ Q1 とを共通接続するノード VN を反転入力端子（-）に接続し、抵抗 R2 と抵抗 R とを共通接続するノード VP を非反転入力端子（+）に接続し、出力端子をトランジスタ P1、P2 のゲートに共通接続する差動増幅回路 AMP を含む。差動増幅回路 AMP は、トランジスタ Q1 の順方向電圧と、トランジスタ Q2 の順方向電圧に抵抗 R に生じる電圧を加算した電圧とが等しくなるように、出力電圧を調整し、出力ノード BGR からは基準電圧 V_{ref} が出力される。

【0025】

比較回路 224 は、特にその構成を限定されないが、例えば、図 7 に示すように、供給電圧 V_{cc} から生成された内部電圧 VI と基準電圧 V_{ref} とを比較するコンパレータ CMP を含む。基準電圧 $V_{ref} =$ パワーダウン電圧レベル V_{PD} とする。コンパレータ CMP は、 $VI > V_{ref}$ のとき、L レベルの検出信号 DET_H を出力し、 $V_{ref} > VI$ のとき、H レベルの検出信号 DET_H を出力する。

【0026】

基準電圧発生器 222 および比較回路 224 は、コントローラ 140 からのイネーブル / ディスエーブル信号にตอบสนองして動作または非動作となる。後述するように、コントローラ 140 は、フラッシュメモリがビジー状態であるとき、高精度電圧検出回路 220 を動作させるためのイネーブル信号を出力し、スタンバイ状態であるとき、高精度電圧検出回

10

20

30

40

50

路 220 を非動作にするためのディスエーブル信号を出力する。

【0027】

セレクタ 230 は、低電力電圧検出回路 210 からの検出信号 DET_L と高精度電圧検出回路 220 からの検出信号 DET_H とを受け取り、コントローラ 140 からの選択信号 SEL に基づきいずれかの検出信号を選択し、選択した検出信号をコントローラ 140 に出力する。コントローラ 140 は、ビジー状態であるとき、高精度電圧検出回路 220 の検出信号 DET_H を選択させ、スタンバイ状態であるとき、低電力電圧検出回路 210 の検出信号 DET_L を選択させる。

【0028】

次に、コントローラ 140 によるパワーダウン検出部 200 の制御について説明する。図 8 は、コントローラ 140 によるパワーダウン検出部 200 の制御内容を説明する動作フローである。コントローラ 140 は、フラッシュメモリ 100 がビジー状態か否かを判定する (S100)。ビジー状態とは、フラッシュメモリ 100 の内部回路 (コントローラや周辺回路を含む) が動作をしている状態であり、例えば、ユーザーからのコマンドを受け取り、当該コマンドに基づき読み出し動作、プログラム動作あるいは消去動作などを実行している状態である。スタンバイ状態とは、内部回路が本質的な動作をしていない状態であり、例えば、ユーザーからのコマンドを受け取ることができる状態である。

10

【0029】

コントローラ 140 は、ビジー状態であると判定した場合、イネーブル信号を出力して高精度電圧検出回路 220 を動作させ (S110)、かつ、選択信号 SEL により高精度電圧検出回路 220 の検出信号 DET_H をセレクタ 230 に選択させる (S120)。つまり、ビジー状態では、低電力電圧検出回路 210 と高精度電圧検出回路 220 の双方が動作しているが、セレクタ 230 により高精度電圧検出回路 220 の検出信号 DET_H がコントローラ 140 に提供される。

20

【0030】

一方、コントローラ 140 は、フラッシュメモリがビジー状態でないと判定した場合、つまり、スタンバイ状態であると判定した場合、ディスエーブル信号を出力して高精度電圧検出回路 220 を非動作にし (S130)、かつ、選択信号 SEL により低電力電圧検出回路 210 の検出信号 DET_L をセレクタ 230 に選択させる (S140)。つまり、スタンバイ状態では、低電力電圧検出回路 210 のみが動作し、セレクタ 230 により低電力電圧検出回路 210 の検出信号 DET_L がコントローラ 140 に提供される。

30

【0031】

図 9 は、本実施例によるビジー状態のときのパワーダウン電圧レベル V_PD の検出範囲 H3 を示している。上記したように、ビジー状態では、高精度電圧検出回路 220 を用いてパワーダウン電圧レベル V_PD を検出するため、低電力電圧検出回路 210 を用いたときよりも検出精度が高く、検出範囲 H3 のバラツキを小さくすることができる。ビジー状態では、内部回路が動作しており、この期間中にパワーダウン電圧レベル V_PD を正しく検出することで、例えば、パワーダウン電圧レベル V_PD よりも低い電圧で内部回路が動作することが抑制され、その結果、誤動作による回路の故障やデータ破壊等を防止することができる。他方、内部回路が動作していないスタンバイ状態では、高精度電圧検出回路 220 を非動作にし、低電力電圧検出回路 210 のみを動作させることで、スタンバイ状態の許容消費電力の制約を順守することができる。

40

【0032】

ここで、パワーアップ検出部 190 にも、パワーアップ電圧レベル V_PU の検出において高い精度が要求される。このため、パワーアップ検出部 190 もまた、基準電圧発生器や比較回路を用いた高精度電圧検出回路を利用する。従って、パワーダウン検出部 200 の高精度電圧検出回路 220 は、パワーアップ検出部 190 の高精度電圧検出回路を利用するものであってもよい。この場合、パワーアップシーケンスが終了した後、高精度電圧検出回路の検出レベルがパワーアップ電圧レベル V_PU からパワーダウン電圧レベル V_PD に変更される。

50

【 0 0 3 3 】

次に、本発明の別の実施例について説明する。上記実施例では、ビジー状態であるとき、高精度電圧検出回路 2 2 0 を動作させる例を示したが、本実施例では、ビジー状態のさらに詳細な動作にตอบสนองして高精度電圧検出回路 2 2 0 の動作を制御する。

【 0 0 3 4 】

図 1 0 は、フラッシュメモリの読出し動作時の各部の波形を示している。コントローラ 1 4 0 は、外部から読出しコマンドやアドレスが入力されたことにตอบสนองして読出し動作を開始する。MODE は、そのときの詳細な動作モードを示している。例えば、MODE 「1 h」は、チャージポンプ回路を起動する期間を示し、「3 h」は、グローバルビット線 G B L のプリチャージを開始する期間を示している。BUSY は、コントローラ 1 4 0 が読出し動作を実行する期間を示している。チャージポンプ回路が起動される「1 h」の期間、グローバルビット線 G B L にプリチャージする期間においてピーク電流が発生するため、供給電圧 V c c が一時的に低下する。

10

【 0 0 3 5 】

先の実施例では、コントローラ 1 4 0 は、BUSY 信号が H レベルであるとき、高精度電圧検出回路 2 2 0 を動作させ、その検出信号 DET_H に基づきパワーダウン動作を実行したが、本実施例では、コントローラ 1 4 0 は、ビジー期間中、MODE 「1 h」および「3 h」の特定の動作が行われるときに高精度電圧検出回路 2 2 0 を動作させる。このような動作制御をすることで、さらなる消費電力の低減を図ることができる。

【 0 0 3 6 】

上記実施例では、コントローラ 1 4 0 がビジー状態か否かを判定して高精度電圧検出回路を動作させたが、ビジー状態は、例えば、フラッシュメモリがビジー信号やレディ信号を出力する外部端子を備えている場合には、ビジー信号またはレディ信号にตอบสนองしてビジー状態またはスタンバイ状態を判定するようにしてもよい。さらに上記実施例では、N A N D 型フラッシュメモリを例示したが、本発明は、これに限らず、他の不揮発性メモリのパワーダウン検出にも適用することができる。

20

【 0 0 3 7 】

本発明の好ましい実施の形態について詳述したが、本発明は、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された発明の要旨の範囲内において、種々の変形・変更が可能である。

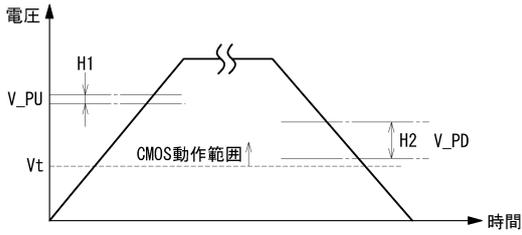
30

【符号の説明】

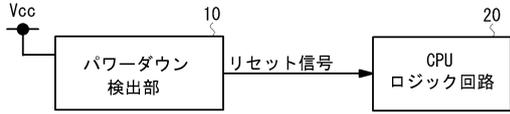
【 0 0 3 8 】

1 0 0 : フラッシュメモリ	1 1 0 : メモリセルアレイ
1 2 0 : 入出力バッファ	1 3 0 : アドレスレジスタ
1 4 0 : コントローラ	1 5 0 : ワード線選択回路
1 6 0 : ページバッファ/センス回路	1 7 0 : 列選択回路
1 8 0 : 内部電圧発生回路	1 9 0 : パワーオン検出部
2 0 0 : パワーダウン検出部	2 1 0 : 低電力電圧検出部
2 2 0 : 高精度電圧検出回路	2 3 0 : セレクタ

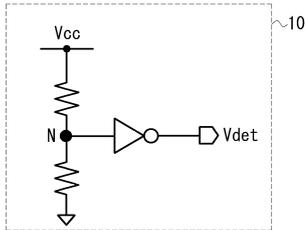
【図1】



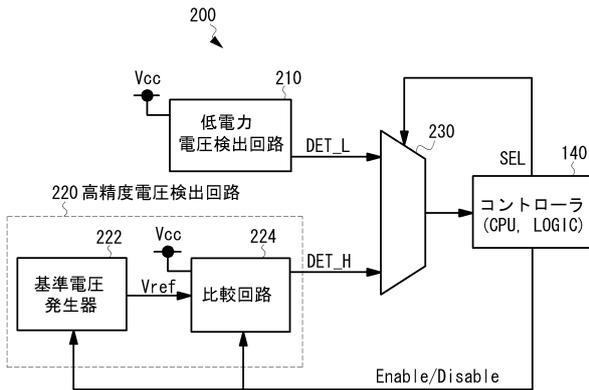
【図2】



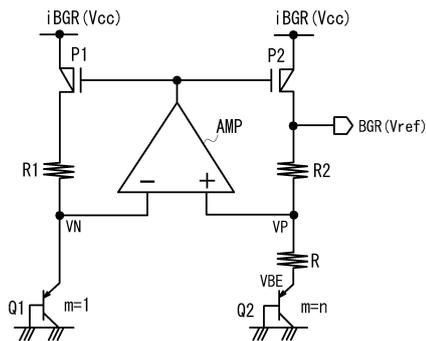
【図3】



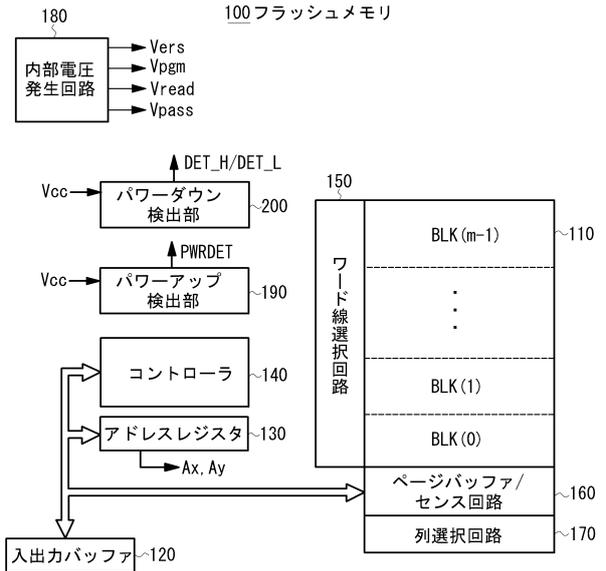
【図5】



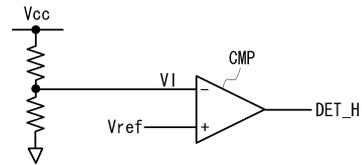
【図6】



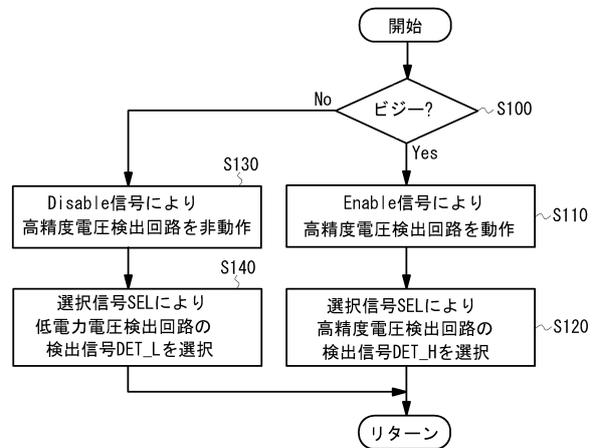
【図4】



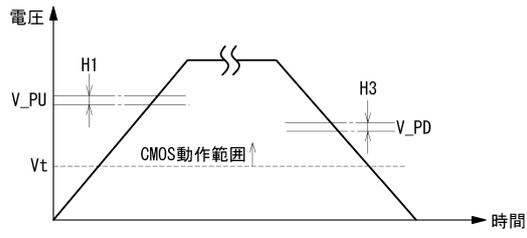
【図7】



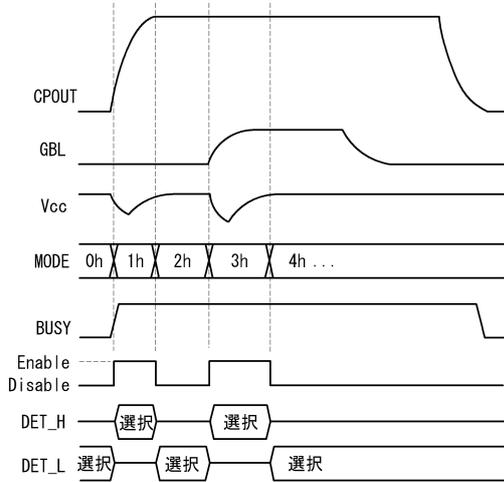
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

(56)参考文献 特開2008-102908(JP,A)
特開昭54-162417(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 16/22
G11C 5/14