

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95140404

※ 申請日期：95 年 11 月 1 日

※IPC 分類：

一、發明名稱：(中文/英文)

電熔絲及其製造方法

EFUSE AND METHODS OF MANUFACTURING THE SAME

H01L 27/04, 21/00  
(2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 3 人)

姓名 (中文/英文)

1. 許履塵 / HSU, LOUIS LU-CHEN

2. 傑克 A. 曼得門 / MANDELMAN, JACK A.

3. 威廉 R. 頓提 / TONTI, WILLIAM R.

國籍 (中文/英文)

1.~3.皆為美國 / US

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國 US、西元 2005 年 11 月 3 日、11/266,740

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

在第一面向中，提供一第一裝置。第一裝置係一電熔絲，其包含(1)半導體層於一基板之一絕緣氧化物層之上；(2)二極體形成於半導體層中；以及(3)矽化物層形成於二極體上。本案並提供許多其他面向。

## 六、英文發明摘要：

In a first aspect, a first apparatus is provided. The first apparatus is an eFuse including (1) a semiconducting layer above an insulating oxide layer of a substrate; (2) a diode formed in the semiconducting layer; and (3) a silicide layer formed on the diode. Numerous other aspects are provided.

**七、指定代表圖：**

(一)本案指定代表圖為：圖一。

(二)本代表圖之元件符號簡單說明：

100 基板

102 矽層

104 絕緣氧化物層

106 多晶矽層

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明基本上係關於半導體元件製造，而更具體地係關於電熔絲(eFuse)及其製造方法。

### 【先前技術】

傳統電熔絲可包含一矽化物層於一多晶矽層上，其供作一電阻(resistor)。要程式化傳統電熔絲，可驅動一電流（例如藉由一個或更多個電晶體）於自傳統電熔絲之陰極至陽極的第一方向。驅動電流於第一方向通過電熔絲，形成間隙(gap)於矽化物層中，藉此暴露一部分的多晶矽層。已程式化之電熔絲狀態可藉以下感測：嘗試驅動電流於自陽極至陰極的第二方向。電流驅動通過之路徑的電阻，視程式化期間矽化物層中形成之間隙長度而定。因電晶體操作參數之變化及/或用以程式化傳統電熔絲之電壓水平控制，形成於此電熔絲中之個別矽化物層間隙之長度會變化。因此，傳統電熔絲之電阻會變化。因此，需要有改良的或間隙不變的電熔絲及其製造方法。

### 【發明內容】

發明的第一面向中，提供一第一裝置。第一裝置係電熔絲，包含(1)半導體層於基板之絕緣氧化物層之上；(2)二極體形成於半導體層中；以及(3)矽化物層(例

如分流(shunting)矽化物層)形成於二極體上。

發明的第二面向中，提供製造電熔絲之第一方法。第一方法包含步驟：(1)提供一基板，包含絕緣氧化物層與半導體層於絕緣氧化物層之上；(2)形成二極體於半導體層中；以及(3)形成矽化物層（例如分流矽化物層）於二極體之上。根據發明這些與其他面向，仍可提供許多其他面向。

本發明其他特徵與面向從以下詳細說明、所附申請專利範圍與伴隨之圖式，會更完全清楚明白。

### 【實施方式】

本發明提供改善的電熔絲及其製造方法。更明確地，本發明提供具有一電阻的電熔絲，其獨立於程式化期間形成於電熔絲之矽化物層中之間隙長度，且提供此電熔絲之製造方法。電熔絲可包含二極元件（diode element）於矽化物之下。某些實施例中，二極元件可包含多晶矽、單晶矽於絕緣體上，或另一適合的半導體材料上。二極元件在讀取期間係反向偏壓（reverse biased），且因此在感測到已程式化電熔絲之狀態時提供一高電阻。電熔絲所產生的電阻視二極體之形成過程而定，且於程式化期間獨立於形成於矽化物層中之間隙長度。反向二極體電流電壓（IV）特性

會定義一電阻，其比圍繞部分二極體之單一摻雜多晶矽線長度高幾個數量級。因此，電熔絲二極體電阻是高度可重現 (reproducible)，且獨立於矽化物間隙長度。因此，根據本發明一實施例製造之電熔絲電阻可不變化 (例如像傳統單一摻雜半導體電熔絲那麼多)。以此方式，本發明提供改善的電熔絲及其製造方法。

圖一例示根據本發明的一種實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其圖型化 (patterned) 多晶矽或單晶矽層於基板上。參照圖一，第一範例電熔絲 (圖六中 600) 可自包含矽層 102 之基板 100 (例如主體基板) 製造。基板 100 可包含絕緣氧化物層 104 形成於矽層 102 上，以及多晶矽 (例如閘極導體多晶矽) 或其它合適的半導體材料層 106 形成於絕緣氧化物層上。以此方式，絕緣氧化物層 104 可為埋藏氧化物 (buried oxide, BOX) 層或淺溝槽隔離 (shallow trench isolation, STI) 氧化物層。化學氣相沉積 (CVD) 或其它合適方法可用來形成多晶矽層 106 於基板 100 上。其後，反應式離子蝕刻 (RIE) 或另一適合方法可用來選擇性移除部份多晶矽層 106，藉此圖型化多晶矽。如下所述，後續基板處理形成多晶矽層 106 至第一範例電熔絲之一或更多部分中。

圖二例示根據本發明一實施例，製造第一範例電

熔絲之第一範例方法之步驟的側剖面圖，其雜質原子植入 (implanted) 多晶矽層之一部分中，以形成 N+ 區域。參照圖二，旋轉塗佈 (spin-on) 技術或其它合適方法可用來沉積光阻層於基板 100 上。使用光阻與適當遮罩 (masking) 之微影或其它合適方法可用來圖型化光阻層為第一遮罩 (例如阻擋遮罩) 200。以此方式，多晶矽層 106 之第一部分 202 之頂表面可被暴露 (exposed)，而於遮罩 200 之下的多晶矽層 106 之第二部分 204 之頂表面可不暴露。

植入製程 (例如獨特或標準邏輯植入製程) 或其它合適方法可用來植入 N+ 雜質原子或類似物 (例如摻雜物) 入多晶矽層 106。更明確地，植入 (例如邏輯 N+ 多晶矽與擴散植入) 可形成第一高摻雜區域具有一第一極性 (polarity) (例如 N+ 摻雜區域) 於多晶矽層 106 之暴露部分中 (例如第一部份 202)。然而，遮罩 200 可防止雜質原子於植入期間到達多晶矽層 106 之第二部分 204，藉此保護第二部分 204。進一步，遮罩 200 於植入期間可保護一或更多金氧半場效電晶體 (MOSFET) 閘極。一旦 N+ 摻雜區域形成，光阻剝除劑浴 (stripper bath) 或其它合適方法可用來自基板 100 剝除第一光罩 200。

圖三例示根據本發明一實施例，製造第一範例電



熔絲之第一範例方法之步驟的側剖面圖，其中雜質原子植入多晶矽層之一部分中，以形成 P+區域與 P-區域。參照圖三，旋轉塗佈技術或其它合適方法可用來沉積光阻層於基板 100 上。使用光阻與適當遮罩之微影或其它合適方法可用來圖型化光阻層為第二遮罩（例如阻擋遮罩）（未圖示）。第二遮罩可定位使得第二遮罩保護多晶矽層 106 之第一部分 202，而不保護（例如暴露）多晶矽層 106 之第二部分 204。以此方式，第二遮罩可為第一遮罩 200 之反相（inverse）。

植入製程或其它合適方法可用來植入 P+雜質原子或之類（例如摻雜物）入多晶矽層 106。更明確地，植入（例如邏輯 P+多晶矽與擴散植入）可形成第二高摻雜區域具有一相反的第二極性（例如 P+摻雜區域）於多晶矽層 106 之暴露部分中（例如第二部分 204）。然而，第二遮罩可防止雜質原子於植入期間到達多晶矽層 106 之第一部分 202，藉此保護第一部分 202。一旦 P+摻雜區域形成，光阻剝除劑浴或其它合適方法可用來自基板 100 剝除第二光罩。

第三遮罩 300 可以類似用來形成第一與第二遮罩之方式形成。更明確地，旋轉塗佈技術或其它合適方法可用來沉積光阻層於基板 100 上。使用光阻與適當遮罩之微影或其它合適方法可用來圖型化光阻層為第

三遮罩（例如阻擋遮罩）。第三遮罩 300 可定位使得第三遮罩 300 保護多晶矽層 106 之第一部分 202 之第一子部分 302，而不保護（例如暴露）第一部分 202 之第二子部分 304 以及多晶矽層 106 之第二部分 204。以此方式，第三遮罩 300 可為第一遮罩 200 之反相之位移版（shifted version）（例如有  $+x \sigma$  的第一遮罩 200）。植入製程或其它合適方法可用來植入 P+雜質原子或類似物（例如摻雜物）至多晶矽層 106。第三遮罩 300 容許值入 N+雜質原子於其中時暴露的多晶矽層區域，重疊植入 P+雜質於其中時暴露的多晶矽區域。雜質原子劑量（dosage）可選擇使得多晶矽層 106 之第二部分 204 的摻雜不受影響或些微受影響。以此方式，植入（例如邏輯 P+多晶矽與擴散植入）可形成輕摻雜區域像是 P-摻雜區域（例如漸變[graded]區域具有 P-至 P+過渡[transition]）於多晶矽層 106 之暴露部分（例如第一部分 202 之第二子部分 304）。第三遮罩 300 可避免雜質原子於植入期間到達多晶矽層 106 之第一子部分 302，藉此保護第一子區域 302。一旦形成 P-摻雜區域，光阻剝除劑浴或其它合適方法可用來自基板 100 剝除第三光罩 300。

另一種方式是，基板 100 之 P-區域可不用遮罩而形成。舉例而言，自基板 100 剝除第二遮罩後，植入製程或其它合適方法可用來植入 P+雜質原子或類似

物（例如摻雜物）至多晶矽層 106。雖然第一部分 202 之第一子部分 302 與多晶矽層 106 之第二部分 204（和第二子部分 304 一起）於植入期間暴露，雜質原子劑量可選擇使得第一子部分 302 與第二部分 206 之摻雜不受影響或些微受影響。以此方式，植入（例如邏輯 P+ 多晶矽與擴散植入）可形成 P 摻雜區域於多晶矽層 106 之第一部分 202 之第二子部分 304 中。

圖四例示根據本發明的一種實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中基板經歷退火（annealing）。參照圖四，基板 100 可於溫度大約 900°C 至大約 1100°C 下經歷退火，歷時大約 10 秒至大約 30 分鐘，視摻雜區域所需之橫向（lateral）漸變而定（例如 P-至 P+ 過渡）。然而，亦可用較大或較小及/或不同溫度範圍。進一步來說，基板 100 可以較長或較短時間經歷退火。退火之高溫可活化（activate）所植入的摻雜物（N+ 摻雜物、P+ 摻雜物、P- 摻雜物），藉此使這些摻雜物得以擴散過個別植入區域 302、204、304。退火期間，一或更多植入區域可擴張（expand），像是 P- 區域。以此方式，二極體 400 具第一子區域 302 耦合至第二子區域 304 之 N+P- 界面（junction），可形成於多晶矽層 106 中。

圖五例示根據本發明的一種實施例，製造第一範

例電熔絲之第一範例方法之步驟的側剖面圖，其中矽化物層與間隙壁 (spacers) 形成於基板上。參照圖五，化學氣相沉積或其它合適方法可用來沉積 (例如共形地 [conformally]) 一層分流矽化物或其它合適材料於基板 100。其後，反應式離子蝕刻或其它合適方法可用來移除部份這樣的矽化物層 (例如對多晶矽為選擇性)。以此方式，矽化物層 500 可形成於多晶矽層 106 上。如下述，矽化物層 500 可供作第一範例電熔絲 (圖六中 600) 之熔絲元件。某些實施例中，矽化物層 500 可為大約 300 埃至大約 800 埃厚 (雖然可用較大/較小及/或不同厚度範圍)。於閘極導體矽化 (silicidation) 期間，矽化物層 500 可形成於多晶矽層 106 上。另一種方式是，矽化物層 500 可形成於獨立製程步驟。舉例而言，若期望較淺的矽化物層於多晶矽層 106 之上，化學氣相沉積或其它合適方法及隨後反應式離子蝕刻或其它合適方法可用來於閘極導體矽化期間形成一層絕緣材料於多晶矽層 106 上。之後，較淺矽化物層可以上述方式形成於多晶矽層 106 上。

化學氣相沉積或另一方法可用來沉積 (例如共形地) 一層氧化物 (例如氧化矽) 或其它合適絕緣材料 (例如氮化矽) 於基板 100 上。其後，反應式離子蝕刻或其它合適方法可用來對矽化物為選擇性地，移除部份這樣的氧化物層。以此方式，一或更多氧化物間

隙壁 502 可形成於多晶矽層 106 之對應側壁 504（例如垂直側壁）及/或矽化物層 500 之對應側壁 506。

某些實施例中，形成一或更多氧化物間隙壁 502 前，化學氣相沉積或另一方法可用來沉積（例如共形地）薄阻障（barrier）層於基板 100 上。當形成一或更多氧化物間隙壁時，阻障層可供來保護絕緣氧化物層 104。

基板 100 可經歷退火以活化矽化物層 500 中之矽化物。進一步，某些實施例中，製造於基板 100 上之一或更多金氧半場效電晶體（例如標準 N 型金氧半及/或 P 型金氧半電晶體）之源極（source）與汲極（drain）植入區域，可形成於矽化物層 500 及/或氧化物間隙壁 502 形成時（雖然這樣的植入區域可早些或晚些形成）。

圖六例示根據本發明一實施例，製造第一範例電熔絲 600 之第一範例方法之步驟的側剖面圖，其中層間（interlevel）介電質、介層（vias）與佈線形成於基板上。參照圖六，層間介電質可沉積或形成於基板 100 上。舉例而言，後段製程（back end of line, BEOL）絕緣氧化物層 602 或其它合適材料可形成於基板 100 上，使得後段製程絕緣氧化物層 602 環繞電熔絲 600 之多晶矽與矽化物層 106、500。接觸開口或通路可形

成於後段製程絕緣氧化物層 602 中。接觸 604 可分別形成於這樣的通路中。進一步，一或更多層佈線 606 可形成於基板 100 上。舉例而言，電熔絲 600 之第一佈線 608 (例如第一端) 可耦合至二極體 400 之區域，像是第一子區域 302 (其供作陰極 609)，而電熔絲 600 之第二佈線 610 (例如第二端) 可耦合至二極體 400 之區域，像是第二區域 204 (其供作一陽極 611)。形成層間介電質、介層與佈線之方法係熟此技藝者已知，因此這樣的方法在此不詳述。以此方式，可形成第一範例電熔絲 600。更具體地，包含淺矽化物層 500 供作熔絲元件之電熔絲 600 可形成於橫向的多晶矽二極體 400 上。

圖七例示根據本發明的一種實施例，圖六之第一範例電熔絲程式化後之側剖面圖。而圖八例示圖七之第一範例電熔絲 600 程式化後，其多晶矽層 106 之上的陰極 609 與陽極 611 之俯視圖。參照圖七與圖八，第一範例電熔絲 600 可藉偏壓陰極 609 相對陽極 611 為負來進行程式化。舉例而言，可將相較陽極 611 更負的電壓加於二極體 400 之陰極 609。結果，矽化物層 500 中之電子可自陰極 609 流向陽極 611。這樣的電子通量 (electron flux) (例如矽化物電遷徙 [electromigration]) 可導致間隙 700 形成於矽化物層 500 中。舉例而言，矽化物層 500 可首先開啟 (open)

於靠近接觸至陰極 609，並接著至陽極 611。可選擇多晶矽層 500 中橫向 np 接面之位置（例如 N+區域耦合至 P-區域處），使得電熔絲程式化期間 pn 接面永遠未覆蓋（例如暴露）。間隙 700 可具有長度 l 大約 0.4 微米至大約 0.9 微米（雖然亦可用較大或較小及/或不同長度範圍）。間隙長度可為用來遷徙矽化物之施加功率的函數。

因此，程式化後，驅動於電熔絲 600 中之電流（例如於陰極 609 及陽極 611 間）可通過形成於多晶矽層 106 中之二極體 400。舉例而言，程式化後的感測期間（例如讀取操作），陰極 609 可相對陽極 611 正偏壓。舉例而言，可將相較陽極 611 更正的電壓加在二極體 400 之陰極 609。因此，二極體 400 為反向偏壓。通過電熔絲 600 之電流可限於反向偏壓二極體 400 之漏電流。更明確地，通過電熔絲 600 之電流可獨立於跨電熔絲 600 之電壓。當反向偏壓，二極體 400 之結構可執行阻擋（blocking）動作時，藉此提供高度可重現的預定電阻（例如基於二極體結構之電阻）。因此於感測期間，程式化電熔絲 600 使得間隙 700（暴露二極體 400 之 N+P-接面）形成於矽化物層 500 後，電熔絲 600 可提供高度可重現的預定電流（例如基於二極體結構之電流）。以此方式，感測期間電熔絲 600 之電阻及通過之電流，可獨立於電熔絲程式化期間形成之矽化物

電遷徙間隙長度  $l$ 。相對地，傳統電熔絲可包含電阻於程式化期間所形成矽化物電遷徙間隙之下。因此，感測期間，如此電熔絲之電阻及通過之電流視間隙長度  $l$  而定。

透過使用製造第一範例電熔絲 600 之第一範例方法，可製造複數個電熔絲 600 於感測期間有高度可重現的電阻與電流。電熔絲 600 可包含矽化物熔絲元件分別於橫向多晶矽二極體上方。

圖九例示根據本發明的一種實施例，第二範例電熔絲之側剖面圖。參照圖九，第二範例電熔絲 900 類似第一範例電熔絲 600。然而，相對於第一範例電熔絲 600，第二範例電熔絲 900 可包含二極元件（例如二極體 902）形成於基板 906 之絕緣層上矽（silicon-on-insulator, SOI）層 904（或島）中。更明確地，基板 906 可包含一層單晶矽層 904 於絕緣氧化物（例如埋藏氧化物[BOX]）層 908 之上。然而，二極元件可形成於一層其它合適材料中。第二範例電熔絲 900 可包含矽化物層 910，其可供作熔絲元件，形成於絕緣層上矽層 904 之上。

相較於第一範例電熔絲 600，植入摻雜物之橫向擴散於第二範例電熔絲 900 之單晶矽中，比第一範例



電熔絲 600 之多晶矽中慢。某些應用會希望使用較慢的擴散速率（例如較低擴散率[diffusivity]）（例如視製程整合考量而定）。

第二範例電熔絲 900 可使用類似製造第一範例電熔絲 600 之第一範例方法的第一範例方法來製造。然而，相對於製造第一範例電熔絲 600 之第一範例方法，製造第二電熔絲 900 之第一範例方法於基板 906 形成第二範例電熔絲 900，基板 906 包含矽層（例如主體基板）、絕緣氧化物層 908（例如埋藏氧化物）形成於矽層上、以及絕緣層上矽層 904（例如一層單晶矽）或其它合適材料形成於絕緣氧化物層 908 上。製造第二電熔絲 900 之第一範例方法可圖型化絕緣層上矽層 904 以及形成電熔絲 902 之部分（例如二極元件）於此圖型化絕緣層上矽層 904 中。基板 906 之製程類似圖一至六例示之製造第一範例電熔絲 600 之第一範例方法的步驟，但可於下列所述方面相異。絕緣層上矽層 904（供作包含主動矽（例如 RX 層）的區域）被圖型化後，而在閘極之製程前，N<sup>+</sup>與 P<sup>+</sup>植入絕緣層上矽層 904 之個別區域，其方式係以類似圖二與三例示之製造第一範例電熔絲 600 之第一範例方法的步驟。植入期間，製造於基板 906 上之一或更多金氧半場效電晶體之區域，可藉形成自圖型化光阻層之阻擋遮罩所保護。

其後，可執行金氧半場效電晶體之一般閘極製程。舉例而言，如此閘極製程可包含閘極導體之沉積與圖型化、延伸（extension）、環形植入（halo implants）、間隙壁形成、以及源極-汲極植入。閘極製程期間，絕緣層上矽層 904 之植入區域可藉一或更多阻擋遮罩圖型化之光阻層保護。其後，所有閘極導體材料可自絕緣層上矽層 904 之植入區域蝕刻掉，而化學氣相沉積或其它合適方法可用來形成矽化物層 910 於絕緣層上矽層 904 上。另一種方式是，矽化物層 910 可於不同次的期間形成。舉例而言，若希望較淺矽化物層於絕緣層上矽層 904 之上，於閘極導體矽化期間，化學氣相沉積或其它合適方法與之後反應式離子蝕刻或其它合適方法，可用來形成一層絕緣材料於絕緣層上矽層 904 之上。其後，較淺矽化物層可以前述方式形成於絕緣層上矽層 904 上。

圖十例示根據本發明實施例，圖九之第二範例電熔絲程式化後的側剖面圖，而圖十一例示圖十之第二範例電熔絲 900 之絕緣層上矽層 904 之上的陰極 609 與陽極 611 程式化後之俯視圖。參照圖十至十一，類似第一範例電熔絲 600，藉相對陽極 611 為負對陰極 609 偏壓來程式化第二範例電熔絲 900。舉例而言，可將相較陽極 611 更負的電壓加於二極體 902 之陰極

609。結果，矽化物層 910 中之電子可自陰極 609 流向陽極 611。這樣的電子通量（例如矽化物電遷徙）可導致間隙 700 形成於矽化物層 500 中。舉例而言，矽化物層 500 可首先開啟（open）於靠近接觸至陰極 609，並接著至陽極 611。可選擇絕緣層上矽層 904 中橫向 N+P-接面之位置（例如 N+區域耦合至 P-區域處），使得電熔絲程式化期間 N+P-接面永遠未覆蓋（例如暴露）。間隙 700 可具有長度  $l$  大約 0.4 微米至大約 0.9 微米（雖然可用較大或較小及/或不同長度範圍）。

因此於程式化後，驅動於電熔絲 900 中之電流（例如於陰極 609 及陽極 611 之間）可通過形成於絕緣層上矽層 904 中之二極體 902。舉例而言，程式化後之感測期間（例如讀取操作），陰極 609 可相對陽極 611 正偏壓。可將相較陽極 611 更正的電壓加在二極體 902 之陰極 609。因此，二極體 902 為反向偏壓。通過電熔絲 900 之電流可限於反向偏壓二極體 902 之漏電流。更明確地，通過電熔絲 900 之電流可獨立於跨電熔絲 900 之電壓。當反向偏壓時，二極體 902 之結構可執行阻擋（blocking）動作，藉此提供高度可重現的預定電阻（例如基於二極體結構之電阻）。因此於感測期間，程式化電熔絲 900 使得間隙 700（暴露二極體 902 之 N+P-接面）形成於矽化物層 910 後，電熔絲 900 可提供高度可重現的預定電流（例如基於二極體結構

之電流)。以此方式，感測期間電熔絲 900 之電阻及通過之電流，可獨立於電熔絲程式化期間形成之矽化物電遷徙間隙長度 1。

透過使用製造第二範例電熔絲 900 之第一範例方法，可製造複數個電熔絲 900 於感測期間具有高度可重現的電阻與電流。電熔絲 900 可包含矽化物熔絲元件分別於橫向絕緣層上矽二極體上方。

雖然上面已敘述製造第一範例電熔絲 600 之第一範例方法，本發明提供其他製造此電熔絲 600 之方法。可藉以下改善第一範例方法而得其他方法：使額外植入區域（例如第二植入區域）對準多晶矽層 106 中先前形成第一植入區域。以此方式，第二植入區域標示其存在至（register itself to）第一植入區域。以此方式對準多晶矽層 106 之植入區域，可使複數個電熔絲 900 製造為於感測期間具有高度可重現的反向偏壓漏電流。舉例而言，圖十二例示根據本發明的一種實施例，製造第一範例電熔絲 600 之第二範例方法的步驟之側剖面圖，其中氮化物層形成於基板之圖型化多晶矽層上。參照圖十二，製造第一範例電熔絲 600 之第二範例方法可藉由類似圖一用於圖型化基板 100 的方法來處理圖型化基板 1200。化學氣相沉積或其它合適方法可用來沉積（例如共形地）氮化物層 1202（例

如氮化矽)或其它合適材料於基板 1200 上。氮化物層 1202 可為大約 5 奈米至大約 100 奈米厚(雖然可用較大或較小及/或不同厚度範圍)。

圖十三例示根據本發明的一種實施例,製造第一範例電熔絲 600 之第二範例方法的步驟之側剖面圖,其中雜質原子植入多晶矽層 106 之一部分,以形成 N<sup>+</sup>區域。參照圖十三,化學氣相沉積或其它合適方法可用來形成氧化物層於基板 1200 上。氧化物層可為大約 50 奈米至大約 500 奈米厚(雖然可用較大或較小及/或不同厚度範圍)。化學機械平坦化(chemical mechanical planarization, CMP)或其它合適方法可用來平坦化氧化物層。反應式離子蝕刻或其它合適方法可用來移除部份氧化物層,藉此形成第一遮罩(例如氧化物硬遮罩)1300。氧化物遮罩 1300 之厚度係基於所沉積氧化物層之厚度。以此方式,多晶矽層 106 之第一部分 202 的頂表面可被暴露,且多晶矽層 106 之第二部分 204 的頂表面(其於遮罩 1300 之下)可不暴露。

植入製程或其它合適方法可用來植入 N<sup>+</sup>雜質原子或類似物(例如摻雜物)穿過氮化物層 1202 進入多晶矽層 106。更明確地,植入(例如邏輯 N<sup>+</sup>多晶矽與擴散植入)可形成第一高摻雜區域(例如 N<sup>+</sup>摻雜區域)

於多晶矽層 106 之暴露部分中（例如第一部份 202）。然而，遮罩 1300 可防止雜質原子於植入期間到達多晶矽層 106 之第二部分 204，藉此保護第二部分 204。

圖十四例示根據本發明的一種實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中一或更多氧化物間隙壁形成於基板上。參照圖十四，化學氣相沉積或其它合適方法可用來沉積（例如共形地）氧化物層（例如氧化矽）於基板 1200 上。其後，反應式離子蝕刻或其它合適方法可用來移除氧化物層之一或更多部分，藉此形成一或更多氧化物間隙壁 1400（或其他合適材料之間隙壁）。舉例而言，氧化物間隙壁 1400 可形成於氧化物遮罩 1300 之暴露側壁 1402 上，與氮化物層 1202 之暴露側壁 1404 上。一或更多氧化物間隙壁 1400 之厚度可基於已沉積氧化物層之厚度。氧化物間隙壁 1400 之厚度可決定 N+ 摻雜區域之邊緣與第二高摻雜區域間的距離，此第二高摻雜區域係例如藉由雜質原子植入後續形成的 P+ 摻雜區域。更明確地，氧化物間隙壁 1400 之寬度可決定輕摻雜區域之寬度，此輕摻雜區域係像是後續形成於 N+ 摻雜區域與 P+ 摻雜區域間之 P- 摻雜植入區域。因此，所沉積氧化物層之厚度，及因此氧化物間隙壁 1400 之厚度，可供作一設計變數，用來決定製造第一範例電熔絲 600 之第二範例方法期間後續形成之二極體的特

性。結果，製造電熔絲 600 時使用之氧化物間隙壁厚度可變化，以分別微調所製造電熔絲 600 之二極體特性。

圖十五例示根據本發明的一種實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中多晶矽或阻層形成於基板上。參照圖十五，一層 1500 的多晶矽、光阻、或其它合適材料（例如另一聚合物）可形成於基板 1200 上。舉例而言，化學氣相沉積或其它合適方法可用來沉積一層多晶矽於基板 1200 上。另一種方式是，旋轉塗佈（spin-on）技術或其它合適方法可用來沉積光阻層於基板 1200 上。此後，化學機械平坦化或其它合適方法可用來平坦化多晶矽或光阻層 1500。多晶矽或光阻層 1500 可被平坦化，使得多晶矽層 106 之上的氧化物間隙壁 1400 之頂部及氧化物遮罩 1300 被消耗掉（consumed）。結果，如此氧化物間隙壁 1400 之頂部可為平坦。

圖十六例示根據本發明的一種實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中氧化物自基板蝕刻，且雜質原子植入多晶矽層之一部分以形成 P+區域及 P-區域。參照圖十六，蝕刻或其它合適方法可用來自基板 1200 移除暴露氧化物。舉例而言，對多晶矽或光阻與氮化物為選擇性之等向性

(isotropic) 蝕刻，可用來自基板 1200 移除暴露的氧化物間隙壁 1400 與氧化物遮罩 1300。以此方式，多晶矽層 106 之第一部分 202 的第一子部分 302 可藉多晶矽或光阻層 1500 保護（例如覆蓋）。然而，多晶矽層 106 之第一部分 202 的第二子部分 304 與第二部分 204 可被暴露。

植入製程或其它合適方法可用來植入 P+雜質原子或類似物（例如摻雜物）至多晶矽層 106。雜質原子劑量可被選擇，使得植入（例如邏輯 P+多晶矽與擴散植入）可形成輕摻雜區域（像是 P-摻雜區域）於多晶矽層 106 之第一部分 202 的第二子部分 304 中，以及高摻雜區域（像是 P+摻雜區域）於多晶矽層 106 之第二區域 204 中。更明確地，P+摻雜可補償 N+摻雜區域之摻雜，藉此形成 P-摻雜區域。以此方式，氧化物間隙壁（圖十四中 1400）可定義多晶矽層 106 之區域（例如一重疊區域），其接受 N+摻雜與 P+摻雜兩者，藉此定義多晶矽層 106 中形成之 P-區域的寬度。結果，氧化物間隙壁 1400 可定義 P+摻雜區域之邊緣可能自 N+摻雜區域之邊緣偏置（offset）的距離。某些實施例中，上述 P+摻雜可與形成製造在基板 1200 上之金氧半場效電晶體（例如 P 型場效電晶體）的區域時執行的 P+摻雜，同時執行（雖然上述 P+摻雜可快些或慢些執行）。



圖十七例示製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中於多晶矽或光阻層、一或更多氧化物間隙壁與氮化物層自基板移除後，基板經歷退火。參照圖十七，多晶矽或光阻層 1500 可自基板 1200 移除。舉例而言，反應式離子蝕刻或其它合適方法可用來自基板 1200 移除多晶矽層。另一種方式是，光阻剝除劑浴或其它合適方法可用來自基板 104 剝除光阻層。反應式離子蝕刻或其它合適方法可用來自基板 1200 移除一或更多氧化物間隙壁 1400。舉例而言，可移除鄰近氮化物層 1202 之側壁 1404 之氧化物間隙壁 1400。以類似的方式，氮化物層 1202 可自基板 1200 移除。

基板 1200 可經歷如參照圖四之上述方式之退火。退火之高溫可活化已植入摻雜物 N+摻雜物及/或 P+摻雜物，藉此容許這樣的摻雜物擴散過摻雜物個別植入之區域 302、204、304。退火一或更多植入區域期間，像是 P-區域，可被擴張。以此方式，二極體 1700，具第一子部分 302 耦合至第二子部分 304 處之 pN 界面，可形成於多晶矽層 106 中。

圖十八例示根據本發明的一種實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中

間隙壁與分流矽化物層形成於基板上。參照圖十八，矽化物層 1800 與間隙壁 1802 可形成於基板上，其方式係以類似參照圖五所述，故此步驟在此不詳述。其後，層間介電質、介層與佈線可形成於基板 1200 上，其方式係以類似參照圖六所述，故此步驟在此不詳述。

透過使用製造第一範例電熔絲 600 之第二範例方法，間隙壁 1400（例如氧化物間隙壁）可用來讓形成 P+區域時使用之遮罩 1500 對準形成 N+區域時使用之遮罩 1300。以此方式，間隙壁 1400 可讓遮罩 1500 之邊緣標示其存在（register itself with）至遮罩 1300 之邊緣，反之亦然。藉以此方式對準遮罩 1500、1300，P+摻雜植入區域可如期望相對多晶矽層 106 之 N+摻雜植入區域定位。

本發明亦提供製造第二範例電熔絲 900 之第二範例方法。製造第二範例電熔絲 900 之第二範例方法類似製造第一範例電熔絲 600 之第二範例方法。然而相對於製造第一範例電熔絲 600 之第二範例方法，製造第二範例電熔絲 900 之第二範例方法，可自基板形成第二範例電熔絲 900，類似圖九之基板 906，其包含矽層（例如主體基板）、絕緣氧化物層 908（例如埋藏氧化物）形成於矽層上、以及絕緣層上矽層 904（例如一層單晶矽或其它合適材料）形成於絕緣氧化物層 908

上。製造第二範例電熔絲 900 之第二範例方法，可圖型化絕緣層上矽層 904 並形成電熔絲 900 之部分（例如二極元件）於此已圖型化的絕緣層上矽層 904 之上。基板 906 之製程可類似圖十至十八例示之製造第一範例電熔絲 600 之第二範例方法的步驟，但可於以下所列方面相異。絕緣層上矽層 904（供作包含主動矽的區域，例如 RX 層）被圖型化後，而在閘極之製程前，N+與 P+可植入絕緣層上矽層 904 之個別區域，其方式係以類似圖十二至十七例示之製造第二範例電熔絲 900 之第一範例方法的步驟。植入期間，製造於基板 906 上之一或更多金氧半場效電晶體之區域，可藉由形成自一圖型化光阻層之阻擋遮罩來保護。

其後，可執行金氧半場效電晶體之一般閘極製程。舉例而言，如此閘極製程可包含閘極導體之沉積與圖型化、延伸（extension）、環形植入（halo implants）、間隙壁形成、以及源極-汲極植入。閘極製程期間，絕緣層上矽層 904 之植入區域可藉一或更多塊遮罩圖型化之光阻層來保護。其後，所有閘極導體材料可自絕緣層上矽層 904 之植入區域來蝕刻掉，而化學氣相沉積或其它合適方法可用來形成矽化物層 910 於絕緣層上矽層 904 上。另一種方式是，矽化物層 910 可於不同次的期間形成。舉例而言，若期望較淺的矽化物層於絕緣層上矽層 904 之上，於閘極導體

矽化期間，化學氣相沉積或其它合適方法與之後反應式離子蝕刻或其它合適方法，可用來形成一層絕緣材料於絕緣層上矽層 904 之上。其後，較淺的矽化物層可以前述方式形成於絕緣層上矽層 904 之上。

製造第二範例電熔絲 900 之第二範例方法可藉以下較製造第二範例電熔絲 900 之第一範例方法來改善：使第二植入區域對準絕緣層上矽層 904 中先前形成的第一植入區域。以此方式，第二植入區域標示其存在 (register itself to) 至向第一植入區域。以此方式對準絕緣層上矽層 904 之植入區域，可使複數個電熔絲 900 製造為於感測期間具高度可重現的反向偏壓漏電流。

進一步，本發明可提供製造如此電熔絲 600、900 之其他方法。類似製造第一範例電熔絲 600 之第二範例方法以及製造第二範例電熔絲 900 之第二範例方法，製造第一範例電熔絲 600 之第三範例方法以及製造第二範例電熔絲 900 之第三範例方法，分別可使第二植入區域對準多晶矽層中先前形成的第一植入區域。進一步，這樣的方法可用來製造包含不同類型二極體 (例如 PIN 二極體) 之電熔絲 600、900。

製造第一範例電熔絲 600 之第三範例方法類似製

造第一範例電熔絲 600 之第二範例方法。舉例而言，基板 1900 可如圖十二至十三例示處理。其後，圖十九例示根據本發明的一個實施例，製造第一範例電熔絲 600 之第三範例方法的步驟之側剖面圖，其中一或更多氮化物間隙壁形成於基板 1900 上。參照圖十九，化學氣相沉積或其它合適方法可用來沉積(例如共形地)一層氮化物(例如氮化矽)於基板 1900 上。其後，反應式離子蝕刻或其它合適方法可用來移除氮化物層之一或更多部分，藉此形成一或更多氮化物間隙壁 1902。舉例而言，氮化物間隙壁 1902 可形成於暴露側壁 1402 與氮化物層 1202 之暴露側壁 1402 上。一或更多氮化物間隙壁 1902 之厚度可基於已沉積氮化物層之厚度。氮化物間隙壁 1902 之厚度可決定第一高摻雜區域(例如 N+摻雜區域)之邊緣與第二高摻雜區域(例如 P+摻雜區域)間的距離，此第二高摻雜區域係藉雜質原子植入後續形成。更明確地，氮化物間隙壁 1902 之寬度可決定輕摻雜區域(例如 P-摻雜植入區域)之寬度，此輕摻雜區域係後續形成於 N+摻雜區域與 P+摻雜區域間。所沉積氮化物層之厚度，及因此氮化物間隙壁 1902 之厚度，可供作為設計變數，用來決定製造第一範例電熔絲 600 之第三範例方法期間後續形成之二極體的特性。因此，製造電熔絲 600 時使用之氮化物間隙壁厚度可變化，以分別微調所製造電熔絲 600 之二極體特性。

圖二十例示根據本發明的一種實施例，製造第一範例電熔絲之第三範例方法的步驟之側剖面圖，其中多晶矽或阻層形成於基板上。參照圖二十，一層 1500 的多晶矽、光阻、或其它合適材料（例如另一聚合物）可形成於基板 1900 上。舉例而言，化學氣相沉積或其它合適方法可用來沉積多晶矽層於基板 1900 上。另一種方式是，旋轉塗佈技術或其它合適方法可用來沉積光阻層於基板 1900 上。此後，化學機械平坦化或其它合適方法可用來平坦化多晶矽或光阻層 1500。多晶矽或光阻層 1500 可被平坦化，使得多晶矽層 106 之上的氮化物間隙壁 1902 之頂部及氧化物遮罩 1300 被消耗掉。結果，如此氮化物間隙壁 1902 之頂部可為平坦。

圖二十一例示根據本發明的一種實施例，製造第一範例電熔絲 600 之第三範例方法的步驟之側剖面圖，其中氧化物自基板 1900 蝕刻，且雜質原子植入多晶矽層 106 之一部分以形成第一輕微（slightly）摻雜區域，像是 P+區域。參照圖二十一，蝕刻或其它合適方法可用來自基板 1900 移除暴露的氧化物。舉例而言，對多晶矽或光阻與氮化物為選擇性之等向蝕刻，可用來自基板 1900 移除暴露氧化物遮罩 1300。以此方式，多晶矽層 106 之第一部分 202 可藉由多晶矽或光阻層 1500 來保護（例如覆蓋）。然而，多晶矽層 106

之第二部分 204 則可暴露。

植入製程或其它合適方法可用來植入 P+雜質原子或類似物（例如摻雜物）至多晶矽層 106。雜質原子劑量可被選擇，使得植入（例如邏輯 P+多晶矽與擴散植入）可形成 P+摻雜區域於多晶矽層 106 之第二區域 204 中。結果，氮化物間隙壁 1902 可定義 P+摻雜區域之邊緣可能自 N+摻雜區域之邊緣偏置的距離。某些實施例中，上述 P+摻雜可與形成製造在基板上之金氧半場效電晶體（例如 P 型場效電晶體）的區域時執行的 P+摻雜，同時執行（雖然上述 P+摻雜可快些或慢些執行）。

圖二十二例示根據本發明的一種實施例，製造第一範例電熔絲 600 之第三範例方法的步驟之側剖面圖，其中氮化物自基板 1900 被蝕刻，且雜質原子植入至多晶矽層 106 之一部分以形成 P-區域。參照圖二十二，反應式離子蝕刻或其它合適方法可用來自基板 1900 移除暴露的氮化物間隙壁 1902。植入製程或其它合適方法可用來植入雜質原子（例如摻雜物），像是 P+雜質原子，進入多晶矽層 106 之暴露部分。雜質原子劑量可針對此第三植入來選擇（例如客製化），使得植入（例如邏輯 P+多晶矽與擴散植入）可形成 P-摻雜區域於多晶矽層 106 之第一區域 202 之第二子區域 304

中。結果，氮化物間隙壁 1902 可定義 P+ 摻雜區域之邊緣可能自 N+ 摻雜區域之邊緣偏置的距離，以及 P- 區域之寬度。以此方式，基於雜質原子劑量，N+P-、PIN 或其它合適二極體 2200 可形成於多晶矽層 106 中。

其後，多晶矽層或光阻層 1500、暴露氮化物間隙壁 1902 與氮化物層 1202 可自基板 1900 移除。基板 1900 可經歷退火（例如來活化已植入摻雜物），其方式係類似參照圖十七所例示的。因此，這樣的步驟在此不詳述。其後，間隙壁與矽化物層可根據本發明的一種實施例形成於基板 1900 上，其方式係以類似參照圖十八所例示。因此，這樣的步驟在此不詳述。其後，層間介電質、介層與佈線可形成於基板 1900 上，其方式可類似參照圖六所述，而因此這樣的步驟在此不詳述。

透過使用製造第一範例電熔絲 600 之第三範例方法，間隙壁 1902（例如氮化物間隙壁）可用來讓形成 P+ 區域（以及 P- 區域）時使用之遮罩 1500 對準形成 N+ 區域時使用之遮罩 1300。以此方式，間隙壁 1902 可讓遮罩 1500 之邊緣標示其存在（register itself with）至遮罩 1300 之邊緣，反之亦然。藉以此方式對準遮罩 1500、1300，P+ 摻雜植入區域可如期望地相對多晶矽



層 106 之 N+ 摻雜植入區域進行定位。

本發明亦提供製造第二範例電熔絲 900 之第三範例方法。製造第二範例電熔絲 900 之第三範例方法類似製造第一範例電熔絲 600 之第三範例方法。然而相對於製造第一範例電熔絲 600 之第三範例方法，製造第二範例電熔絲 900 之第三範例方法可自基板形成第二範例電熔絲 900，類似圖九之基板 906，其包含矽層（例如主體基板）、絕緣氧化物層 908（例如埋藏氧化物）形成於矽層上、以及絕緣層上矽層 904（例如一層單晶矽或其它合適材料）形成於絕緣氧化物層 908 上。製造第二範例電熔絲 900 之第三範例方法，可圖型化絕緣層上矽層 904 並形成電熔絲 900 之部分（例如二極元件）於此已圖型化絕緣層上矽層 904 上。基板 906 之製程可類似製造第一範例電熔絲 600 之第三範例方法的步驟，但可於下述方面相異。絕緣層上矽層 904（供作包含主動矽的區域，例如 RX 層）被圖型化後，而在閘極之製程前，N+ 與 P+ 可植入絕緣層上矽層 904 之個別區域，其方式係以類似製造第一範例電熔絲 600 之第三範例方法的對應植入步驟。植入期間，製造於基板 906 上之一或更多金氧半場效電晶體之區域，可藉由形成自圖型化光阻層之阻擋遮罩來保護。

其後，可執行金氧半場效電晶體之一般閘極製程。舉例而言，如此閘極製程可包含閘極導體之沉積與圖型化、延伸、環形植入、間隙壁形成、以及源極-汲極植入。閘極製程期間，絕緣層上矽層 904 之植入區域可藉由一或更多塊遮罩圖型化之光阻層來保護。其後，所有閘極導體材料可自絕緣層上矽層 904 之植入區域來蝕刻掉，而化學氣相沉積或其它合適方法可用來形成矽化物層 910 於絕緣層上矽層 904 上。另一種方式是，矽化物層 910 可於不同次的期間形成。舉例而言，若期望較淺的矽化物層於絕緣層上矽層 904 之上，於閘極導體矽化期間，化學氣相沉積或其它合適方法與之後反應式離子蝕刻或其它合適方法，可用來形成一層絕緣材料於絕緣層上矽層 904 之上。其後，較淺的矽化物層可以前述方式形成於絕緣層上矽層 904 上。

製造第一範例電熔絲 600 之第三範例方法與製造第二範例電熔絲 900 之第三範例方法，可藉由以下較製造一電熔絲 600、900 之其他範例方法來改善：使第二植入區域對準多晶矽或絕緣層上矽層中先前形成的第一植入區域。

本發明亦可提供方法來形成範例電熔絲 600、900，其使用相較上述某些方法較大量的植入製程（例

如三個植入製程)。舉例而言，這些方法可類似參照圖十九至二十二所述之第三範例方法。然而相對地，氮化物間隙壁 1902 可於第一植入製程形成高摻雜區域（例如 N+ 區域）之前來形成。因此，所得的第一高摻雜區域可小於第三範例方法所形成的，因為氮化物間隙壁 1902 可避免第一植入碰到其下半導體層 106 之部分。其後，氧化物硬遮罩 1300 可被移除，且平坦化多晶或阻遮罩 1500 可形成。第二植入製程可用來形成第二高摻雜區域 204（例如 P+ 區域）。其後，平坦化多晶或阻遮罩 1500 與氮化物間隙壁 1902 可被移除。進一步，第三植入製程可用來植入 P-雜質原子或類似物於整個半導體層 106 上方。以此方式，第三植入製程可形成輕微摻雜區域 304（例如 P-區域），而不影響第一與第二高摻雜區域 202、204。另一種方式是，藉著不執行第三植入製程，本方法可用以形成 PiN 二極體。

以上說明只揭露發明之範例實施例。對熟此技藝者而言，自然能輕易明白以上揭露裝置與方法仍有許多修改會落入本發明之範疇。舉例而言，本發明可提供包含二極元件的電熔絲 600、900，其可因程式化期間矽化物電遷徙而暴露。反向偏壓組態中的程式化電熔絲之後續感測，係獨立於矽化物電遷徙間隙長度，因而所得的高二極元件阻值甚大於關於可變遷徙範圍之容限（tolerance）。進一步如上所述，根據本發明實

施例之電熔絲 600、900，可包含二極元件（例如阻擋二極體）。因此，當電流驅動過電熔絲 600、900，可減少及/或消除電熔絲 600、900 之後續復原(healing)。這樣的電流可獨立於跨電熔絲 600、900 之電壓。復原或重程式化可發生於傳統矽化物（例如  $\text{NiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{TiSi}_2$  或其他矽化物成分）電熔絲，包含做為電阻之多晶矽層（例如當連續讀取電熔絲）。然而，本方法與裝置可提供減少及/或消失此類復原的矽化物電熔絲。此外，根據本發明的一種實施例之電熔絲 600、900，可用於唯讀記憶體（ROM）使用者可程式化陣列，藉此為這樣的陣列提供低功率解決方案。雖然上述的電熔絲 600、900 可包含二極元件，其包含 N+ 摻雜、P- 摻雜與 P+ 摻雜區域，然而在其他實施例中，二極元件亦可包含不同的摻雜區域，像是 P+ 摻雜、N- 摻雜與 N+ 摻雜區域。

因此，雖然本發明已關於其範例實施例揭露，應了解的是，其他由以下申請專利範圍所定義的實施例亦會落在本發明之精神與範疇內。

#### 【圖式簡單說明】

圖一例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中圖型化的多晶矽（或單晶矽層）於一基板上；

圖二例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中雜質原子植入多晶矽層之一部分中，以形成 N<sup>+</sup>區域；

圖三例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中雜質原子植入多晶矽層之一部分中，以形成 P<sup>+</sup>區域與 P-區域；

圖四例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中基板經歷退火；

圖五例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中間隙壁與分流矽化物層形成於基板上；

圖六例示根據本發明一實施例，製造第一範例電熔絲之第一範例方法之步驟的側剖面圖，其中層間介電質、介層與佈線形成於基板上；

圖七例示根據本發明一實施例，圖六之第一範例電熔絲程式化後之側剖面圖；

圖八例示根據本發明一實施例，圖七之第一範例電熔絲程式化後，其多晶矽層之上的陰極與陽極之俯視圖；

圖九例示根據本發明一實施例，第二範例電熔絲之側剖面圖；

圖十例示根據本發明實施例，圖九之第二範例電

熔絲程式化後的側剖面圖；

圖十一例示根據本發明實施例，圖十之第二範例電熔絲之絕緣層上矽層之上的陰極與陽極程式化後之俯視圖；

圖十二例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中氮化物層形成於基板之圖型化多晶矽層上；

圖十三例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中雜質原子植入多晶矽層之一部分，以形成 N<sup>+</sup>區域；

圖十四例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中一或更多氧化物間隙壁形成於基板上；

圖十五例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中多晶矽或阻層形成於基板上；

圖十六例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中氧化物自基板蝕刻，且雜質原子植入多晶矽層之一部分，以形成 P<sup>+</sup>區域及 P<sup>-</sup>區域；

圖十七例示製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中於多晶矽或光阻層、一或更多氧化物間隙壁與氮化物層自基板移除後，基板經歷退火；

圖十八例示根據本發明一實施例，製造第一範例電熔絲之第二範例方法的步驟之側剖面圖，其中間隙壁與分流矽化物層形成於基板上；

圖十九例示根據本發明一實施例，製造第一範例電熔絲之第三範例方法的步驟之側剖面圖，其中一或更多氮化物間隙壁形成於基板上；

圖二十例示根據本發明一實施例，製造第一範例電熔絲之第三範例方法的步驟之側剖面圖，其中多晶矽或阻層形成於基板上；

圖二十一例示根據本發明一實施例，製造第一範例電熔絲之第三範例方法的步驟之側剖面圖，其中氧化物自基板蝕刻，且雜質原子植入多晶矽層之一部分以形成 P+區域；以及

圖二十二例示根據本發明一實施例，製造第一範例電熔絲之第三範例方法的步驟之側剖面圖，其中氮化物自基板蝕刻，且雜質原子植入多晶矽層之一部分以形成 P-區域。

#### 【主要元件符號說明】

|     |        |     |       |
|-----|--------|-----|-------|
| 100 | 基板     | 102 | 矽層    |
| 104 | 絕緣氧化物層 | 106 | 多晶矽層  |
| 200 | 第一遮罩   | 202 | 第一部分  |
| 204 | 第二部分   | 300 | 第三遮罩  |
| 302 | 第一子部分  | 304 | 第二子部分 |

|      |         |      |        |
|------|---------|------|--------|
| 400  | 二極體     | 500  | 矽化物層   |
| 502  | 氧化物間隙壁  | 504  | 側壁     |
| 506  | 側壁      | 600  | 電熔絲    |
| 602  | 絕緣氧化物層  | 604  | 接觸     |
| 606  | 佈線      | 608  | 第一佈線   |
| 609  | 陰極      | 610  | 第二佈線   |
| 611  | 陽極      | 700  | 間隙     |
| 900  | 電熔絲     | 902  | 二極體    |
| 904  | 絕緣層上矽層  | 906  | 基板     |
| 908  | 絕緣氧化物層  | 910  | 矽化物    |
| 1200 | 基板      | 1202 | 氮化物層   |
| 1300 | 遮罩      | 1400 | 氧化物間隙壁 |
| 1402 | 側壁      | 1404 | 側壁     |
| 1500 | 多晶矽或光阻層 | 1700 | 二極體    |
| 1800 | 矽化物層    | 1802 | 間隙壁    |
| 1900 | 基板      | 1902 | 氮化物間隙壁 |
| 2200 | 二極體     |      |        |



## 十、申請專利範圍：

101年7月12日修正本

## 1. 一種電熔絲，包含：

一半導體層於一基板之一絕緣氧化物層之上，其中該二極體包含具有一第一極性之一第一重摻雜區域；具有一相反的 second 極性之一第二重摻雜區域；以及位於該第一與第二重摻雜區域之間的一輕摻雜區域；

一二極體形成於該半導體層中；以及

一矽化物層形成於該二極體上，其中將該矽化物層圖案化以形成位於並與該第一重摻雜區域接觸一可熔導體、該輕摻雜區及該第二重摻雜區接觸，該可熔導體由該第一重摻雜區橫跨該輕摻雜區，而延伸至該第二重摻雜區。

## 2. 如請求項 1 所述之電熔絲，其中該第二重摻雜區域之一邊緣之一位置，係基於該第一重摻雜區域之一邊緣之一位置。

## 3. 如請求項 1 所述之電熔絲，其中：

該二極體之一第一部分形成一陰極；

該二極體之一第二部分形成一陽極；以及

當相對該陽極施加一更負的電壓於該陰極時，該二極體用於形成一間隙於該矽化物層中，藉此暴露該二極體之一部分，該第一重摻雜區域於該

部分耦合至該輕摻雜區域，以及藉此程式化該電熔絲。

4. 如請求項 3 所述之已程式化電熔絲，其中當施加反向偏壓時，該二極體更用於提供一預定電阻。
5. 如請求項 4 所述之已程式化電熔絲，其中當施加反向偏壓時，該二極體更用於限制通過該電熔絲的一電流於一預定值。
6. 如請求項 1 所述之電熔絲，其中該二極體包含：
  - N+摻雜區域；
  - P-摻雜區域，耦合至該 N+摻雜區域；以及
  - P+摻雜區域，耦合至該 P-摻雜區域。
7. 如請求項 1 所述之電熔絲，其中該二極體包含：
  - P+摻雜區域；
  - N-摻雜區域，耦合至該 P+摻雜區域；以及
  - N+摻雜區域，耦合至該 N-摻雜區域。
8. 如請求項 1 所述之電熔絲，其中該半導體層包含多晶矽。
9. 如請求項 1 所述之電熔絲，其中該半導體層包含

矽。

10. 一種製造一電熔絲之方法，包含：

提供一基板包含一絕緣氧化物層與一半導體層於該絕緣氧化物層之上；

形成一二極體於該半導體層中，其中形成該二極體於該半導體層中之步驟包含：

形成一第一重摻雜區域具有一第一極性於該半導體層中；

形成一第二重摻雜區域具有一相反的第二極性於該半導體層中；以及

形成一輕摻雜區域於該半導體層中介於該第一與第二重摻雜區域之間；以及

形成一矽化物層於該二極體上，其中將該矽化物層圖案化以形成位於並與該第一重摻雜區域接觸一可熔導體、該輕摻雜區及該第二重摻雜區接觸，該可熔導體由該第一重摻雜區橫跨該輕摻雜區，而延伸至該第二重摻雜區。

11. 如請求項 10 所述之方法，其中形成該第二重摻雜區域之步驟包含定位 (positioning) 該第二重摻雜區域之一邊緣在基於該第一重摻雜區域之一邊緣之一位置。

12. 如請求項 10 所述之方法，其中：

該二極體之一第一部分形成一陰極；

該二極體之一第二部分形成一陽極；以及

當相對該陽極施加一更負的電壓於該陰極時，該二極體用於形成一間隙於該矽化物層中，藉此暴露該二極體之一部分，該第一重摻雜區域於該部分耦合至該輕摻雜區域，以及藉此程式化該電熔絲。

13. 如請求項 12 所述之方法，其中當施加反向偏壓時，該二極體更用於提供一預定電阻。

14. 如請求項 13 所述之方法，其中當施加反向偏壓時，該二極體更用於限制通過該電熔絲的一電流於一預定值。

15. 如請求項 10 所述之方法，其中：

形成該第一重摻雜區域之步驟包含形成一 N+ 區域；

形成該第二重摻雜區域之步驟包含形成一 P+ 區域；以及

形成該輕摻雜區域之步驟包含形成一 P- 區域。

16. 如請求項 10 所述之方法，其中：

形成該第一重摻雜區域之步驟包含形成一 P+ 區域；

形成該第二重摻雜區域之步驟包含形成一 N+ 區域；以及

形成該輕摻雜區域之步驟包含形成一 N- 區域。

17. 如請求項 10 所述之方法，其中：

形成該第一重摻雜區域之步驟包含使用一第一植入製程來形成該第一重摻雜區域；

形成該第二重摻雜區域之步驟包含使用一第二植入製程來形成該第二重摻雜區域；以及

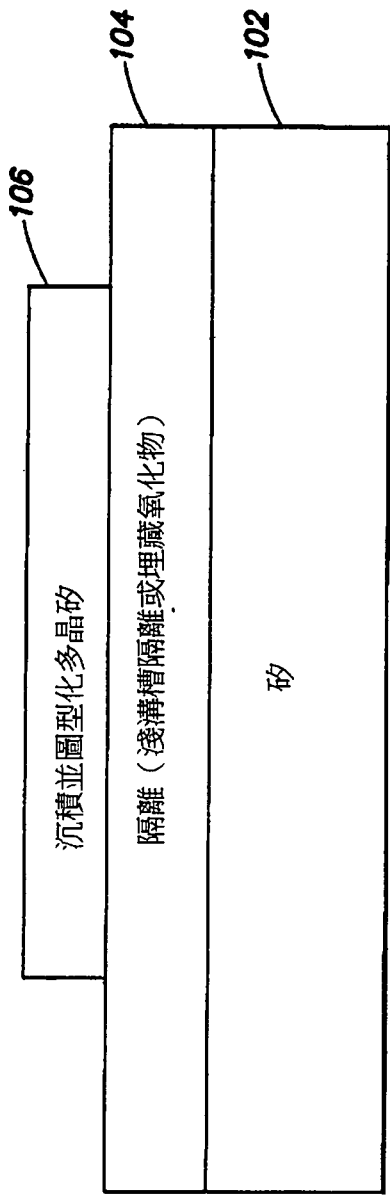
形成該輕摻雜區域之步驟包含使用一第三植入製程來形成該輕摻雜區域。

18. 如請求項 10 所述之方法，其中：

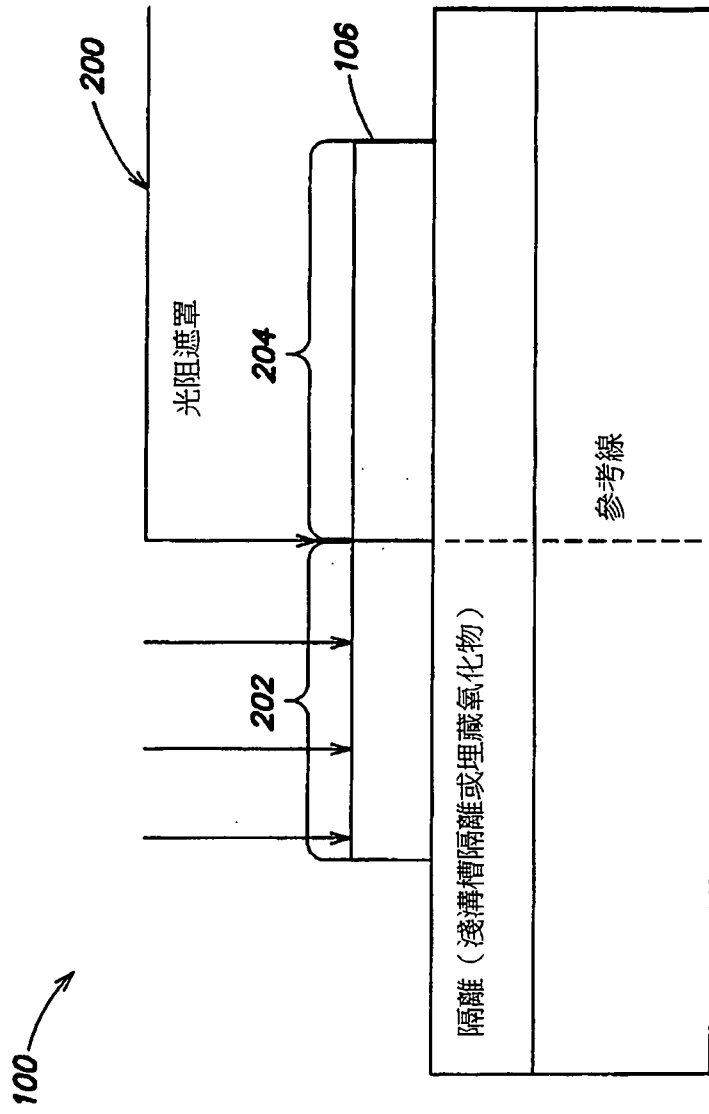
形成該第一重摻雜區域之步驟包含使用一第一植入製程來形成該第一重摻雜區域；以及

形成該第二重摻雜區域與形成該輕摻雜區域之步驟包含使用一第二植入製程來形成該第二重摻雜區域與該輕摻雜區域。

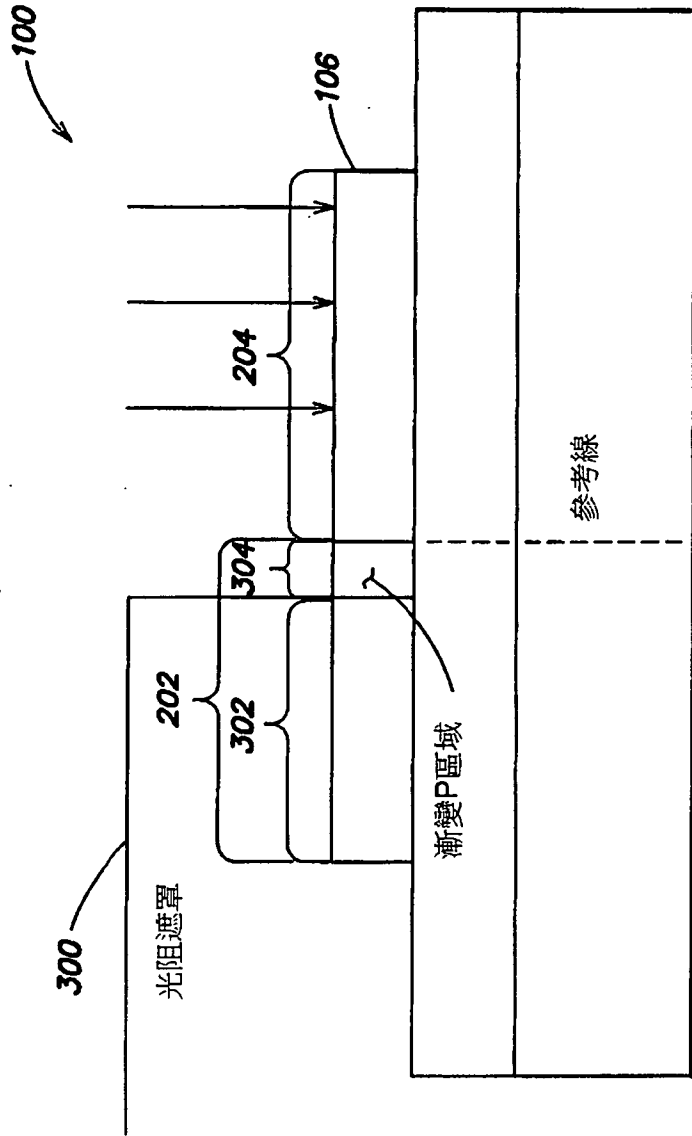
100 →



圖一

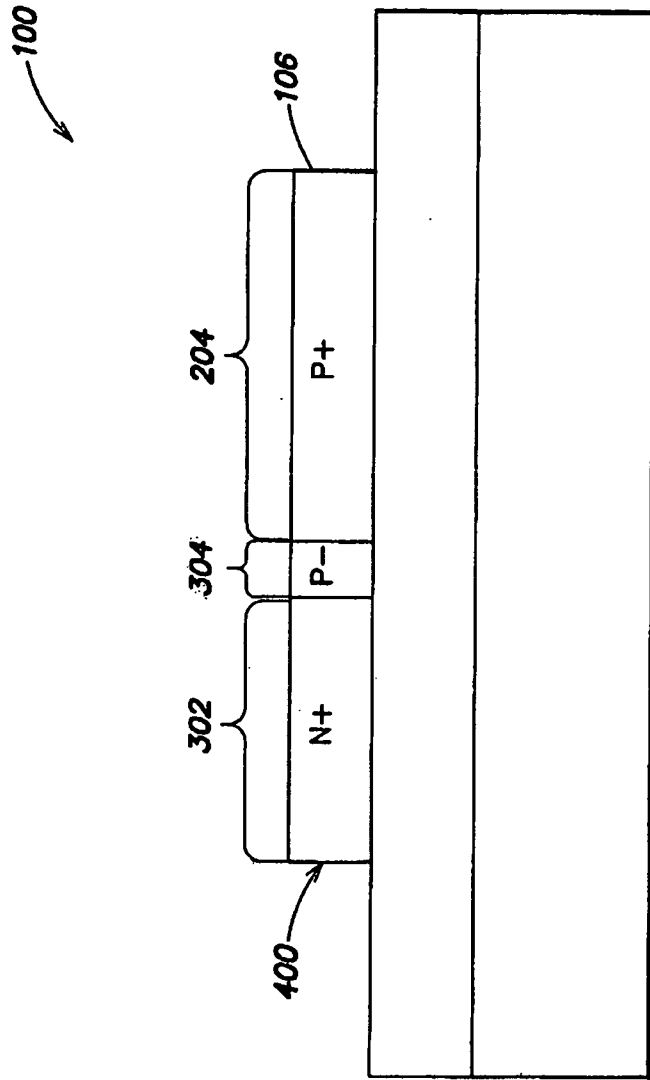


圖二

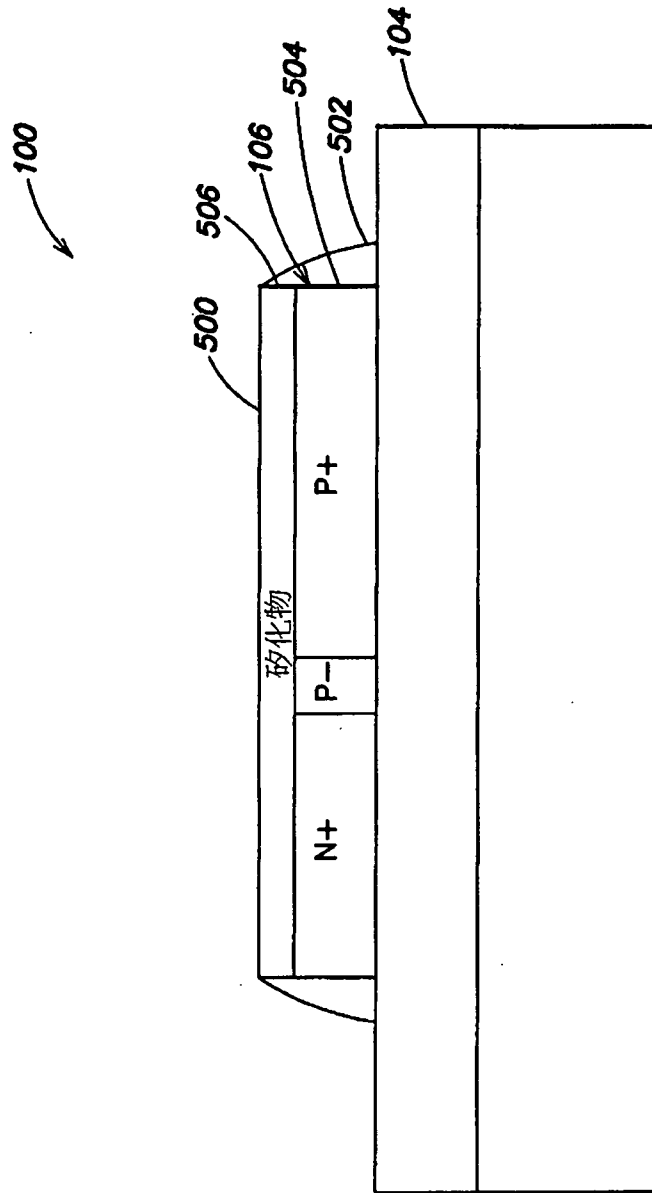


圖三

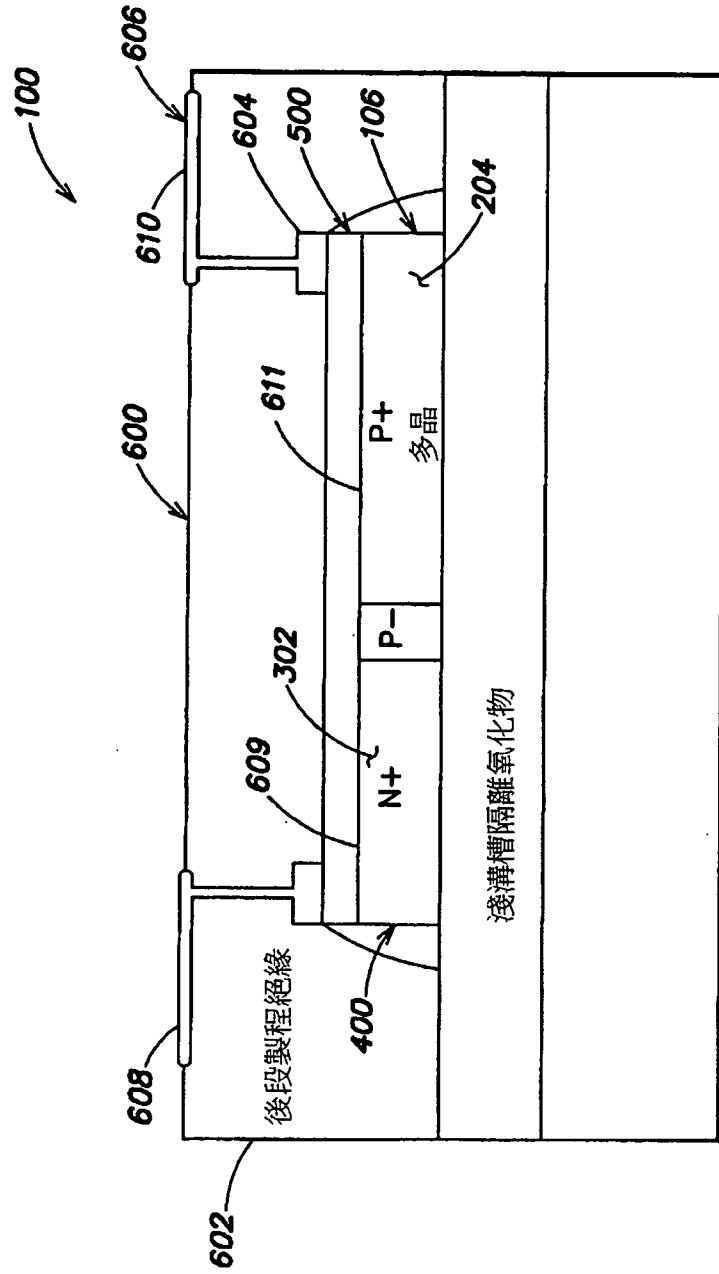




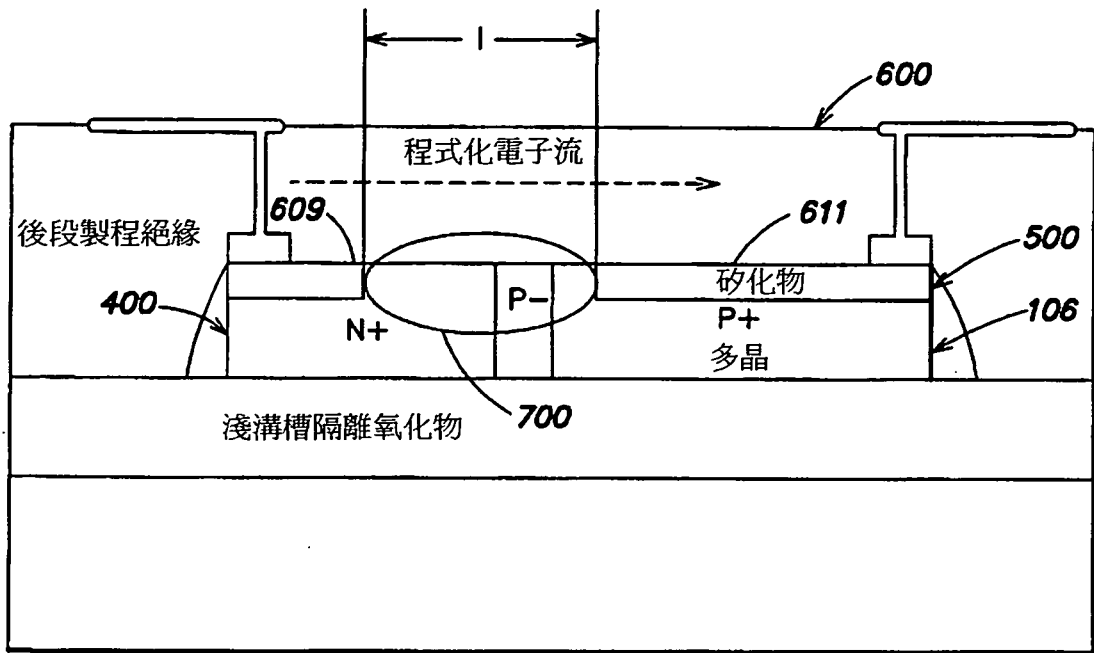
圖四



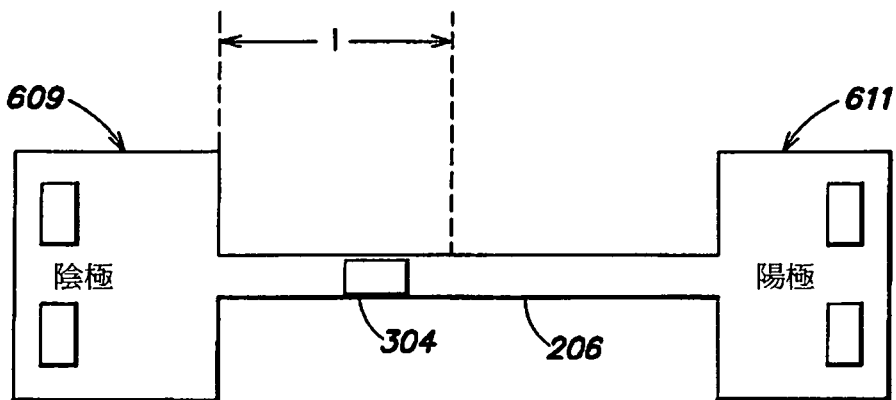
圖五



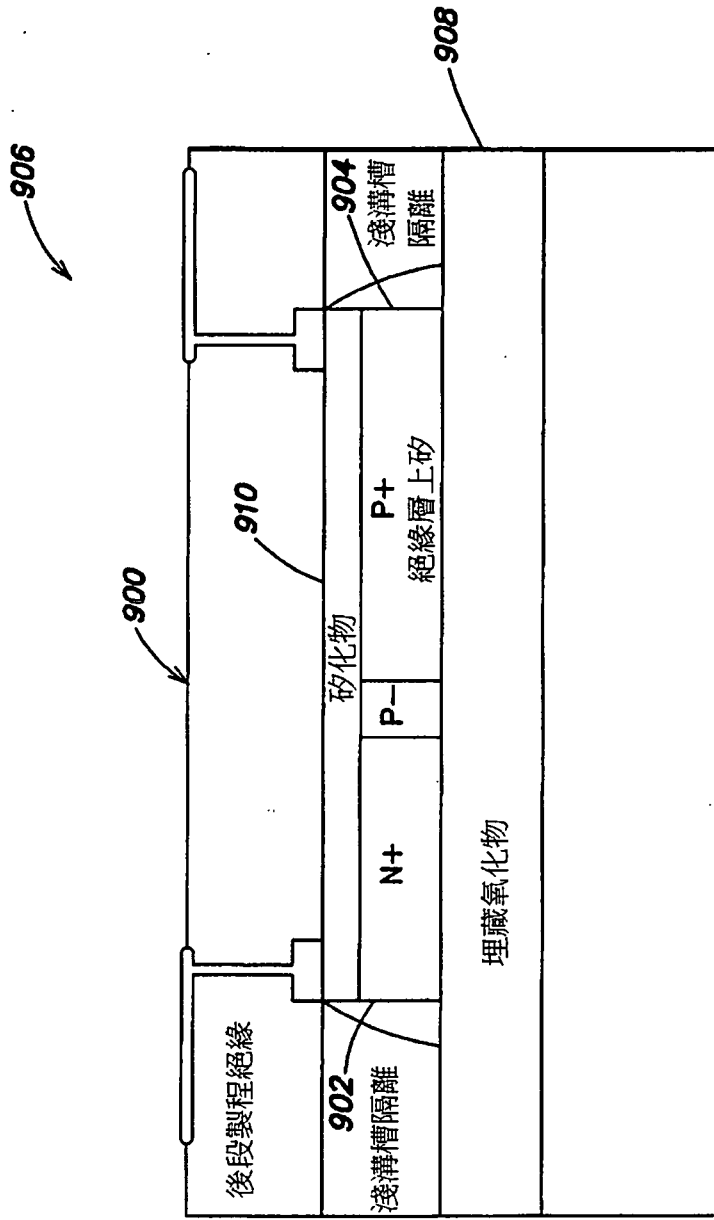
圖六



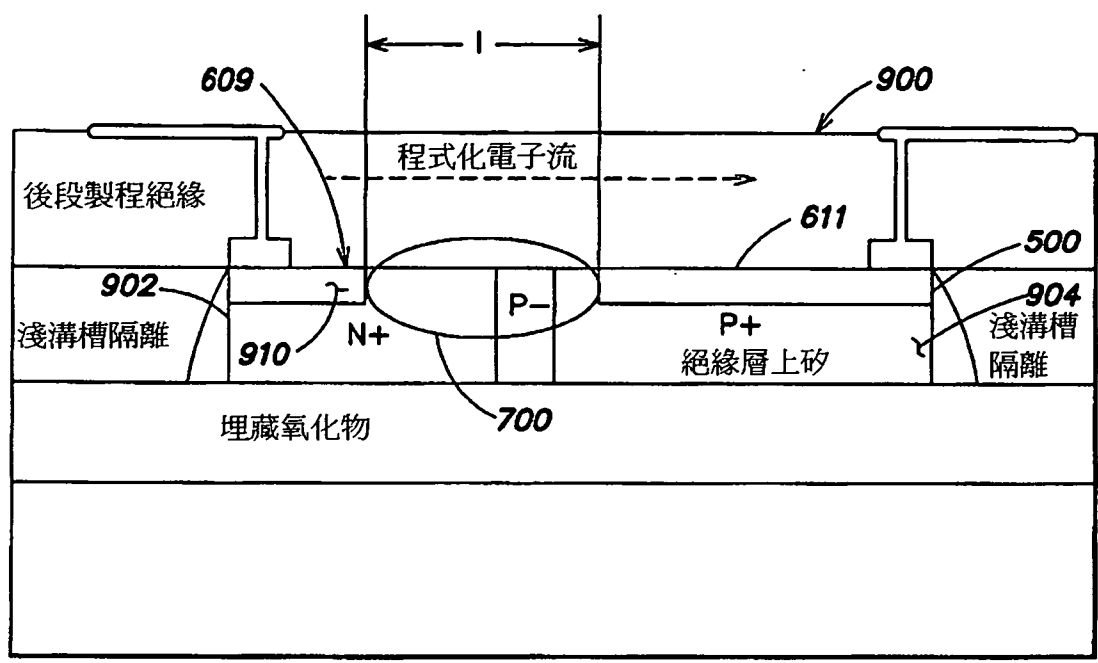
圖七



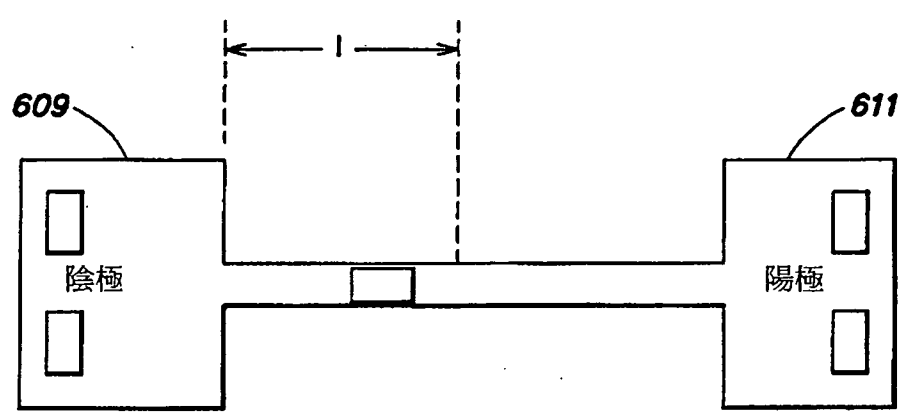
圖八



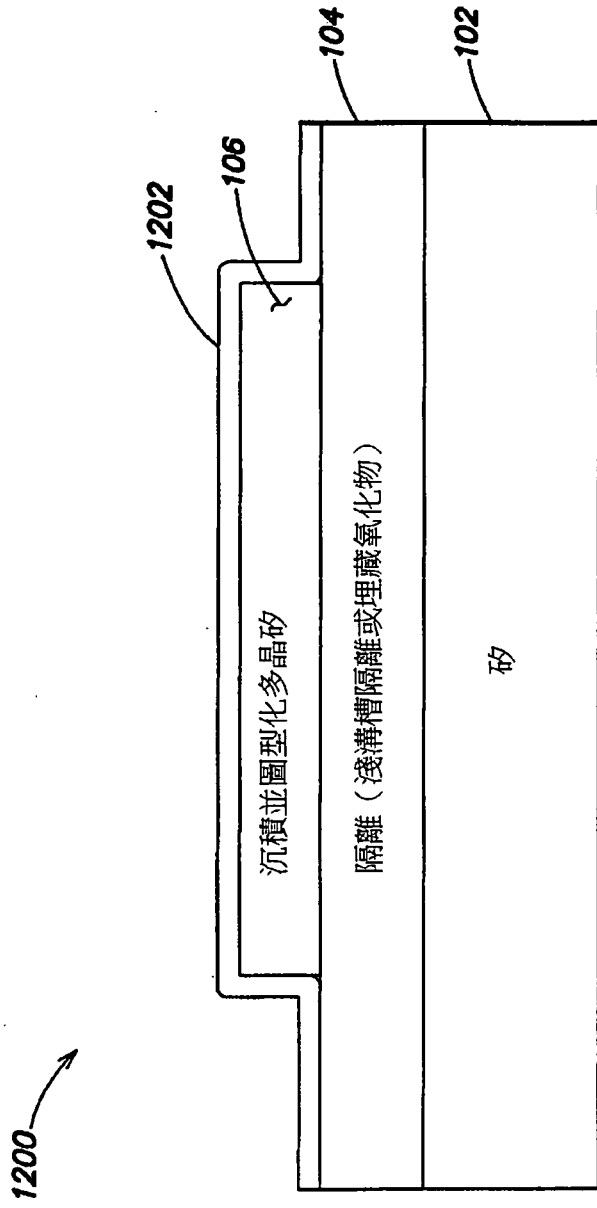
圖九



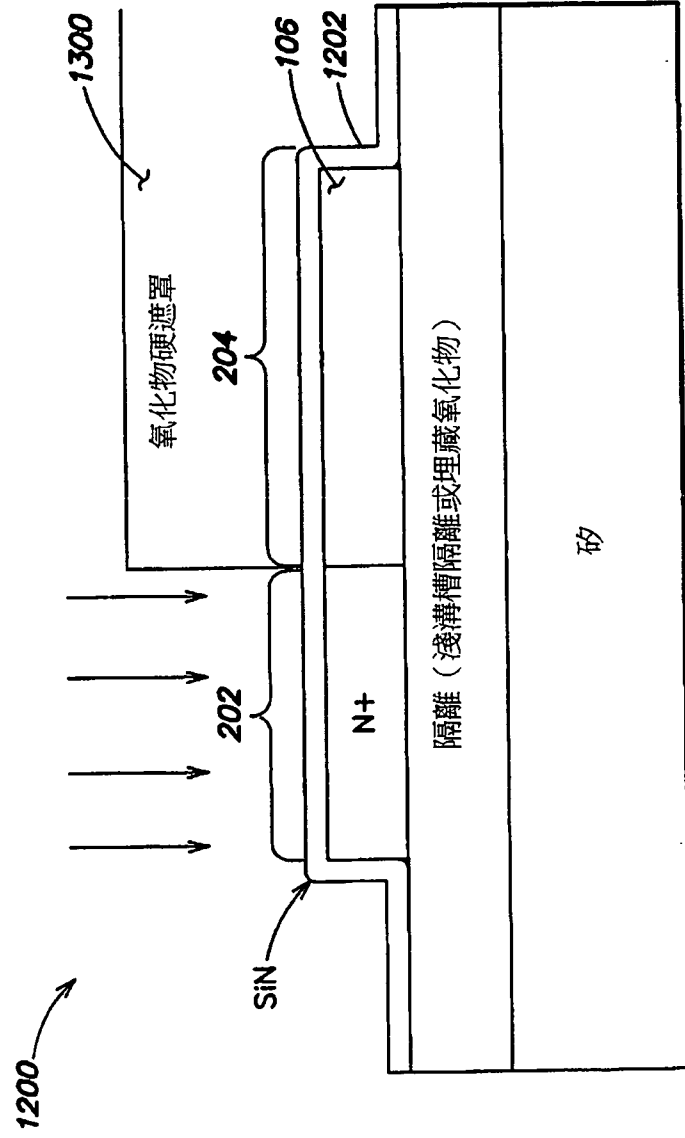
圖十



圖十一

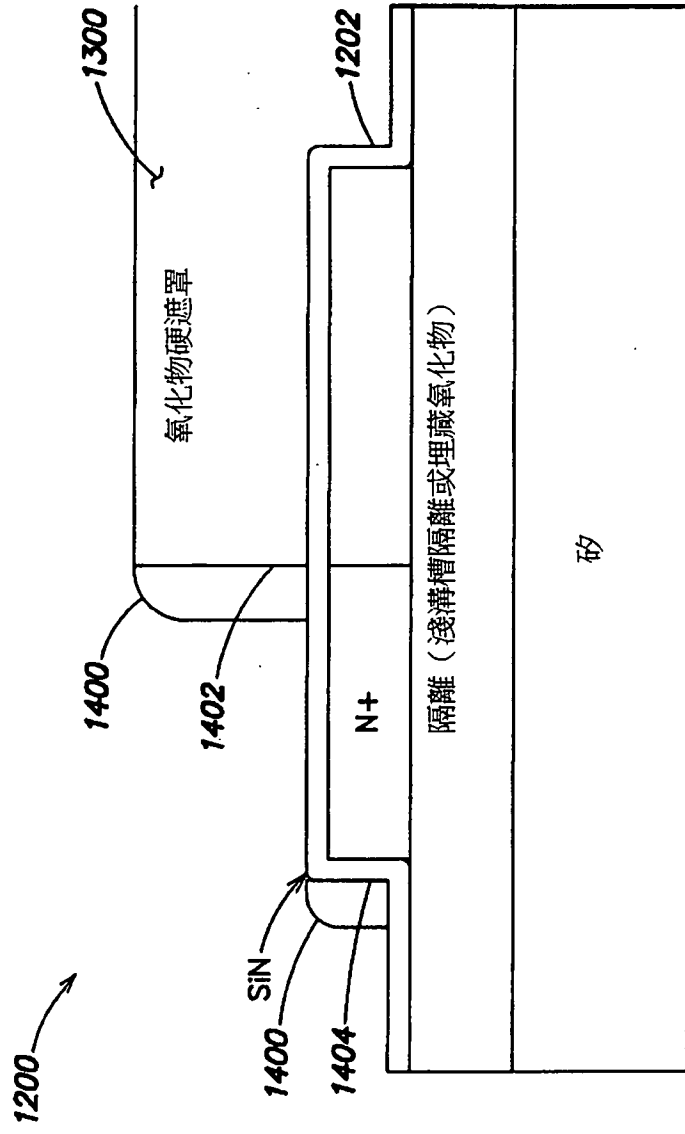


圖十二

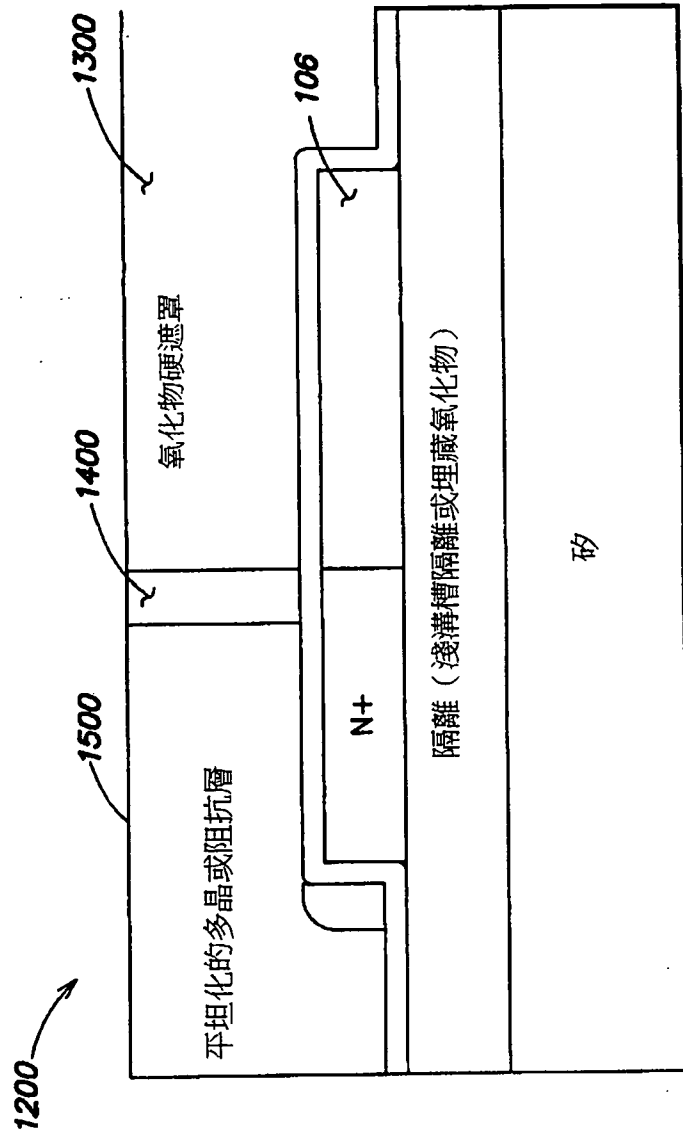


圖十三

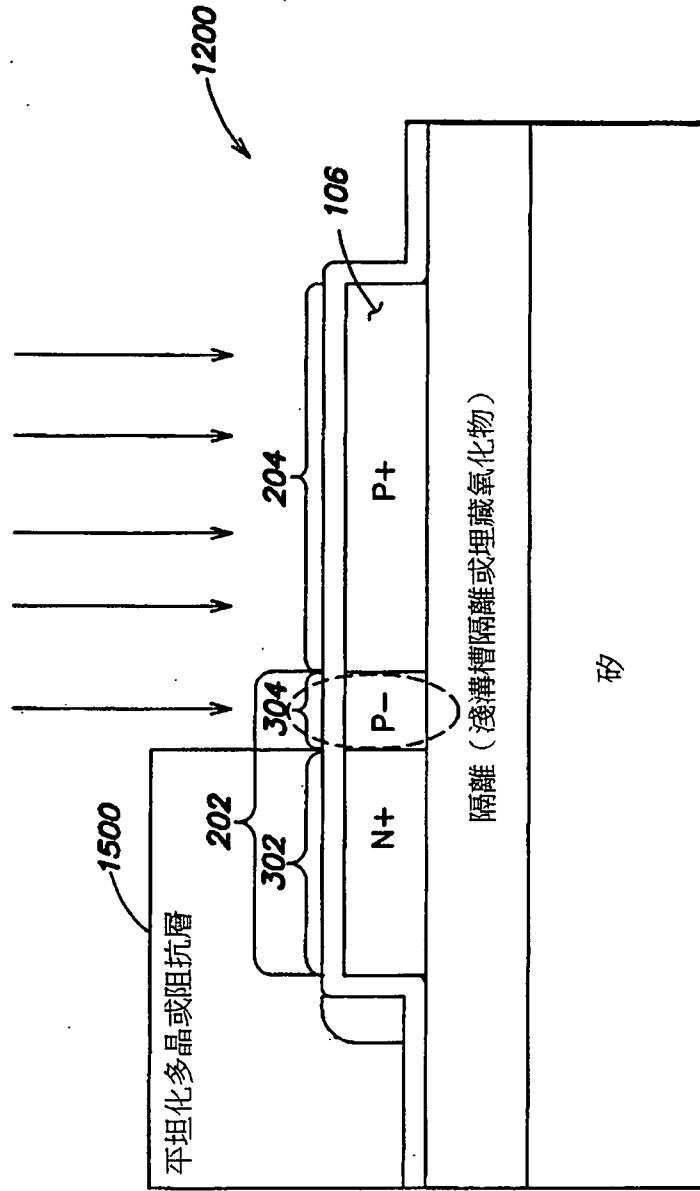




圖十四

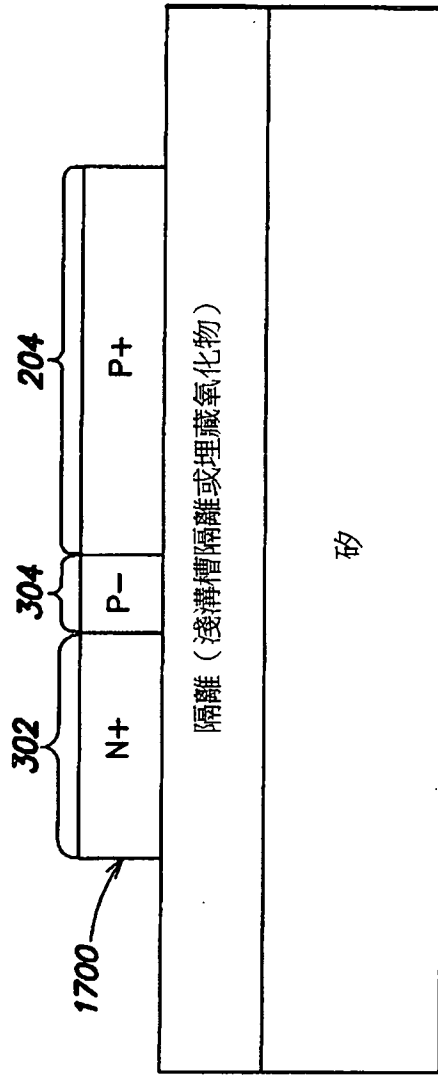


圖十五

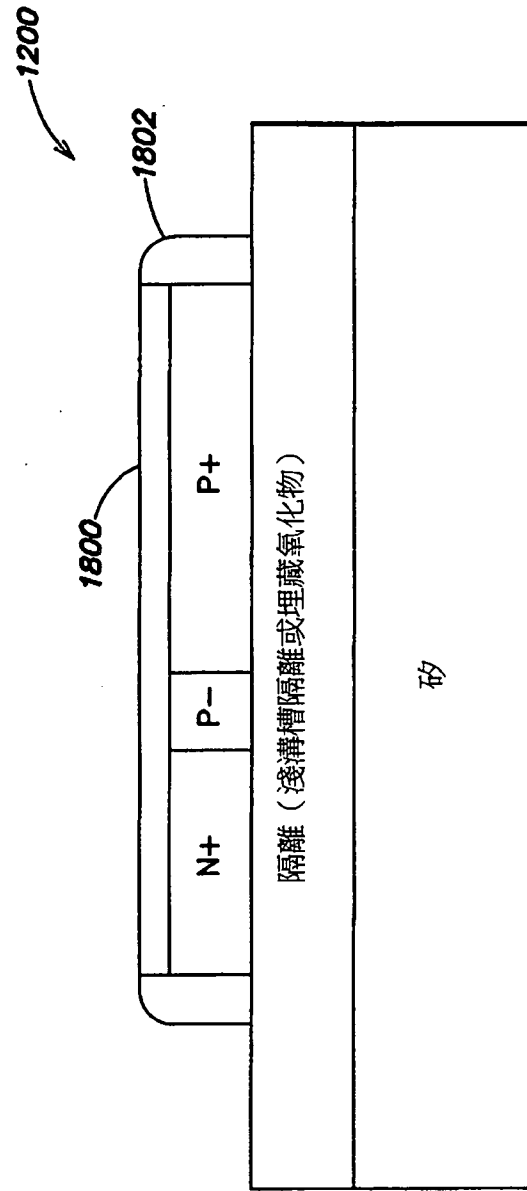


圖十六

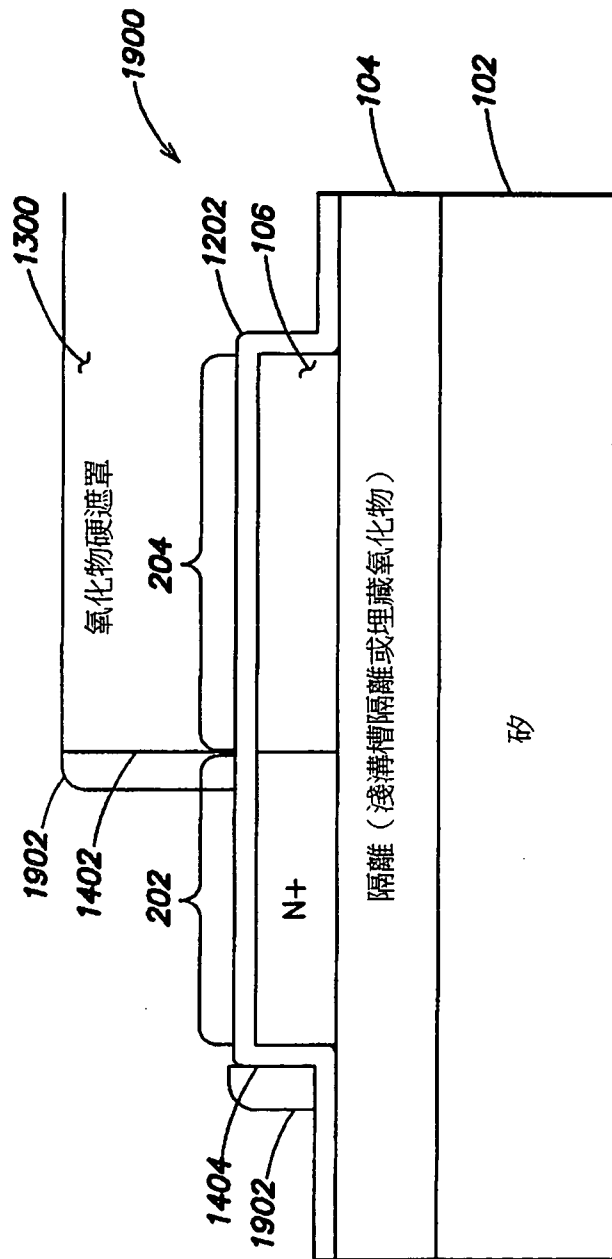
1200



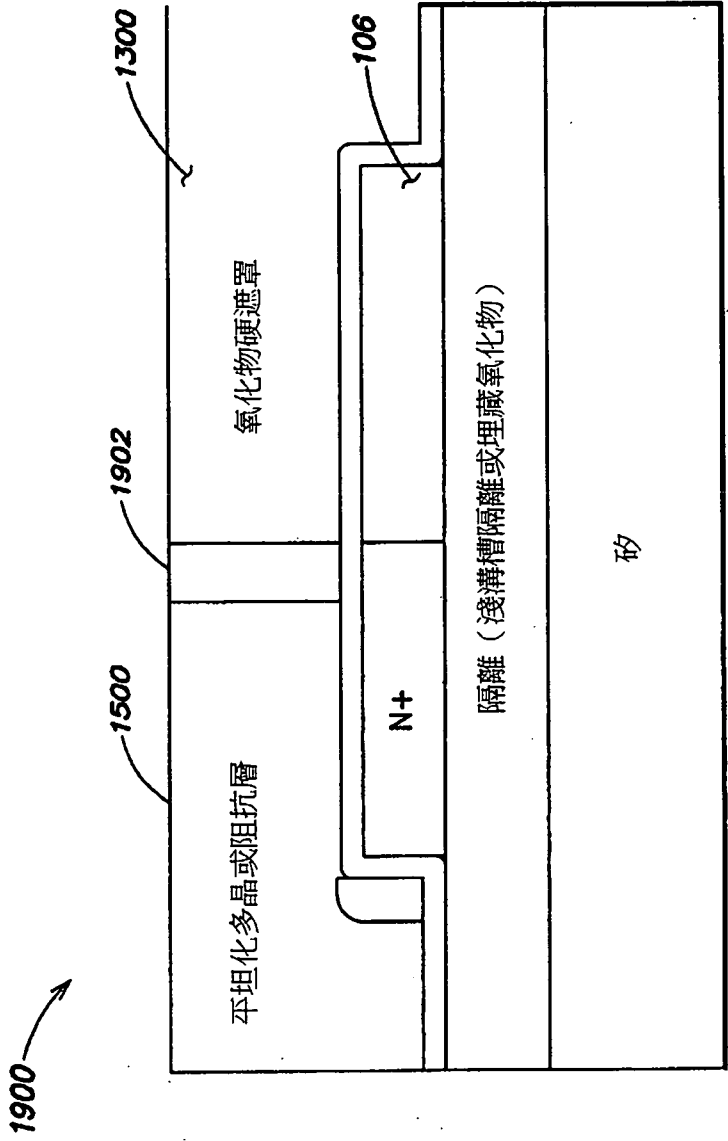
圖十七



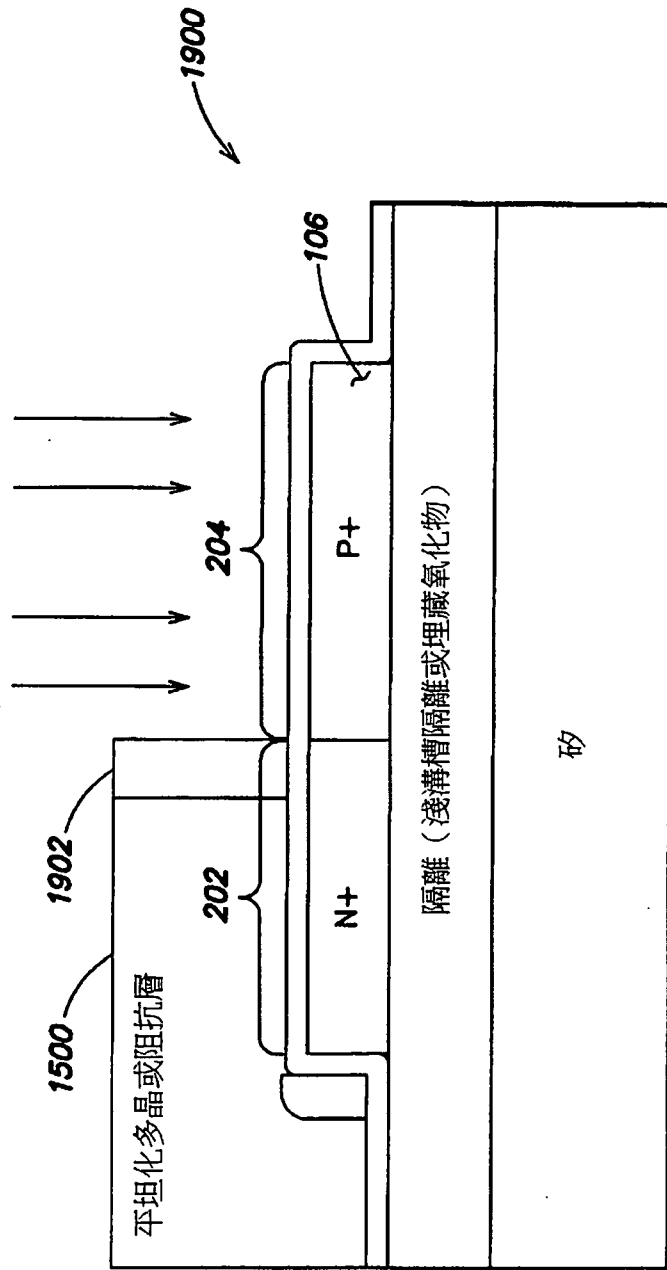
圖十八



圖十九

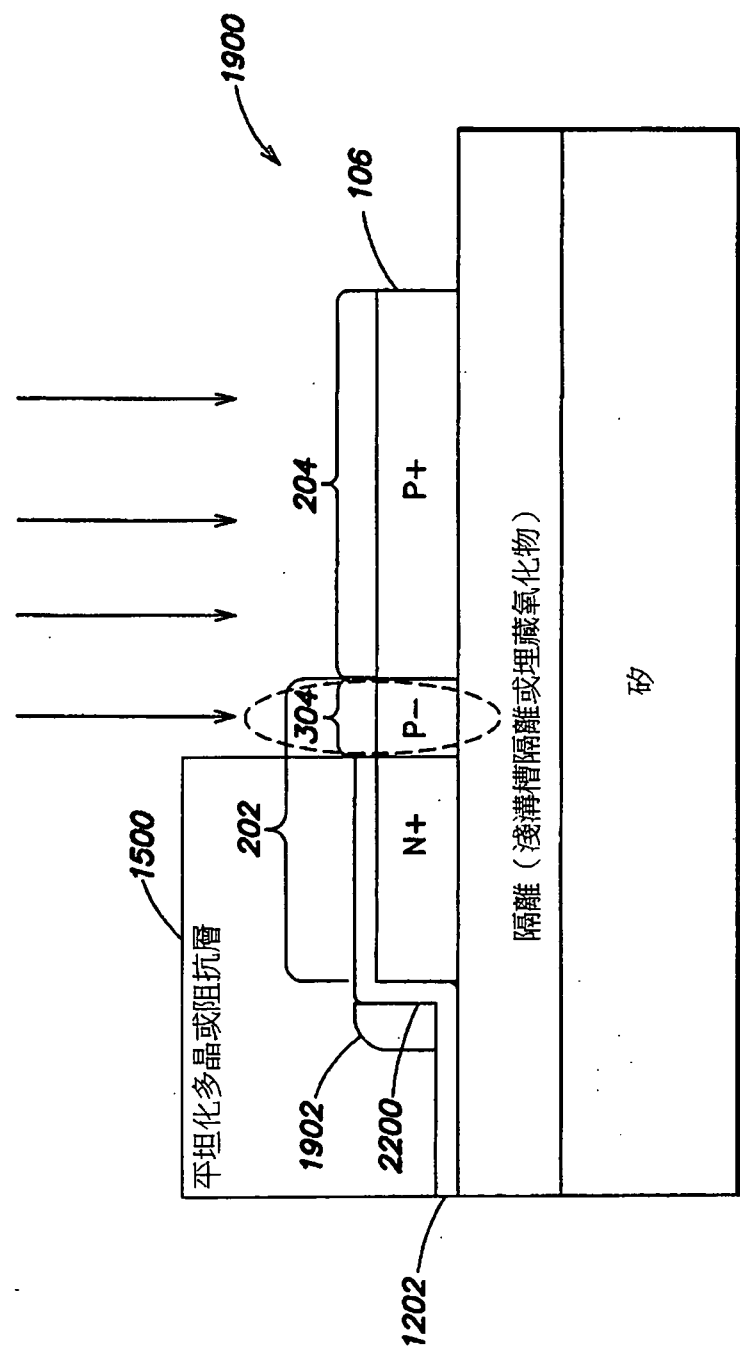


圖二十



圖二十一





圖二十三