



(12)实用新型专利

(10)授权公告号 CN 207301852 U

(45)授权公告日 2018.05.01

(21)申请号 201720623366.3

(22)申请日 2017.05.31

(30)优先权数据

15/367,628 2016.12.02 US

(73)专利权人 意法设计与应用股份有限公司

地址 捷克共和国布拉格

专利权人 意法半导体亚太私人有限公司

(72)发明人 R·普罗查兹卡 张志荣

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张昊

(51)Int.Cl.

G05F 3/26(2006.01)

(ESM)同样的发明创造已同日申请发明专利

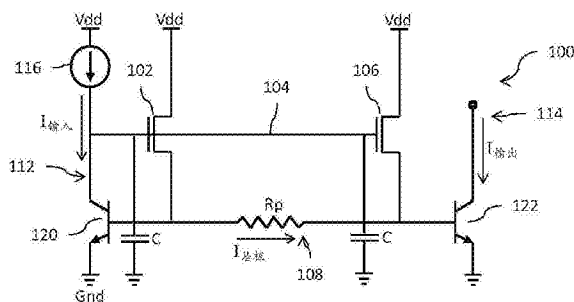
权利要求书2页 说明书7页 附图7页

(54)实用新型名称

电流镜电路

(57)摘要

本公开涉及电流镜电路。例如，一种电流镜电路包括输入电流引脚和输出电流引脚。该输入电流引脚包括：第一双极结型晶体管(BJT)，该BJT具有被配置成用于接收源自电流节点处的输入电流的集电极端子；以及第一金属氧化物半导体场效应晶体管(MOSFET)，该MOSFET具有耦合至该电流节点的栅极端子以及耦合至该第一BJT的基极端子的源极端子。该输出电流引脚包括：第二BJT，该第二BJT具有被配置成用于供应输出电流的集电极端子；以及第二MOSFET，该第二MOSFET具有耦合至该电流节点的栅极端子以及耦合至该第二BJT的基极端子的源极端子。



1. 一种电流镜电路,其特征在于,包括:
输入电流引脚,所述输入电流引脚包括:
第一双极结型晶体管(BJT),所述第一双极结型晶体管具有被配置成用于接收源自电流节点处的输入电流的集电极端子;以及
第一金属氧化物半导体场效应晶体管(MOSFET),所述第一金属氧化物半导体场效应晶体管具有耦合至所述电流节点的栅极端子以及耦合至所述第一双极结型晶体管(BJT)的基极端子的源极端子;以及
第一输出电流引脚,所述第一输出电流引脚包括:
第二双极结型晶体管(BJT),所述第二双极结型晶体管(BJT)具有被配置成用于供应输出电流的集电极端子;以及
第二金属氧化物半导体场效应晶体管(MOSFET),所述第二金属氧化物半导体场效应晶体管(MOSFET)具有耦合至所述电流节点的栅极端子以及耦合至所述第二双极结型晶体管(BJT)的基极端子的源极端子。
2. 如权利要求1所述的电流镜电路,其特征在于,所述第一双极结型晶体管(BJT)的所述基极端子以及所述第二双极结型晶体管(BJT)的所述基极端子通过具有寄生电阻的电路来连接。
3. 如权利要求1所述的电流镜电路,其特征在于,所述第二双极结型晶体管(BJT)是由并联耦合的多个双极结型晶体管(BJT)器件形成的并且被一个或多个数字控制信号选择性地启用的可变双极结型晶体管(BJT)。
4. 如权利要求3所述的电流镜电路,其特征在于,所述第二金属氧化物半导体场效应晶体管(MOSFET)耦合至所述可变双极结型晶体管(BJT)的所述多个双极结型晶体管(BJT)器件中的每一个双极结型晶体管(BJT)器件。
5. 如权利要求1所述的电流镜电路,其特征在于,进一步包括:第二输出电流引脚,所述第二输出电流引脚包括:
第三双极结型晶体管(BJT),所述第三双极结型晶体管(BJT)具有被配置成用于供应进一步输出电流的集电极端子;以及
第三金属氧化物半导体场效应晶体管(MOSFET),所述第三金属氧化物半导体场效应晶体管(MOSFET)具有耦合至所述电流节点的栅极端子以及耦合至所述第三双极结型晶体管(BJT)的基极端子的源极端子。
6. 如权利要求5所述的电流镜电路,其特征在于,所述第一和第二输出电流引脚在公共输出电流节点处连接在一起。
7. 如权利要求6所述的电流镜电路,其特征在于,进一步包括:预充电电路,所述预充电电路被配置成用于将所述公共输出电流节点预充电至预充电电压。
8. 如权利要求1所述的电流镜电路,其特征在于,进一步包括:第一开关,所述第一开关被配置成用于响应于第一控制信号而将所述第二金属氧化物半导体场效应晶体管(MOSFET)的所述栅极端子选择性地耦合至所述电流节点。
9. 如权利要求8所述的电流镜电路,其特征在于,进一步包括:第二开关,所述第二开关被配置成用于响应于第二控制信号而将所述第二金属氧化物半导体场效应晶体管(MOSFET)的所述栅极端子选择性地耦合至所述第二金属氧化物半导体场效应晶体管

(MOSFET)的所述源极端子。

10. 如权利要求9所述的电流镜电路,其特征在于,所述第一和第二控制信号不重叠。

11. 如权利要求1所述的电流镜电路,其特征在于,所述第一双极结型晶体管(BJT)的所述基极端子以及所述第二双极结型晶体管(BJT)的所述基极端子通过具有寄生电阻的电路来连接,并且所述电流镜电路进一步包括:第三开关,所述第三开关被配置成用于响应于第三控制信号而将所述第二双极结型晶体管(BJT)的所述基极端子选择性地耦合至所述电路。

12. 如权利要求11所述的电流镜电路,其特征在于,进一步包括:第四开关,所述第四开关被配置成用于响应于第四控制信号而将所述第二双极结型晶体管(BJT)的所述基极端子选择性地耦合至所述第二双极结型晶体管(BJT)的发射极端子。

13. 如权利要求12所述的电流镜电路,其特征在于,所述第三控制信号和所述第四控制信号不重叠。

14. 如权利要求12所述的电流镜电路,其特征在于,进一步包括:第五开关,所述第五开关被配置成用于响应于第五控制信号而将所述第二双极结型晶体管(BJT)的所述集电极端子选择性地耦合至所述第二双极结型晶体管(BJT)的所述发射极端子。

15. 如权利要求1所述的电流镜电路,其特征在于,

其中,所述输入电流引脚进一步包括:第一级联晶体管,所述第一级联晶体管与所述第一双极结型晶体管(BJT)串联耦合以接收源自所述电流节点处的所述输入电流;

其中,所述输出电流引脚进一步包括:第二级联晶体管,所述第二级联晶体管与所述第二双极结型晶体管(BJT)串联耦合;并且

其中,所述第一和第二级联晶体管由偏置电压进行偏置。

16. 如权利要求15所述的电流镜电路,其特征在于,进一步包括:第六开关,所述第六开关被配置成用于响应于第六控制信号而将所述第二级联晶体的控制端子选择性地耦合至所述偏置电压。

17. 如权利要求16所述的电流镜电路,其特征在于,进一步包括:第七开关,所述第七开关被配置成用于响应于第七控制信号而将所述第二级联晶体的所述控制端子选择性地耦合至所述第二双极结型晶体管(BJT)。

18. 如权利要求17所述的电流镜电路,其特征在于,所述第六和第七控制信号不重叠。

电流镜电路

技术领域

[0001] 本实用新型涉及电流镜像电路,并且具体地涉及一种使用具有基极电流补偿的双极结型晶体管(BJT)的电流镜电路。

背景技术

[0002] 图1示出了常规电流镜电路10的电路图。该电路包括输入电流引脚12以及至少一个输出电流引脚14。电流源16生成施加到输入电流引脚12的输入电流 $I_{\text{输入}}$ 。输入电流 $I_{\text{输入}}$ 镜像到生成输出电流 $I_{\text{输出}}$ 的输出电流引脚14。输出电流与输入电流的幅值之比被称为镜像比。

[0003] 使用双极结型晶体管(BJT)来实现电路10。输入电流引脚12包括被配置成二极管连接器件的第一BJT器件20。第一BJT器件20的集电极端子电耦合至第一BJT器件20的基极端子,并且第一BJT器件20的集电极端子被配置成用于从电流源16接收输入电流 $I_{\text{输入}}$ 。第一BJT器件20的发射极端子电耦合至基准电压供应节点。例如,基准电压供应节点可以包括接地(Gnd)电压节点。输出电流引脚14包括第二BJT器件22。第二BJT器件22的基极端子电耦合至第一BJT器件20的基极端子。第二BJT器件22的发射极端子电耦合至基准电压供应节点。输出电流引脚14中的输出电流 $I_{\text{输出}}$ 在第二BJT器件22的集电极端子处生成。

[0004] 图2示出了常规电流镜电路30的电路图。电路30与电路10的不同之处在于输出电流引脚14包括形成可变输出晶体管 $22v$ 的多个并联连接的第二BJT器件 $22(1)-22(n)$ 。第二BJT器件 $22(1)-22(n)$ 的基极端子电耦合至第一BJT器件20的基极端子。第二BJT器件 $22(1)-22(n)$ 的发射极端子电耦合至基准电压供应节点。第二BJT器件 $22(1)-22(n)$ 的集电极端子电耦合至公共输出电流节点32。输出电流引脚14中的输出电流 $I_{\text{输出}}$ 在公共输出电流节点32处被生成成为在第二BJT器件 $22(1)-22(n)$ 的集电极端子处生成的电流之和。输出电流 $I_{\text{输出}}$ 的幅值因而取决于第二BJT器件 $22(1)-22(n)$ 的数量,所述第二BJT器件使用电耦合在集电极端子与公共输出电流节点32之间的相应开关 $34(1)-34(n)$ 而被致动。作为示例,多位数字控制信号D可用于选择性地致动开关 $34(1)-34(n)$ 。

[0005] 图3示出了常规电流镜电路50的电路图。电路50与电路30的不同之处在于提供了多个输出电流引脚 $14(1)-14(m)$ 。每个输出电流引脚 $14(1)-14(m)$ 包括可变输出晶体管 $22v$ 。可变输出晶体管 $22v(1)-22v(m)$ 的基极端子电耦合至第一BJT器件20的基极端子。可变输出晶体管 $22v(1)-22v(m)$ 的发射极端子电耦合至基准电压供应节点。每个公共输出电流节点 $32(1)-32(m)$ 针对相应电流通道 $CH(1)-CH(m)$ 生成不同的输出电流 $I_{\text{输出}(1)}-I_{\text{输出}(m)}$ 。

[0006] 在比如用于生成精确量的电荷的许多应用中,练习准确控制输出电流 $I_{\text{输出}}$ 的幅值是重要的。然而,在多位数字控制信号D的值发生变化并且给定通道CH的输出电流引脚 $14(1)-14(m)$ 中的一个或多个输出电流引脚被止动时,这可能是个挑战。存在到基极端子($V_{\text{基极}}$)处的电位中的电荷注入,这在输出电流生成中引入误差。因而在本领域中存在对在图2和图3中示出的类型的电流镜电路的有效基极电流补偿的需要。

实用新型内容

[0007] 应当理解,前面的总体描述和下面的具体描述两者均是示例性且解释性的并且旨在提供对所要求保护的本实用新型的进一步解释。

[0008] 在实施例中,一种电流镜电路包括输入电流引脚和输出电流引脚。该输入电流引脚包括:第一双极结型晶体管(BJT),该BJT具有被配置成用于接收源自电流节点处的输入电流的集电极端子;以及第一金属氧化物半导体场效应晶体管(MOSFET),该MOSFET具有耦合至该电流节点的栅极端子以及耦合至该第一BJT的基极端子的源极端子。该输出电流引脚包括:第二BJT,该第二BJT具有被配置成用于供应输出电流的集电极端子;以及第二MOSFET,该第二MOSFET具有耦合至该电流节点的栅极端子以及耦合至该第二BJT的基极端子的源极端子。

[0009] 在一方面,提供了一种电流镜电路,包括:输入电流引脚,所述输入电流引脚包括:第一双极结型晶体管(BJT),所述第一双极结型晶体管具有被配置成用于接收源自电流节点处的输入电流的集电极端子;以及第一金属氧化物半导体场效应晶体管(MOSFET),所述第一金属氧化物半导体场效应晶体管具有耦合至所述电流节点的栅极端子以及耦合至所述第一BJT的基极端子的源极端子;以及第一输出电流引脚,所述第一输出电流引脚包括:第二BJT,所述第二BJT具有被配置成用于供应输出电流的集电极端子;以及第二MOSFET,所述第二MOSFET具有耦合至所述电流节点的栅极端子以及耦合至所述第二BJT的基极端子的源极端子。

[0010] 在实施例中,所述第一BJT的所述基极端子以及所述第二BJT的所述基极端子通过具有寄生电阻的电路来连接。

[0011] 在实施例中,所述第二BJT是由并联耦合的多个BJT器件形成的并且被一个或多个数字控制信号选择性地启用的可变BJT。

[0012] 在实施例中,所述第二MOSFET耦合至所述可变BJT的所述多个BJT器件中的每一个BJT器件。

[0013] 在实施例中,进一步包括:第二输出电流引脚,所述第二输出电流引脚包括:第三BJT,所述第三BJT具有被配置成用于供应进一步输出电流的集电极端子;以及第三MOSFET,所述第三MOSFET具有耦合至所述电流节点的栅极端子以及耦合至所述第三BJT的基极端子的源极端子。

[0014] 在实施例中,所述第一和第二输出电流引脚在公共输出电流节点处连接在一起。

[0015] 在实施例中,进一步包括:预充电电路,所述预充电电路被配置成用于将所述公共输出电流节点预充电至预充电电压。

[0016] 在实施例中,进一步包括:第一开关,所述第一开关被配置成用于响应于第一控制信号而将所述第二MOSFET的所述栅极端子选择性地耦合至所述电流节点。

[0017] 在实施例中,进一步包括:第二开关,所述第二开关被配置成用于响应于第二控制信号而将所述第二MOSFET的所述栅极端子选择性地耦合至所述第二MOSFET的所述源极端子。

[0018] 在实施例中,所述第一和第二控制信号不重叠。

[0019] 在实施例中,所述第一BJT的所述基极端子以及所述第二BJT的所述基极端子通过具有寄生电阻的电路来连接,并且所述电流镜电路进一步包括:第三开关,所述第三开关被配置成用于响应于第三控制信号而将所述第二BJT的所述基极端子选择性地耦合至所述

电路线。

[0020] 在实施例中,进一步包括:第四开关,所述第四开关被配置成用于响应于第四控制信号而将所述第二BJT的所述基极端子选择性地耦合至所述第二BJT的发射极端子。

[0021] 在实施例中,所述第三控制信号和所述第四控制信号不重叠。

[0022] 在实施例中,进一步包括:第五开关,所述第五开关被配置成用于响应于第五控制信号而将所述第二BJT的所述集电极端子选择性地耦合至所述第二BJT的所述发射极端子。

[0023] 在实施例中,所述输入电流引脚进一步包括:第一级联晶体管,所述第一级联晶体管与所述第一BJT串联耦合以接收源自所述电流节点处的所述输入电流;其中,所述输出电流引脚进一步包括:第二级联晶体管,所述第二级联晶体管与所述第二BJT串联耦合;并且其中,所述第一和第二级联晶体管由偏置电压进行偏置。

[0024] 在实施例中,进一步包括:第六开关,所述第六开关被配置成用于响应于第六控制信号而将所述第二级联晶体的控制端子选择性地耦合至所述偏置电压。

[0025] 在实施例中,进一步包括:第七开关,所述第七开关被配置成用于响应于第七控制信号而将所述第二级联晶体的所述控制端子选择性地耦合至所述第二BJT。

[0026] 在实施例中,所述第六和第七控制信号不重叠。

附图说明

[0027] 附图被包括以提供对本实用新型的进一步理解并且结合在本说明书中并且构成其一部分、展示了本实用新型的实施例并且与说明书一起用于解释本实用新型的原理。

[0028] 在附图中:

[0029] 图1至图3是常规电流镜电路的电路图;

[0030] 图4至图7、图9、以及图11和图12是具有基极电流补偿的双极结型晶体管(BJT)的电路图;以及

[0031] 图8和图10是示出了电流镜电路的操作的波形图。

具体实施方式

[0032] 现在参照示出了电流镜电路100的电路图的图4。电路100包括输入电流引脚112以及至少一个输出电流引脚114。电流源116生成施加到输入电流引脚112的输入电流 $I_{\text{输入}}$ 。输入电流 $I_{\text{输入}}$ 镜像到生成输出电流 $I_{\text{输出}}$ 的输出电流引脚114。输出电流与输入电流的幅值之比被称为镜像比。

[0033] 使用双极结型晶体管(BJT)来实现电路100的镜像功能。输入电流引脚112包括第一BJT器件120。第一BJT器件120的集电极端子被配置成用于从电流源116接收输入电流 $I_{\text{输入}}$ 。第一BJT器件120的发射极端子电耦合至基准电压供应节点。例如,基准电压供应节点可以包括接地(Gnd)电压节点。输出电流引脚114包括第二BJT器件122。第二BJT器件122的基极端子电耦合至第一BJT器件120的基极端子。第二BJT器件122的发射极端子电耦合至基准电压供应节点。输出电流引脚114中的输出电流 $I_{\text{输出}}$ 在第二BJT器件122的集电极端子处生成。

[0034] 第一BJT器件120的集电极端子通过n沟道金属氧化物半导体场效晶体管(MOSFET)器件102电耦合至第一BJT器件120的基极端子。具体地,MOSFET器件102的栅极端子在基准

电流节点104处电耦合至第一BJT器件120的集电极端子。MOSFET器件102的源极端子电耦合至第一BJT器件120的基极端子。MOSFET器件102的漏极端子电耦合至另外的基准电压供应节点。例如,该另外的基准电压供应节点可以包括正(V_{dd})电压节点。

[0035] 第一BJT器件120的集电极端子穿过n沟道MOSFET器件106进一步电耦合至第二BJT器件122的基极端子。具体地,MOSFET器件106的栅极端子在基准电流节点104处电耦合至第一BJT器件120的集电极端子。MOSFET器件106的源极端子电耦合至第二BJT器件122的基极端子。MOSFET器件106的漏极端子电耦合至另外的基准电压供应节点。

[0036] 在第一BJT器件120与第二BJT器件122之间的晶体管公共基极连接线108上的电阻器R_p为寄生线路电阻。因此,将注意的是,MOSFET器件102的源极端子在寄生线路电阻的一端(与第一BJT器件120的基极端子相邻)上电耦合至第一BJT器件120的基极端子,而MOSFET器件106的源极端子在寄生线路电阻的相对端(与第二BJT器件122的基极端子相邻)上电耦合至第二BJT器件122的基极端子。此电线互连可以在衬底上在物理电路布局中在不小的长度上延伸。在此上下文中,如果部件在布局上相比另一BJT器件更靠近BJT器件,则认为该部件与那个BJT器件“相邻”。例如,在电路布局中,MOSFET器件102与BJT器件120相邻(BJT器件122离得更远),并且MOSFET器件106与BJT器件122相邻(BJT器件120离得更远)。所以,“相邻”MOSFET器件将会是在衬底上在物理电路布局中最靠近BJT器件的MOSFET器件。

[0037] 在理想情景中,在第一BJT器件120与第二BJT器件122之间的晶体管公共基极连接线108中的电流I_{基极}为零。如果电流I_{基极}不为零,则寄生电阻器R_p两端存在相应的电压降,并且第一BJT器件120的基极处的电压与第二BJT器件122的基极处的电压将不同。为了确保零基极电流I_{基极}=0的状况,MOSFET器件102和MOSFET器件106用于控制BJT器件的基本上相等(即,在+/-0.02%以内相同)的基极电压。

[0038] 一个或多个电容器C可耦合在基准电流节点104与基准电压供应节点(Gnd)之间。在优选实施例中,提供与MOSFET器件102相邻的一个电容器并且提供与MOSFET器件106相邻的另一个电容器。在此上下文中,如果部件在布局上相比另一个类似部件更靠近此部件,则认为该部件为电路的另一个“相邻”部件。所以,相邻电容器是在衬底上在物理电路布局中最靠近MOSFET器件的电容器。

[0039] 现在参照示出了电流镜电路100'的电路图的图5。电路100'在设计上与图4的电路100基本上类似。电路100'与电路100的不同之处在于不存在晶体管公共基极连接线108。但是,MOSFET器件102和MOSFET器件106用于控制BJT器件的基本上相等(即,在+/-2.5%以内相同)的基极电压。在此实现方式中,器件102和106可以在衬底上在物理电路布局中物理上彼此分离开不小的距离。

[0040] 现在参照示出了电流镜电路200的电路图的图6。电路200在设计上与图4的电路100基本上类似。电路200与电路100的不同之处在于输出电流引脚114包括形成可变输出晶体管122v的多个并联连接的第二BJT器件122(1)-122(n)。第二BJT器件122(1)-122(n)的基极端子电耦合至第一BJT器件120的基极端子。第二BJT器件122(1)-122(n)的发射极端子电耦合至基准电压供应节点。第二BJT器件122(1)-122(n)的集电极端子电耦合至公共输出电流节点132。输出电流引脚114中的输出电流I_{输出}在公共输出电流节点132处被生成为在第二BJT器件122(1)-122(n)的集电极端子处生成的电流之和。输出电流I_{输出}的幅值因而取决于第二BJT器件122(1)-122(n)的数量,这些第二BJT器件122使用电耦合在集电极端子与公共

输出电流节点132之间的相应开关134(1)-134(n)而被致动。作为示例,多位数字控制信号D可用于选择性地致动开关134(1)-134(n)。

[0041] 现在参照示出了电流镜电路200'的电路图的图7。电路200'在设计上与图6的电路200基本上类似。电路200'与电路200的不同之处在于不存在晶体管公共基极连接线108。但是,MOSFET器件102和MOSFET器件106用于控制BJT器件的基本上相等(即,在 $\pm 2.5\%$ 以内相同)的基极电压。

[0042] 现在参照图8,图8示出了展示图6至图7的电路的操作的波形图。在时间 t_1 处,将输出电流引脚114中的公共输出电流节点132处的电压预充电至期望的电压电平 $V_{预充电}$ 。在时间 t_2 处,将数字控制信号D设置为第一数字值D1。响应于此,对第一数量的开关134(1)-134(n)进行致动。在公共输出电流节点132处对流过相应致动输出引脚114(1)-114(n)中的晶体管122(1)-122(n)的电流进行求和以生成针对输出电流 $I_{输出}$ 的第一幅值电流 I_1 。由于输出电流 $I_{输出}$ 的生成,公共输出电流节点132处的电压以第一速率140被放电。在时间 t_3 处,将数字控制信号D设置为第二数字值D2。响应于此,对小于第一数量的第二数量的开关134(1)-134(n)进行致动。因此,在时间 t_2 处致动的开关134中的某些开关在时间 t_3 处被止停。在公共输出电流节点132处对在相应致动输出引脚114(1)-114(n)中流过晶体管122(1)-122(n)的电流进行求和以生成针对输出电流 $I_{输出}$ 的比第一幅值电流 I_1 小的第二幅值电流 I_2 。由于输出电流 $I_{输出}$ 的生成,公共输出电流节点132处的电压以小于第一速率140的第二速率142被放电。将注意的是,电流幅值在时间 t_3 处的转变并非阶跃函数(参考号144)。提供用于控制针对BJT器件120和122的基本上相等的基极电压的MOSFET器件102和MOSFET器件106有助于最小化由于在时间 t_3 处断开晶体管122(1)-122(n)中的一个或多个晶体管而产生的电荷误差。在时间 t_4 处,将数字控制信号D被设置为第三数字值D3。响应于此,开关134(1)-134(n)被止停并且输出电流 $I_{输出}$ 变为零。

[0043] 现在参照示出了电流镜电路300的电路图的图9。电路300在设计上与图6的电路200类似。电路300在以下方式不同于电路200:

[0044] 对于输入引脚,电路300进一步包括:级联n沟道MOSFET晶体管302,该级联n沟道MOSFET晶体管的源极-漏极路径与第一BJT器件120的集电极-发射极路径串联耦合。晶体管302的源极端子电耦合至晶体管120的集电极,并且晶体管302的漏极端子电耦合至电流源126以接收输入电流 $I_{输入}$ 。晶体管302的栅极端子被耦合以用于接收级联偏置电压 $V_{级联}$ 。级联晶体管302用于将BJT器件120两端的集电极至发射极电压设置为与由级联晶体管304所设置的BJT器件122两端的集电极至发射极电压相同。

[0045] 对于每个输出引脚,电路300进一步包括级联n沟道MOSFET晶体管304,所述MOSFET晶体管的源极-漏极路径与第二BJT器件122的集电极-发射极路径串联耦合。晶体管304的源极端子电耦合至晶体管122的集电极,并且晶体管304的漏极端子电耦合至公共输出电流节点132。晶体管304的栅极端子受开关电路306驱动。开关电路306包括:第一开关,该第一开关响应于信号A而被选择性地致动以将晶体管304的栅极端子耦合至级联偏置电压 $V_{级联}$;以及第二开关,该第二开关响应于信号B而被选择性地致动以将晶体管304的栅极端子和源极端子耦合至彼此。MOSFET器件304用于增加电流镜的输出阻抗,这导致电流镜输出电压 $V_{输出}$ 上的输出电流 $I_{输出}$ 的灵敏度更低。在断言信号B并且接通第二开关时,晶体管304的栅极至源极电压 V_{gs} 为零并且设备被有效地关闭。

[0046] 此外,电路300包括用于驱动晶体管106的栅极端子的开关电路308。开关电路308包括:第一开关,该第一开关响应于信号A而被选择性地致动以将晶体管106的栅极端子耦合至基准电流节点104;以及第二开关,该第二开关响应于信号B而被选择性地致动以将晶体管106的栅极端子和源极端子耦合至彼此。在断言信号B并且接通第二开关时,晶体管106的栅极至源极电压 V_{gs} 为零并且设备被有效地关闭。

[0047] 仍进一步地,电路300包括用于驱动晶体管122的基极端子的开关电路310。开关电路310包括:第一开关,该第一开关响应于信号A而被选择性地致动以将晶体管122的基极端子耦合至公共基极连接线108;第二开关,该第二开关响应于信号B而被选择性地致动以将晶体管122的基极端子和发射极端子耦合至彼此至接地;以及第三开关,该第三开关响应于信号B而被选择性地致动以将晶体管122的集电极端子耦合至地。在断言信号B并且接通第二开关和第三开关时,晶体管122的基极至发射极电压 V_{be} 为零,集电极被接地,并且器件被有效地关闭。

[0048] 电路300还包括开关电路314,该开关电路包括用于将公共输出电流节点132选择性地耦合至预充电电压 $V_{预充电}$ 的开关。开关电路314的开关响应于信号E而被选择性地致动。

[0049] 电路300进一步包括开关电路316,该开关电路包括用于选择性地耦合至公共输出电流节点132以进行电流输出的开关。开关电路316的开关响应于信号F而被选择性地致动。

[0050] 每个输出电流通道CH可以包括形成可变输出晶体管122v的多个并联连接的第二BJT器件122。作为示例,在图9的实施例中提供了两个第二BJT器件122a和122b。开关电路308和310的控制信号A和B使用与和开关电路耦合的BJT器件122a或122b相对应的后缀标识(a或b)。因此,控制信号Aa和Ba控制与第二BJT器件122a的操作相关联的开关,而控制信号Ab和Bb控制与第二BJT器件122b的操作相关联的开关。

[0051] 现在参照图10,图10示出了展示图9的电路的操作的波形图。在时间 t_1 之前,信号Aa和Ab被解除断言并且信号Ba和Bb被断言。晶体管106、122和304被关闭。在时间 t_1 处,利用脉冲断言信号E以致动开关电路314,并且将输出电流引脚114中的公共输出电流节点132处的电压预充电至期望的电压电平 $V_{预充电}$ 。在大约此相同的时间 t_1 处,信号Aa和Ab被断言并且信号Ba和Bb被解除断言以使晶体管106、122和304的操作成为可能。将注意的是,信号Aa/Ba和Ab/Bb为不重叠的控制信号以确保决不同时启用开关。在时间 t_2 处,信号F被断言以致动并准许开关电路316。由于BJT器件122a和122b均被启用,因此在公共输出电流节点132处对流过晶体管122a和122b的电流进行求和以生成针对输出电流 $I_{输出}$ 的第一幅值电流 I_1 。由于输出电流 $I_{输出}$ 的生成,公共输出电流节点132处的电压以第一速率140被放电。在大约时间 t_3 处,信号Ab被解除断言并且信号Bb被断言。因而禁用晶体管122b并且不再将其相应的电流供应至公共输出电流节点132,并且生成针对输出电流 $I_{输出}$ 的比第一幅值电流 I_1 小的第二幅值电流 I_2 。因此,公共输出电流节点132处的电压以小于第一速率140的第二速率142被放电。在大约时间 t_4 处,信号Aa被解除断言并且信号Ba被断言。因而,禁用晶体管122a并且不再将其相应的电流供应至公共输出电流节点132。信号F也被断言。输出电流 $I_{输出}$ 因而变为零。输出电压也在时间 t_4 处下降。在时间 t_4 处,节点132变成高阻抗节点,并且那个节点处的电压并未很好地被限定。而是,电压主要是在快速瞬变条件下由实际电路性能来限定。对所有部件的电荷注入在此起作用,但是节点132上的最终电压由于闭合了开关316而因此不是特别重要。电压 $V_{输出}$ 受电容式外部电路系统的影响并且因此电压将不会一直降至零。

[0052] 将注意的是,电流镜电路可以包括多个输出电流通道的。图9的实现方式示出了K个这类输出沟道(CH1-CHK)。每个输出沟道将具有与相对于沟道CH1所详细示出的电路配置相同或类似的电路配置。

[0053] 现在参照示出了电流镜电路400的电路图的图11。电路400在设计上与图4的电路100基本上类似。电路400与电路100的不同之处在于其包括用于驱动每个输出引脚的晶体管106的栅极端子的开关电路308。结合图9对开关电路308的配置和操作进行详细描述。

[0054] 现在参照示出了电流镜电路400'的电路图的图12。电路400'在设计上与图11的电路400基本上类似。电路400'与电路400的不同之处在于不存在晶体管公共基极连接线108。但是,MOSFET器件102和MOSFET器件106用于控制BJT器件的基本上相等(即,在 $\pm 2.5\%$ 以内相同)的基极电压。

[0055] 对于本领域技术人员将明显的是,在不违背本实用新型的精神或范围的情况下可在本实用新型中做出各种修改和变化。因此,本实用新型旨在覆盖本实用新型的修改和变化,只要这些修改和变化落在所附权利要求书及其等效物的范围内。

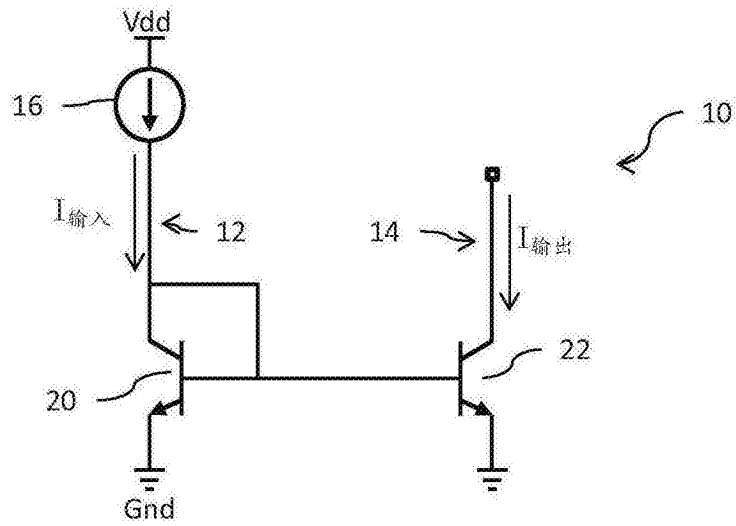


图1 (现有技术)

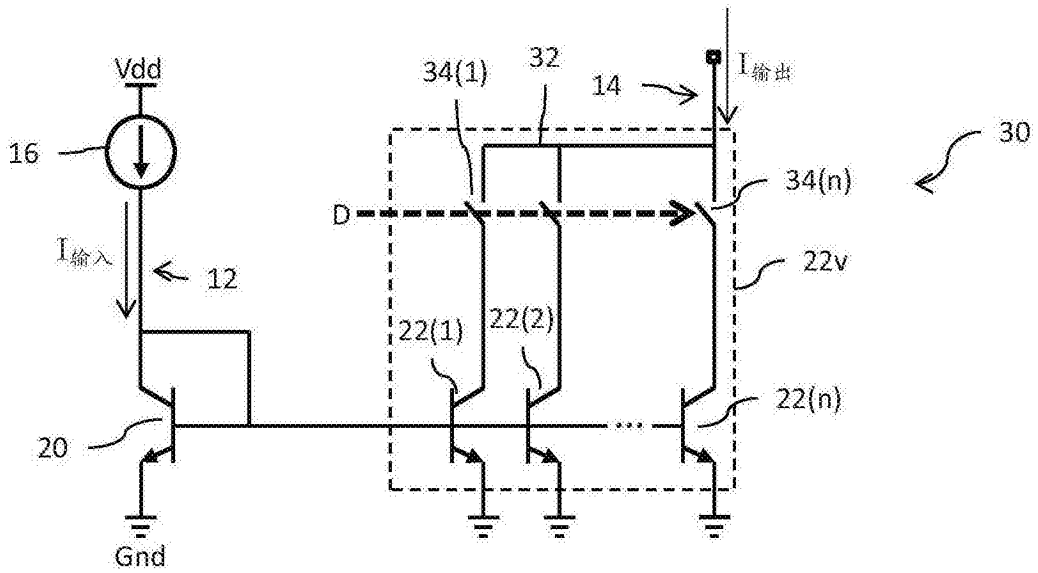


图2 (现有技术)

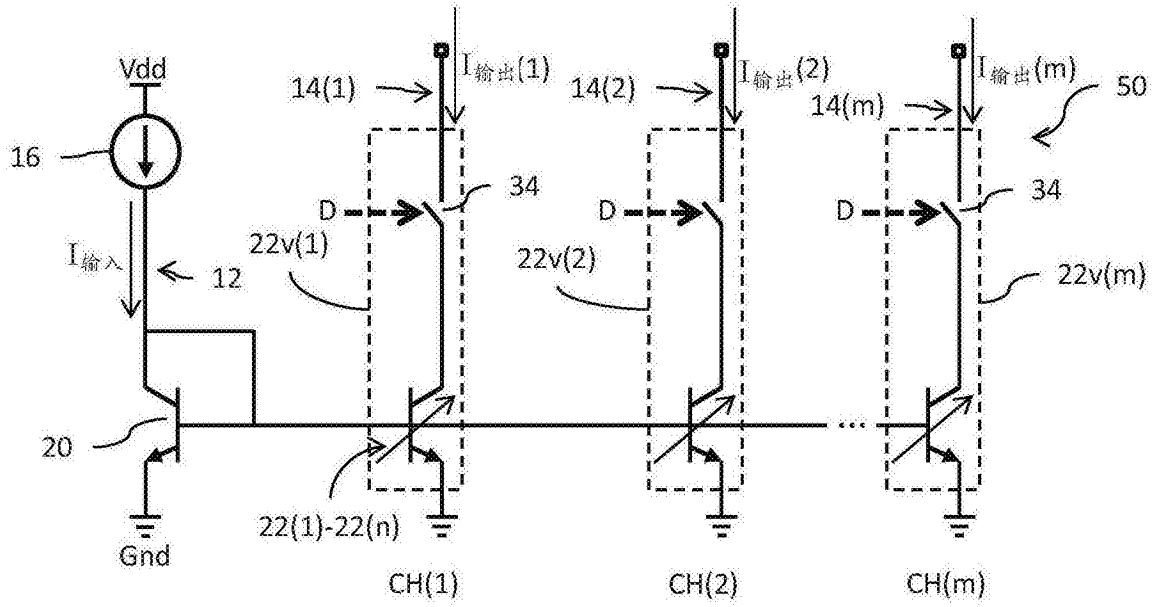


图3 (现有技术)

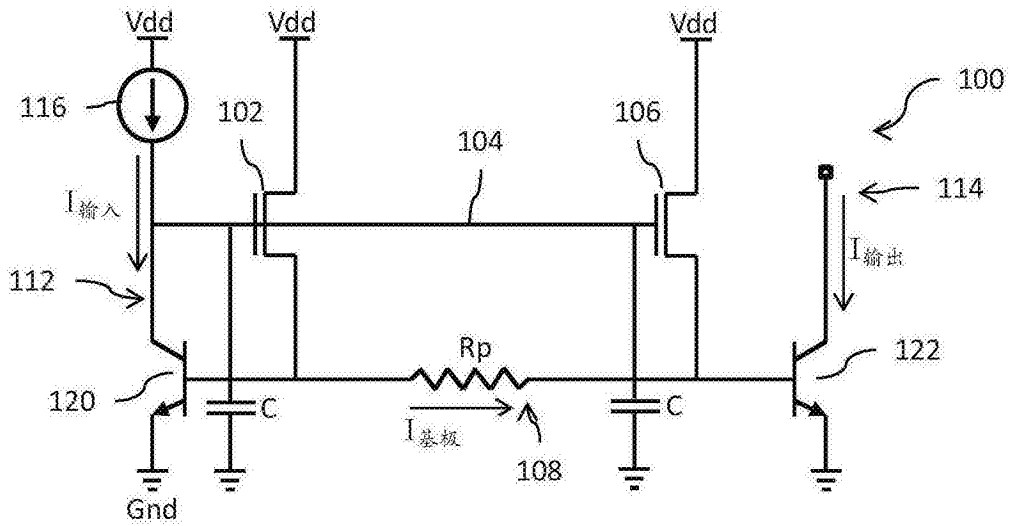


图4

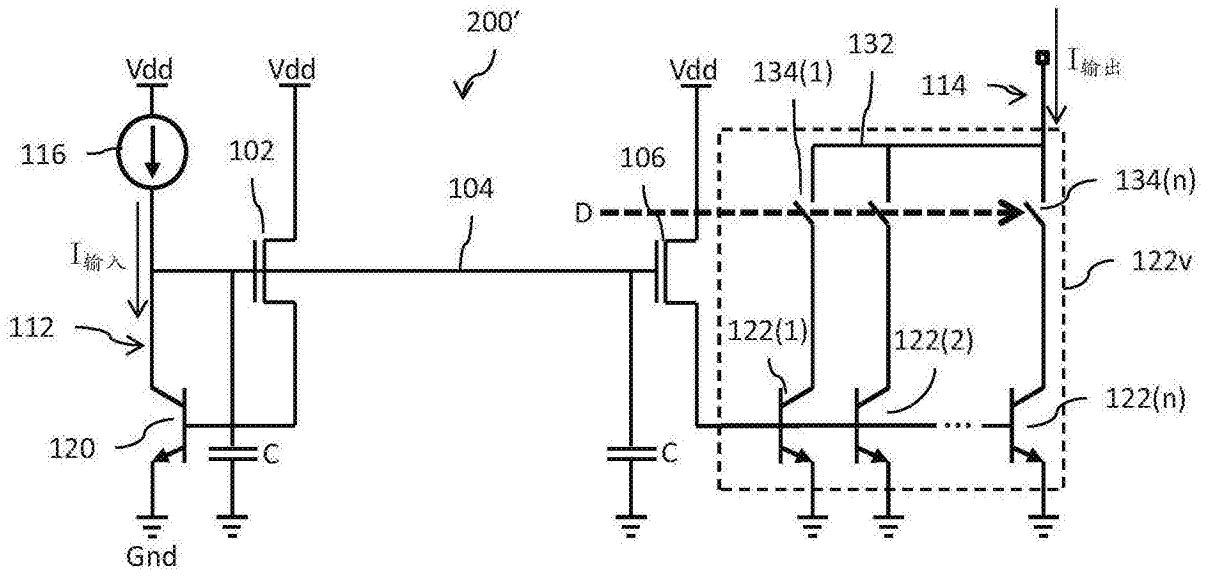


图7

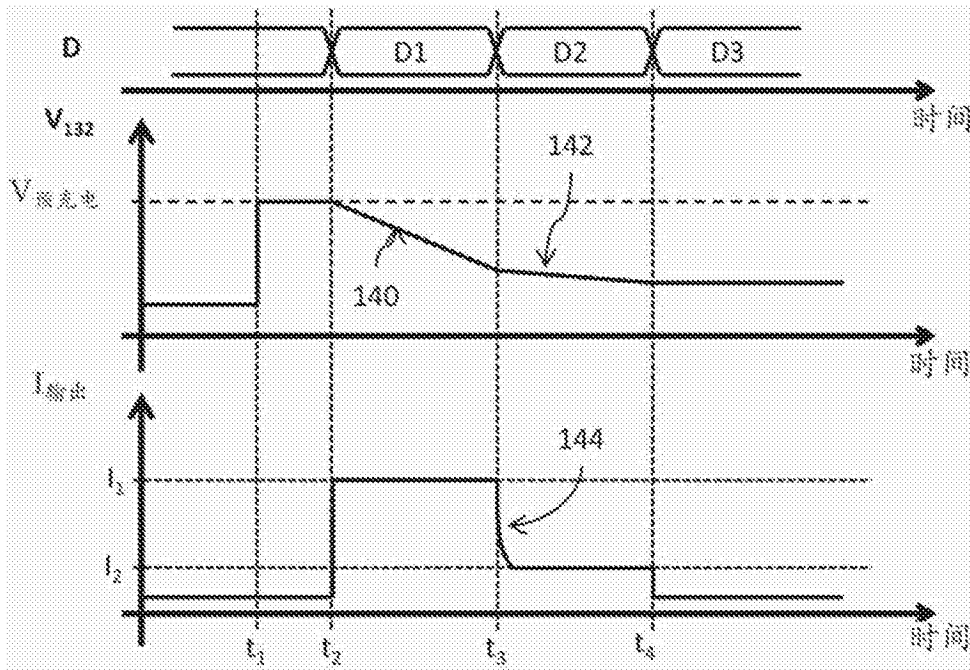


图8

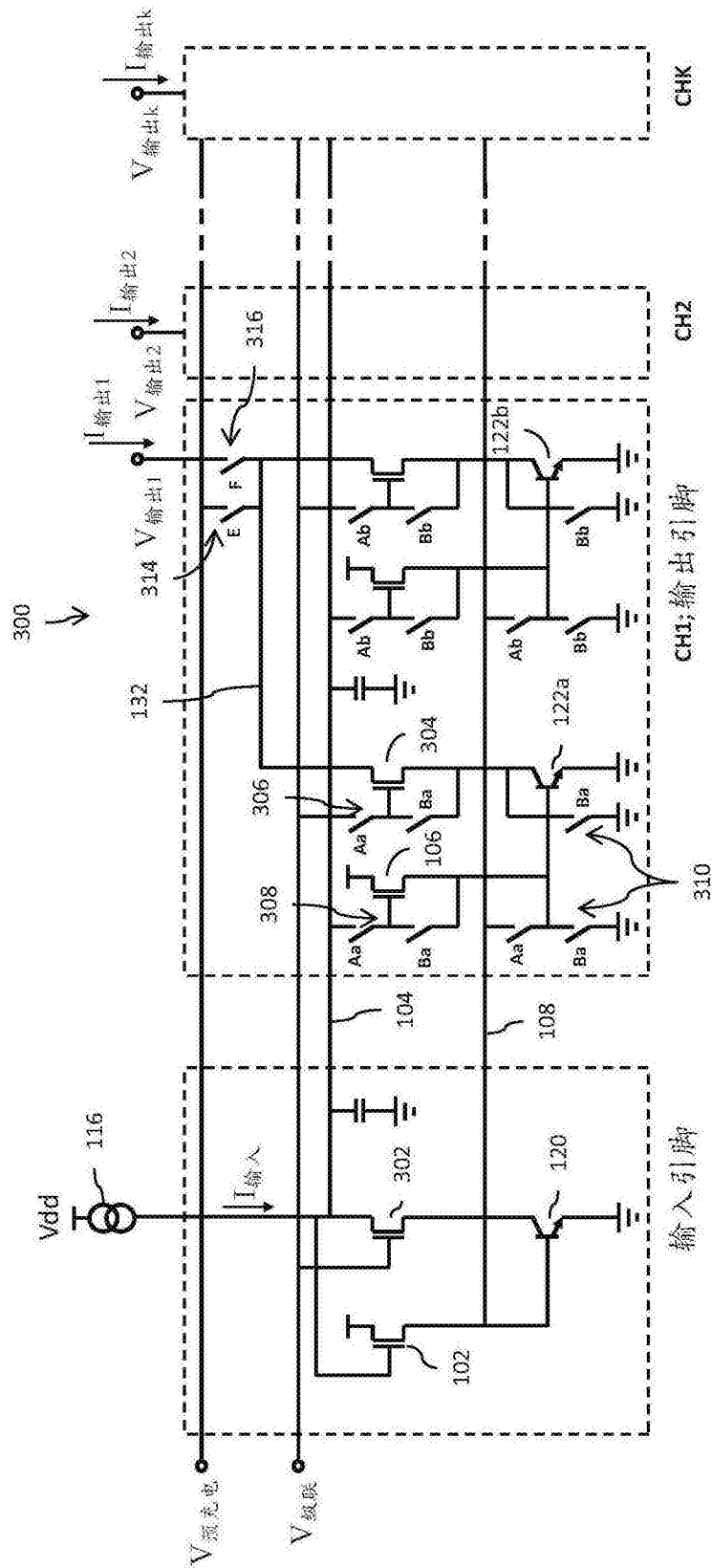


图9

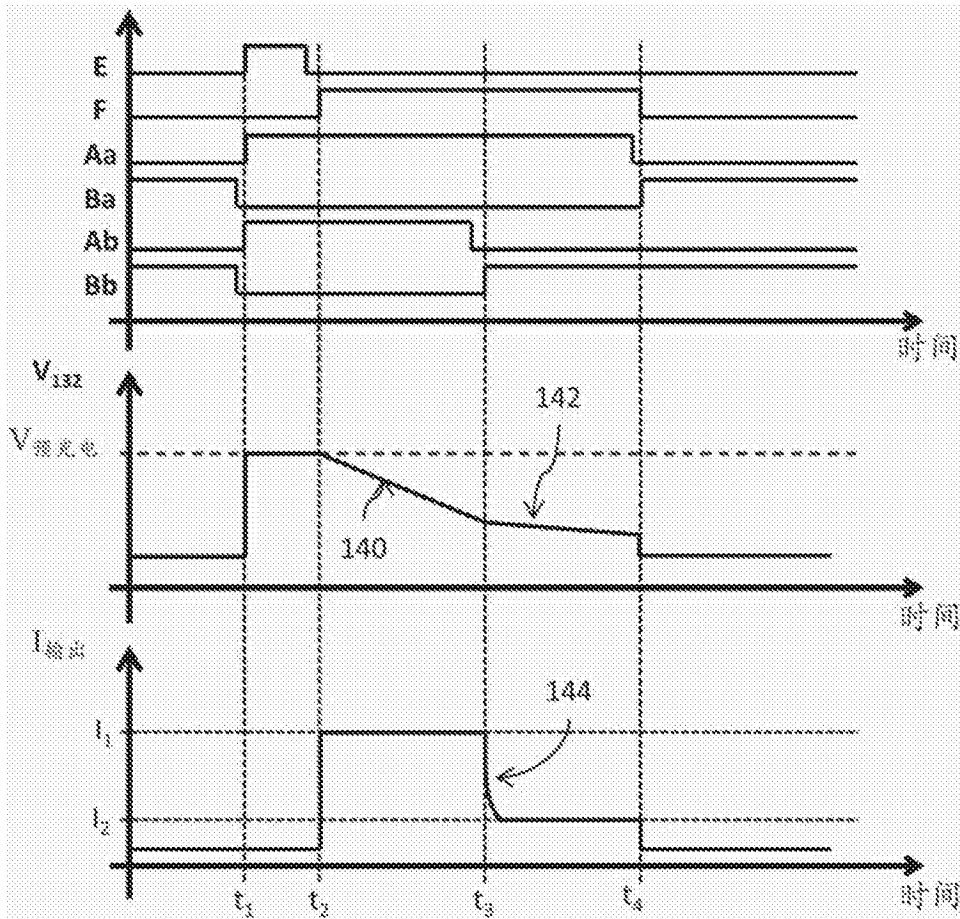


图10

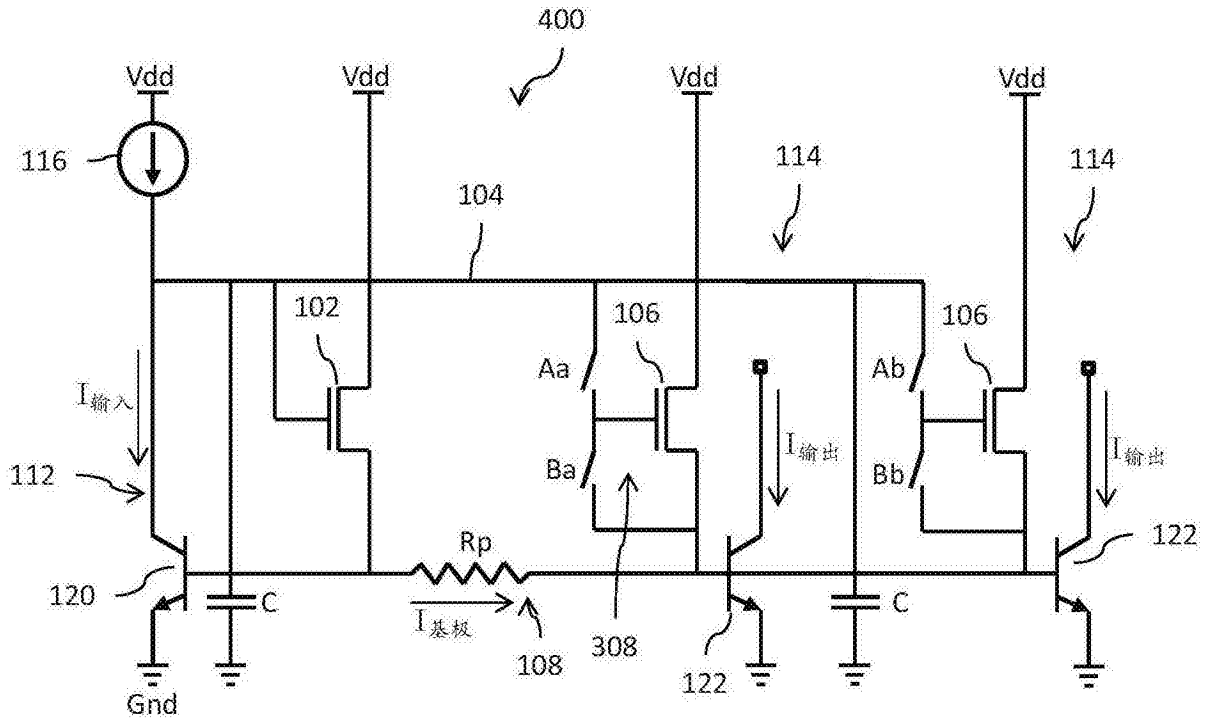


图11

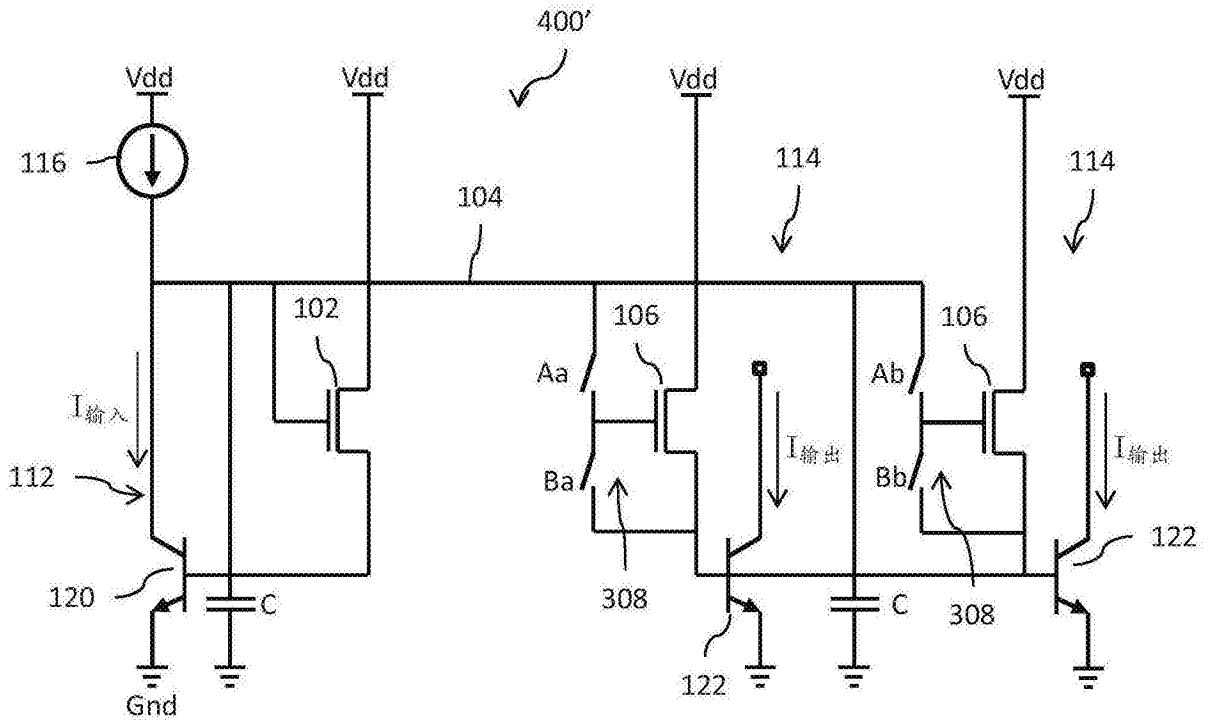


图12