

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5923248号
(P5923248)

(45) 発行日 平成28年5月24日 (2016. 5. 24)

(24) 登録日 平成28年4月22日 (2016. 4. 22)

(51) Int. Cl.	F I
G 1 1 C 11/405 (2006. 01)	G 1 1 C 11/34 3 5 2 B
G 1 1 C 11/56 (2006. 01)	G 1 1 C 11/34 3 8 1 A
H O 1 L 21/8242 (2006. 01)	H O 1 L 27/10 3 2 1
H O 1 L 27/108 (2006. 01)	H O 1 L 27/10 4 3 4
H O 1 L 21/8247 (2006. 01)	H O 1 L 29/78 3 7 1
請求項の数 6 (全 34 頁) 最終頁に続く	

(21) 出願番号 特願2011-109296 (P2011-109296)
 (22) 出願日 平成23年5月16日 (2011. 5. 16)
 (65) 公開番号 特開2012-3832 (P2012-3832A)
 (43) 公開日 平成24年1月5日 (2012. 1. 5)
 審査請求日 平成26年2月25日 (2014. 2. 25)
 審判番号 不服2015-6750 (P2015-6750/J1)
 審判請求日 平成27年4月9日 (2015. 4. 9)
 (31) 優先権主張番号 特願2010-115852 (P2010-115852)
 (32) 優先日 平成22年5月20日 (2010. 5. 20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 鎌田 康一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 合議体
 審判長 飯田 清司
 審判官 長谷川 素直
 審判官 鈴木 匡明

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、
 第2のトランジスタとを有し、
 前記第1のトランジスタのチャネル形成領域は、i型化又は実質的にi型化された酸化
 物半導体を有し、
 前記酸化物半導体は、表面に垂直な方向に沿うように、c軸が配向している結晶を有し
 、
 前記第1のトランジスタのゲートは、第1の配線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの一方は、第2の配線と電気的に接続さ
 れ、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲ
 ートと電気的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続さ
 れ、
 前記第2のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続さ
 れ、
 前記第1の配線は、第1の電位と、第2の電位と、第3の電位とを供給する機能を有し
 、
 前記第1の電位は、書き込み期間に供給され、

10

20

前記第 2 の電位は、前記書き込み期間に続く、反転期間に供給され、
 前記第 3 の電位は、前記反転期間に続く、保持期間に供給され、
 前記第 1 の電位は、前記第 1 のトランジスタがオンとなる電位であり、
 前記第 2 の電位は、前記第 1 のトランジスタがオフとなる電位であり、
 前記第 2 の電位は、負電位であり、
 前記第 3 の電位は、前記第 1 のトランジスタがオフとなり、かつ前記第 2 の電位より高い電位であることを特徴とする半導体装置。

【請求項 2】

第 1 のトランジスタと、
 第 2 のトランジスタとを有し、
 前記第 1 のトランジスタのチャネル形成領域は、i 型化又は実質的に i 型化された酸化
物半導体を有し、
 前記第 2 のトランジスタのチャネル形成領域は、シリコン半導体を有し、
 前記酸化物半導体は、表面に垂直な方向に沿うように、c 軸が配向している結晶を有し

10

、
 前記第 1 のトランジスタのゲートは、第 1 の配線と電氣的に接続され、
 前記第 1 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

20

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、

前記第 1 の配線は、第 1 の電位と、第 2 の電位と、第 3 の電位とを供給する機能を有し、

、
 前記第 1 の電位は、書き込み期間に供給され、
 前記第 2 の電位は、前記書き込み期間に続く、反転期間に供給され、
 前記第 3 の電位は、前記反転期間に続く、保持期間に供給され、
 前記第 1 の電位は、前記第 1 のトランジスタがオンとなる電位であり、
 前記第 2 の電位は、前記第 1 のトランジスタがオフとなる電位であり、
 前記第 2 の電位は、負電位であり、
 前記第 3 の電位は、前記第 1 のトランジスタがオフとなり、かつ前記第 2 の電位より高い電位であることを特徴とする半導体装置。

30

【請求項 3】

第 1 のトランジスタと、
 第 2 のトランジスタとを有し、
 前記第 1 のトランジスタのチャネル形成領域は、i 型化又は実質的に i 型化された、第
1 の酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域は、i 型化又は実質的に i 型化された、第
2 の酸化物半導体を有し、

40

前記第 1 の酸化物半導体及び前記第 2 の酸化物半導体はそれぞれ、表面に垂直な方向に沿うように、c 軸が配向している結晶を有し、

前記第 1 のトランジスタのゲートは、第 1 の配線と電氣的に接続され、
 前記第 1 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

50

前記第 2 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、

前記第 1 の配線は、第 1 の電位と、第 2 の電位と、第 3 の電位とを供給する機能を有し

、
前記第 1 の電位は、書き込み期間に供給され、

前記第 2 の電位は、前記書き込み期間に続く、反転期間に供給され、

前記第 3 の電位は、前記反転期間に続く、保持期間に供給され、

前記第 1 の電位は、前記第 1 のトランジスタがオンとなる電位であり、

前記第 2 の電位は、前記第 1 のトランジスタがオフとなる電位であり、

前記第 2 の電位は、負電位であり、

前記第 3 の電位は、前記第 1 のトランジスタがオフとなり、かつ前記第 2 の電位より高い電位であることを特徴とする半導体装置。

【請求項 4】

第 1 のトランジスタと、

第 2 のトランジスタと、

容量とを有し、

前記第 1 のトランジスタのチャネル形成領域は、i 型化又は実質的に i 型化された酸化物半導体を有し、

前記酸化物半導体は、表面に垂直な方向に沿うように、c 軸が配向している結晶を有し

、
前記第 1 のトランジスタのゲートは、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、

前記容量の一方の電極は、第 5 の配線と電氣的に接続され、

前記容量の他方の電極は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 の配線は、第 1 の電位と、第 2 の電位と、第 3 の電位とを供給する機能を有し

、
前記第 1 の電位は、書き込み期間に供給され、

前記第 2 の電位は、前記書き込み期間に続く、反転期間に供給され、

前記第 3 の電位は、前記反転期間に続く、保持期間に供給され、

前記第 1 の電位は、前記第 1 のトランジスタがオンとなる電位であり、

前記第 2 の電位は、前記第 1 のトランジスタがオフとなる電位であり、

前記第 2 の電位は、負電位であり、

前記第 3 の電位は、前記第 1 のトランジスタがオフとなり、かつ前記第 2 の電位より高い電位であり、

前記第 5 の配線は、異なる複数の電位を供給する機能を有することを特徴とする半導体装置。

【請求項 5】

第 1 のトランジスタと、

第 2 のトランジスタと、

容量とを有し、

前記第 1 のトランジスタのチャネル形成領域は、i 型化又は実質的に i 型化された酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域は、シリコン半導体を有し、

前記酸化物半導体は、表面に垂直な方向に沿うように、c軸が配向している結晶を有し、
 前記第1のトランジスタのゲートは、第1の配線と電氣的に接続され、
 前記第1のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの他方は、第4の配線と電氣的に接続され、
 前記容量の一方の電極は、第5の配線と電氣的に接続され、
 前記容量の他方の電極は、前記第2のトランジスタのゲートと電氣的に接続され、
 前記第1の配線は、第1の電位と、第2の電位と、第3の電位とを供給する機能を有し

10

前記第1の電位は、書き込み期間に供給され、
 前記第2の電位は、前記書き込み期間に続く、反転期間に供給され、
 前記第3の電位は、前記反転期間に続く、保持期間に供給され、
 前記第1の電位は、前記第1のトランジスタがオンとなる電位であり、
 前記第2の電位は、前記第1のトランジスタがオフとなる電位であり、
 前記第2の電位は、負電位であり、
 前記第3の電位は、前記第1のトランジスタがオフとなり、かつ前記第2の電位より高い電位であり、
 前記第5の配線は、異なる複数の電位を供給する機能を有することを特徴とする半導体装置。

20

【請求項6】

第1のトランジスタと、
 第2のトランジスタと、
 容量とを有し、
 前記第1のトランジスタのチャネル形成領域は、i型化又は実質的にi型化された、第1の酸化物半導体を有し、
 前記第2のトランジスタのチャネル形成領域は、i型化又は実質的にi型化された、第2の酸化物半導体を有し、
 前記第1の酸化物半導体及び前記第2の酸化物半導体はそれぞれ、表面に垂直な方向に沿うように、c軸が配向している結晶を有し、
 前記第1のトランジスタのゲートは、第1の配線と電氣的に接続され、
 前記第1のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの他方は、第4の配線と電氣的に接続され、
 前記容量の一方の電極は、第5の配線と電氣的に接続され、
 前記容量の他方の電極は、前記第2のトランジスタのゲートと電氣的に接続され、
 前記第1の配線は、第1の電位と、第2の電位と、第3の電位とを供給する機能を有し

30

40

前記第1の電位は、書き込み期間に供給され、
 前記第2の電位は、前記書き込み期間に続く、反転期間に供給され、

50

前記第3の電位は、前記反転期間に続く、保持期間に供給され、

前記第1の電位は、前記第1のトランジスタがオンとなる電位であり、

前記第2の電位は、前記第1のトランジスタがオフとなる電位であり、

前記第2の電位は、負電位であり、

前記第3の電位は、前記第1のトランジスタがオフとなり、かつ前記第2の電位より高い電位であり、

前記第5の配線は、異なる複数の電位を供給する機能を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、トランジスタを用いて構成される半導体装置の駆動方法に関する。なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

20

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択して容量素子に電荷を蓄積することで、データを記憶する。

【0004】

上述の原理から、DRAMでは、データを読み出すと容量素子の電荷は失われるため、データの読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には

30

、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲートとチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

40

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁膜が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つ

50

まり、フラッシュメモリは、データの書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、電力が供給されない状況でも記憶内容の保持が可能で、且つ書き込み回数にも制限が無い、新たな構造の半導体装置が開発されている。当該半導体装置は、オフ状態における電流値を著しく低減することが可能な、チャネル領域が酸化物半導体層によって形成されるトランジスタを活用した半導体装置である。具体的には、当該半導体装置においては、当該トランジスタのソース及びドレインの一方に電氣的に接続されたノードにおいて電荷を保持する。そして、当該トランジスタをオフ状態にすることで、当該ノードに保持された電荷を長期にわたって保持することが可能な半導体装置である。

20

【0011】

ところで、酸化物半導体層によってチャネル領域が形成されるトランジスタは、ゲートが固定電位を供給する配線に電氣的に接続された後であってもゲートに電流（過渡電流）が生じることがある。具体的には、当該トランジスタのゲート及びソース間にトランジスタのしきい値電圧未満の電圧を印加し且つドレインがゲートに与えられる電位よりも高電位である状態において、ゲートに過渡電流を生じることがある。すなわち、当該トランジスタがオフ状態（チャネル領域が形成されない状態）にあり且つ当該トランジスタのドレインからゲートに向けて電界が発生した状態において、ゲートに過渡電流を生じることがある。なお、当該過渡電流の値は、経時的に低下する。

【0012】

30

当該過渡電流は、当該トランジスタのドレインから酸化物半導体層に対して正電荷が供給され、当該正電荷が酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面に蓄積されることに起因すると考えられる。すなわち、上記条件下において、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面における正電荷の蓄積に伴い、ゲート及びゲート絶縁膜の界面には負電荷が蓄積される（ゲート絶縁膜を挟んで、一方には正電荷が蓄積され、他方には負電荷が蓄積される）。そのため、ゲートが固定電位を供給する配線に電氣的に接続された後であっても過渡電流が生じると考えられる。

【0013】

上述した半導体装置は、酸化物半導体層によってチャネル領域が形成されるトランジスタのソース及びドレインの一方に電氣的に接続されるノードにおいて電荷を保持する。そのため、当該ノードにおいて正電荷を保持する場合、トランジスタがオフ状態にある期間（保持期間）中に正電荷の量が経時的に減少することになる。これにより、当該半導体装置に記憶されたデータが経時変化する可能性がある。

40

【0014】

上述した課題に鑑み、本発明の一態様は、半導体装置に記憶されたデータの経時変化を抑制することを課題の一とする。

【課題を解決するための手段】

【0015】

上述した課題は、半導体装置に保持される正電荷が長期間に渡って経時的に減少されるのではなく短期間で収束されるように当該半導体装置を駆動することによって解決できる

50

。具体的には、データの書き込み後、酸化物半導体層によってチャネル領域が形成されるトランジスタのゲートに負電位を一時的に与えることによって解決することが可能である。

【0016】

すなわち、本発明の一態様は、酸化物半導体層によってチャネル領域が形成されるトランジスタのソース及びドレインの一方に電氣的に接続されたノードにおいて電荷を保持する半導体装置の駆動方法であって、書き込み期間において、トランジスタのゲートに第1の電位を与え、トランジスタをオン状態とし、トランジスタを介してノードに正電荷を蓄積し、書き込み期間に続く反転期間において、トランジスタのゲートに負電位である第2の電位を与え、トランジスタをオフ状態とし、反転期間に続く保持期間において、トランジスタのゲートに第1の電位より低く且つ第2の電位よりも高い第3の電位を与えることで、トランジスタのオフ状態を維持し、ノードに蓄積された正電荷の保持を行う半導体装置の駆動方法である。

10

【発明の効果】

【0017】

本発明の一態様の半導体装置の駆動方法は、書き込み期間と保持期間の間に、トランジスタのゲートに負電位を与える期間（反転期間）を有する。反転期間において、当該トランジスタのドレインから酸化物半導体層に対する正電荷の供給が促進される。これにより、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面への正電荷の蓄積を短時間で収束させることができる。そのため、反転期間後の保持期間における当該トランジスタのドレインに電氣的に接続されたノードにおける正電荷の減少を抑制することが可能である。すなわち、当該半導体装置に記憶されたデータの経時変化を抑制することが可能である。

20

【図面の簡単な説明】

【0018】

【図1】半導体装置の(A)構成例を示す回路図、(B)駆動方法の一例を示す図。

【図2】半導体装置の(A)、(C)具体例を示す回路図、(B)、(D)駆動方法の一例を示す図。

【図3】トランジスタの一例を示す図。

【図4】(A)～(H)トランジスタの作製工程の一例を示す図。

30

【図5】(A)～(G)トランジスタの作製工程の一例を示す図。

【図6】(A)～(D)トランジスタの作製工程の一例を示す図。

【図7】トランジスタの一例を示す図。

【図8】(A)、(B)トランジスタの一例を示す図。

【図9】(A)、(B)トランジスタの一例を示す図。

【図10】(A)、(B)トランジスタの一例を示す図。

【図11】半導体装置の使用例を示す図。

【図12】半導体装置の使用例を示す図。

【図13】(A)～(F)半導体装置の使用例を示す図。

【発明を実施するための形態】

40

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

(実施の形態1)

本実施の形態では、酸化物半導体層によってチャネル領域が形成されるトランジスタのソース及びドレインの一方が電氣的に接続されたノードにおいて電荷を保持することでデータを記憶する半導体装置及びその駆動方法の一例について図1を参照して説明する。

50

【 0 0 2 1 】

< 構成例 >

図 1 (A) は、本実施の形態の半導体装置の構成例を示す回路図である。図 1 (A) に示す半導体装置は、ゲートが端子 a に電氣的に接続され、ソース及びドレインの一方が端子 b に電氣的に接続されたトランジスタ 1 0 と、ゲートがトランジスタ 1 0 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が端子 c に電氣的に接続され、ソース及びドレインの他方が端子 d に電氣的に接続されたトランジスタ 1 1 とを有する。なお、トランジスタ 1 0 は、酸化物半導体 (O S) 層によってチャネル領域が形成されるトランジスタである。また、トランジスタ 1 1 のチャネル領域を形成する半導体材料は特に限定されない。例えば、トランジスタ 1 1 をトランジスタ 1 0 と同様に酸化物半導体層によってチャネル領域が形成されるトランジスタとする場合、製造コスト及び歩留まりの向上が図れる。また、トランジスタ 1 1 として単結晶シリコン又は多結晶シリコンなどによってチャネル領域が形成されるトランジスタを適用する場合、トランジスタ 1 1 の移動度を向上させることで当該半導体装置の高速駆動が可能になる。

10

【 0 0 2 2 】

図 1 (A) に示す半導体装置は、トランジスタ 1 0 のソース及びドレインの他方並びにトランジスタ 1 1 のゲートが電氣的に接続するノード (図 1 (A) 中のノード A) に保持される電荷に応じて、トランジスタ 1 1 のスイッチングを制御することが可能である。すなわち、図 1 (A) に示す半導体装置においては、トランジスタ 1 1 の状態を判別することで 2 値のデータが得られる。例えば、トランジスタ 1 1 を用いて分圧回路を構成し、該分圧回路の出力信号を判別することで 2 値のデータを得ることが可能である。

20

【 0 0 2 3 】

< 駆動方法例 >

図 1 (B) は、図 1 (A) に示した半導体装置の駆動方法の一例を示す図である。なお、図 1 (B) においては、トランジスタ 1 0 を介して端子 b から供給される正電荷をノード A に蓄積する際の端子 a 及びノード A の電位の変化を示している。

【 0 0 2 4 】

具体的には、書き込み期間において、端子 a の電位が正電位である第 1 の電位へと上昇する。これにより、トランジスタ 1 0 がオン状態となり、端子 b からノード A に対して正電荷が供給されノード A の電位が上昇する。次いで、反転期間において、端子 a の電位が負電位である第 2 の電位へと下降する。これにより、トランジスタ 1 0 がオフ状態となり、ノード A が浮遊状態となる。また、トランジスタ 1 0 のゲートに第 2 の電位が与えられているため、トランジスタ 1 0 のソース及びドレインの他方からゲートに対して強電界が生じる。そのため、ノード A に蓄積された正電荷の、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面におけるトラップが促進され、ノード A の電位が低下する。次いで、保持期間において、端子 a の電位が、第 1 の電位より低く且つ第 2 の電位より高い第 3 の電位へと上昇する。なお、第 3 の電位は、トランジスタ 1 0 がオフ状態を維持する電位である。

30

【 0 0 2 5 】

なお、図 1 (B) に示した駆動方法において反転期間を設けない場合であっても、保持期間においてはトランジスタ 1 0 のソース及びドレインの他方からゲートに対して電界が生じている。そのため、当該保持期間において、ノード A に蓄積された正電荷の、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面におけるトラップが生じる。その場合、ノード A に蓄積された正電荷の減少 (ノード A の電位の下降) は、長期間に渡って生じる。これに対し、図 1 (B) に示す半導体装置の駆動方法においては、書き込み期間と保持期間の間に反転期間を設ける。該反転期間は、トランジスタ 1 0 のソース及びドレインの他方からゲートに対する電界を意図的に強くする期間である。これにより、ノード A に蓄積された正電荷の減少 (ノード A の電位の下降) を短期間で収束させることが可能である。その結果、保持期間におけるデータの経時変化を抑制することが可能である。

40

【 0 0 2 6 】

50

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0027】

(実施の形態2)

本実施の形態では、実施の形態1に示した半導体装置の具体的な一例について図2を参照して説明する。

【0028】

<具体例1>

図2(A)は、実施の形態1に示した半導体装置の具体例を示す回路図である。図2(A)に示す半導体装置は、ゲートが書き込みワード線23に電氣的に接続され、ソース及びドレインの一方が書き込みビット線26に電氣的に接続されたトランジスタ20と、ゲートがトランジスタ20のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が読み出しビット線25に電氣的に接続され、ソース及びドレインの他方が固定電位線27に電氣的に接続されたトランジスタ21と、一方の電極がトランジスタ20のソース及びドレインの他方並びにトランジスタ21のゲートに電氣的に接続され、他方の電極が読み出しワード線24に電氣的に接続された容量素子22と、を有する。なお、トランジスタ20は、酸化物半導体(OS)層によってチャネル領域が形成されるトランジスタである。また、トランジスタ21のチャネル領域を形成する半導体材料は特に限定されない。

【0029】

図2(A)に示す半導体装置は、トランジスタ20のソース及びドレインの他方、トランジスタ21のゲート、並びに容量素子22の一方の電極が電氣的に接続するノード(図2(A)中のノードB)に保持される電荷に応じて、トランジスタ21のスイッチングを制御することが可能である。加えて、ノードBの電位は、読み出しワード線24との容量結合によって制御することが可能である。そのため、図2(A)に示す半導体装置では、多値のデータを記憶することが可能である。すなわち、読み出しワード線24の電位が異なる複数の条件においてトランジスタ21の状態(オン状態又はオフ状態)を判別することで、ノードBの電位が多値化されていても読み出しを行うことが可能である。なお、当該読み出しは、トランジスタ21を用いて構成された分圧回路の出力信号を判別することなどによって行うことができる。また、図2(A)に示す半導体装置は、2値のデータを保持する記憶素子として使用することもできる。

【0030】

図2(B)は、図2(A)に示した半導体装置の駆動方法の一例を示す図である。なお、図2(B)においては、トランジスタ20を介して書き込みビット線26から供給される正電荷をノードBに蓄積する際の書き込みワード線23及びノードBの電位の変化を示している。

【0031】

具体的には、書き込み期間において、書き込みワード線23の電位が正電位である第1の電位へと上昇する。これにより、トランジスタ20がオン状態となり、書き込みビット線26からノードBに対して正電荷が供給されノードBの電位が上昇する。次いで、反転期間において、書き込みワード線23の電位が負電位である第2の電位へと下降する。これにより、トランジスタ20がオフ状態となり、ノードBが浮遊状態となる。また、トランジスタ20のゲートに第2の電位が与えられているため、トランジスタ20のソース及びドレインの他方からゲートに対して強電界が生じる。そのため、ノードBに蓄積された正電荷の、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面におけるトラップが促進され、ノードBの電位が低下する。次いで、保持期間において、書き込みワード線23の電位が、第1の電位より低く且つ第2の電位より高い第3の電位へと上昇する。なお、第3の電位は、トランジスタ20のオフ状態を維持する電位である。

【0032】

<具体例2>

図2(C)は、図2(A)とは異なる半導体装置の具体例を示す回路図である。図2(C)に示す半導体装置は、一列に配設された n 個(n は、3以上の自然数)の記憶素子40を有する。該複数の記憶素子40のそれぞれは、ゲートが書き込みワード線33に電氣的に接続され、ソース及びドレインの一方がビット線35に電氣的に接続されたトランジスタ30と、ゲートがトランジスタ30のソース及びドレインの他方に電氣的に接続されたトランジスタ31と、一方の電極がトランジスタ30のソース及びドレインの他方並びにトランジスタ31のゲートに電氣的に接続され、他方の電極が読み出しワード線34に電氣的に接続された容量素子32と、を有する。また、 k 番目(k は、2以上 n 未満の自然数)に配設された記憶素子40が有するトランジスタ31のソース及びドレインの一方は、($k-1$)番目に配設された記憶素子40が有するトランジスタ31のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方は、($k+1$)番目に配設された記憶素子40が有するトランジスタ31のソース及びドレインの一方に電氣的に接続される。なお、1番目に配設された記憶素子40が有するトランジスタ31のソース及びドレインの一方は、出力端子として機能する。また、 n 番目に配設された記憶素子40が有するトランジスタ31のソース及びドレインの他方は接地される。なお、複数の記憶素子40のそれぞれが有するトランジスタ30は、酸化物半導体(OS)層によってチャネル領域が形成されるトランジスタである。また、複数の記憶素子40のそれぞれが有するトランジスタ31のチャネル領域を形成する半導体材料は特に限定されない。

10

【0033】

図2(C)に示す半導体装置は、トランジスタ30のソース及びドレインの他方、トランジスタ31のゲート、並びに容量素子32の一方の電極が電氣的に接続するノード(図2(C)中のノードC)に保持される電荷に応じて、トランジスタ31のスイッチングを制御することが可能である。加えて、ノードCの電位は、読み出しワード線34との容量結合によって制御することが可能である。なお、図2(C)に示す半導体装置においては、一列に配設された n 個の記憶素子40のいずれか一に保持されたデータの読み出しを行う際に、当該記憶素子40以外の($n-1$)個の記憶素子40の読み出しワード線34の電位をハイレベルに上昇させる。これにより、当該記憶素子40以外の($n-1$)個の記憶素子40が有するトランジスタ31がオン状態となる。そのため、当該記憶素子40が有するトランジスタ31のソース及びドレインの一方が出力端子に電氣的に接続され、ソース及びドレインの他方が接地される。ここで、当該記憶素子40が有するトランジスタ31の状態(オン状態又はオフ状態)を判別することで2値のデータが得られる。具体的には、当該記憶素子40が有するトランジスタ31を用いて分圧回路を構成し、該分圧回路の出力信号を判別することなどで2値のデータが得られる。なお、図2(C)に示す全ての記憶素子40において、多値のデータを記憶することも可能である。すなわち、読み出しワード線34の電位が異なる複数の条件においてトランジスタ31の状態(オン状態又はオフ状態)を判別することで、ノードCの電位が多値化されていても読み出しを行うことが可能である。

20

30

【0034】

図2(D)は、図2(C)に示した半導体装置の駆動方法の一例を示す図である。なお、図2(D)においては、トランジスタ30を介してビット線35から供給される正電荷をノードCに蓄積する際の書き込みワード線33及びノードCの電位の変化を示している。

40

【0035】

具体的には、書き込み期間において、書き込みワード線33の電位が正電位である第1の電位へと上昇する。これにより、トランジスタ30がオン状態となり、ビット線35からノードCに対して正電荷が供給されノードCの電位が上昇する。次いで、反転期間において、書き込みワード線33の電位が負電位である第2の電位へと下降する。これにより、トランジスタ30がオフ状態となり、ノードCが浮遊状態となる。また、トランジスタ30のゲートに第2の電位が与えられているため、トランジスタ30のソース及びドレインの他方からゲートに対して強電界が生じる。そのため、ノードCに蓄積された正電荷の

50

、酸化物半導体層内又は酸化物半導体層及びゲート絶縁膜の界面におけるトラップが促進され、ノードCの電位が低下する。次いで、保持期間において、書き込みワード線33の電位が、第1の電位より低く且つ第2の電位より高い第3の電位へと上昇する。なお、第3の電位は、トランジスタ30がオフ状態を維持する電位である。

【0036】

本実施の形態の半導体装置は、図2(B)、(D)に示すように半導体装置の書き込み期間と保持期間の間に反転期間が設けられる。該反転期間は、トランジスタ20、30のソース及びドレインの他方からゲートに対する電界を意図的に強くする期間である。これにより、ノードB、Cに蓄積された正電荷の減少(ノードB、Cの電位の下降)を短時間で収束させることが可能である。その結果、保持期間におけるデータの経時変化を抑制することが可能である。特に、多値化されたデータを保持することが可能な本実施の形態の半導体装置においては、図2(B)、(D)に示す駆動方法を適用することは効果的である。具体的には、本実施の形態の半導体装置では、特定のノードに保持される正電荷の多寡に応じて3値以上のデータを判別することが可能である。そのため、保持期間に生じる電荷量の減少が、保持データの変化に与える影響が顕在化しやすい。これに対し、保持期間における当該電荷量の減少を抑制することが可能な図2(B)、(D)に示す駆動方法は、データの保持特性の向上に効果的である。また、図2(B)、(D)に示す駆動方法を用いることにより、保持データがより多値化(2値から4値へ、4値から8値へ、など)された半導体装置を提供することが可能になる。

【0037】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0038】

(実施の形態3)

本実施の形態では、上記実施の形態で示した半導体装置が有するトランジスタの一例について説明する。具体的には、半導体材料を含む基板を用いて形成されるトランジスタ及び酸化物半導体層を用いて形成されるトランジスタを有する半導体装置の一例について示す。

【0039】

<構成例>

本実施の形態の半導体装置の断面図を図3に示す。

【0040】

図3に示すトランジスタ160は、半導体材料を含む基板100に設けられたチャネル領域116と、チャネル領域116を挟むように設けられた一对の不純物領域114a、114b及び一对の高濃度不純物領域120a、120b(これらをあわせて単に不純物領域とも呼ぶ)と、チャネル領域116上に設けられたゲート絶縁膜108aと、ゲート絶縁膜108a上に設けられたゲート層110aと、不純物領域114aと電氣的に接続するソース層130aと、不純物領域114bと電氣的に接続するドレイン層130bとを有する。

【0041】

なお、ゲート層110aの側面にはサイドウォール絶縁層118が設けられている。また、半導体材料を含む基板100のサイドウォール絶縁層118と重ならない領域には、一对の高濃度不純物領域120a、120bを有し、一对の高濃度不純物領域120a、120b上には一对の金属化合物領域124a、124bが存在する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース層130aは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124aと電氣的に接続され、ドレイン層130bは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124bと電氣的に接続されている。つまり、ソース層130aは、金属化合物領域124aを介して

高濃度不純物領域 1 2 0 a および不純物領域 1 1 4 a と電氣的に接続され、ドレイン層 1 3 0 b は、金属化合物領域 1 2 4 b を介して高濃度不純物領域 1 2 0 b および不純物領域 1 1 4 b と電氣的に接続されている。

【 0 0 4 2 】

また、後述するトランジスタ 1 6 4 の下層には、ゲート絶縁膜 1 0 8 a と同一材料からなる絶縁層 1 0 8 b、ゲート層 1 1 0 a と同一材料からなる電極層 1 1 0 b、並びにソース層 1 3 0 a 及びドレイン層 1 3 0 b と同一材料からなる電極層 1 3 0 c が設けられている。

【 0 0 4 3 】

図 3 に示すトランジスタ 1 6 4 は、層間絶縁層 1 2 8 上に設けられたゲート層 1 3 6 d と、ゲート層 1 3 6 d 上に設けられたゲート絶縁膜 1 3 8 と、ゲート絶縁膜 1 3 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられ、酸化物半導体層 1 4 0 と電氣的に接続されているソース層 1 4 2 a と、ドレイン層 1 4 2 b とを有する。

【 0 0 4 4 】

ここで、ゲート層 1 3 6 d は、層間絶縁層 1 2 8 上に形成された絶縁層 1 3 2 に、埋め込むように設けられている。また、ゲート層 1 3 6 d と同様に、トランジスタ 1 6 0 が有する、ソース層 1 3 0 a に接する電極層 1 3 6 a 及びドレイン層 1 3 0 b に接する電極層 1 3 6 b が形成されている。また、電極層 1 3 0 c に接する電極層 1 3 6 c が形成されている。

【 0 0 4 5 】

また、トランジスタ 1 6 4 の上には、酸化物半導体層 1 4 0 の一部と接するように、保護絶縁層 1 4 4 が設けられており、保護絶縁層 1 4 4 上には層間絶縁層 1 4 6 が設けられている。ここで、保護絶縁層 1 4 4 および層間絶縁層 1 4 6 には、ソース層 1 4 2 a 及びドレイン層 1 4 2 b にまで達する開口が設けられており、当該開口を通じて、ソース層 1 4 2 a に接する電極層 1 5 0 d、ドレイン層 1 4 2 b に接する電極層 1 5 0 e が形成されている。また、電極層 1 5 0 d、電極層 1 5 0 e と同様に、ゲート絶縁膜 1 3 8、保護絶縁層 1 4 4、層間絶縁層 1 4 6 に設けられた開口を通じて、電極層 1 3 6 a に接する電極層 1 5 0 a、電極層 1 3 6 b に接する電極層 1 5 0 b、及び電極層 1 3 6 c に接する電極層 1 5 0 c が形成されている。

【 0 0 4 6 】

ここで、酸化物半導体層 1 4 0 は水素などの不純物が十分に除去され、高純度化されている。具体的には、酸化物半導体層 1 4 0 の水素濃度は 5×10^{19} (atoms/cm³) 以下である。なお、酸化物半導体層 1 4 0 の水素濃度は、 5×10^{18} (atoms/cm³) 以下であることが望ましく、 5×10^{17} (atoms/cm³) 以下であることがより望ましい。水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 を用いることで、極めて優れたオフ電流特性のトランジスタ 1 6 4 を得ることができる。例えば、ドレイン電圧 V_d が +1 V または +10 V の場合、リーク電流は 1×10^{-13} [A] 以下となる。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 を適用することで、トランジスタ 1 6 4 のリーク電流を低減することができる。なお、上述の酸化物半導体層 1 4 0 中の水素濃度は、二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectrometry) で測定したものである。

【 0 0 4 7 】

また、層間絶縁層 1 4 6 上には絶縁層 1 5 2 が設けられており、絶縁層 1 5 2 に埋め込まれるように、電極層 1 5 4 a、電極層 1 5 4 b、電極層 1 5 4 c、電極層 1 5 4 d が設けられている。なお、電極層 1 5 4 a は電極層 1 5 0 a と接しており、電極層 1 5 4 b は電極層 1 5 0 b と接しており、電極層 1 5 4 c は電極層 1 5 0 c および電極層 1 5 0 d と接しており、電極層 1 5 4 d は電極層 1 5 0 e と接している。

【 0 0 4 8 】

本実施の形態で示すトランジスタ 1 6 0 が有するソース層 1 3 0 a は、上層領域に設け

10

20

30

40

50

られた電極層136a、電極層150a、及び電極層154aに電氣的に接続している。そのため、トランジスタ160のソース層130aは、これらの導電層を適宜形成することにより、上層領域に設けられたトランジスタ164が有する電極層のいずれかと電氣的に接続させることが可能である。また、トランジスタ160が有するドレイン層130bについても同様に、上層領域に設けられたトランジスタ164が有する電極層のいずれかと電氣的に接続させることが可能である。なお、図3には図示していないが、トランジスタ160が有するゲート層110aが、上層領域に設けられた電極層を介して、トランジスタ164が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0049】

同様に、本実施の形態で示すトランジスタ164が有するソース層142aは、下層領域に設けられた電極層130c及び電極層110bに電氣的に接続している。そのため、トランジスタ164のソース層142aは、これらの導電層を適宜形成することにより、下層領域に設けられたトランジスタ160のゲート層110a、ソース層130a、又はドレイン層130bと電氣的に接続させることが可能である。なお、図3には図示していないが、トランジスタ164が有するゲート層136d又はドレイン層142bが、下層領域に設けられた電極層を介して、トランジスタ160が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0050】

<作製工程例>

次に、トランジスタ160及びトランジスタ164の作製方法の一例について説明する。以下では、はじめにトランジスタ160の作製方法について図4を参照しながら説明し、その後、トランジスタ164の作製方法について図5および図6を参照しながら説明する。

【0051】

まず、半導体材料を含む基板100を用意する(図4(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含むこととする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含まれるものとする。

【0052】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図4(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、半導体装置のしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0053】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより分離された半導体領域104が形成される(図4(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0054】

10

20

30

40

50

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図4(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(Chemical Mechanical Polishing)などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0055】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

10

【0056】

絶縁層は後のゲート絶縁膜となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素などとの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

【0057】

20

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0058】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁膜108a、ゲート層110aを形成する(図4(C)参照)。

【0059】

30

次に、ゲート層110aを覆う絶縁層112を形成する(図4(C)参照)。そして、半導体領域104に硼素(B)、リン(P)、ヒ素(As)などを添加して、浅い接合深さの一对の不純物領域114a、114bを形成する(図4(C)参照)。なお、一对の不純物領域114a、114bの形成により、半導体領域104のゲート絶縁膜108a下部には、チャンネル領域116が形成される(図4(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に一对の不純物領域114a、114bを形成する工程を採用しているが、一对の不純物領域114a、114bを形成した後に絶縁層112を形成する工程としても良い。

【0060】

40

次に、サイドウォール絶縁層118を形成する(図4(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート層110aの上面と、一对の不純物領域114a、114bの上面を露出させると良い。

【0061】

次に、ゲート層110a、一对の不純物領域114a、114b、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、一对の不純物領域114a、114bの一部に対して硼素(B)、リン(P)、ヒ素(As)などを添加して、一对の高濃度不純物領域120a、120bを形成する(図4(E)参照)。その後、上記絶縁層を

50

除去し、ゲート層 110a、サイドウォール絶縁層 118、一对の高濃度不純物領域 120a、120b等を覆うように金属層 122を形成する(図4(E)参照)。金属層 122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層 122は、半導体領域 104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0062】

次に、熱処理を施して、金属層 122と半導体材料とを反応させる。これにより、一对の高濃度不純物領域 120a、120bに接する一对の金属化合物領域 124a、124bが形成される(図4(F)参照)。なお、ゲート層 110aとして多結晶シリコンなどを用いる場合には、ゲート層 110aの金属層 122と接触する部分にも、金属化合物領域が形成されることになる。

10

【0063】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、一对の金属化合物領域 124a、124bを形成した後は、金属層 122は除去する。

20

【0064】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 126、層間絶縁層 128を形成する(図4(G)参照)。層間絶縁層 126や層間絶縁層 128は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 126や層間絶縁層 128の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 128の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。

30

【0065】

その後、上記層間絶縁層に、一对の金属化合物領域 124a、124bにまで達する開口を形成し、当該開口に、ソース層 130a、ドレイン層 130bを形成する(図4(H)参照)。ソース層 130a及びドレイン層 130bは、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0066】

なお、ソース層 130a及びドレイン層 130bを形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後のCMPによって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース層 130a及びドレイン層 130bを含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0067】

なお、ここでは、一对の金属化合物領域 124a、124bと接触するソース層 130a及びドレイン層 130bのみを示しているが、この工程において、配線として機能する電極層(例えば、図3における電極層 130c)などをあわせて形成することができる。ソース層 130a及びドレイン層 130bとして用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、

50

タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。

【0068】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した回路を提供することができる。

【0069】

次に、図5および図6を用いて、層間絶縁層128上にトランジスタ164を作製する工程について説明する。なお、図5および図6は、層間絶縁層128上の各種電極層や、トランジスタ164などの作製工程を示すものであるから、トランジスタ164の下部に存在するトランジスタ160等については省略している。

10

【0070】

まず、層間絶縁層128、ソース層130a、ドレイン層130b、電極層130c上に絶縁層132を形成する(図5(A)参照)。絶縁層132はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0071】

次に、絶縁層132に対し、ソース層130a、ドレイン層130b、および電極層130cにまで達する開口を形成する。この際、後にゲート層136dが形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層134を形成する(図5(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層134の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層134の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

20

30

【0072】

より具体的には、例えば、PVD法により開口を含む領域にチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極層(ここでは、ソース層130a、ドレイン層130b、電極層130cなど)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0073】

導電層134を形成した後は、エッチング処理やCMPといった方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極層136a、電極層136b、電極層136c、ゲート層136dを形成する(図5(C)参照)。なお、上記導電層134の一部を除去して電極層136a、電極層136b、電極層136c、ゲート層136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極層136a、電極層136b、電極層136c、ゲート層136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0074】

次に、絶縁層132、電極層136a、電極層136b、電極層136c、ゲート層136dを覆うように、ゲート絶縁膜138を形成する(図5(D)参照)。ゲート絶縁膜

50

138は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁膜138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁膜138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン(SiH_4)、酸素、窒素を用いたプラズマCVD法により、酸化窒化珪素でなるゲート絶縁膜138を形成することができる。ゲート絶縁膜138の厚さは特に限定されないが、例えば、10nm以上500nm以下とすることができる。積層構造の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁膜と、第1のゲート絶縁膜上の膜厚5nm以上300nm以下の第2のゲート絶縁膜の積層とすると好適である。

10

【0075】

なお、不純物を除去することによりi型化または実質的にi型化された酸化物半導体(高純度化された酸化物半導体)は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁膜との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁膜138には、高品質化が要求されることになる。

【0076】

例えば、 μ 波(2.45GHz)を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質なゲート絶縁膜138を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとするところからである。

20

【0077】

もちろん、ゲート絶縁膜として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマCVD法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁膜138としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

【0078】

次いで、ゲート絶縁膜138上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する(図5(E)参照)。

30

【0079】

酸化物半導体層としては、少なくともIn、Ga、Sn、Zn、Al、Mg、Hf及びランタノイドから選ばれた一種以上の元素を含有する。例えば、In-Sn-Ga-Zn-O系、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Hf-Zn-O系、In-La-Zn-O系、In-Ce-Zn-O系、In-Pr-Zn-O系、In-Nd-Zn-O系、In-Pm-Zn-O系、In-Sm-Zn-O系、In-Eu-Zn-O系、In-Gd-Zn-O系、In-Tb-Zn-O系、In-Dy-Zn-O系、In-Ho-Zn-O系、In-Er-Zn-O系、In-Tm-Zn-O系、In-Yb-Zn-O系、In-Lu-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、In-Ga-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系の金属酸化物ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

40

【0080】

50

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛などを主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、およびZnを含む金属酸化物ターゲット（組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol比]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom比]）などを用いることもできる。また、In、Ga、およびZnを含む金属酸化物ターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom比]、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom比]の組成比を有するターゲットなどを用いても良い。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上（例えば99.9%）である。充填率の高い金属酸化物ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

10

【0081】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $\text{In} : \text{Zn} = 1.5 : 1 \sim 15 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4 \sim 15 : 2$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0082】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、数ppm程度（望ましくは数ppb程度）にまで除去された高純度ガスを用いるのが好適である。

20

【0083】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

30

【0084】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素流量比率100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

40

【0085】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法として

50

は、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

【0086】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

【0087】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いても良い。

10

【0088】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

20

【0089】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）などのエッチング液を用いてもよい。

【0090】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300 以上750 以下、好ましくは400 以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450 において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われないようにする。

30

【0091】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0092】

例えば、第1の熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0093】

なお、第1の熱処理は、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成

50

分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0094】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

10

【0095】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に微結晶(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。

【0096】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の金属酸化物ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

20

【0097】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0098】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

30

【0099】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0100】

なお、上記熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース層及びドレイン層を積層させた後、又はソース層及びドレイン層上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

40

【0101】

次に、酸化物半導体層140に接するように、ソース層142a及びドレイン層142bを形成する(図5(F)参照)。ソース層142a及びドレイン層142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0102】

当該導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム

50

、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウム of のいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0103】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

10

【0104】

トランジスタのチャンネル長(L)は、ソース層142aの下端部と、ドレイン層142bの下端部との間隔によって決定される。なお、チャンネル長(L)が25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

【0105】

20

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0106】

また、酸化物半導体層140とソース層142aの間、又は酸化物半導体層140とドレイン層142bの間に、酸化物導電層を形成してもよい。酸化物導電層と、ソース層142a及びドレイン層142bを形成するための金属層とは、連続して形成すること(連続成膜)が可能である。酸化物導電層は、ソース領域またはドレイン領域として機能する。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

30

【0107】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状(階段状)となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

40

【0108】

なお、上述の工程の後には、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0109】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する(図5(G)参照)。

【0110】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入

50

させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも1 nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

【0111】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層140への侵入や、水素による酸化物半導体層140中の酸素の引き抜き、などが生じ、酸化物半導体層140のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層144はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

10

【0112】

また、処理室内の残留水分を除去しつつ保護絶縁層144を形成することが好ましい。これは、酸化物半導体層140および保護絶縁層144に水素、水酸基または水分が含まれないようにするためである。

【0113】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層144に含まれる不純物の濃度を低減できる。

20

【0114】

保護絶縁層144を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、数ppm程度（望ましくは、数ppb程度）にまで除去された高純度ガスを用いることが好ましい。

【0115】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の熱処理を行う。第2の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。

30

【0116】

また、大気中、100以上200以下、1時間以上30時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第2の熱処理に代えて行っても良いし、第2の熱処理の前後などに行っても良い。

【0117】

次に、保護絶縁層144上に、層間絶縁層146を形成する（図6(A)参照）。層間絶縁層146はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層146の形成後には、その表面を、CMPやエッチングなどの方法によって平坦化しておくことが望ましい。

40

【0118】

次に、層間絶縁層146、保護絶縁層144、およびゲート絶縁膜138に対し、電極層136a、電極層136b、電極層136c、ソース層142a、ドレイン層142bにまで達する開口を形成し、当該開口に埋め込むように導電層148を形成する（図6（

50

B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層148の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層148の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

【0119】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極(ここでは、電極層136a、電極層136b、電極層136c、ソース層142a、ドレイン層142b)との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0120】

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eを形成する(図6(C)参照)。なお、上記導電層148の一部を除去して電極層150a、電極層150b、電極層150c、電極層150d、電極層150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0121】

さらに、絶縁層152を形成し、絶縁層152に、電極層150a、電極層150b、電極層150c、電極層150d、電極層150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極層154a、電極層154b、電極層154c、電極層154dを形成する(図6(D)参照)。当該工程は、電極層150a等を形成する場合と同様であるから、詳細は省略する。

【0122】

<変形例>

図7乃至図10には、トランジスタ164の構成の変形例を示す。つまり、トランジスタ160の構成は上記と同様である。

【0123】

図7には、酸化物半導体層140の下にゲート層136dを有し、ソース層142a及びドレイン層142bが、酸化物半導体層140の下側表面において接する構成のトランジスタ164を示す。

【0124】

図7に示す構成と図3に示す構成の大きな相違点として、ソース層142a及びドレイン層142bと、酸化物半導体層140との接続の位置が挙げられる。つまり、図3に示す構成では、酸化物半導体層140の上側表面において、ソース層142a及びドレイン層142bと接するのに対して、図7に示す構成では、酸化物半導体層140の下側表面において、ソース層142a及びドレイン層142bと接する。そして、この接触の相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図3と同様である。

【0125】

10

20

30

40

50

具体的には、図7に示すトランジスタ164は、層間絶縁層128上に設けられたゲート層136dと、ゲート層136d上に設けられたゲート絶縁膜138と、ゲート絶縁膜138上に設けられた、ソース層142a及びドレイン層142bと、ソース層142a及びドレイン層142bの上側表面に接する酸化物半導体層140と、を有する。また、トランジスタ164の上には、酸化物半導体層140を覆うように、保護絶縁層144が設けられている。

【0126】

図8には、酸化物半導体層140の上にゲート層136dを有するトランジスタ164を示す。ここで、図8(A)は、ソース層142a及びドレイン層142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成の例を示す図であり、図8(B)は、ソース層142a及びドレイン層142bが、酸化物半導体層140の上側表面において酸化物半導体層140と接する構成の例を示す図である。

10

【0127】

図3又は図7に示す構成と図8に示す構成の大きな相違点は、酸化物半導体層140の上にゲート層136dを有する点である。また、図8(A)に示す構成と図8(B)に示す構成の大きな相違点は、ソース層142a及びドレイン層142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図3などと同様である。

【0128】

20

具体的には、図8(A)に示すトランジスタ164は、層間絶縁層128上に設けられたソース層142a及びドレイン層142bと、ソース層142a及びドレイン層142bの上側表面に接する酸化物半導体層140と、酸化物半導体層140上に設けられたゲート絶縁膜138と、ゲート絶縁膜138上の酸化物半導体層140と重畳する領域のゲート層136dと、を有する。

【0129】

また、図8(B)に示すトランジスタ164は、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上側表面に接するように設けられたソース層142a及びドレイン層142bと、酸化物半導体層140、ソース層142a、及びドレイン層142b上に設けられたゲート絶縁膜138と、ゲート絶縁膜138上の酸化物半導体層140と重畳する領域に設けられたゲート層136dと、を有する。

30

【0130】

なお、図8に示す構成では、図3に示す構成などと比較して、構成要素が省略される場合がある(例えば、電極層150aや、電極層154aなど)。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図3などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

【0131】

図9には、素子のサイズが比較的大きい場合であって、酸化物半導体層140の下にゲート層136dを有する構成のトランジスタ164を示す。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート層136dなどを形成することが可能である。

40

【0132】

図9(A)に示す構成と図9(B)に示す構成の大きな相違点は、ソース層142a及びドレイン層142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図3などと同様である。

【0133】

具体的には、図9(A)に示すトランジスタ164は、層間絶縁層128上に設けられ

50

たゲート層 136d と、ゲート層 136d 上に設けられたゲート絶縁膜 138 と、ゲート絶縁膜 138 上に設けられた、ソース層 142a 及びドレイン層 142b と、ソース層 142a 及びドレイン層 142b の上側表面に接する酸化物半導体層 140 と、を有する。

【0134】

また、図 9 (B) に示すトランジスタ 164 は、層間絶縁層 128 上に設けられたゲート層 136d と、ゲート層 136d 上に設けられたゲート絶縁膜 138 と、ゲート絶縁膜 138 上のゲート層 136d と重畳する領域に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース層 142a 及びドレイン層 142b と、を有する。

【0135】

なお、図 9 に示す構成においても、図 3 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0136】

図 10 には、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の上にゲート層 136d を有する構成のトランジスタ 164 を示す。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート層 136d などを形成することが可能である。

【0137】

図 10 (A) に示す構成と図 10 (B) に示す構成の大きな相違点は、ソース層 142a 及びドレイン層 142b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 3 などと同様である。

【0138】

具体的には、図 10 (A) に示すトランジスタ 164 は、層間絶縁層 128 上に設けられたソース層 142a 及びドレイン層 142b と、ソース層 142a 及びドレイン層 142b の上側表面に接する酸化物半導体層 140 と、ソース層 142a、ドレイン層 142b、及び酸化物半導体層 140 上に設けられたゲート絶縁膜 138 と、ゲート絶縁膜 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート層 136d と、を有する。

【0139】

また、図 10 (B) に示すトランジスタ 164 は、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース層 142a 及びドレイン層 142b と、ソース層 142a、ドレイン層 142b、及び酸化物半導体層 140 上に設けられたゲート絶縁膜 138 と、ゲート絶縁膜 138 上に設けられたゲート層 136d と、を有する。なお、ゲート層 136d は、ゲート絶縁膜 138 を介して、酸化物半導体層 140 と重畳する領域に設けられる。

【0140】

なお、図 10 に示す構成においても、図 3 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0141】

本実施の形態では、トランジスタ 160 上にトランジスタ 164 を積層して形成する例について説明したが、トランジスタ 160 及びトランジスタ 164 の構成はこれに限られるものではない。例えば、同一平面上にトランジスタ 160 及びトランジスタ 164 を形成することができる。さらに、トランジスタ 160 と、トランジスタ 164 とを重畳して設けても良い。

【0142】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

10

20

30

40

50

【0143】

(実施の形態4)

本実施形態は上記実施の形態に示した記憶装置を有する半導体装置の使用例として、RFID(Radio Frequency Identification)タグ500を示す(図11参照)。

【0144】

RFIDタグ500は、アンテナ回路501及び信号処理回路502を有する。信号処理回路502は、整流回路503、電源回路504、復調回路505、発振回路506、論理回路507、メモリコントロール回路508、メモリ回路509、論理回路510、アンプ511、変調回路512を有する。メモリ回路509は上記実施の形態に示した半導体装置を有する。

10

【0145】

アンテナ回路501によって受信された通信信号は復調回路505に入力される。受信される通信信号、すなわちアンテナ回路501とリーダ/ライタ間で送受信される信号の周波数は極超短波帯においては915MHz、2.45GHzなどがあり、それぞれISO規格などで規定される。もちろん、アンテナ回路501とリーダ/ライタ間で送受信される信号の周波数はこれに限定されず、例えばサブミリ波である300GHz~3THz、ミリ波である30GHz~300GHz、マイクロ波である3GHz~30GHz、極超短波である300MHz~3GHz、超短波である30MHz~300MHzのいずれの周波数も用いることができる。また、アンテナ回路501とリーダ/ライタ間で送受信される信号は、搬送波を変調した信号である。搬送波の変調方式は、アナログ変調またはデジタル変調であり、振幅変調、位相変調、周波数変調及びスペクトラム拡散のいずれか

20

【0146】

発振回路506から出力された発振信号は、クロック信号として論理回路507に供給される。また、変調された搬送波は、復調回路505で復調される。復調後の信号も論理回路507に送られ解析される。論理回路507で解析された信号は、メモリコントロール回路508に送られる。メモリコントロール回路508は、メモリ回路509を制御し、メモリ回路509に記憶されたデータを取り出し、当該データを論理回路510に送る。論理回路510では当該データに対してエンコード処理を行う。その後、エンコード処理された当該データは、アンプ511で増幅され、これに基づいて変調回路512は搬送波に変調をかける。この変調された搬送波によりリーダ/ライタがRFIDタグ500からの信号を認識する。

30

【0147】

整流回路503に入った搬送波は整流された後、電源回路504に入力される。このようにして得られた電源電圧を電源回路504より復調回路505、発振回路506、論理回路507、メモリコントロール回路508、メモリ回路509、論理回路510、アンプ511、変調回路512などに供給する。

【0148】

信号処理回路502とアンテナ回路501におけるアンテナとの接続については特に限定されない。例えば、アンテナと信号処理回路502をワイヤボンディング接続やバンプ接続を用いて接続する、またはチップ化した信号処理回路502の一面を電極にしてアンテナに貼り付ける。信号処理回路502とアンテナとの貼り付けにはACF(anisotropic conductive film:異方性導電性フィルム)を用いることができる。

40

【0149】

アンテナは、信号処理回路502と共に同じ基板上に積層して設けるか、外付けのアンテナを用いる。もちろん、信号処理回路の上部もしくは下部にアンテナが設けられる。

【0150】

整流回路503は、アンテナ回路501が受信する搬送波により誘導される交流信号を

50

直流信号に変換する。

【0151】

R F I D タグ 5 0 0 はバッテリー 5 6 1 を有してもよい（図 1 2 参照）。整流回路 5 0 3 から出力される電源電圧が、信号処理回路 5 0 2 を動作させるのに十分でないときには、バッテリー 5 6 1 から信号処理回路 5 0 2 を構成する各回路（復調回路 5 0 5、発振回路 5 0 6、論理回路 5 0 7、メモリコントロール回路 5 0 8、メモリ回路 5 0 9、論理回路 5 1 0、アンプ 5 1 1、変調回路 5 1 2 など）に電源電圧を供給する。

【0152】

整流回路 5 0 3 から出力される電源電圧のうちの余剰分をバッテリー 5 6 1 に充電すれば良い。R F I D タグ 5 0 0 にアンテナ回路 5 0 1 及び整流回路 5 0 3 とは別にさらにアンテナ回路及び整流回路を設けることにより、無作為に生じている電磁波等からバッテリー 5 6 1 に蓄えるエネルギーを得ることができる。

10

【0153】

バッテリーに充電することで連続的に使用できる。バッテリーはシート状に形成された電池を用いる。例えば、ゲル状電解質を用いるリチウムポリマー電池や、リチウムイオン電池、リチウム 2 次電池等を用いると、バッテリーの小型化が可能である。例えば、ニッケル水素電池、ニッケルカドミウム電池、または大容量のコンデンサーなどが挙げられる。

【0154】

（実施の形態 5）

本実施の形態では、上記の実施の形態に示した半導体装置の使用例について図 1 3 を参照して説明する。

20

【0155】

図 1 3 に示すように、半導体装置の用途は広範囲にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 1 3（A）参照）、記録媒体（D V D ソフトやビデオテープ等、図 1 3（B）参照）、包装用容器類（包装紙やボトル等、図 1 3（C）参照）、乗り物類（自転車等、図 1 3（D）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器（液晶表示装置、E L 表示装置、テレビジョン受像機、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図 1 3（E）、図 1 3（F）参照）等に設けて使用することができる。

30

【0156】

半導体装置 1 5 0 0 は、プリント基板に実装する、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。半導体装置 1 5 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に半導体装置 1 5 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の半導体装置を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、半導体装置 1 5 0 0 を取り付けることにより、盗難などに対するセキュリティを高めることができる。

40

【0157】

以上のように、上記実施の形態で説明した半導体装置を本実施の形態に挙げた各用途に用いることにより、情報のやりとりに用いられるデータを正確の値のまま維持することができるため、物品の認証性、またはセキュリティを高めることができる。

【符号の説明】

【0158】

1 0 トランジスタ

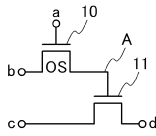
50

1 1	トランジスタ	
2 0	トランジスタ	
2 1	トランジスタ	
2 2	容量素子	
2 3	書き込みワード線	
2 4	読み出しワード線	
2 5	読み出しビット線	
2 6	書き込みビット線	
2 7	固定電位線	
3 0	トランジスタ	10
3 1	トランジスタ	
3 2	容量素子	
3 3	書き込みワード線	
3 4	読み出しワード線	
3 5	ビット線	
4 0	記憶素子	
1 0 0	基板	
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	20
1 0 8 a	ゲート絶縁膜	
1 0 8 b	絶縁層	
1 1 0 a	ゲート層	
1 1 0 b	電極層	
1 1 2	絶縁層	
1 1 4 a	不純物領域	
1 1 4 b	不純物領域	
1 1 6	チャネル領域	
1 1 8	サイドウォール絶縁層	
1 2 0 a	高濃度不純物領域	30
1 2 0 b	高濃度不純物領域	
1 2 2	金属層	
1 2 4 a	金属化合物領域	
1 2 4 b	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース層	
1 3 0 b	ドレイン層	
1 3 0 c	電極層	
1 3 2	絶縁層	40
1 3 4	導電層	
1 3 6 a	電極層	
1 3 6 b	電極層	
1 3 6 c	電極層	
1 3 6 d	ゲート層	
1 3 8	ゲート絶縁膜	
1 4 0	酸化物半導体層	
1 4 2 a	ソース層	
1 4 2 b	ドレイン層	
1 4 4	保護絶縁層	50

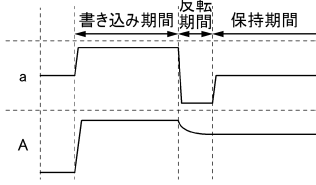
1 4 6	層間絶縁層	
1 4 8	導電層	
1 5 0 a	電極層	
1 5 0 b	電極層	
1 5 0 c	電極層	
1 5 0 d	電極層	
1 5 0 e	電極層	
1 5 2	絶縁層	
1 5 4 a	電極層	
1 5 4 b	電極層	10
1 5 4 c	電極層	
1 5 4 d	電極層	
1 6 0	トランジスタ	
1 6 4	トランジスタ	
5 0 0	R F I D タグ	
5 0 1	アンテナ回路	
5 0 2	信号処理回路	
5 0 3	整流回路	
5 0 4	電源回路	
5 0 5	復調回路	20
5 0 6	発振回路	
5 0 7	論理回路	
5 0 8	メモリコントロール回路	
5 0 9	メモリ回路	
5 1 0	論理回路	
5 1 1	アンプ	
5 1 2	変調回路	
1 5 0 0	半導体装置	

【図1】

(A)

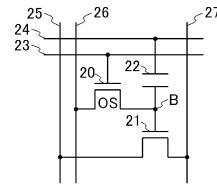


(B)

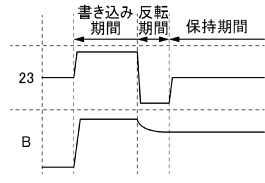


【図2】

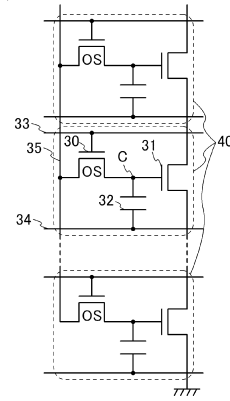
(A)



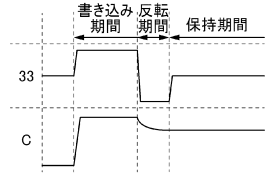
(B)



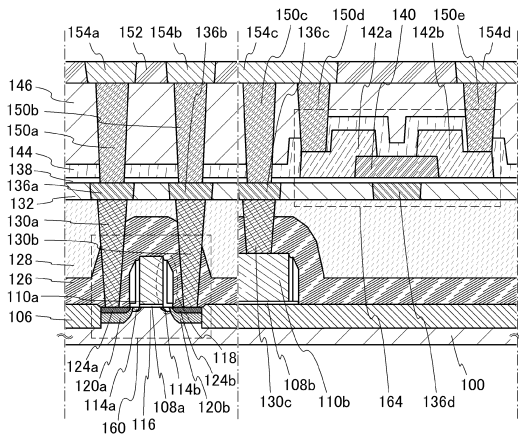
(C)



(D)

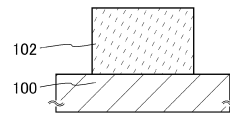


【図3】

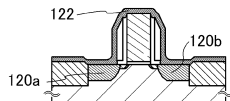


【図4】

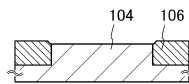
(A)



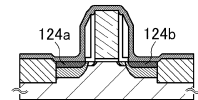
(E)



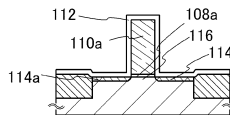
(B)



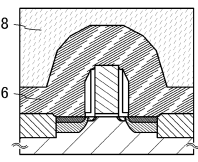
(F)



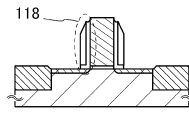
(C)



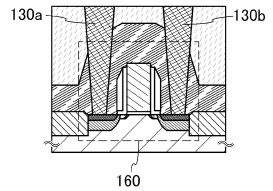
(G)



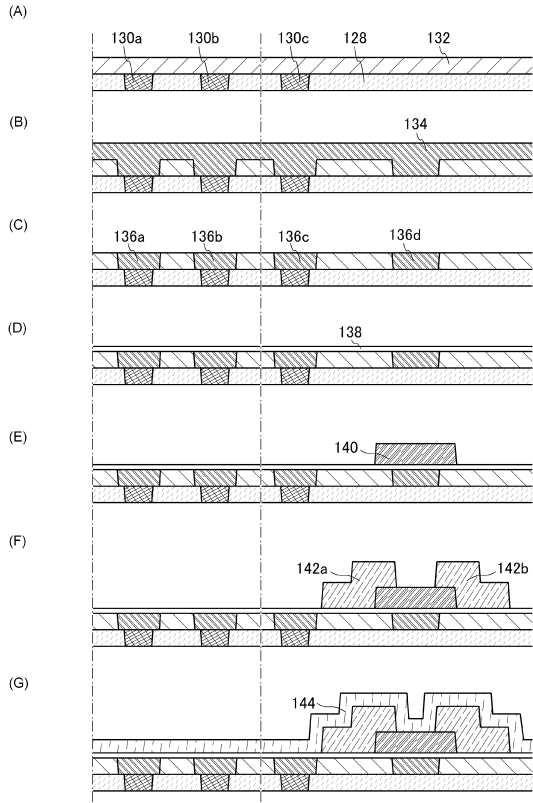
(D)



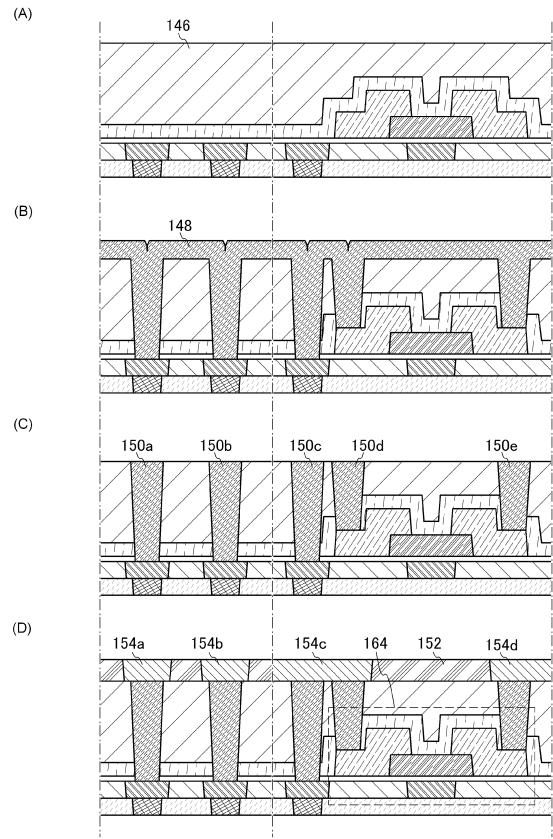
(H)



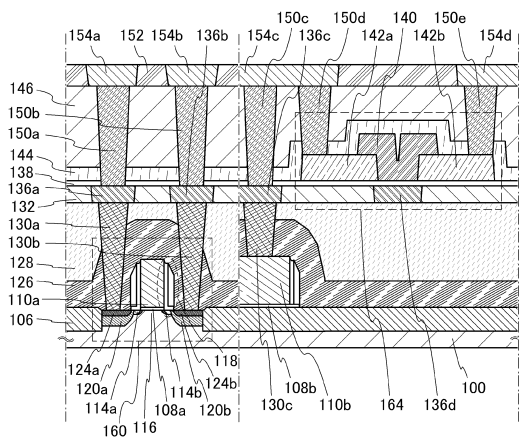
【 図 5 】



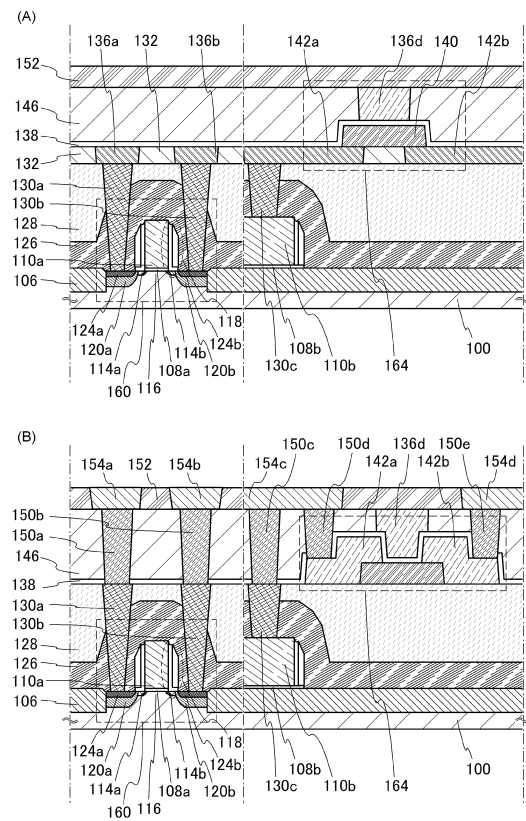
【 図 6 】



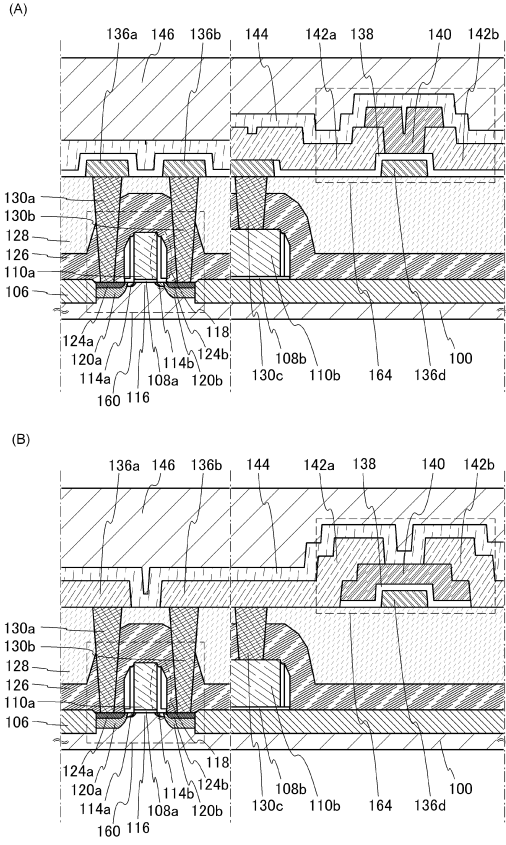
【 図 7 】



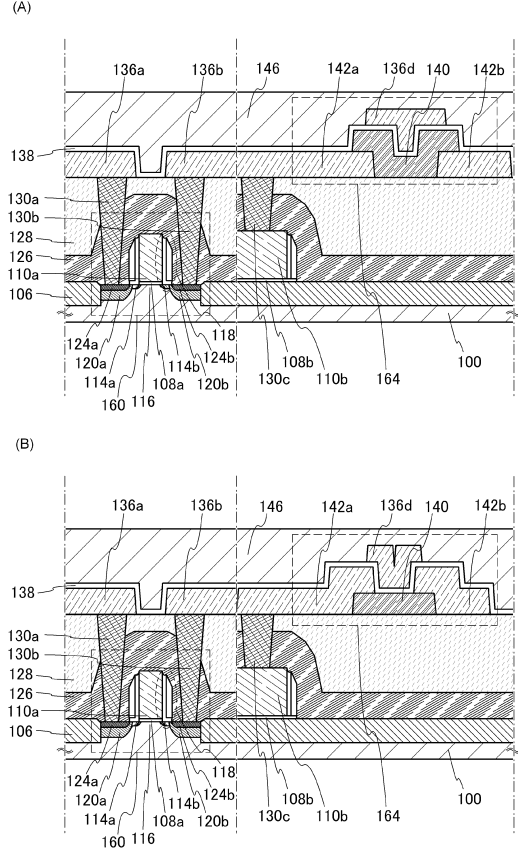
【 図 8 】



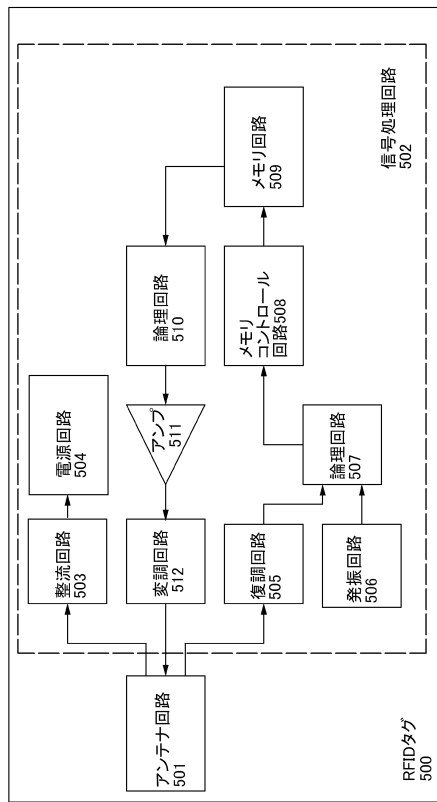
【図9】



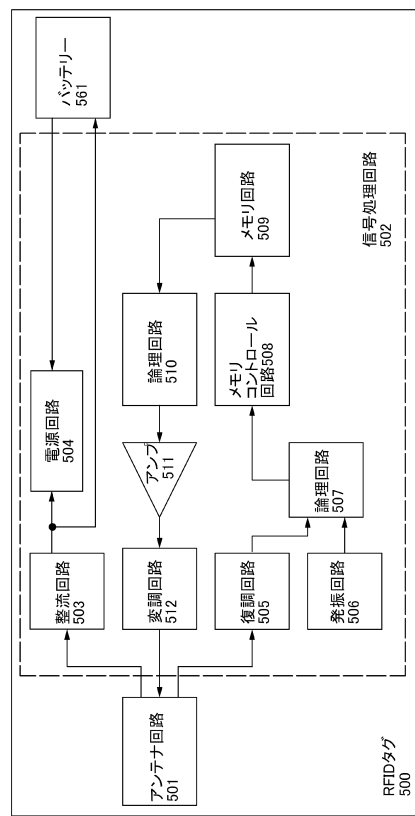
【図10】



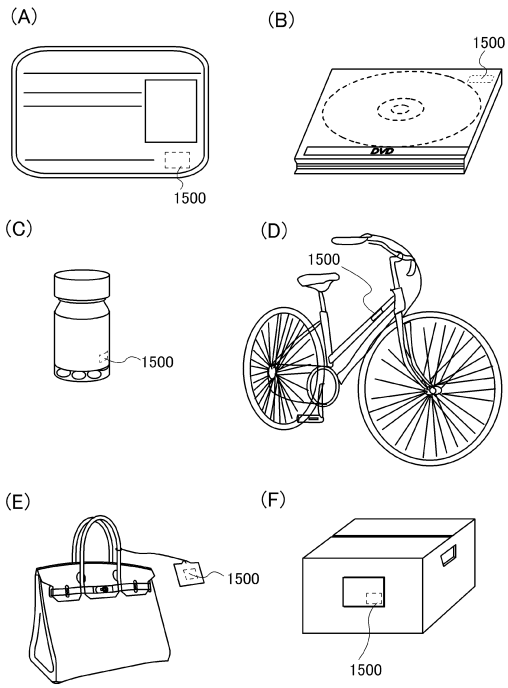
【図11】



【図12】



【 図 13 】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 27/115 (2006.01)</i>		H 0 1 L	29/78	6 1 3 B
<i>H 0 1 L 21/336 (2006.01)</i>		H 0 1 L	29/78	6 1 8 B
<i>H 0 1 L 29/788 (2006.01)</i>				
<i>H 0 1 L 29/792 (2006.01)</i>				
<i>H 0 1 L 29/786 (2006.01)</i>				

- (56)参考文献 特開2002-368226(JP,A)
 特表2006-502597(JP,A)
 国際公開第2005/088726(WO,A1)
 特開2002-245777(JP,A)
 特開2007-158307(JP,A)
 特開2009-167087(JP,A)
 特開2007-193862(JP,A)
 特開2007-73559(JP,A)
 特開2007-103918(JP,A)
 国際公開第2010/023889(WO,A1)
 国際公開第2007/058231(WO,A1)
 国際公開第2007/058232(WO,A1)
 国際公開第2009/075281(WO,A1)
 特開2007-250983(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/405
 G11C 11/56
 H01L 21/336
 H01L 21/8242
 H01L 21/8247
 H01L 27/108
 H01L 27/115
 H01L 29/786
 H01L 29/788
 H01L 29/792