



(12) 发明专利申请

(10) 申请公布号 CN 118103902 A

(43) 申请公布日 2024. 05. 28

(21) 申请号 202280003302.7

(22) 申请日 2022.09.26

(85) PCT国际申请进入国家阶段日
2022.09.27

(86) PCT国际申请的申请数据
PCT/CN2022/121248 2022.09.26

(87) PCT国际申请的公布数据
W02024/065077 EN 2024.04.04

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方光电科技有限公司

(72) 发明人 王建 金红贵 刘汉青 张勇
李鑫 宋勇 边若梅 段智龙
王佩佩 刘洋 杨越

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112
专利代理师 李迎亚 彭瑞欣

(51) Int.Cl.
G09G 3/20 (2006.01)
G06F 3/044 (2006.01)

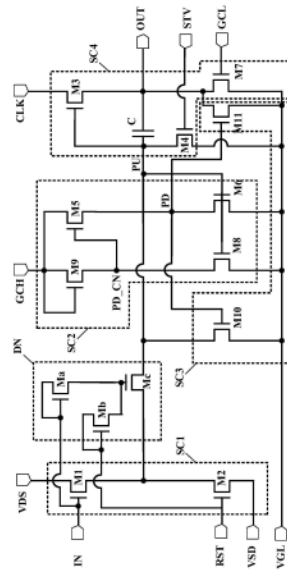
权利要求书4页 说明书25页 附图41页

(54) 发明名称

扫描电路和显示设备

(57) 摘要

提供一种扫描电路。扫描电路包括多个级。扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元。各个扫描单元包括第一子电路、第二子电路、第三子电路、第四子电路。上拉节点耦接到所述第二子电路、所述第三子电路和所述第四子电路。下拉节点耦接到所述第二子电路、所述第三子电路。降噪子电路耦接到上拉节点与输入端或者耦接在第三电源电压端和下拉控制节点之间。



1. 一种扫描电路,包括多个级,其中,所述扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元;

其中,各个扫描单元包括第一子电路、第二子电路、第三子电路、第四子电路和降噪子电路;

其中,上拉节点耦接到所述第二子电路、所述第三子电路和所述第四子电路;

下拉节点耦接到所述第二子电路、所述第三子电路;

所述第一子电路被配置为接收输入信号和第一电源电压信号,并且被配置为基于从输入端接收的所述输入信号,来控制所述上拉节点处的电位;

所述第二子电路被配置为接收第一电压信号和第三电源电压信号,并且被配置为基于所述第一电压信号和所述上拉节点处的电位,来控制所述下拉节点处的电位;

所述第三子电路被配置为接收所述第三电源电压信号,并且被配置为基于所述下拉节点处的电位,来下拉输出端和所述上拉节点处的电位;

所述第四子电路被配置为接收第一时钟信号并输出所述控制信号,并且被配置为基于所述第一时钟信号和所述上拉节点处的电位,来输出所述控制信号;以及

所述降噪子电路耦接所述上拉节点与所述输入端。

2. 根据权利要求1所述的扫描电路,其中,所述第一子电路和所述降噪子电路共同被配置为基于从所述输入端接收的所述输入信号,来上拉所述上拉节点处的电位。

3. 根据权利要求2所述的扫描电路,其中,所述第一子电路和所述降噪子电路共同被配置为基于从复位端接收的复位信号,来复位所述上拉节点处的电位。

4. 根据权利要求1所述的扫描电路,其中,所述降噪子电路包括第一降噪晶体管 and 第三降噪晶体管;

所述第一降噪晶体管耦接于所述输入端与所述第三降噪晶体管之间;以及

所述第三降噪晶体管耦接在所述上拉节点、输入晶体管的第二电极和复位晶体管的第二电极之间,所述输入晶体管由所述输入信号控制,所述复位晶体管由复位信号控制。

5. 根据权利要求4所述的扫描电路,其中,所述第一降噪晶体管的栅极和第一电极耦接到所述输入端;

所述第一降噪晶体管的第二电极耦接到所述第三降噪晶体管的栅极;

所述第三降噪晶体管的第一电极耦接到所述输入晶体管的第二电极和所述复位晶体管的第二电极;以及

所述第三降噪晶体管的第二电极耦接到所述上拉节点。

6. 根据权利要求4所述的扫描电路,其中,所述降噪子电路还包括第二降噪晶体管;以及

所述第二降噪晶体管耦接在复位端和所述第三降噪晶体管之间。

7. 根据权利要求6所述的扫描电路,其中,所述第二降噪晶体管的栅极和第一电极耦接到所述复位端;以及

所述第二降噪晶体管的第二电极耦接到所述第一降噪晶体管的第二电极和所述第三降噪晶体管的栅极。

8. 根据权利要求1所述的扫描电路,其中,所述降噪子电路包括第四降噪晶体管;以及所述第四降噪晶体管耦接在所述上拉节点与由所述输入信号控制的输入晶体管之间。

9. 根据权利要求8所述的扫描电路,其中,所述第四降噪晶体管的栅极耦接到所述输入端;

所述第四降噪晶体管的第一电极耦接到所述输入晶体管的第二电极;以及
所述第四降噪晶体管的第二电极耦接到所述上拉节点。

10. 根据权利要求8所述的扫描电路,其中,所述降噪子电路还包括第五降噪晶体管;
所述第五降噪晶体管的栅极耦接到复位端;

所述第五降噪晶体管的第一电极耦接到由复位信号控制的复位晶体管的第二电极;以及

所述第五降噪晶体管的第二电极耦接到所述上拉节点。

11. 一种扫描电路,包括多个级,其中,所述扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元;

其中,各个扫描单元包括第一子电路、第二子电路、第三子电路、第四子电路和降噪子电路;

其中,上拉节点耦接到所述第二子电路、所述第三子电路和所述第四子电路;

下拉节点耦接到所述第二子电路、所述第三子电路;

所述第一子电路被配置为接收输入信号和第一电源电压信号,并且被配置为基于从输入端接收的所述输入信号,来控制所述上拉节点处的电位;

所述第二子电路被配置为接收第一电压信号和第三电源电压信号,并且被配置为基于所述第一电压信号和所述上拉节点处的电位,来控制所述下拉节点处的电位;

所述第三子电路被配置为接收所述第三电源电压信号,并且被配置为基于所述下拉节点处的电位,来下拉输出端和所述上拉节点处的电位;

所述第四子电路被配置为接收第一时钟信号并输出所述控制信号,并且被配置为基于所述第一时钟信号和所述上拉节点处的电位,来输出所述控制信号;以及

所述降噪子电路耦接在第三电源电压端和下拉控制节点之间,所述下拉控制节点被配置为控制所述下拉节点处的电位。

12. 根据权利要求11所述的扫描电路,其中,所述第三电源电压端被配置成提供处于第二电平的第三电源电压信号;以及

所述降噪子电路由所述下拉控制节点处的电位控制,以基于所述下拉控制节点处的电位,来下拉所述输出端或所述上拉节点处的电位。

13. 根据权利要求11所述的扫描电路,其中,所述降噪子电路包括第六降噪晶体管;

所述第六降噪晶体管的栅极耦接到所述下拉控制节点;

所述第六降噪晶体管的第一电极耦接到所述第三电源电压端;以及

所述第六降噪晶体管的第二电极耦接到所述上拉节点。

14. 根据权利要求11所述的扫描电路,其中,所述降噪子电路包括第七降噪晶体管;

所述第七降噪晶体管的栅极耦接到所述下拉控制节点;

所述第七降噪晶体管的第一电极耦接到所述第三电源电压端;以及

所述第七降噪晶体管的第二电极耦接到所述输出端。

15. 根据权利要求11所述的扫描电路,其中,所述降噪子电路包括第六降噪晶体管和第七降噪晶体管;

所述第六降噪晶体管的栅极耦接到所述下拉控制节点；
所述第六降噪晶体管的第一电极耦接到所述第三电源电压端；
所述第六降噪晶体管的第二电极耦接到所述上拉节点；
所述第七降噪晶体管的栅极耦接到所述下拉控制节点；
所述第七降噪晶体管的第一电极耦接到所述第三电源电压端；以及
所述第七降噪晶体管的第二电极耦接到所述输出端。

16. 根据权利要求11所述的扫描电路,其中,所述第一子电路包括第一晶体管和第二晶体管;

所述第一晶体管耦接在第一电源电压端和所述上拉节点之间;
所述第一晶体管的栅极耦接到所述输入端;
所述第一晶体管的第一电极耦接到所述第一电源电压端;
所述第一晶体管的第二电极耦接到所述上拉节点;
所述第二晶体管耦接在第二电源电压端和所述上拉节点之间;
所述第二晶体管的栅极耦接到复位端;
所述第二晶体管的第一电极耦接到所述第二电源电压端;以及
所述第二晶体管的第二电极耦接到所述上拉节点。

17. 根据权利要求11所述的扫描电路,其中,所述第二子电路包括第五晶体管、第六晶体管、第八晶体管、以及第九晶体管;

所述第九晶体管耦接在第一电压信号端和下拉控制节点之间;
所述第九晶体管的栅极和第一电极耦接到所述第一电压信号端;
所述第九晶体管的第二电极耦接到所述下拉控制节点;
所述第五晶体管耦接在所述第一电压信号端和下拉节点之间;
所述第五晶体管的栅极耦接到所述下拉控制节点;
所述第五晶体管的第一电极耦接到所述第一电压信号端;
所述第五晶体管的第二电极耦接到所述下拉节点;
所述第六晶体管耦接在所述下拉节点与第三电源电压端之间;
所述第六晶体管的栅极耦接到所述上拉节点;
所述第六晶体管的第一电极耦接到所述第三电源电压端;
所述第六晶体管的第二电极耦接到所述下拉节点;
所述第八晶体管耦接在所述下拉控制节点和所述第三电源电压端之间;
所述第八晶体管的栅极耦接到所述上拉节点;
所述第八晶体管的第一电极耦接到所述第三电源电压端;以及
所述第八晶体管的第二电极耦接到所述下拉控制节点。

18. 根据权利要求11所述的扫描电路,其中,所述第三子电路包括第十晶体管和第十一晶体管;

所述第十晶体管耦接在所述上拉节点与第三电源电压端之间;
所述第十晶体管的栅极耦接到所述下拉节点;
所述第十晶体管的第一电极耦接到所述第三电源电压端;
所述第十晶体管的第二电极耦接到所述上拉节点;

所述第十一晶体管耦接在所述输出端和所述第三电源电压端之间；
所述第十一晶体管的栅极耦接到所述下拉节点；
所述第十一晶体管的第一电极耦接到所述第三电源电压端；以及
所述第十一晶体管的第二电极耦接到所述输出端。

19. 根据权利要求11所述的扫描电路, 其中, 所述第四子电路包括第三晶体管、第四晶体管、第七晶体管、以及电容器；

所述第三晶体管耦接在所述输出端和第一时钟信号端之间；
所述第三晶体管的栅极耦接到所述上拉节点；
所述第三晶体管的第一电极耦接到所述第一时钟信号端；
所述第三晶体管的第二电极耦接到所述输出端；
所述第四晶体管耦接在所述上拉节点与第三电源电压端之间；
所述第四晶体管的栅极耦接到开始信号端；
所述第四晶体管的第一电极耦接到所述第三电源电压端；
所述第四晶体管的第二电极耦接到所述上拉节点；
所述第七晶体管耦接在所述输出端和所述第三电源电压端之间；
所述第七晶体管的栅极耦接到第二电压信号端；
所述第七晶体管的第一电极耦接到所述第三电源电压端；
所述第七晶体管的第二电极耦接到所述输出端；
所述电容器耦接于所述输出端与所述上拉节点之间；
所述电容器的第一电极耦接到所述上拉节点；以及
所述电容器的第二电极耦接到所述输出端；

其中, 在消隐时间段期间, 从所述第二电压信号端输入的第二电压信号处于第一电平, 以导通所述第七晶体管；以及

提供给第三电源电压端的处于第二电平的所述第三电源电压信号通过所述第七晶体管到达所述输出端, 以复位所述扫描电路。

20. 一种显示设备, 包括根据权利要求1至19中任一项所述的扫描电路, 以及包括多个发光元件的显示面板。

扫描电路和显示设备

技术领域

[0001] 本发明涉及显示技术,尤其涉及一种扫描电路和显示设备。

背景技术

[0002] 图像显示设备包括用于控制多个像素中的每个像素中的图像显示的驱动器。驱动器是包括栅极驱动电路和数据驱动电路的基于晶体管的电路。栅极驱动电路由多个移位寄存器单元级联而成。每个移位寄存器单元将栅极驱动信号输出到多个栅线中的一个。来自栅极驱动电路的栅极驱动信号通过栅线逐行扫描,控制每行晶体管处于导通/截止状态。栅极驱动电路可以集成到阵列上栅极(GOA)电路中,GOA电路可以直接形成在显示面板的阵列基板中。

发明内容

[0003] 在一个方面,本公开提供了一种扫描电路,包括多个级,其中,所述扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元;其中,各个扫描单元包括第一子电路、第二子电路、第三子电路、第四子电路和降噪子电路;其中,上拉节点耦接到所述第二子电路、所述第三子电路和所述第四子电路;下拉节点耦接到所述第二子电路、所述第三子电路;所述第一子电路被配置为接收输入信号和第一电源电压信号,并且被配置为基于从输入端接收的所述输入信号来控制所述上拉节点处的电位;所述第二子电路被配置为接收第一电压信号和第三电源电压信号,并且被配置为基于所述第一电压信号和所述上拉节点处的电位来控制所述下拉节点处的电位;所述第三子电路被配置为接收所述第三电源电压信号,并且被配置为基于所述下拉节点处的电位来下拉输出端和所述上拉节点处的电位;所述第四子电路被配置为接收第一时钟信号并输出控制信号,并且被配置为基于所述第一时钟信号和所述上拉节点处的电位来输出控制信号;以及所述降噪子电路耦接所述上拉节点与所述输入端。

[0004] 可选地,所述第一子电路和所述降噪子电路共同被配置为基于从所述输入端接收的所述输入信号来上拉所述上拉节点处的电位。

[0005] 可选地,第一子电路和所述降噪子电路共同被配置为基于从复位端接收的复位信号来复位所述上拉节点处的电位。

[0006] 可选地,降噪子电路包括第一降噪晶体管和第三降噪晶体管;所述第一降噪晶体管耦接于所述输入端与所述第三降噪晶体管之间;以及所述第三降噪晶体管耦接在所述上拉节点与由所述输入信号控制的输入晶体管的第二电极和由复位信号控制的复位晶体管的第二电极之间。

[0007] 可选地,第一降噪晶体管的栅极和第一电极耦接到所述输入端;所述第一降噪晶体管的第二电极耦接到所述第三降噪晶体管的栅极;所述第三降噪晶体管的栅极耦接到所述第一降噪晶体管的第二电极;所述第三降噪晶体管的第二电极耦接到所述输入晶体管和所述复位晶体管的第二电极;以及所述第三降噪晶体管的第二电极耦接到所述上拉节点。

[0008] 可选地,降噪子电路还包括第二降噪晶体管;以及所述第二降噪晶体管耦接在复位端和所述第三降噪晶体管之间。

[0009] 可选地,第二降噪晶体管的栅极和第一电极耦接到所述复位端;以及所述第二降噪晶体管的第二电极耦接到所述第一降噪晶体管的第二电极和所述第三降噪晶体管的栅极。

[0010] 可选地,降噪子电路包括第四降噪晶体管;以及所述第四降噪晶体管耦接在所述上拉节点与由所述输入信号控制的输入晶体管之间。

[0011] 可选地,第四降噪晶体管的栅极耦接到所述输入端;所述第四降噪晶体管的第一电极耦接到所述输入晶体管的第二电极;以及所述第四降噪晶体管的第二电极耦接到所述上拉节点。

[0012] 可选地,降噪子电路还包括第五降噪晶体管;所述第五降噪晶体管的栅极耦接到复位端;所述第五降噪晶体管的第一电极耦接到由复位信号控制的复位晶体管的第二电极;以及所述第五降噪晶体管的第二电极耦接到所述上拉节点。

[0013] 在另一方面,本公开提供了一种扫描电路,包括多个级,其中,所述扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元;其中,各个扫描单元包括第一子电路、第二子电路、第三子电路、第四子电路和降噪子电路;其中,上拉节点耦接到所述第二子电路、所述第三子电路和所述第四子电路;下拉节点耦接到所述第二子电路、所述第三子电路;所述第一子电路被配置为接收输入信号和第一电源电压信号,并且被配置为基于从输入端接收的所述输入信号来控制所述上拉节点处的电位;所述第二子电路被配置为接收第一电压信号和第三电源电压信号,并且被配置为基于所述第一电压信号和所述上拉节点处的电位来控制所述下拉节点处的电位;所述第三子电路被配置为接收所述第三电源电压信号,并且被配置为基于所述下拉节点处的电位来下拉输出端和所述上拉节点处的电位;所述第四子电路被配置为接收第一时钟信号并输出控制信号,并且被配置为基于所述第一时钟信号和所述上拉节点处的电位来输出控制信号;以及所述降噪子电路耦接在第三电源电压端和下拉控制节点之间,所述下拉控制节点被配置为控制所述下拉节点处的电位。

[0014] 可选地,第三电源电压端被配置成提供处于第二电平的第三电源电压信号;以及所述降噪子电路由所述下拉控制节点处的电位控制,以基于所述下拉控制节点处的电位来下拉所述输出端或所述上拉节点处的电位。

[0015] 可选地,降噪子电路包括第六降噪晶体管;所述第六降噪晶体管的栅极耦接到所述下拉控制节点;所述第六降噪晶体管的第一电极耦接到所述第三电源电压端;以及所述第六降噪晶体管的第二电极耦接到所述上拉节点。

[0016] 可选地,降噪子电路包括第七降噪晶体管;所述第七降噪晶体管的栅极耦接到所述下拉控制节点;所述第七降噪晶体管的第一电极耦接到所述第三电源电压端;以及所述第七降噪晶体管的第二电极耦接到所述输出端。

[0017] 可选地,降噪子电路包括第六降噪晶体管和第七降噪晶体管;所述第六降噪晶体管的栅极耦接到所述下拉控制节点;所述第六降噪晶体管的第一电极耦接到所述第三电源电压端;所述第六降噪晶体管的第二电极耦接到所述上拉节点;所述第七降噪晶体管的栅极耦接到所述下拉控制节点;所述第七降噪晶体管的第一电极耦接到所述第三电源电压

端;以及所述第七降噪晶体管的第二电极耦接到所述输出端。

[0018] 可选地,第一子电路包括第一晶体管和第二晶体管;所述第一晶体管耦接在第一电源电压端和所述上拉节点之间;所述第一晶体管的栅极耦接到所述输入端;所述第一晶体管的第一电极耦接到所述第一电源电压端;所述第一晶体管的第二电极耦接到所述上拉节点;所述第二晶体管耦接在第二电源电压端和所述上拉节点之间;所述第二晶体管的栅极耦接到复位端;所述第二晶体管的第一电极耦接到所述第二电源电压端;以及所述第二晶体管的第二电极耦接到所述上拉节点。

[0019] 可选地,第二子电路包括第五晶体管、第六晶体管、第八晶体管、以及第九晶体管;所述第九晶体管耦接在第一电压信号端和下拉控制节点之间;所述第九晶体管的栅极和第一电极耦接到所述第一电压信号端;所述第九晶体管的第二电极耦接到所述下拉控制节点;所述第五晶体管耦接在所述第一电压信号端和下拉节点之间;所述第五晶体管的栅极耦接到所述下拉控制节点;所述第五晶体管的第一电极耦接到所述第一电压信号端;所述第五晶体管的第二电极耦接到所述下拉节点;所述第六晶体管耦接在所述下拉节点与第三电源电压端之间;所述第六晶体管的栅极耦接到所述上拉节点;所述第六晶体管的第一电极耦接到所述第三电源电压端;所述第六晶体管的第二电极耦接到所述下拉节点;所述第八晶体管耦接在所述下拉控制节点和所述第三电源电压端之间;所述第八晶体管的栅极耦接到所述上拉节点;所述第八晶体管的第一电极耦接到所述第三电源电压端;以及所述第八晶体管的第二电极耦接到所述下拉控制节点。

[0020] 可选地,第三子电路包括第十晶体管和第十一晶体管;所述第十晶体管耦接在所述上拉节点与第三电源电压端之间;所述第十晶体管的栅极耦接到所述下拉节点;所述第十晶体管的第一电极耦接到所述第三电源电压端;所述第十晶体管的第二电极耦接到所述上拉节点;所述第十一晶体管耦接在所述输出端和所述第三电源电压端之间;所述第十一晶体管的栅极耦接到所述下拉节点;所述第十一晶体管的第一电极耦接到所述第三电源电压端;以及所述第十一晶体管的第二电极耦接到所述输出端。

[0021] 可选地,第四子电路包括第三晶体管、第四晶体管、第七晶体管、以及电容器;所述第三晶体管耦接在所述输出端和第一时钟信号端之间;所述第三晶体管的栅极耦接到所述上拉节点;所述第三晶体管的第一电极耦接到所述第一时钟信号端;所述第三晶体管的第二电极耦接到所述输出端;所述第四晶体管耦接在所述上拉节点与第三电源电压端之间;所述第四晶体管的栅极耦接到开始信号端;所述第四晶体管的第一电极耦接到所述第三电源电压端;所述第四晶体管的第二电极耦接到所述上拉节点;所述第七晶体管耦接在所述输出端和所述第三电源电压端之间;所述第七晶体管的栅极耦接到第二电压信号端;所述第七晶体管的第一电极耦接到所述第三电源电压端;所述第七晶体管的第二电极耦接到所述输出端;所述电容器耦接于所述输出端与所述上拉节点之间;所述电容器的第一电极耦接到所述上拉节点;以及所述电容器的第二电极耦接到所述输出端;其中,在消隐时间段期间,从第二电压信号端输入的第二电压信号处于第一电平,以导通所述第七晶体管;以及提供给第三电源电压端的处于第二电平的所述第三电源电压信号通过所述第七晶体管到达所述输出端,以复位所述扫描电路。

[0022] 在另一方面,本公开提供了一种显示设备,包括本文所述的或通过本文所述的方法制造的扫描电路,以及包括多个发光元件的显示面板。

附图说明

[0023] 根据各种公开的实施例,以下附图仅是用于说明目的的示例,并且不旨在限制本发明的范围。

[0024] 图1A是示出根据本公开的一些实施例中的扫描电路的结构示意图。

[0025] 图1B是示出根据本公开的一些实施例中的扫描电路的结构示意图。

[0026] 图2是根据本公开的一些实施例中的各个扫描单元的示意图。

[0027] 图3是根据本公开的一些实施例中的各个扫描单元的电路图。

[0028] 图4是示出根据本公开的一些实施例中的各个扫描单元的操作的时序图。

[0029] 图5是示出根据本公开的一些实施例中的各个扫描单元的操作的时序图。

[0030] 图6A示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。

[0031] 图6B示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。

[0032] 图6C示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。

[0033] 图6D示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。

[0034] 图7是根据本公开的一些实施例中的各个扫描单元的示意图。

[0035] 图8A是根据本公开的一些实施例中的各个扫描单元的电路图。

[0036] 图8B是根据本公开的一些实施例中的各个扫描单元的电路图。

[0037] 图9A是根据本公开的一些实施例中的各个扫描单元的电路图。

[0038] 图9B是根据本公开的一些实施例中的各个扫描单元的电路图。

[0039] 图9C是根据本公开的一些实施例中的各个扫描单元的电路图。

[0040] 图9D是根据本公开的一些实施例中的各个扫描单元的电路图。

[0041] 图10是根据本公开的一些实施例中的各个扫描单元的示意图。

[0042] 图11是根据本公开的一些实施例中的各个扫描单元的电路图。

[0043] 图12是根据本公开的一些实施例中的各个扫描单元的示意图。

[0044] 图13是根据本公开的一些实施例中的各个扫描单元的电路图。

[0045] 图14是根据本公开的一些实施例中的各个扫描单元的示意图。

[0046] 图15是根据本公开的一些实施例中的各个扫描单元的电路图。

[0047] 图16示出了根据本公开的一些实施例中的各个扫描单元中的信号。

[0048] 图17示出了根据本公开的一些实施例中的各个扫描单元中的信号。

[0049] 图18示出了根据本公开的一些实施例中的各个扫描单元中的信号。

[0050] 图19示出了根据本公开的一些实施例中的各个扫描单元中的信号。

[0051] 图20是根据本公开的一些实施例中的各个扫描单元的电路图。

[0052] 图21是根据本公开的一些实施例中的各个扫描单元的电路图。

[0053] 图22是根据本公开的一些实施例中的各个扫描单元的电路图。

[0054] 图23是根据本公开的一些实施例中的各个扫描单元的电路图。

[0055] 图24是根据本公开的一些实施例中的各个扫描单元的电路图。

- [0056] 图25是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0057] 图26是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0058] 图27是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0059] 图28是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0060] 图29是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0061] 图30是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0062] 图31是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0063] 图32是根据本公开的一些实施例中的各个扫描单元的电路图。
- [0064] 图33是根据本公开的一些实施例中的各个扫描单元的电路图。

具体实施方式

[0065] 现在将参考以下实施例更具体地描述本公开。应当注意,本文中呈现的一些实施例的以下描述仅用于说明和描述的目的。其不是穷举的或限于所公开的精确形式。

[0066] 本公开尤其提供了一种扫描电路和显示设备,其基本上避免了由于现有技术的限制和缺点而导致的一个或多个问题。在一个方面,本公开提供了一种扫描电路。在一些实施例中,扫描电路包括多个级。可选地,扫描电路的各个级包括被配置为向一行或多行子像素提供控制信号的相应扫描单元。可选地,各个扫描单元包括上拉节点;第一子电路,其被配置为接收输入信号和第一电源电压信号,并且被配置为基于从输入端接收的所述输入信号来控制所述上拉节点处的电位;第二子电路,其被配置为接收第一电压信号和第三电源电压信号,并且被配置为基于所述第一电压信号和所述上拉节点处的电位来控制下拉节点和下拉控制节点处的电位;第三子电路,其被配置为接收所述第三电源电压信号,并且被配置为基于所述下拉节点处的电位来下拉输出端和所述上拉节点处的电位;第四子电路,其被配置为接收第一时钟信号并通过输出端输出控制信号,并且被配置为基于所述第一时钟信号和所述上拉节点处的电位来输出输出信号;以及降噪子电路,其被配置为降低输出信号中的噪声。可选地,上拉节点耦接到第二子电路、第三子电路和第四子电路。可选地,所述降噪子电路耦接到所述各个扫描单元的上拉节点或输出端。

[0067] 图1A是示出根据本公开的一些实施例中的扫描电路的结构的示意图。参考图1A,在一些实施例中,扫描电路包括N个级。N个级中的各个级包括相应扫描单元。如图1A所示,扫描电路包括第1扫描单元、第2扫描单元、第3扫描单元、第4扫描单元、.....、第N扫描单元。N个扫描单元被配置为向N行子像素提供N个控制信号(例如,栅信号、复位控制信号或发光控制信号)。在图1A中,N个控制信号表示为Output1、Output2、Output3、Output4、.....、OutputN。第n扫描单元被配置为接收开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号。如本文所使用的,术语“前面的扫描单元”不限于紧接的前一扫描单元(例如,第(n-1)扫描单元),而是包括任何适当的前面的扫描单元(例如,第(n-2)扫描单元或第(n-3)扫描单元)。在图1A中,第1扫描单元被配置为接收开始信号SS作为输入信号,第2扫描单元被配置为接收来自第1扫描单元的输出信号作为输入信号Input2,第3扫描单元被配置为接收来自第2扫描单元的输出信号作为输入信号Input3,第4扫描单元被配置为接收来自第3扫描单元的输出信号作为输入信号Input4,第N扫描单元被配置为接收来自第(N-1)扫描单元的输出信号作为输入信号

InputN。

[0068] 参照图1A,第n扫描单元被配置为接收来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号。如本文所使用的,术语“后面的扫描单元”不限于紧接的最后一扫描单元(例如,第(n+1)扫描单元),而是包括任何适当的后面的扫描单元(例如,第(n+2)扫描单元或第(n+3)扫描单元)。在图1A中,第1扫描单元被配置为接收来自第2扫描单元的输出信号作为复位信号Reset1,第2扫描单元被配置为接收来自第3扫描单元的输出信号作为复位信号Reset2,第3扫描单元被配置为接收来自第4扫描单元的输出信号作为复位信号Reset3,且第4扫描单元被配置为接收来自第5扫描单元的输出信号作为复位信号Reset4。

[0069] 在一些实施例中,扫描电路可以在正向扫描模式和反向扫描模式中操作。图1A示出扫描电路的正向扫描模式。图1B是示出根据本公开的一些实施例中的扫描电路的结构示意图。图1B示出扫描电路的反向扫描模式。参照图1B,第n扫描单元被配置为接收开始信号SS或来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出端的输出信号。在图1B中,第N扫描单元被配置为接收开始信号SS作为输入信号,第4扫描单元被配置为接收来自第5扫描单元的输出信号作为输入信号Input4,第3扫描单元被配置为接收来自第4扫描单元的输出信号作为输入信号Input3,第2扫描单元被配置为接收来自第3扫描单元的输出信号作为输入信号Input2;并且第1扫描单元被配置为接收来自第2扫描单元的输出信号作为输入信号Input1。

[0070] 参照图1B,在反向扫描模式中,第n扫描单元被配置为接收来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出信号作为复位信号。在图1A中,第1扫描单元被配置为接收来自第2扫描单元的输出信号作为复位信号Reset1,第2扫描单元被配置为接收来自第3扫描单元的输出信号作为复位信号Reset2,第3扫描单元被配置为接收来自第4扫描单元的输出信号作为复位信号Reset3,且第4扫描单元被配置为接收来自第5扫描单元的输出信号作为复位信号Reset4。

[0071] 在本扫描电路中可以使用各种适当的扫描单元。图2是根据本公开的一些实施例中的各个扫描单元的示意图。参考图2,在一些实施例中,各个扫描单元包括第一子电路SC1、第二子电路SC2、第三子电路SC3和第四子电路SC4。

[0072] 在一些实施例中,第一子电路SC1被配置为接收由第一电源电压端VDS输入的第一电源电压信号;并且被配置为接收由第二电源电压端VSD输入的第二电源电压信号。

[0073] 在一些实施例中,扫描电路中的晶体管可以是n型晶体管。在一些实施例中,晶体管的栅极导通电压可以被设置为高电平,并且其栅极截止电压可以被设置为低电平。在正向扫描模式中,第一电源电压信号处于高电压电平,而第二电源电压信号处于低电压电平。在反向扫描模式中,第一电源电压信号处于低电压电平,而第二电源电压信号处于高电压电平。本公开提供具有n型晶体管的扫描电路的若干示例。然而,本公开可以使用p型晶体管来实现。

[0074] 在一些实施例中,扫描电路中的晶体管可以是p型晶体管。在一些实施例中,晶体管的栅极导通电压可以被设置为低电平,并且其栅极截止电压可以被设置为高电平。在正向扫描模式中,第一电源电压信号处于低电压电平,而第二电源电压信号处于高电压电平。在反向扫描模式中,第一电源电压信号处于高电压电平,而第二电源电压信号处于低电压

电平。

[0075] 在一些实施例中,第一子电路SC1还配置成接收由输入端IN输入的输入信号和由复位端RST输入的复位信号。在正向扫描模式中,输入端IN被配置为接收开始信号或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端输出信号作为输入信号。在正向扫描模式中,复位端RST被配置为接收来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号。在反向扫描模式中,复位端RST被配置为接收开始信号或来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出端的输出信号作为输入信号。在反向扫描模式中,输入端IN被配置为接收来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出信号作为复位信号。

[0076] 在一些实施例中,第二子电路SC2被配置成接收从第一电压信号端GCH输入的第一电压信号。在由扫描电路控制的阵列基板显示的图像帧的发光阶段,第一电压信号处于第一电平(例如,高电压电平),第二电压信号处于第二电平(例如,低电压电平)。在扫描电路控制的阵列基板所显示的图像帧的消隐阶段,第一电压信号处于第二电平(例如低电压电平),第二电压信号处于第一电平(例如高电压电平)。

[0077] 在一些实施例中,第二子电路SC2和第三子电路SC3均被配置成接收由第三电源电压端VGL输入的第三电源电压信号。可选地,第三电源电压信号处于第二电平(例如,低电压电平)。

[0078] 在一些实施例中,第四子电路SC4被配置为在上拉节点PU处的电位的控制下通过输出端OUT输出由第一时钟信号端CLK输入的第一时钟信号。在一些实施例中,第四子电路SC4被配置成接收从第二电压信号端GCL输入的第二电压信号。可选地,第四子电路SC4被配置为接收由第一时钟信号端CLK输入的第一时钟信号。可选地,第四子电路SC4还被配置成接收由开始信号端STV输入的开始信号。

[0079] 在一个示例中,第四子电路SC4被配置成输出第一时钟信号到显示面板的栅线。在一个示例中,显示面板包括多个栅线和多个数据线。多个栅线和多个数据线彼此交叉,从而限定多个子像素。栅线被配置为控制显示面板中的晶体管的导通或截止,从而控制从数据线到子像素的数据信号的输入。

[0080] 在一些实施例中,扫描单元包括上拉节点PU和下拉节点PD。上拉节点PU耦接到第一子电路SC1、第二子电路SC2和第四子电路SC4。下拉节点PD耦接到第三子电路SC3。

[0081] 图3是根据本公开的一些实施例中的各个扫描单元的电路图。参照图3,在一些实施例中,第一子电路SC1包括第一晶体管M1和第二晶体管M2。

[0082] 第一晶体管M1耦接于第一电源电压端VDS与上拉节点PU之间。第一晶体管M1的栅极耦接到输入端IN。第一晶体管M1的第一电极耦接至第一电源电压端VDS。第一晶体管M1的第二电极耦接至上拉节点PU。

[0083] 第二晶体管M2耦接于第二电源电压端VSD和上拉节点PU之间。第二晶体管M2的栅极耦接到复位端RST。第二晶体管M2的第一电极耦接至第二电源电压端VDS。第二晶体管M2的第二电极耦接到上拉节点PU。

[0084] 参照图3,在一些实施例中,第二子电路SC2包括第五晶体管M5、第六晶体管M6、第八晶体管M8以及第九晶体管M9。

[0085] 第九晶体管M9耦接于第一电压信号端GCH与下拉控制节点PD_CN之间。第九晶体管M9的栅极和第一电极耦接至第一电压信号端GCH。第九晶体管M9的第二电极耦接到下拉控制节点PD_CN。

[0086] 第五晶体管M5耦接于第一电压信号端GCH与下拉节点PD之间。第五晶体管M5的栅极耦接到下拉控制节点PD_CN。第五晶体管M5的第一电极耦接至第一电压信号端GCH。第五晶体管M5的第二电极耦接到下拉节点PD。

[0087] 第六晶体管M6耦接在下拉节点PD和第三电源电压端VGL之间。第六晶体管M6的栅极耦接至上拉节点PU。第六晶体管M6的第一电极耦接至第三电源电压端VGL。第六晶体管M6的第二电极耦接到下拉节点PD。

[0088] 第八晶体管M8耦接在下拉控制节点PD_CN和第三电源电压端VGL之间。第八晶体管M8的栅极耦接至上拉节点PU。第八晶体管M8的第一电极耦接至第三电源电压端VGL。第八晶体管M8的第二电极耦接到下拉控制节点PD_CN。

[0089] 参考图3, 在一些实施例中, 第三子电路SC3包括第十晶体管M10和第十一晶体管M11。

[0090] 第十晶体管M10耦接于上拉节点PU和第三电源电压端VGL之间。第十晶体管M10的栅极耦接到下拉节点PD。第十晶体管M10的第一电极耦接至第三电源电压端VGL。第十晶体管M10的第二电极耦接至上拉节点PU。

[0091] 第十一晶体管M11耦接在输出端OUT和第三电源电压端VGL之间。第十一晶体管M11的栅极耦接到下拉节点PD。第十一晶体管M11的第一电极耦接至第三电源电压端VGL。第十一晶体管M11的第二电极耦接到输出端OUT。

[0092] 参照图3, 在一些实施例中, 第四子电路SC4包括第三晶体管M3、第四晶体管M4、第七晶体管M7以及电容器C。

[0093] 第三晶体管M3耦接于输出端OUT与第一时钟信号端CLK之间。第三晶体管M3的栅极耦接到上拉节点PU。第三晶体管M3的第一电极耦接到第一时钟信号端CLK。第三晶体管M3的第二电极耦接到输出端OUT。

[0094] 第四晶体管M4耦接于上拉节点PU和第三电源电压端VGL之间。第四晶体管M4的栅极耦接到开始信号端STV。第四晶体管M4的第一电极耦接至第三电源电压端VGL。第四晶体管M4的第二电极耦接至上拉节点PU。

[0095] 第七晶体管M7耦接在输出端OUT和第三电源电压端VGL之间。第七晶体管M7的栅极耦接至第二电压信号端GCL。第七晶体管M7的第一电极耦接至第三电源电压端VGL。第七晶体管M7的第二电极耦接到输出端OUT。

[0096] 电容器C耦接于输出端OUT与上拉节点PU之间。电容器C的第一电极耦接到上拉节点PU。电容器C的第二电极耦接到输出端OUT。

[0097] 图4是示出根据本公开的一些实施例中的各个扫描单元的操作的时序图。在图4中, 对应于图像帧的时间段表示为“F1”, 对应于下一相邻图像帧的时间段表示为“F2”, 图像帧F1和下一相邻图像帧F2之间的消隐时间段表示为“BP”。图4示出了由扫描电路控制的阵列基板显示的图像帧F1中的几个时间段。可选地, 图4示出了正向扫描模式下的各个扫描单元的操作。参照图4, 由扫描电路所控制的阵列基板显示的图像帧包括第一时间段t1、第二时间段t2、第三时间段t3、第四时间段t4以及第五时间段t5。

[0098] 在一些实施例中,在第一时间段 t_1 期间,提供到输入端IN的开始信号或来自前面的扫描单元的输出端的输出信号具有第一电平(例如,高电平),从而导通第一晶体管M1。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),从而将上拉节点PU充电到第一电平(例如,高电平)。上拉节点PU处的第一电平(例如,高电压电平)导通第三晶体管M3。提供至第一时钟信号端CLK的第一时钟信号处于第二电平(例如,低电平),输出端OUT输出处于第二电平(例如,低电压电平或无效控制信号)的输出信号。

[0099] 在第一时间段 t_1 期间,上拉节点PU处的第一电平(例如高电压电平)导通第八晶体管M8,提供至第三电源电压端VGL的第三电源电压信号处于第二电平(例如低电平)。在第一时间段 t_1 期间,提供至第一电压信号端GCH的第一电压信号处于第一电平(例如高电平),使第九晶体管M9导通。然而,第八晶体管M8的尺寸大于第九晶体管M9的尺寸。第八晶体管M8控制下拉控制节点PD_CN处的电压电平。因此,下拉控制节点PD_CN处于第二电平(例如,低电压电平)。第五晶体管M5截止。

[0100] 在第一时间段 t_1 期间,上拉节点PU处的第一电平(例如高电压电平)导通第六晶体管M6,提供给第三电源电压端VGL的第三电源电压信号处于第二电平(例如低电平)。在第一时间段 t_1 期间,下拉控制节点PD_CN处的第二电平(例如,低电压电平)截止第五晶体管M5。因此,下拉节点PD处于第二电平(例如,低电压电平)。第十晶体管M10与第十一晶体管M11截止。

[0101] 在一些实施例中,在第二时间段 t_2 期间,输入端IN被提供低电压信号,从而截止第一晶体管M1。在第二时间段 t_2 期间,电容器C由于自举效应而将上拉节点PU的电位推得更高,以保持在高电位。第三晶体管M3保持导通。

[0102] 在第二时间段 t_2 期间,提供到第一时钟信号端CLK的第一时钟信号处于第一电平(例如,高电平)。第三晶体管M3在第二时间段 t_2 导通,使得输出端OUT输出第一时钟信号作为处于第一电平的输出信号(例如,高电压电平或有效控制信号),其中第一时钟信号现在处于高电位。

[0103] 在第二时间段 t_2 期间,第八晶体管M8因上拉节点PU处的电压电平较高而保持导通,处于第二电平(例如低电平)的第三电源电压信号经过第八晶体管M8。下拉控制节点PD_CN保持在第二电平(例如,低电压电平)。第五晶体管M5截止。

[0104] 在第二时间段 t_2 期间,第六晶体管M6因上拉节点PU处的电压电平较高而保持导通,处于第二电平(例如低电平)的第三电源电压信号经过第六晶体管M6。下拉节点PD保持在第二电平(例如,低电压电平)。第十晶体管M10与第十一晶体管M11保持截止。

[0105] 上拉节点PU在第一时间段 t_1 和第二时间段 t_2 中处于第一电平(例如,高电平)。上拉节点PU在第三时间段 t_3 、第四时间段 t_4 和第五时间段 t_5 中处于第二电平(例如,低电平)。

[0106] 在一些实施例中,在第三时间段 t_3 期间,输入端IN被提供低电压信号,从而截止第一晶体管M1。复位端RST被提供有提供到复位端RST的来自后面的扫描单元的输出端的处于第一电平(例如,高电平)的输出信号,从而导通第二晶体管M2。提供给第二电源电压信号端VSD的第二电源电压信号具有第二电平(例如,低电平),从而将上拉节点PU处的电位下拉到第二电平(例如,低电平)。上拉节点PU处的第二电平(例如,低电压电平)截止第三晶体管

M3。

[0107] 在第三时间段t3期间,提供至第一电压信号端GCH的第一电压信号处于第一电平(例如高电平),使第九晶体管M9导通。第一电压信号经过第九晶体管M9。下拉控制节点PD_CN处于第一电平(例如,高电平)。下拉控制节点PD_CN处的第一电平(例如,高电压电平)导通第五晶体管M5。第一电压信号经过第五晶体管M5。下拉节点PD处于第一电平(例如,高电平)。

[0108] 在第三时间段t3期间,第六晶体管M6与第八晶体管M8被上拉节点PU处的第二电平(例如低电压电平)截止。

[0109] 在第三时间段t3期间,第十一晶体管M11被下拉节点PD处的第一电平(例如,高电压电平)导通。提供给第三电源电压端VGL的第三电源电压信号处于第二电平(例如,低电平),通过第十一晶体管M11传递到输出端OUT。输出端OUT输出处于第二电平(例如低电压电平或无效控制信号)的输出信号。

[0110] 在一些实施例中,在第四时间段t4期间,输入端IN被提供有低电压信号,从而截止第一晶体管M1。复位端RST被提供低电压信号,从而截止第二晶体管M2。上拉节点PU保持在第二电平(例如,低电压电平)。上拉节点PU处的第二电平(例如,低电压电平)截止第三晶体管M3。

[0111] 在第四时间段t4期间,提供至第一电压信号端GCH的第一电压信号处于第一电平(例如高电平),使第九晶体管M9导通。下拉控制节点PD_CN保持在第一电平(例如,高电平)。第五晶体管M5由于下拉控制节点PD_CN处的第一电压电平而保持导通。第一电压信号经过第五晶体管M5。下拉节点PD处于第一电平(例如,高电平)。第十晶体管M10与第十一晶体管M11被下拉节点PD处的第一电压电平导通。提供给第三电源电压端VGL的第三电源电压信号处于第二电平(例如,低电平),通过第十一晶体管M11传递到输出端OUT。输出端OUT输出处于第二电平(例如低电压电平或无效控制信号)的输出信号。

[0112] 在第四时间段t4期间,第六晶体管M6与第八晶体管M8被上拉节点PU处的第二电平(例如低电压电平)截止。

[0113] 在第四时间段t4期间,第二电压信号端GCL处所提供的第二电压信号处于第二电平(例如低电平),使得第七晶体管M7截止。

[0114] 在一些实施例中,在第五时间段t5期间,输入端IN被提供有低电压信号,从而截止第一晶体管M1。复位端RST被提供低电压信号,从而截止第二晶体管M2。上拉节点PU保持在第二电平(例如,低电压电平)。上拉节点PU处的第二电平(例如,低电压电平)截止第三晶体管M3。

[0115] 在第五时间段t5期间,提供至第一电压信号端GCH的第一电压信号处于第一电平(例如高电平),使第九晶体管M9导通。第一电压信号经过第九晶体管M9。下拉控制节点PD_CN处于第一电平(例如,高电平)。下拉控制节点PD_CN处的第一电平(例如,高电压电平)导通第五晶体管M5。第一电压信号经过第五晶体管M5。下拉节点PD处于第一电平(例如,高电平)。

[0116] 在第五时间段t5期间,第六晶体管M6与第八晶体管M8被上拉节点PU处的第二电平(例如低电压电平)截止。

[0117] 在第五时间段t5期间,第十一晶体管M11被下拉节点PD处的第一电平(例如高电压

电平) 导通。提供给第三电源电压端VGL的第三电源电压信号处于第二电平(例如,低电平),通过第十一晶体管M11传递到输出端OUT。输出端OUT输出处于第二电平(例如低电压电平或无效控制信号)的输出信号。

[0118] 在消隐时间段BP期间,从第二电压信号端GCL输入的第二电压信号处于第一电平(例如,高电压电平),从而导通第四子电路SC4中的第七晶体管M7。提供给第三电源电压端VGL的第三电源电压信号处于第二电平(例如,低电平),通过第七晶体管M7传递到输出端OUT,从而复位整个扫描电路。

[0119] 图5是示出根据本公开的一些实施例中的各个扫描单元的操作的时序图。图5示出了由扫描电路控制的阵列基板显示的图像帧中的几个时间段。可选地,图5示出了在反向扫描模式下各个扫描单元的操作。图5中描述的各个扫描单元的操作与图4中描述的各个扫描单元的操作非常相似,除了在图5中描述的反向扫描模式中,复位端RST被配置为端接收开始信号或来自后面的扫描单元(例如,第(n+1)个扫描单元、第(n+2)个扫描单元或第(n+3)个扫描单元)的输出信号作为输入信号;并且输入端IN被配置为接收来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出信号作为复位信号。而在图4所示的正向扫描模式中,输入端IN被配置为接收开始信号或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号作为输入信号;并且复位端RST被配置为接收来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号。此外,在正向扫描模式中,第一电源电压信号处于第一电平(例如,高电压电平),并且第二电源电压信号处于第二电平(例如,低电压电平)。在反向扫描模式中,第一电源电压信号处于第二电平(例如,低电压电平),并且第二电源电压信号处于第一电平(例如,高电压电平)。

[0120] 本公开的发明人发现,当扫描电路在相对高的温度(例如,高于室温、高于30摄氏度、高于35摄氏度、高于40摄氏度、高于45摄氏度、高于50摄氏度、高于55摄氏度、高于60摄氏度、高于65摄氏度、高于70摄氏度、高于75摄氏度、高于80摄氏度、高于85摄氏度、高于90摄氏度或高于95摄氏度)下操作时,由于晶体管特性在相对高的温度下的漂移而导致扫描电路易于输出误差,从而导致由扫描电路驱动的阵列基板中的抖动横纹缺陷。

[0121] 本公开的发明人发现,缺陷的根本原因之一可归因于第一晶体管M1在相对高温下的阈值电压的负漂移。第一晶体管M1的阈值电压的负漂移导致第一晶体管M1的截止电流增加,导致(提供至第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU。该泄漏导致从输出端OUT输出的输出信号中的噪声增加。

[0122] 本公开的发明人还发现,缺陷的另一原因可归因于第五晶体管M5和第十晶体管M10在相对较高温度的阈值电压的正漂移。第五晶体管M5和第十晶体管M10的阈值电压的正漂移导致第十晶体管M10的导通电流减小,从而降低了第十晶体管M10的降噪能力。第十晶体管M10降低的降噪能力导致扫描电路的错误的多个输出,这又导致由扫描电路驱动的阵列基板中的抖动横纹缺陷。

[0123] 本公开的发明人还发现,可以在正向扫描模式和反向扫描模式下操作的扫描电路特别容易出现上述缺陷。例如,在反向扫描模式中,第一晶体管M1的阈值电压在相对高温下的负漂移特别严重。在反向扫描模式中,第一晶体管M1用作用于复位上拉节点PU处的电位的复位晶体管。第一晶体管M1的阈值电压的负漂移导致相对大的泄漏,导致不能在第二时

间段t2期间通过自举效应将上拉节点PU的电位增加到更高的电平,并且不能从输出端OUT输出有效控制信号。

[0124] 当前级的上拉节点PU处和输出信号中的噪声可能导致下一级的上拉节点PU处和输出信号中的噪声电平增加。因此,噪声逐级累积,在扫描电路的后面的级中逐渐逐步增加。

[0125] 图6A示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。图6A示出了扫描电路的最后一级中的各种信号的波形,包括提供给第一时钟信号端CLK的第一时钟信号、上拉节点PU处的电压电平、以及从输出端输出的输出信号OUTPUT。如图6A所示,对应于图像帧的时间段表示为“F1”,对应于下一相邻图像帧的时间段表示为“F2”,图像帧F1和下一相邻图像帧F2之间的消隐时间段表示为“BP”。在假定上拉节点PU具有第二电平(例如,低电压电平)的时间段(例如,图4或图5中的时间段t3、t4和t5中的任何一个或多个)中,第一电源电压通过第一晶体管M1到上拉节点PU的泄漏导致在上拉节点PU处具有多个峰值的噪声(在图6A中表示为“ES1”)。由于上拉节点PU处的多个峰值,来自输出端OUT的输出信号OUTPUT还包含与第一时钟信号同步的噪声信号(在图6A中表示为“ES2”)。错误输出持续直到输出端OUT完全复位时图像帧结束为止。

[0126] 图6B示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。图6B示出了扫描电路的中间级中的各种信号的波形,包括提供给第一时钟信号端CLK的第一时钟信号、上拉节点PU处的电压电平、以及来自输出端的输出信号OUTPUT。如图6B所示,在假定上拉节点PU具有第二电平(例如,低电压电平)的时间段(例如,图4或图5中的时间段t3、t4和t5中的任何一个或多个)中,第一电源电压通过第一晶体管M1到上拉节点PU的泄漏导致在上拉节点PU处具有多个峰值的噪声(在图6B中表示为“ES1”)。由于上拉节点PU处的多个峰值,来自输出端OUT的输出信号OUTPUT也包含噪声信号(在图6B中表示为“ES2”)。然而,输出信号OUTPUT并不与第一时钟信号同步。这是因为,对于扫描电路的中间级,扫描单元包括用于复位上拉节点PU处的电压电平的第二晶体管。在复位之后且当扫描单元接收到第一时钟信号的后续第一电平(例如高电压电平)时,上拉节点PU仍处于第二电平(例如低电平),且输出信号OUTPUT也为低电压信号。输出信号OUTPUT的周期是第一时钟信号的周期的两倍。

[0127] 图6C示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。参照图6C,当第一晶体管M1的阈值电压的负漂移为-0.6V时,可观察到上拉节点PU处的具有多个峰值的噪声(图6C中标示为“ES1”)以及具有多个峰值的错误的输出信号(图6C中标示为“ES2”)。

[0128] 图6D示出了由于晶体管特性在相对高温下的漂移而导致的扫描电路中的信号误差。参照图6D,当第一晶体管M1的阈值电压的负漂移位于-0.5V时,不会观察到上拉节点PU处的具有多个峰值的噪声和具有多个峰值的错误的输出信号。参照图6C与图6D,图6C中的第一晶体管M1的阈值电压的负漂移与图6D中的第一晶体管M1的阈值电压相比相对地更加严重。例如,图6C中的第一晶体管M1的阈值电压比图6D中的第一晶体管M1的阈值电压更负(negative),且图6C中的第一晶体管M1的导通电流比图6D中的第一晶体管M1的导通电流小。图6C中的第一晶体管M1更容易造成第一电源电压泄漏至上拉节点PU,导致上拉节点PU处的噪声具有多个峰值,且来自输出端OUT的具有多个峰值的错误的输出。本公开的发明人

发现,缺陷的根本原因是第一晶体管的阈值电压的负漂移。根据本发明的扫描电路避免了由于第一晶体管M1的阈值电压的负漂移而引起的第一晶体管M1处的泄漏问题,从而减少或消除了错误输出。此外,扫描电路包括级联的多级扫描单元。与较低级相比,第一晶体管M1的阈值电压的负漂移在扫描电路的较高级中变得越来越严重。根据本公开的扫描电路有效地避免了这些问题,甚至在相对高的温度下也实现了高可靠性。

[0129] 本公开的发明人发现,令人惊讶且出乎意料地,扫描电路的各个扫描单元包括降噪子电路,使得可以显著地减少或消除上拉节点PU处的泄漏和/或输出信号中的噪声。在一些实施例中,降噪子电路耦接到上拉节点或各个扫描单元的输出端。可选地,降噪子电路耦接至各个扫描单元的上拉节点。可选地,降噪子电路耦接至各个扫描单元的输出端。

[0130] 图7是根据本公开的一些实施例中的各个扫描单元的示意图。图8A是根据本公开的一些实施例中的各个扫描单元的电路图。图8B是根据本公开的一些实施例中的各个扫描单元的电路图。图9A是根据本公开的一些实施例中的各个扫描单元的电路图。图9B是根据本公开的一些实施例中的各个扫描单元的电路图。图9C是根据本公开的一些实施例中的各个扫描单元的电路图。图9D是根据本公开的一些实施例中的各个扫描单元的电路图。图10是根据本公开的一些实施例中的各个扫描单元的示意图。图11是根据本公开的一些实施例中的各个扫描单元的电路图。图12是根据本公开的一些实施例中的各个扫描单元的示意图。图13是根据本公开的一些实施例中的各个扫描单元的电路图。图14是根据本公开的一些实施例中的各个扫描单元的示意图。图15是根据本公开的一些实施例中的各个扫描单元的电路图。

[0131] 参考图7至图15,在一些实施例中,各个扫描单元包括第一子电路SC1,其被配置为接收输入信号和第一电源电压信号;第二子电路SC2,其被配置为接收第一电压信号和第三电源电压信号;第三子电路SC3,其被配置成接收第三电源电压信号;第四子电路SC4,其被配置为接收第一时钟信号并通过输出端输出控制信号;上拉节点PU;以及降噪子电路DN,其被配置为降低输出信号中的噪声。可选地,降噪子电路DN耦接到各个扫描单元的上拉节点PU或输出端OUT。

[0132] 在一些实施例中,第一子电路SC1被配置成基于从输入端IN接收的输入信号控制上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从输入端IN接收的输入信号控制上拉节点PU处的电位。可选地,第一子电路SC1被配置为基于从输入端IN接收的输入信号上拉上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从输入端IN接收的输入信号上拉上拉节点PU处的电位。

[0133] 在一些实施例中,第一子电路SC1还被配置成基于从复位端RST接收的复位信号控制上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从复位端RST接收的复位信号控制上拉节点PU处的电位。可选地,第一子电路SC1被配置为基于从复位端RST接收的复位信号复位上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从复位端RST接收的复位信号复位上拉节点PU处的电位。

[0134] 在一些实施例中,第二子电路SC2被配置为基于第一电压信号和上拉节点PU处的电位来控制下拉节点PD和下拉控制节点PD_CN处的电位。可选地,第二子电路SC2被配置为如果上拉节点PU处的电位处于第一电平(例如,高电平),则将下拉节点PD和下拉控制节点PD_CN的电位保持在第二电平(例如,低电平)。

[0135] 在一些实施例中,第三子电路SC3被配置为基于下拉节点PD处的电位下拉输出端OUT和上拉节点PU处的电位。

[0136] 在一些实施例中,第四子电路SC4被配置为基于第一时钟信号和上拉节点PU处的电位从输出端OUT输出输出信号,该输出信号作用于驱动阵列基板的控制信号。

[0137] 可选地,上拉节点PU耦接到第二子电路SC2、第三子电路SC3和第四子电路SC4。在一个示例中,上拉节点PU耦接到第一子电路SC1。在另一个示例中,上拉节点PU耦接到降噪子电路DN。

[0138] 参考图7、图8A、图8B和图9A到图9D,在一些实施例中,降噪子电路DN耦接在第一子电路SC1和上拉节点PU之间。第一子电路SC1和降噪子电路DN共同被配置为基于从输入端IN接收的输入信号控制上拉节点PU处的电位。第一子电路SC1和降噪子电路DN共同被配置为基于从输入端IN接收的输入信号上拉上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从复位端RST接收的复位信号控制上拉节点PU处的电位。可选地,第一子电路SC1和降噪子电路DN共同被配置为基于从复位端RST接收的复位信号复位上拉节点PU处的电位。

[0139] 参考图7、图8A、图8B、图9A到图9D,在一些实施例中,降噪子电路DN耦接到输入端IN、复位端RST和上拉节点PU。降噪子电路DN被配置为控制第一子电路SC1与上拉节点PU之间的连接或断开。通过设置降噪子电路DN,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0140] 参考图7、图8A、图8B、图9A到图9D,在一些实施例中,降噪子电路DN被配置为仅当提供给输入端IN的输入信号是高电压信号时才连接第一晶体管M1(例如,由输入信号控制的输入晶体管)和上拉节点PU。可选地,降噪子电路DN被配置为当提供给输入端IN的输入信号是低电压信号时,断开第一晶体管M1和上拉节点PU。

[0141] 参考图7、图8A、图8B、图9A到图9D,在一些实施例中,降噪子电路DN被配置为仅当提供给复位端RST的复位信号是高电压信号时才连接第二晶体管M2(例如,由复位信号控制的复位晶体管)和上拉节点PU。可选地,降噪子电路DN被配置为当提供给复位端RST的复位信号是低电压信号时,断开第二晶体管M2和上拉节点PU。

[0142] 参考图7和图8A,在一些实施例中,降噪子电路DN包括第一降噪晶体管Ma、第二降噪晶体管Mb和第三降噪晶体管Mc。在一些实施例中,第一降噪晶体管Ma耦接在输入端IN和第三降噪晶体管Mc之间。第一降噪晶体管Ma的栅极和第一电极耦接到输入端IN。第一降噪晶体管Ma的第二电极耦接到第二降噪晶体管Mb的第二电极和第三降噪晶体管Mc的栅极。

[0143] 在一些实施例中,第二降噪晶体管Mb耦接在复位端RST和第三降噪晶体管Mc之间。第二降噪晶体管Mb的栅极和第一电极耦接到复位端RST。第二降噪晶体管Mb的第二电极耦接到第一降噪晶体管Ma的第二电极和第三降噪晶体管Mc的栅极。

[0144] 在一些实施例中,第三降噪晶体管Mc耦接在上拉节点PU和第一晶体管M1和第二晶体管M2的第二电极之间。第三降噪晶体管Mc的栅极耦接到第一降噪晶体管Ma和第二降噪晶体管Mb的第二电极。第三降噪晶体管Mc的第一电极耦接到第一晶体管M1和第二晶体管M2的第二电极。第三降噪晶体管Mc的第二电极耦接到上拉节点PU。

[0145] 参照图8A,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自

前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)、第一降噪晶体管Ma和第三降噪晶体管Mc被导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第三降噪晶体管Mc,将上拉节点PU充电到第一电平(例如,高电平)。

[0146] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1、第一降噪晶体管Ma和第三降噪晶体管Mc截止。上拉节点PU与第一晶体管M1断开。

[0147] 当复位端RST从后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)接收到处于第一电平(例如,高电平)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)、第二降噪晶体管Mb和第三降噪晶体管Mc被导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2和第三降噪晶体管Mc,将上拉节点PU复位到第二电平(例如,低电平)。

[0148] 当复位端RST接收到处于第二电平(例如低电平)的信号时,第二晶体管M2、第二降噪晶体管Mb和第三降噪晶体管Mc截止。上拉节点PU与第二晶体管M2断开。

[0149] 通过设置降噪子电路使得可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。图16示出了根据本公开的一些实施例中的各个扫描单元中的信号。图16示出了扫描电路的各个扫描单元中的各种信号的波形,包括上拉节点PU处的电压电平、下拉节点PD处的电压电平、以及从输出端输出的输出信号OUTPUT。即使当扫描电路在相对高的温度(例如,大于等于85摄氏度)下操作时,也消除了第一电源电压通过第一晶体管M1到上拉节点PU的泄漏和从输出端OUT输出的输出信号中的噪声。

[0150] 参考图7和图8B,在一些实施例中,降噪子电路DN包括第一降噪晶体管Ma和第三降噪晶体管Mc。在一些实施例中,第一降噪晶体管Ma耦接在输入端IN和第三降噪晶体管Mc之间。第一降噪晶体管Ma的栅极和第一电极耦接到输入端IN。第一降噪晶体管Ma的第二电极耦接到第三降噪晶体管Mc的栅极。

[0151] 在一些实施例中,第三降噪晶体管Mc耦接在上拉节点PU和第一晶体管M1和第二晶体管M2的第二电极之间。第三降噪晶体管Mc的栅极耦接到第一降噪晶体管Ma的第二电极。第三降噪晶体管Mc的第一电极耦接到第一晶体管M1和第二晶体管M2的第二电极。第三降噪晶体管Mc的第二电极耦接到上拉节点PU。

[0152] 参照图8B,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)、第一降噪晶体管Ma和第三降噪晶体管Mc被导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第三降噪晶体管Mc,将上拉节点PU充电到第一电平(例如,高电平)。

[0153] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1、第一降噪晶体管Ma和第三降噪晶体管Mc截止。上拉节点PU与第一晶体管M1断开。

[0154] 当复位端RST接收处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)导通。提供到第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2,将上拉节点PU复位到第二电平(例如,低电平)。

[0155] 当复位端RST接收到处于第二电平(例如,低电平)的信号时,第二晶体管M2截止。上拉节点PU与第二晶体管M2断开。

[0156] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0157] 参照图7和图9A,在一些实施例中,降噪子电路DN包括第四降噪晶体管Md和第五降噪晶体管Me。在一些实施例中,第四降噪晶体管Md耦接在上拉节点PU和第一晶体管M1(例如,输入晶体管)之间。第四降噪晶体管Md的栅极耦接至输入端IN。第四降噪晶体管Md的第一电极耦接到第一晶体管M1的第二电极。第四降噪晶体管Md的第二电极耦接到上拉节点PU。

[0158] 在一些实施例中,第五降噪晶体管Me耦接在上拉节点PU和第二晶体管M2(例如,复位晶体管)之间。第五降噪晶体管Me的栅极耦接到复位端RST。第五降噪晶体管Me的第一电极耦接到第二晶体管M2的第二电极。第五降噪晶体管Me的第二电极耦接到上拉节点PU。

[0159] 参照图9A,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)和第四降噪晶体管Md导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第四降噪晶体管Md,将上拉节点PU充电到第一电平(例如,高电平)。

[0160] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1和第四降噪晶体管Md截止。上拉节点PU与第一晶体管M1断开。

[0161] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)和第五降噪晶体管Me导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2和第五降噪晶体管Me,将上拉节点PU复位到第二电平(例如,低电平)。

[0162] 当复位端RST接收到处于第二电平(例如,低电平)的信号时,第二晶体管M2和第五降噪晶体管Me被截止。上拉节点PU与第二晶体管M2断开。

[0163] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。图17示出了根据本公开的一些实施例中的各个扫描单元中的信号。图17示出了扫描电路的各个扫描单元中的各种信号的波形,包括上拉节点PU处的电压电平、下拉节点PD处的电压电平、以及从输出端输出的输出信号OUTPUT。即使当扫描电路在相对高的温度(例如,

大于等于85摄氏度)下操作时,也消除了第一电源电压通过第一晶体管M1到上拉节点PU的泄漏和从输出端OUT输出的输出信号中的噪声。降噪子电路DN在正向扫描模式和反向扫描模式下都可以有效地降低泄漏和噪声。

[0164] 参照图7和图9B,在一些实施例中,降噪子电路DN包括第四降噪晶体管Md。在一些实施例中,第四降噪晶体管Md耦接在上拉节点PU和第一晶体管M1(例如,输入晶体管)之间。第四降噪晶体管Md的栅极耦接至输入端IN。第四降噪晶体管Md的第一电极耦接到第一晶体管M1的第二电极。第四降噪晶体管Md的第二电极耦接到上拉节点PU。

[0165] 参照图9B,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)和第四降噪晶体管Md导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第四降噪晶体管Md,将上拉节点PU充电到第一电平(例如,高电平)。

[0166] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1和第四降噪晶体管Md截止。上拉节点PU与第一晶体管M1断开。

[0167] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)导通。提供到第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2,将上拉节点PU复位到第二电平(例如,低电平)。

[0168] 当复位端RST接收到处于第二电平(例如,低电平)的信号时,第二晶体管M2截止。上拉节点PU与第二晶体管M2断开。

[0169] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0170] 参考图7和图9C,在一些实施例中,降噪子电路DN包括第一降噪晶体管Ma、第三降噪晶体管Mc和第四降噪晶体管Md。在一些实施例中,第一降噪晶体管Ma耦接在输入端IN和第三降噪晶体管Mc之间。第一降噪晶体管Ma的栅极和第一电极耦接到输入端IN。第一降噪晶体管Ma的第二电极耦接到第三降噪晶体管Mc的栅极。

[0171] 在一些实施例中,第三降噪晶体管Mc耦接在上拉节点PU和第一晶体管M1和第二晶体管M2的第二电极之间。第三降噪晶体管Mc的栅极耦接到第一降噪晶体管Ma的第二电极和复位端RST。第三降噪晶体管Mc的第一电极耦接到第一晶体管M1和第二晶体管M2的第二电极。第三降噪晶体管Mc的第二电极耦接到上拉节点PU。

[0172] 在一些实施例中,第四降噪晶体管Md耦接在上拉节点PU和第一晶体管M1(例如,输入晶体管)之间。第四降噪晶体管Md的栅极耦接到输入端IN。第四降噪晶体管Md的第一电极耦接到第一晶体管M1的第二电极。第四降噪晶体管Md的第二电极耦接到上拉节点PU。

[0173] 参照图9C,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端

的输出信号时,第一晶体管M1(例如,输入晶体管)、第一降噪晶体管Ma和第三降噪晶体管Mc被导通;第一晶体管M1(例如输入晶体管)和第四降噪晶体管Md导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1、第四降噪晶体管Md和第三降噪晶体管Mc,将上拉节点PU充电到第一电平(例如,高电平)。

[0174] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1、第一降噪晶体管Ma、第三降噪晶体管Mc和第四降噪晶体管Md截止。上拉节点PU与第一晶体管M1断开。

[0175] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)和第三降噪晶体管Mc被导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2和第三降噪晶体管Mc,将上拉节点PU复位到第二电平(例如,低电平)。

[0176] 当复位端RST接收到处于第二电平(例如低电平)的信号时,第二晶体管M2和第三降噪晶体管Mc截止。上拉节点PU与第二晶体管M2断开。

[0177] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0178] 参照图7和图9D,在一些实施例中,降噪子电路DN包括第一降噪晶体管Ma、第二降噪晶体管Mb、第三降噪晶体管Mc、第四降噪晶体管Md和第五降噪晶体管Me。在一些实施例中,第一降噪晶体管Ma耦接在输入端IN和第三降噪晶体管Mc之间。第一降噪晶体管Ma的栅极和第一电极耦接到输入端IN。第一降噪晶体管Ma的第二电极耦接到第二降噪晶体管Mb的第二电极和第三降噪晶体管Mc的栅极。

[0179] 在一些实施例中,第二降噪晶体管Mb耦接在复位端RST和第三降噪晶体管Mc之间。第二降噪晶体管Mb的栅极和第一电极耦接到复位端RST。第二降噪晶体管Mb的第二电极耦接到第一降噪晶体管Ma的第二电极和第三降噪晶体管Mc的栅极。

[0180] 在一些实施例中,第三降噪晶体管Mc耦接在上拉节点PU和第一晶体管M1和第二晶体管M2的第二电极之间。第三降噪晶体管Mc的栅极耦接到第一降噪晶体管Ma和第二降噪晶体管Mb的第二电极。第三降噪晶体管Mc的第一电极耦接到第一晶体管M1和第二晶体管M2的第二电极。第三降噪晶体管Mc的第二电极耦接到上拉节点PU。

[0181] 在一些实施例中,第四降噪晶体管Md耦接在上拉节点PU和第一晶体管M1(例如,输入晶体管)之间。第四降噪晶体管Md的栅极耦接到输入端IN。第四降噪晶体管Md的第一电极耦接到第一晶体管M1的第二电极。第四降噪晶体管Md的第二电极耦接到上拉节点PU。

[0182] 在一些实施例中,第五降噪晶体管Me耦接在上拉节点PU和第二晶体管M2(例如,复位晶体管)之间。第五降噪晶体管Me的栅极耦接到复位端RST。第五降噪晶体管Me的第一电极耦接到第二晶体管M2的第二电极。第五降噪晶体管Me的第二电极耦接到上拉节点PU。

[0183] 参照图9D,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端

的输出信号时,第一晶体管M1(例如,输入晶体管)、第一降噪晶体管Ma、第三降噪晶体管Mc和第四降噪晶体管Md导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1、第四降噪晶体管Md和第三降噪晶体管Mc,将上拉节点PU充电到第一电平(例如,高电平)。

[0184] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1、第一降噪晶体管Ma、第四降噪晶体管Md和第三降噪晶体管Mc截止。上拉节点PU与第一晶体管M1断开。

[0185] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)、第五降噪晶体管Me、第二降噪晶体管Mb和第三降噪晶体管Mc导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2、第五降噪晶体管Me、和第三降噪晶体管Mc,将上拉节点PU复位到第二电平(例如,低电平)。

[0186] 当复位端RST接收到处于第二电平(例如低电平)的信号时,第二晶体管M2、第二降噪晶体管Mb、第五降噪晶体管Me和第三降噪晶体管Mc截止。上拉节点PU与第二晶体管M2断开。

[0187] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0188] 参考图10、图11、图12、图13、图14和图15,在一些实施例中,降噪子电路DN耦接在第三电源电压端VGL和输出端OUT或上拉节点PU之间。第三电源电压端VGL被配置成提供处于第二电平(例如,低电平)的第三电源电压信号。降噪子电路DN由下拉控制节点PD_CN处的电位控制,以基于下拉控制节点PD_CN处的电位下拉输出端OUT或上拉节点PU处的电位。当上拉节点PU在图像帧中被复位到第二电平(例如,低电平)时或在此之后,下拉控制节点PD_CN处的电位处于第一电平(例如,高电平)。

[0189] 参考图10和图11,在一些实施例中,降噪子电路DN耦接到上拉节点PU和第三电源电压端VGL。降噪子电路DN被配置为控制上拉节点PU与第三电源电压端VGL之间的连接或断开。通过设置降噪子电路DN,第一电源电压通过第一晶体管M1向上拉节点PU的泄漏可以被降噪子电路DN复位,从而有效降低或消除第一电源电压向上拉节点PU的泄漏以及从输出端OUT输出的输出信号中的噪声。

[0190] 参照图10和图11,在一些实施例中,降噪子电路DN包括第六降噪晶体管Mf。在一些实施例中,第六降噪晶体管Mf耦接在上拉节点PU和第三电源电压端VGL之间。第六降噪晶体管Mf的栅极耦接到下拉控制节点PD_CN。第六降噪晶体管Mf的第一电极耦接到第三电源电压端VGL。第六降噪晶体管Mf的第二电极耦接到上拉节点PU。本公开提供了与第二子电路SC2结合的用于对上拉节点PU降噪的第六降噪晶体管Mf。在一个示例中,各个扫描单元仅包括一个第二子电路SC2,从而简化了扫描电路并节省了边框空间。这种结构有利于制造可穿戴设备。在另一个示例中,各个扫描单元包括多个第二子电路SC2。多个第二子电路SC2能够交替地对上拉节点PU降噪,从而提高扫描电路的寿命。

[0191] 参照图11,当下拉控制节点PD_CN处的电位处于第一电平(例如,高电平)时,第六降噪晶体管Mf导通。第三电源电压信号(为低电压信号)经过第六降噪晶体管Mf,复位上拉节点PU。

[0192] 通过设置降噪子电路,第三电源电压信号可以有效复位(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1向上拉节点PU的泄漏,并且可以有效降低或消除从输出端OUT输出的输出信号中的噪声。图18示出了根据本公开的一些实施例中的各个扫描单元中的信号。图18示出了扫描电路的各个扫描单元中的各种信号的波形,包括上拉节点PU处的电压电平、下拉节点PD处的电压电平、以及从输出端输出的输出信号OUTPUT。即使当扫描电路在相对高的温度(例如,大于等于85摄氏度)下操作时,也消除了第一电源电压通过第一晶体管M1到上拉节点PU的泄漏和从输出端OUT输出的输出信号中的噪声。

[0193] 参考图12和图13,在一些实施例中,降噪子电路DN耦接到输出端OUT和第三电源电压端VGL。降噪子电路DN被配置为控制输出端OUT与第三电源电压端VGL之间的连接或断开。通过设置降噪子电路DN,可以通过降噪子电路DN对输出端OUT处的噪声复位,从而有效降低或消除从输出端OUT输出的输出信号中的噪声。

[0194] 参照图12和图13,在一些实施例中,降噪子电路DN包括第七降噪晶体管Mg。在一些实施例中,第七降噪晶体管Mg耦接在输出端OUT和第三电源电压端VGL之间。第七降噪晶体管Mg的栅极耦接到下拉控制节点PD_CN。第七降噪晶体管Mg的第一电极耦接到第三电源电压端VGL。第七降噪晶体管Mg的第二电极耦接到输出端OUT。

[0195] 参照图13,当下拉控制节点PD_CN处的电位处于第一电平(例如,高电平)时,第七降噪晶体管Mg导通。第三电源电压信号(低电压信号)通过第七降噪晶体管Mg,对输出端OUT降噪。

[0196] 通过设置降噪子电路,可以有效地降低或消除从输出端OUT输出的输出信号中的噪声。图19示出了根据本公开的一些实施例中的各个扫描单元中的信号。图19示出了扫描电路的各个扫描单元中的各种信号的波形,包括上拉节点PU处的电压电平、下拉节点PD处的电压电平、以及从输出端输出的输出信号OUTPUT。即使当扫描电路在相对高的温度(例如,大于等于85摄氏度)下操作时,也消除了从输出端OUT输出的输出信号中的噪声。

[0197] 参考图14和图15,在一些实施例中,降噪子电路DN耦接到上拉节点PU、输出端OUT和第三电源电压端VGL。降噪子电路DN被配置为控制上拉节点PU与第三电源电压端VGL之间的连接或断开,并控制输出端OUT与第三电源电压端VGL之间的连接或断开。通过设置降噪子电路DN,降噪子电路DN能够复位第一电源电压通过第一晶体管M1向上拉节点PU的泄漏,降噪子电路DN能够复位输出端OUT处的噪声,从而有效降低或消除第一电源电压至上拉节点PU的泄漏以及从输出端OUT输出的输出信号中的噪声。

[0198] 参照图14和图15,在一些实施例中,降噪子电路DN包括第六降噪晶体管Mf和第七降噪晶体管Mg。在一些实施例中,第六降噪晶体管Mf耦接在上拉节点PU和第三电源电压端VGL之间。第六降噪晶体管Mf的栅极耦接到下拉控制节点PD_CN。第六降噪晶体管Mf的第一电极耦接到第三电源电压端VGL。第六降噪晶体管Mf的第二电极耦接到上拉节点PU。

[0199] 在一些实施例中,第七降噪晶体管Mg耦接在输出端OUT和第三电源电压端VGL之间。第七降噪晶体管Mg的栅极耦接到下拉控制节点PD_CN。第七降噪晶体管Mg的第一电极耦接到第三电源电压端VGL。第七降噪晶体管Mg的第二电极耦接到输出端OUT。

[0200] 参照图15,当下拉控制节点PD_CN处的电位处于第一电平(例如,高电平)时,第六降噪晶体管Mf导通。第三电源电压信号(为低电压信号)经过第六降噪晶体管Mf,复位上拉节点PU。当下拉控制节点PD_CN处的电位处于第一电平(例如,高电平)时,第七降噪晶体管Mg导通。第三电源电压信号(低电压信号)通过第七降噪晶体管Mg,对输出端OUT降噪。

[0201] 通过设置降噪子电路,第三电源电压信号可以有效复位(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1向上拉节点PU的泄漏,并且可以有效降低或消除从输出端OUT输出的输出信号中的噪声。

[0202] 可以实践各种适当的实施方式以组合图7到图15中所描述的任意两个或更多个降噪子电路。例如,图8A或图8B中所示的降噪子电路可以与图9A、图9B、图11或图15中所示的降噪子电路中的任何一个或多个组合。在另一示例中,图9A或图9B中所示的降噪子电路可以与图8A、图8B、图11或图15中所示的降噪子电路中的任何一个或多个组合。在另一示例中,图11中所示的降噪子电路可以与图8A、图8B、图9A、图9B、或图15中所示的降噪子电路中的任何一个或多个组合。在另一示例中,图13中所示的降噪子电路可以与图9A、图9B、图11、或图15中所示的降噪子电路中的任何一个或多个组合。本公开的发明人发现通过组合本文所述的各种降噪子电路能够更好的改善第一晶体管M1(例如,输入晶体管)高温信赖性过程中阈值电压负向漂移,导致通过第一晶体管M1向上拉节点PU漏电造成栅极驱动电路误输出的问题。

[0203] 图20是根据本公开的一些实施例中的各个扫描单元的电路图。参照图20,在一些实施例中,降噪子电路DN包括第四降噪晶体管Md、第五降噪晶体管Me和第七降噪晶体管Mg。在一些实施例中,第四降噪晶体管Md耦接在上拉节点PU和第一晶体管M1(例如,输入晶体管)之间。第四降噪晶体管Md的栅极耦接到输入端IN。第四降噪晶体管Md的第一电极耦接到第一晶体管M1的第二电极。第四降噪晶体管Md的第二电极耦接到上拉节点PU。在一些实施例中,第五降噪晶体管Me耦接在上拉节点PU和第二晶体管M2(例如,复位晶体管)之间。第五降噪晶体管Me的栅极耦接到复位端RST。第五降噪晶体管Me的第一电极耦接到第二晶体管M2的第二电极。第五降噪晶体管Me的第二电极耦接到上拉节点PU。在一些实施例中,第七降噪晶体管Mg耦接在输出端OUT和第三电源电压端VGL之间。第七降噪晶体管Mg的栅极耦接到下拉控制节点PD_CN。第七降噪晶体管Mg的第一电极耦接到第三电源电压端VGL。第七降噪晶体管Mg的第二电极耦接到输出端OUT。

[0204] 参照图20,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)和第四降噪晶体管Md导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第四降噪晶体管Md,将上拉节点PU充电到第一电平(例如,高电平)。

[0205] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1和第四降噪晶体管Md截止。上拉节点PU与第一晶体管M1断开。

[0206] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第

二晶体管M2(例如,复位晶体管)和第五降噪晶体管Me导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2和第五降噪晶体管Me,将上拉节点PU复位到第二电平(例如,低电平)。

[0207] 当复位端RST接收到处于第二电平(例如,低电平)的信号时,第二晶体管M2和第五降噪晶体管Me被截止。上拉节点PU与第二晶体管M2断开。

[0208] 当下拉控制节点PD_CN处的电位为第一电平(例如,高电平)时,第七降噪晶体管Mg导通。第三电源电压信号(低电压信号)通过第七降噪晶体管Mg,对输出端OUT降噪。

[0209] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0210] 图21是根据本公开的一些实施例中的各个扫描单元的电路图。参考图21,在一些实施例中,降噪子电路DN包括第一降噪晶体管Ma、第二降噪晶体管Mb、第三降噪晶体管Mc和第六降噪晶体管Mf。在一些实施例中,第一降噪晶体管Ma耦接在输入端IN和第三降噪晶体管Mc之间。第一降噪晶体管Ma的栅极和第一电极耦接到输入端IN。第一降噪晶体管Ma的第二电极耦接到第二降噪晶体管Mb的第二电极和第三降噪晶体管Mc的栅极。在一些实施例中,第二降噪晶体管Mb耦接在复位端RST和第三降噪晶体管Mc之间。第二降噪晶体管Mb的栅极和第一电极耦接到复位端RST。第二降噪晶体管Mb的第二电极耦接到第一降噪晶体管Ma的第二电极和第三降噪晶体管Mc的栅极。在一些实施例中,第三降噪晶体管Mc耦接在上拉节点PU和第一晶体管M1和第二晶体管M2的第二电极之间。第三降噪晶体管Mc的栅极耦接到第一降噪晶体管Ma和第二降噪晶体管Mb的第二电极。第三降噪晶体管Mc的第一电极耦接到第一晶体管M1和第二晶体管M2的第二电极。在一些实施例中,第六降噪晶体管Mf耦接在上拉节点PU和第三电源电压端VGL之间。第六降噪晶体管Mf的栅极耦接到下拉控制节点PD_CN。第六降噪晶体管Mf的第一电极耦接到第三电源电压端VGL。第六降噪晶体管Mf的第二电极耦接到上拉节点PU。

[0211] 参照图21,当输入端IN接收到处于第一电平(例如,高电平)的开始信号SS或来自前面的扫描单元(例如,第(n-1)扫描单元、第(n-2)扫描单元或第(n-3)扫描单元)的输出端的输出信号时,第一晶体管M1(例如,输入晶体管)、第一降噪晶体管Ma和第三降噪晶体管Mc被导通。提供到复位端RST的来自后面的扫描单元的输出端的输出信号具有第二电平(例如,低电平),从而截止第二晶体管M2。提供给第一电源电压信号端VDS的第一电源电压信号具有第一电平(例如,高电平),第一电源电压信号通过第一晶体管M1和第三降噪晶体管Mc,将上拉节点PU充电到第一电平(例如,高电平)。

[0212] 当输入端IN接收到处于第二电平(例如低电平)的信号时,第一晶体管M1、第一降噪晶体管Ma和第三降噪晶体管Mc截止。上拉节点PU与第一晶体管M1断开。

[0213] 当复位端RST接收到处于第一电平(例如,高电平)的来自后面的扫描单元(例如,第(n+1)扫描单元、第(n+2)扫描单元或第(n+3)扫描单元)的输出信号作为复位信号时,第二晶体管M2(例如,复位晶体管)、第二降噪晶体管Mb和第三降噪晶体管Mc被导通。提供给第二电源电压端VSD的第二电源电压信号具有第二电平(例如,低电平),第二电源电压信号通过第二晶体管M2和第三降噪晶体管Mc,将上拉节点PU复位到第二电平(例如,低电平)。

[0214] 当复位端RST接收到处于第二电平(例如低电平)的信号时,第二晶体管M2、第二降

噪晶体管Mb和第三降噪晶体管Mc截止。上拉节点PU与第二晶体管M2断开。

[0215] 当下拉控制节点PD_CN处的电位为第一电平(例如,高电平)时,第六降噪晶体管Mf导通。第三电源电压信号(为低电压信号)经过第六降噪晶体管Mf,复位上拉节点PU。

[0216] 通过设置降噪子电路,可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0217] 可以实践各种其他实施方式以组合图7到图15中描绘的任何两个或更多个降噪子电路。图22是根据本公开的一些实施例中的各个扫描单元的电路图。图22示出了其中组合了图8B和图11中所描述的降噪子电路的实施方式。

[0218] 图23是根据本公开的一些实施例中的各个扫描单元的电路图。图23示出了其中组合了图8B和图15中所描述的降噪子电路的实施方式。通过设置图23中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0219] 图24是根据本公开的一些实施例中的各个扫描单元的电路图。图24示出了其中组合了图9B和图11中所描述的降噪子电路的实施方式。通过设置图24中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0220] 图25是根据本公开的一些实施例中的各个扫描单元的电路图。图25示出了其中组合了图9B和图15中所描述的降噪子电路的实施方式。通过设置图25中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0221] 图26是根据本公开的一些实施例中的各个扫描单元的电路图。图26示出了其中组合了图8A和图11中所描述的降噪子电路的实施方式。通过设置图26中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0222] 图27是根据本公开的一些实施例中的各个扫描单元的电路图。图27示出了其中组合了图8A和图13中所描述的降噪子电路的实施方式。通过设置图27中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0223] 图28是根据本公开的一些实施例中的各个扫描单元的电路图。图28示出了其中组合了图8A和图15中所描述的降噪子电路的实施方式。通过设置图28中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0224] 图29是根据本公开的一些实施例中的各个扫描单元的电路图。图29示出了其中组合了图9A和图11中所描述的降噪子电路的实施方式。通过设置图29中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0225] 图30是根据本公开的一些实施例中的各个扫描单元的电路图。图30示出了其中组合了图9B和图13中所描述的降噪子电路的实施方式。通过设置图30中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0226] 图31是根据本公开的一些实施例中的各个扫描单元的电路图。图31示出了其中组合了图9A和图15中所描述的降噪子电路的实施方式。通过设置图31中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0227] 图32是根据本公开的一些实施例中的各个扫描单元的电路图。图32示出了其中组合了图9D和图15中所描述的降噪子电路的实施方式。通过设置图32中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0228] 图33是根据本公开的一些实施例中的各个扫描单元的电路图。图33示出了其中组合了图9C和图15中所描述的降噪子电路的实施方式。通过设置图33中描述的降噪子电路,可以避免由第一晶体管M1的阈值电压的负漂移和/或第五晶体管M5和第十晶体管M10的阈值电压的正漂移引起的错误输出或多个输出。可以有效地减少或消除(提供给第一电源电压端VDS的)第一电源电压通过第一晶体管M1泄漏至上拉节点PU以及从输出端OUT输出的输出信号中的噪声。

[0229] 在另一方面,本发明提供一种显示设备,包括在此描述的或通过在此描述的方法制造的扫描电路,以及具有多个发光元件的显示面板。适当的显示设备的示例包括但不限于电子纸、移动电话、平板计算机、电视、监视器、笔记本电脑、数字相册、GPS等。可选地,

显示设备为有机发光二极管显示设备。可选地,显示设备为微型发光二极管显示设备。可选地,显示设备是迷你发光二极管显示设备。可选地,显示设备是量子点显示设备。

[0230] 本公开中描述的扫描电路可以用于生成到显示面板中的子像素的各种适当的控制信号。在一个示例中,本公开中描述的扫描电路是被配置为生成用于显示面板中的子像素的发光控制信号的发光控制信号生成电路。在另一示例中,本公开中描述的扫描电路是被配置为生成用于显示面板中的子像素的栅极扫描信号的栅极扫描信号生成电路。在另一示例中,本公开中描述的扫描电路是被配置为生成用于显示面板中的子像素的复位控制信号的复位控制信号生成电路。

[0231] 为了说明和描述的目的,已经给出了本发明的实施例的上述描述。其不是穷举的,也不是要将本发明限制为所公开的精确形式或示例性实施例。因此,前面的描述应当被认为是说明性的而不是限制性的。显然,许多修改和变化对于本领域技术人员将是显而易见的。选择和描述实施例是为了解释本发明的原理及其最佳模式实际应用,从而使得本领域技术人员能够理解本发明的各种实施例以及适合于所考虑的特定使用或实现的各种修改。本发明的范围旨在由所附权利要求及其等价物来限定,其中除非另有说明,否则所有术语都意味着其最广泛的合理意义。因此,术语“本发明(the invention、the present invention)”等不一定将权利要求范围限制为特定实施例,并且对本发明的示例性实施例的引用不意味着对本发明的限制,并且不应推断出这样的限制。本发明仅由所附权利要求的精神和范围来限定。此外,这些权利要求可能涉及使用“第一”、“第二”等,随后是名词或元素。这些术语应当被理解为命名法,并且不应当被解释为对由这些命名法所修改的元件的数量进行限制,除非已经给出了特定的数量。所描述的任何优点和益处可能不适用于本发明的所有实施例。应当理解,在不脱离由所附权利要求限定的本发明的范围的情况下,本领域技术人员可以对所描述的实施例进行改变。此外,本公开中的元件和组件都不是要贡献给公众,无论该元件或组件是否在所附权利要求中明确叙述。

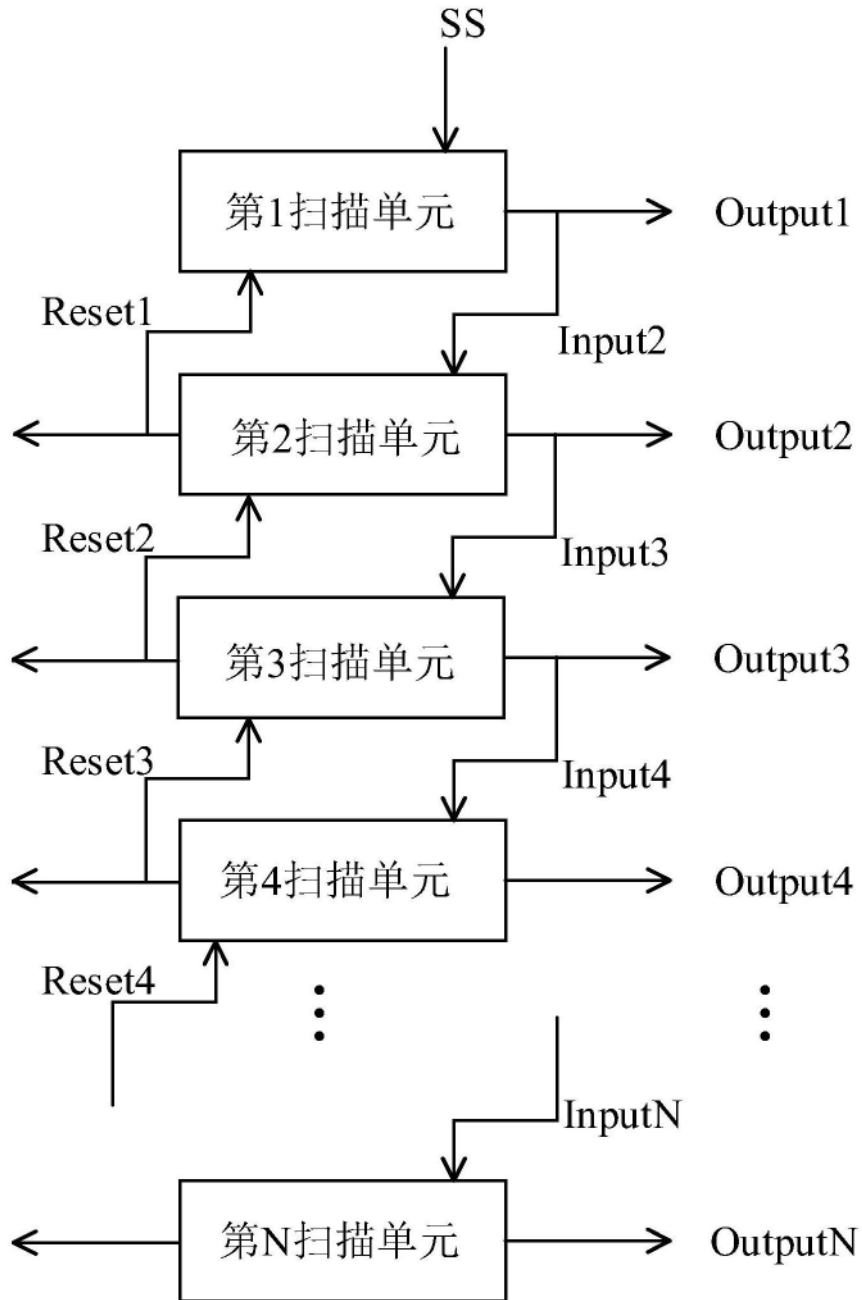


图1A

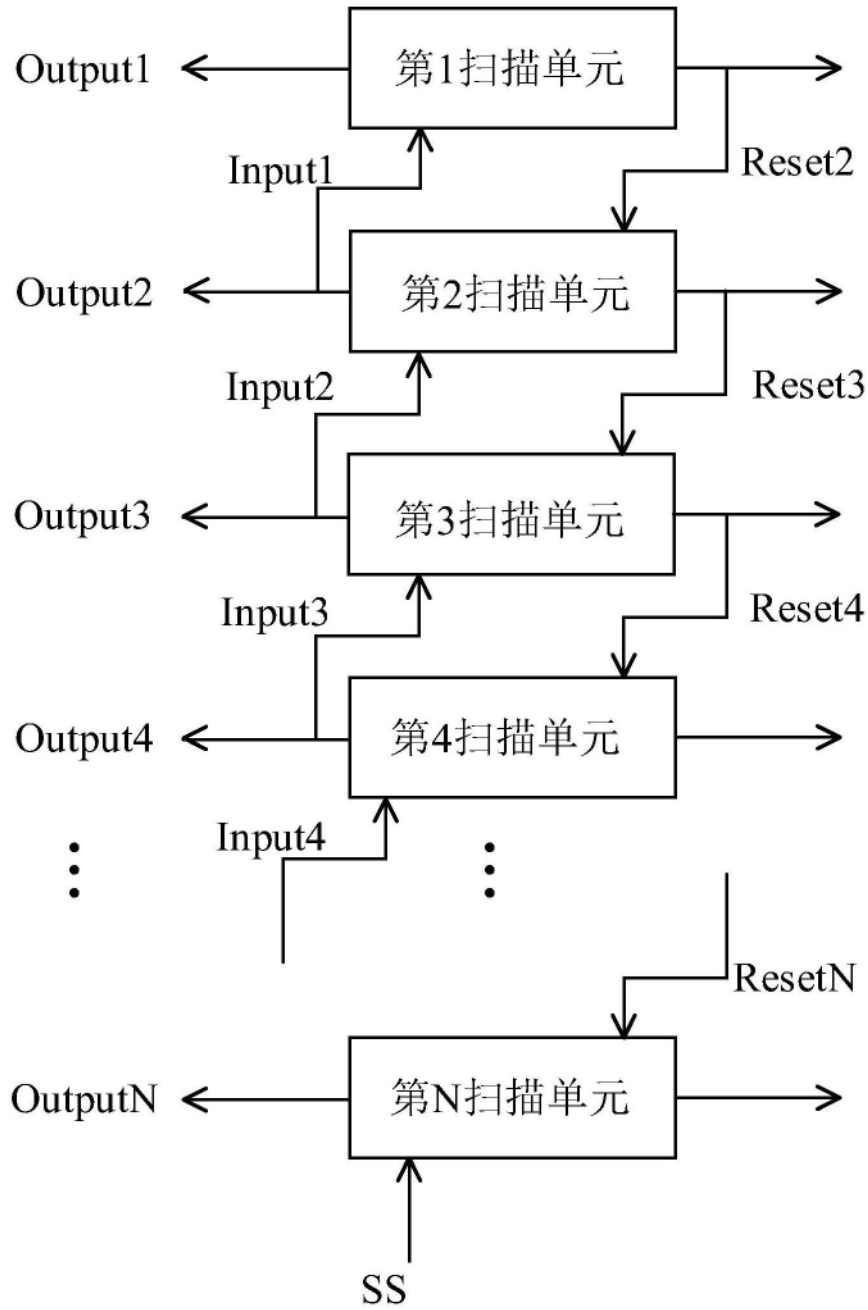


图1B

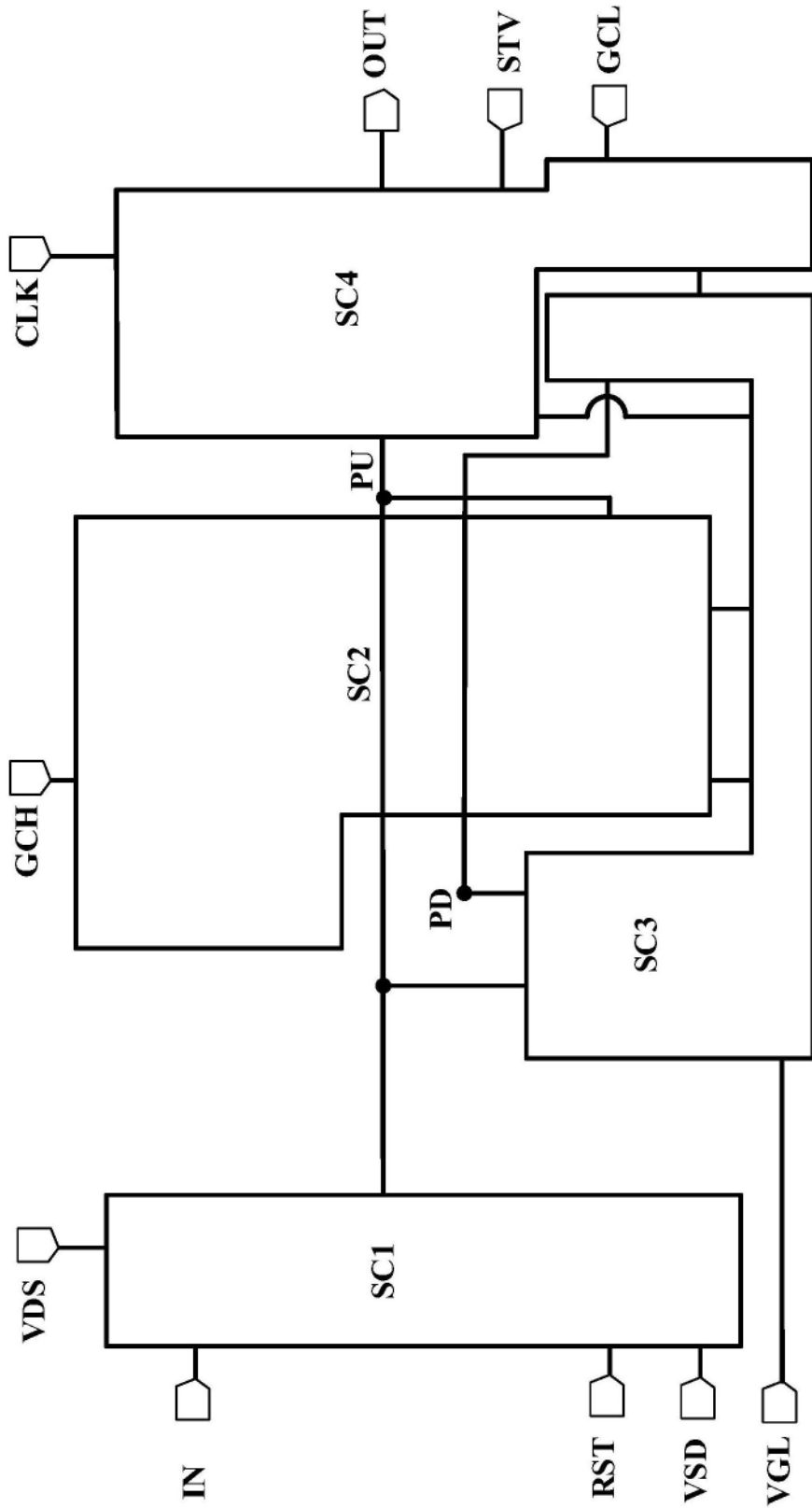


图2

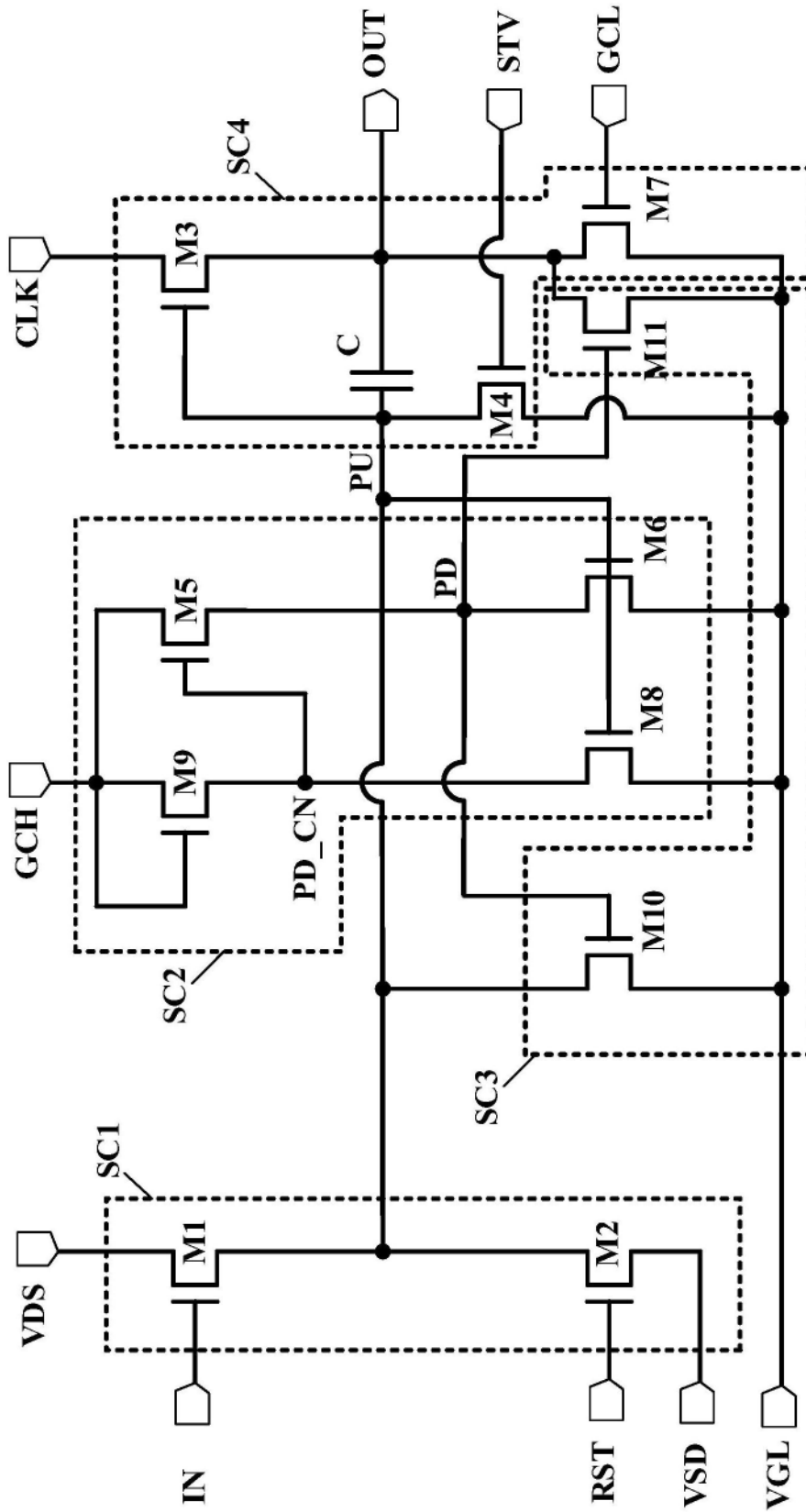


图3

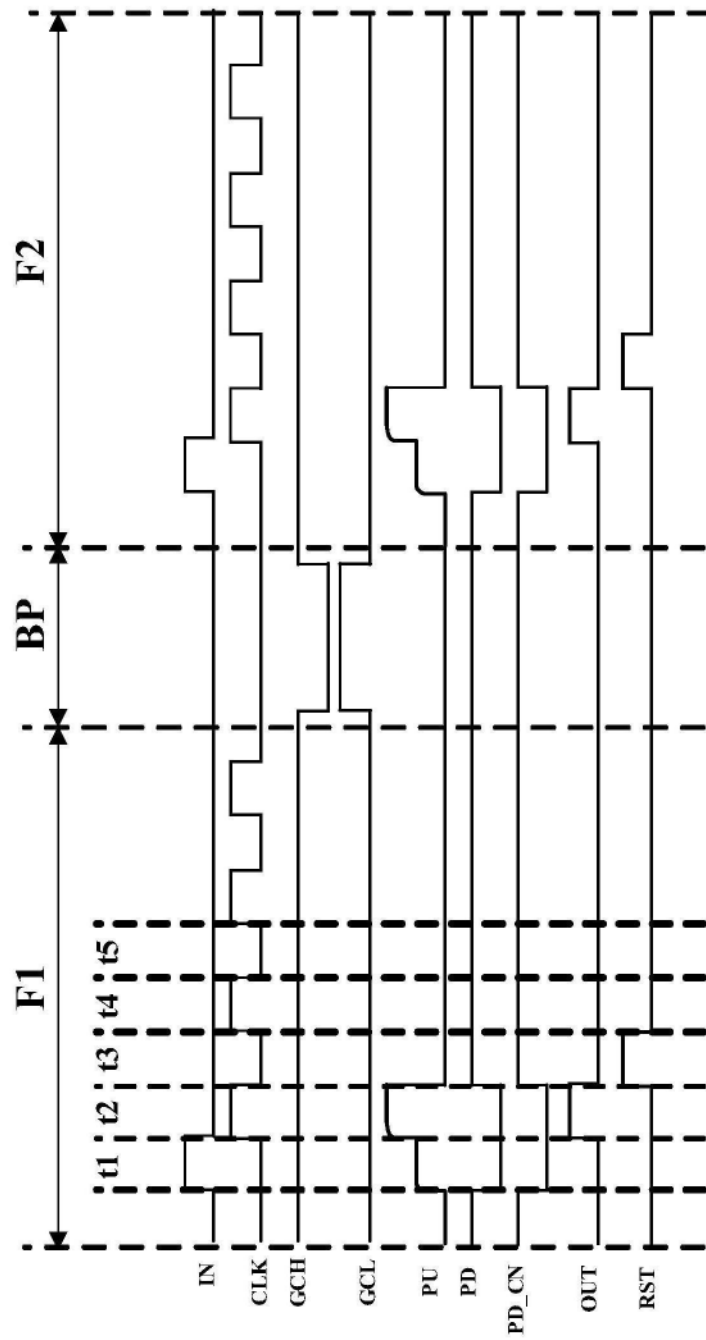


图4

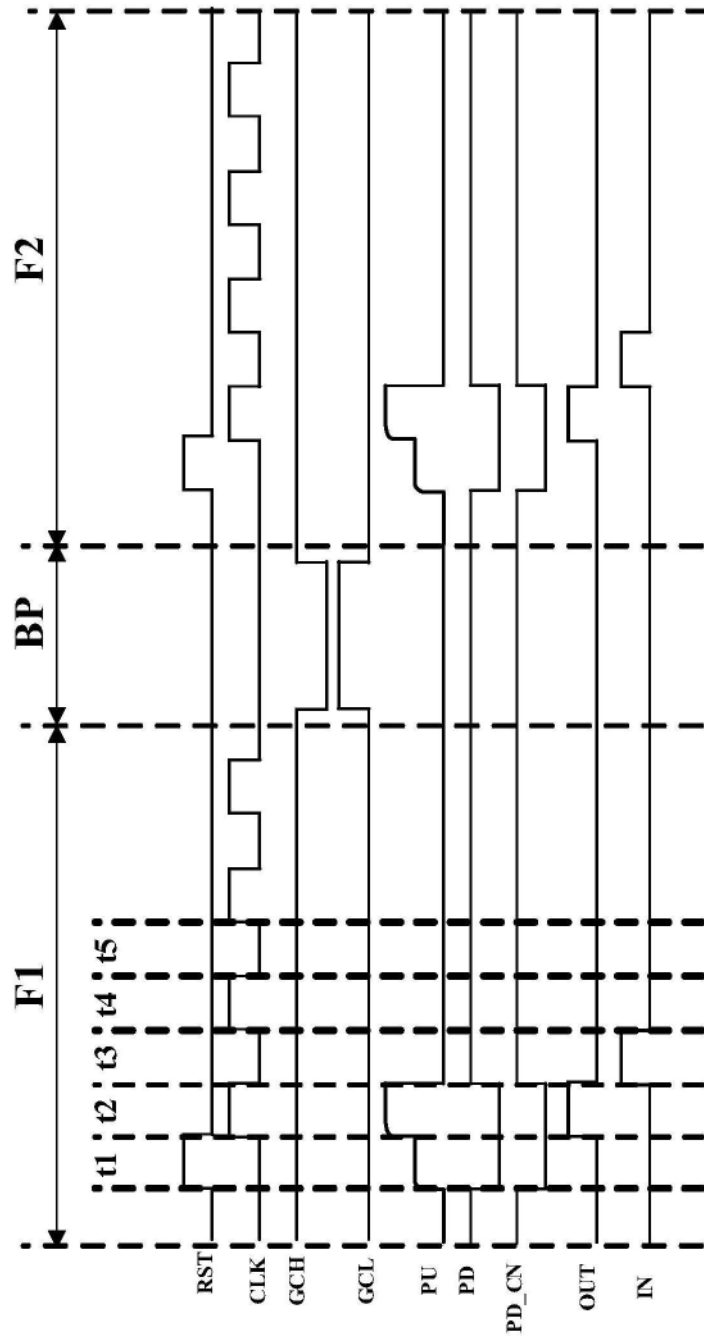


图5

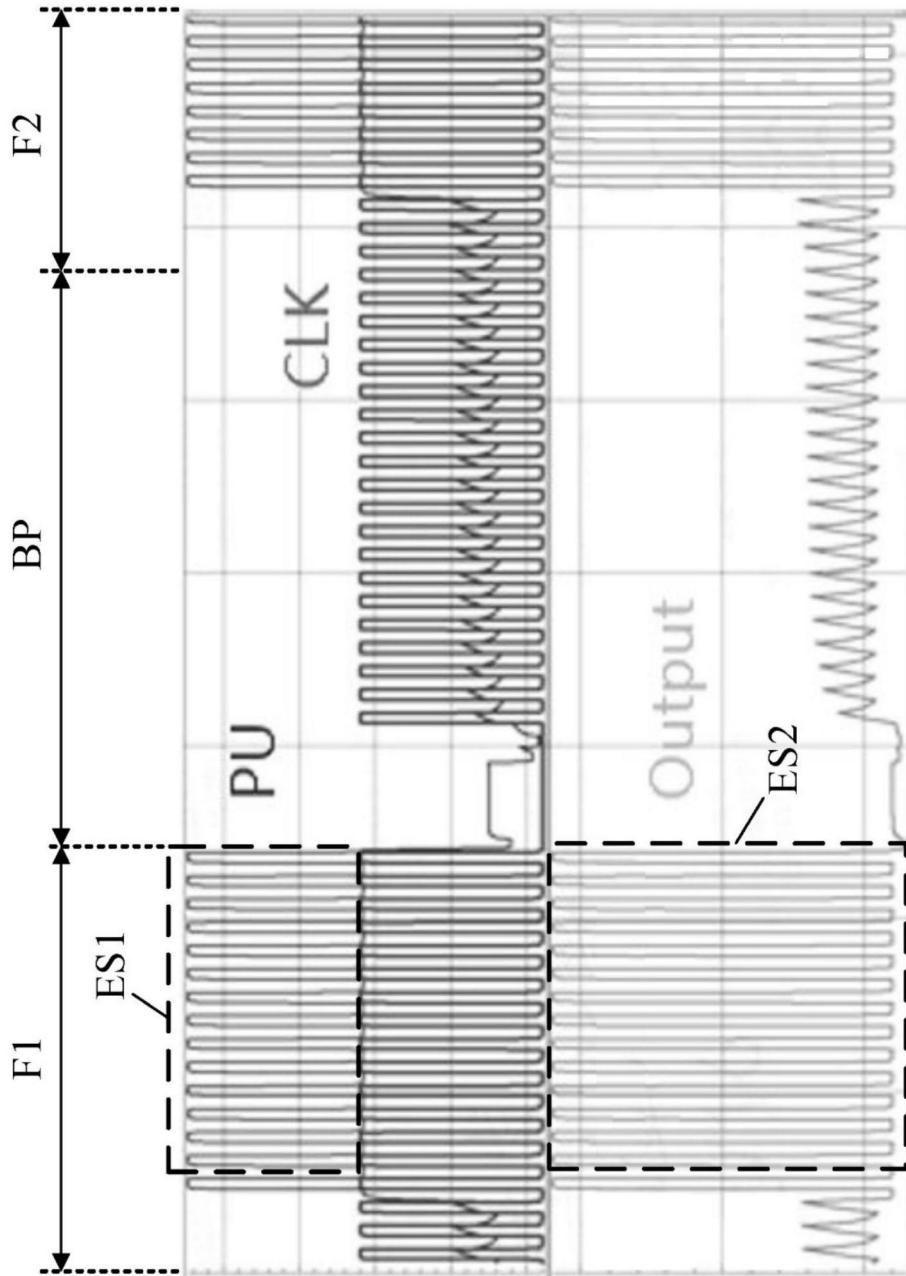


图6A

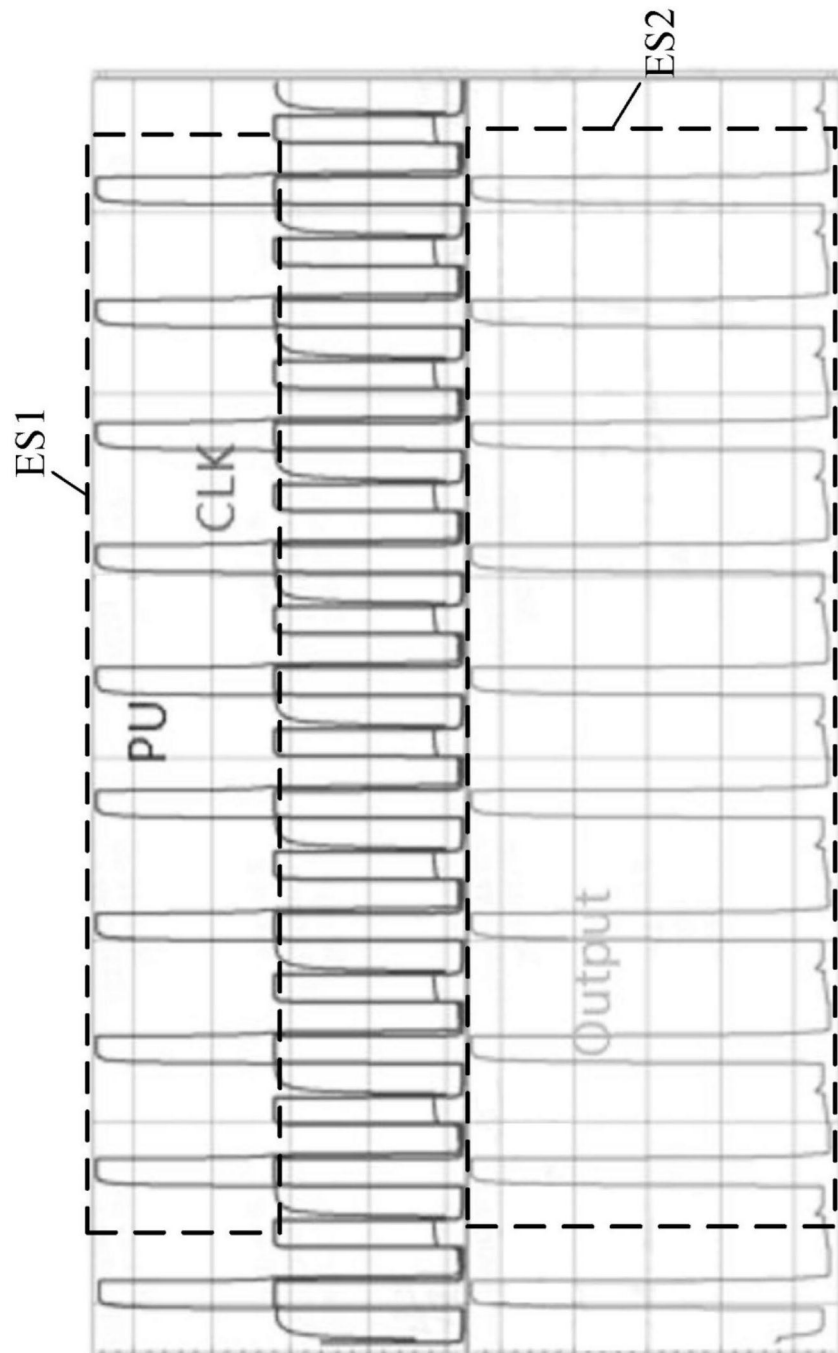


图6B

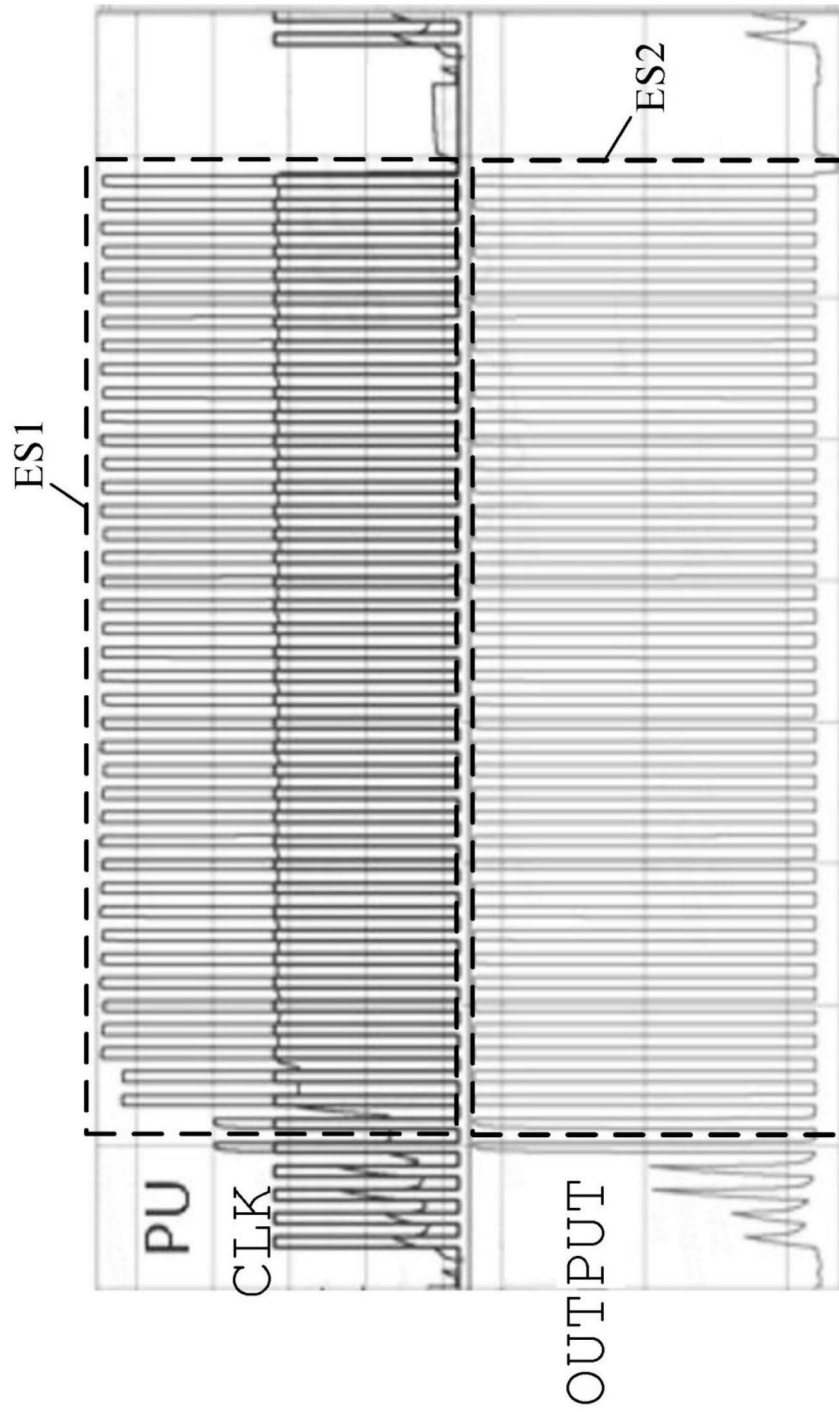


图6C

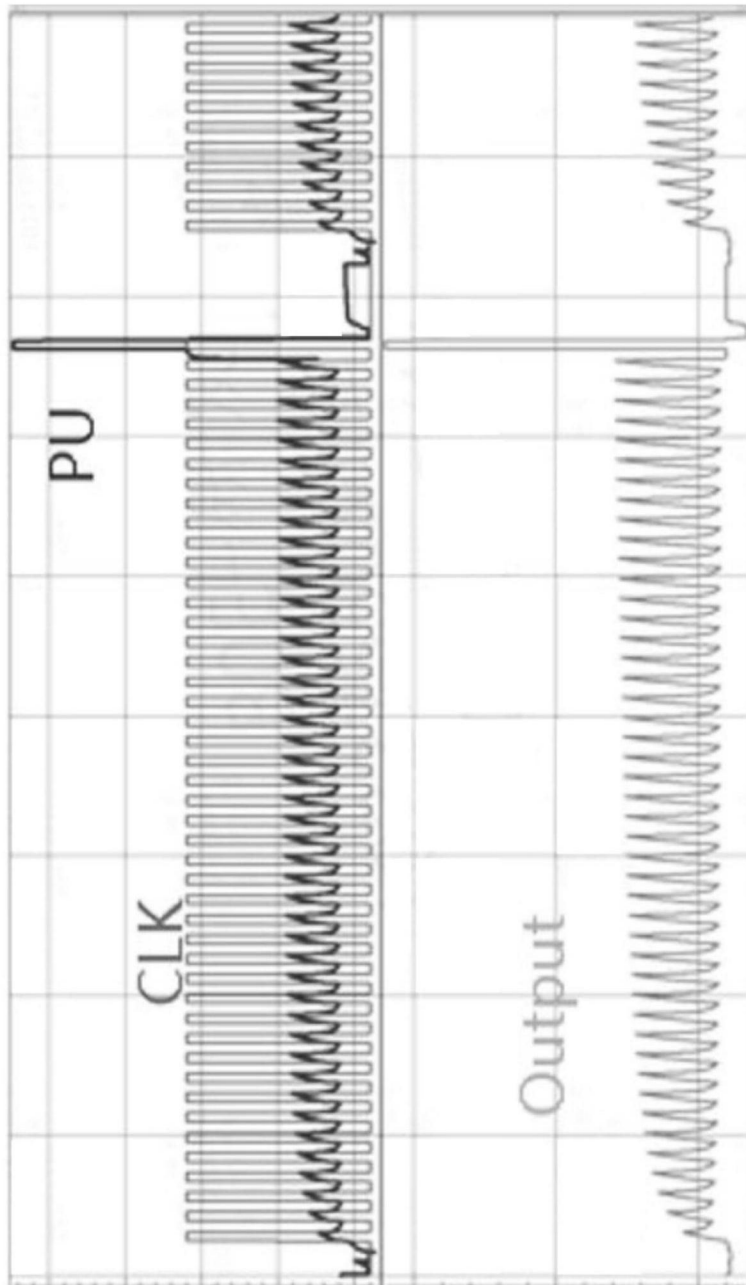


图6D

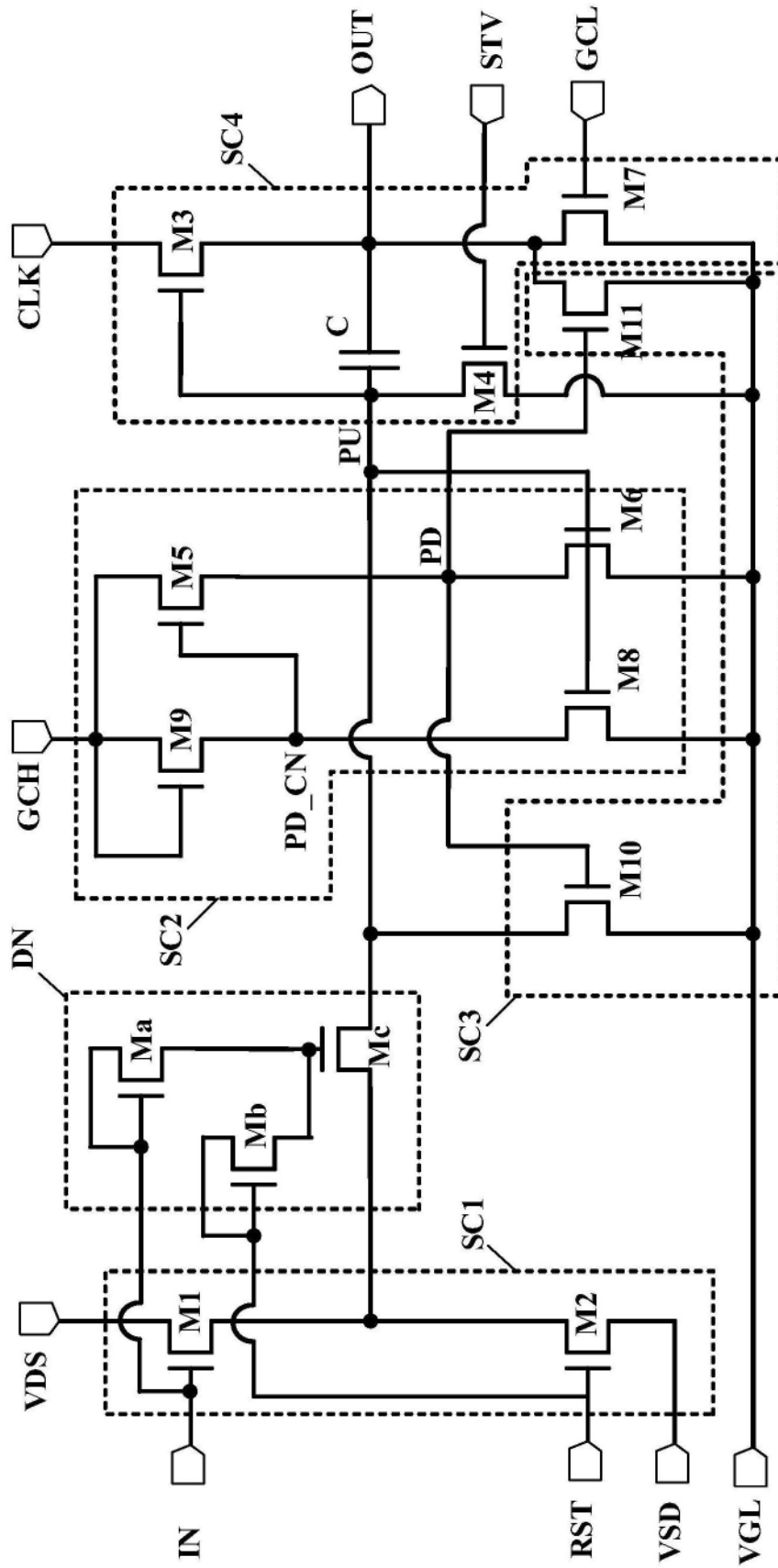


图8A

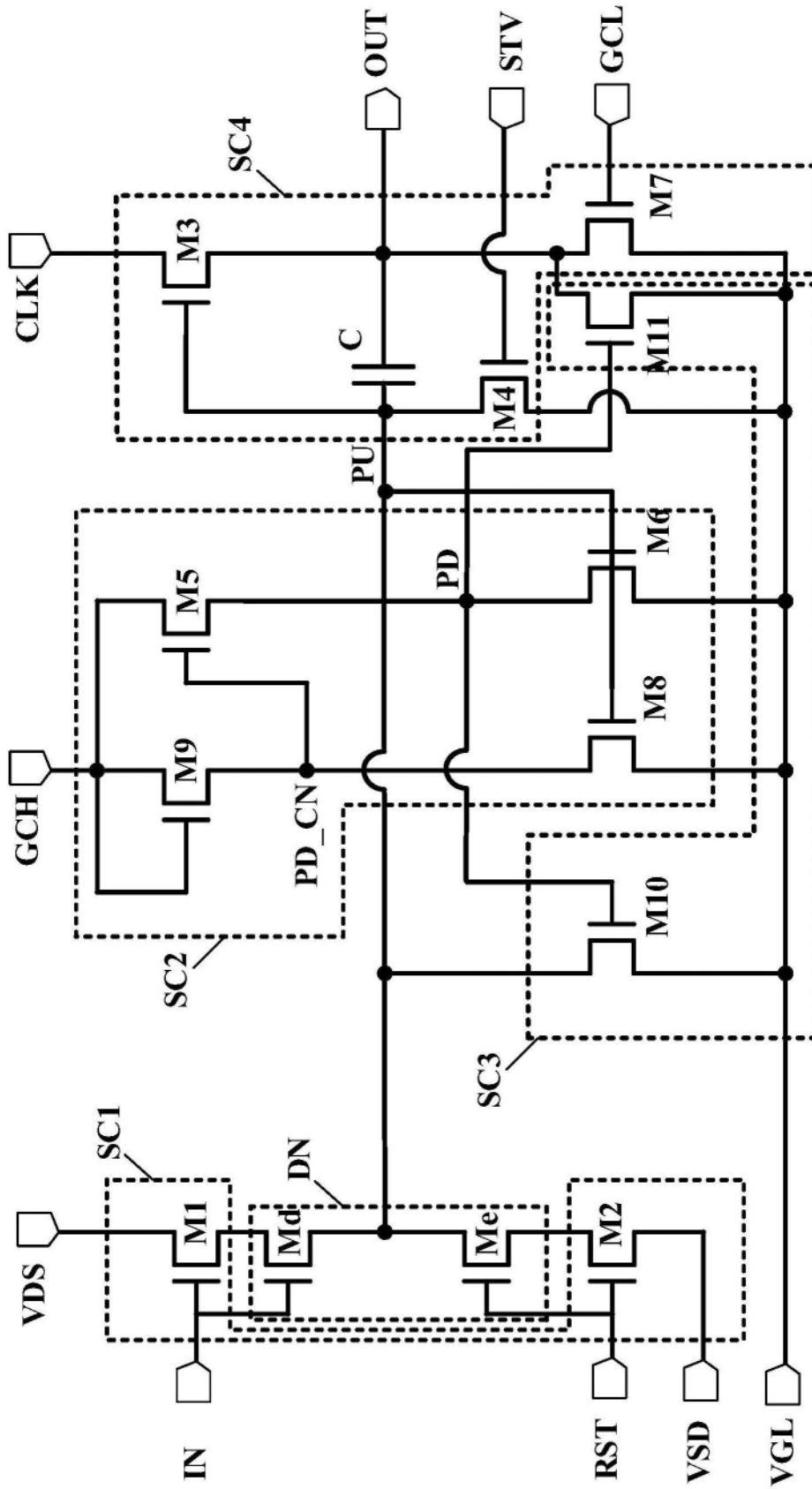


图9A

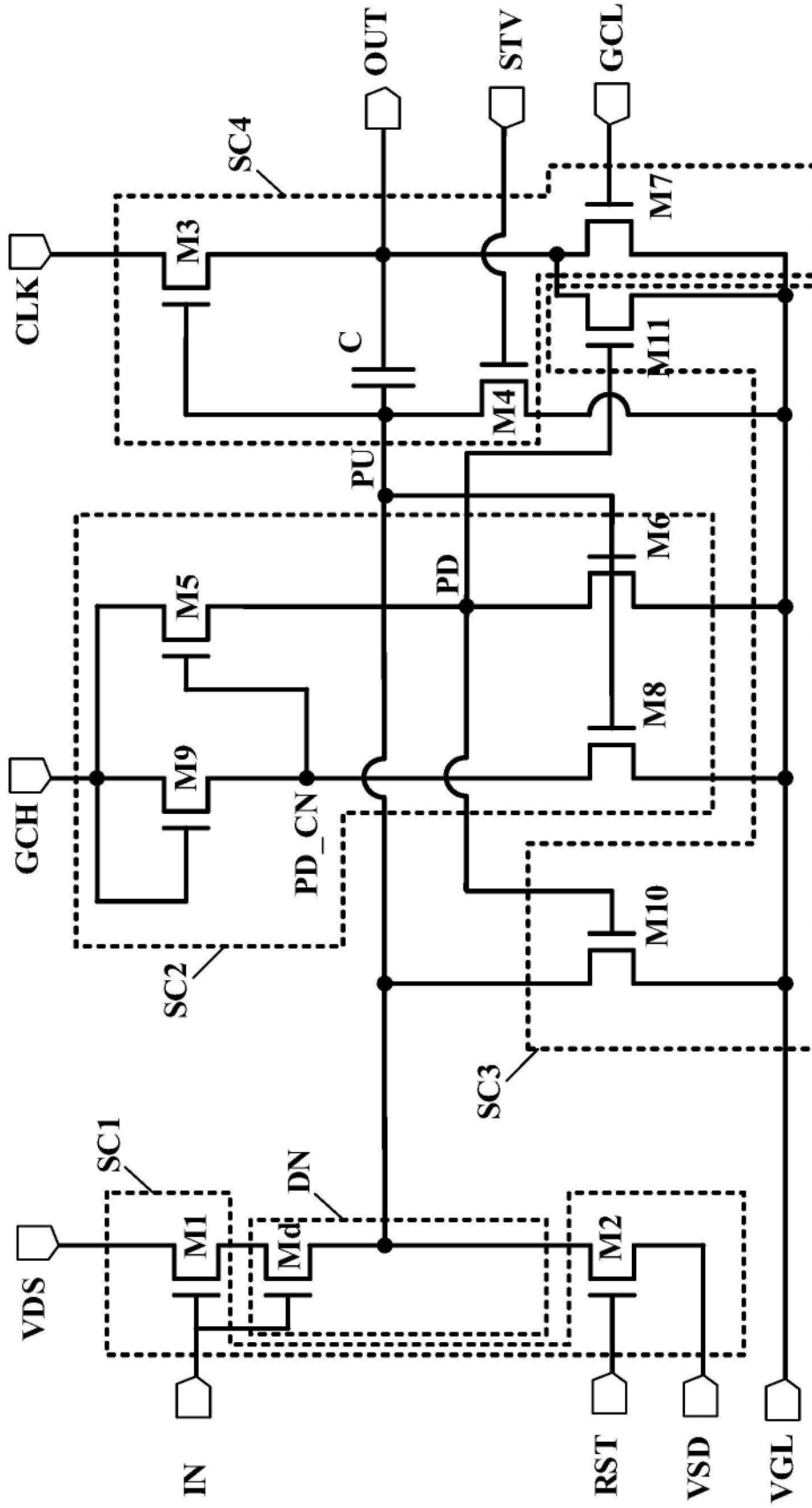


图9B

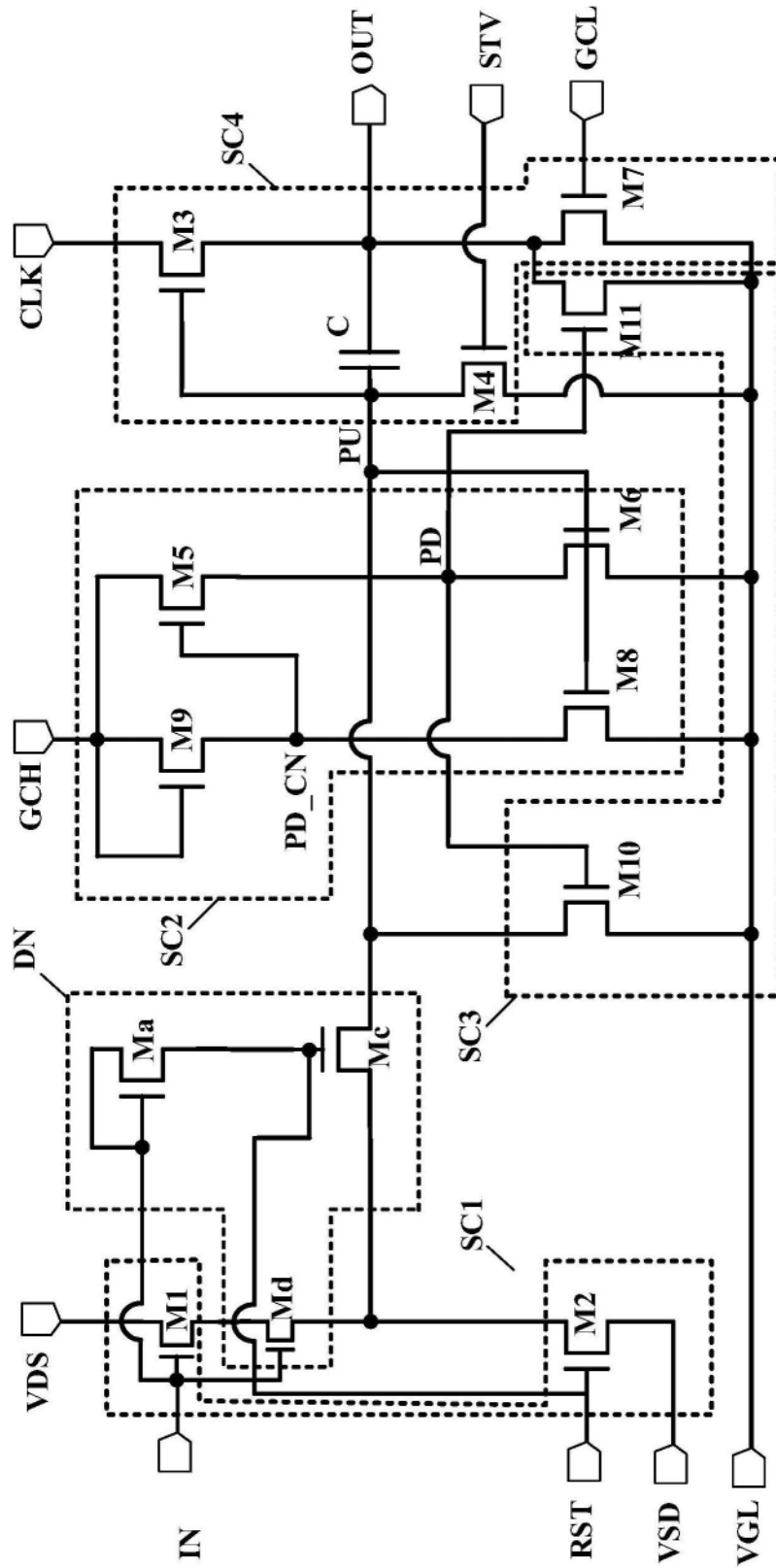


图9C

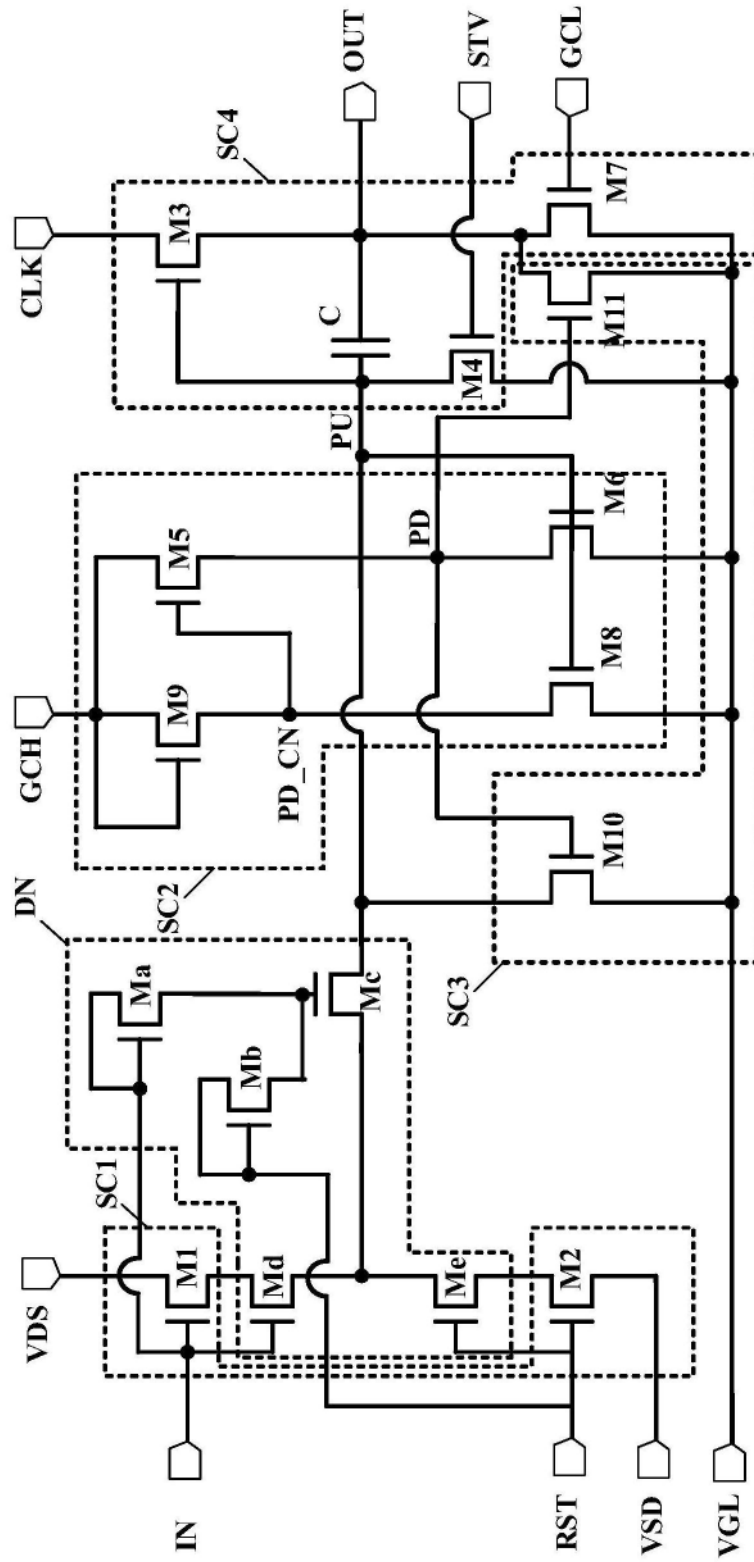


图9D

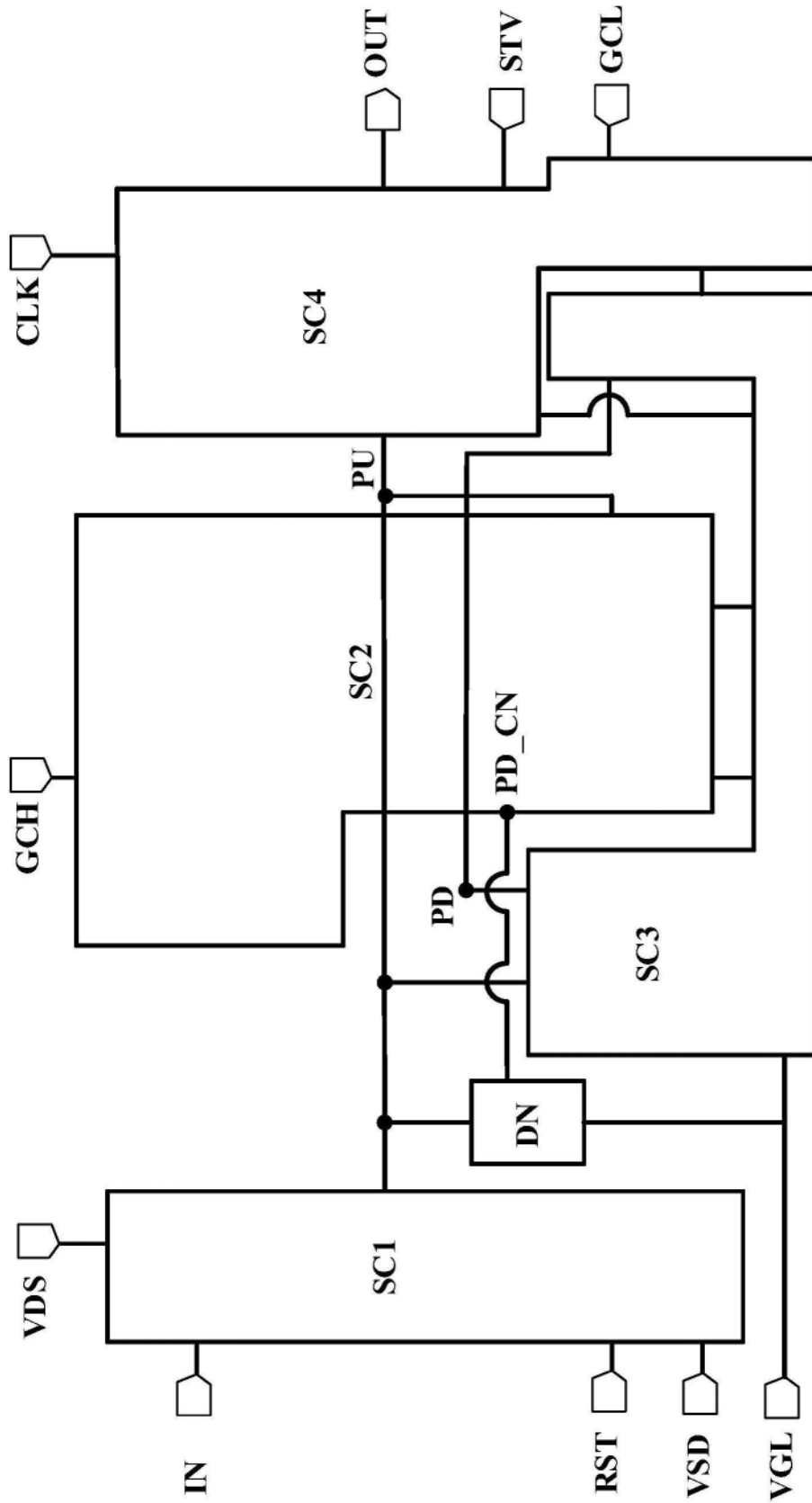


图10

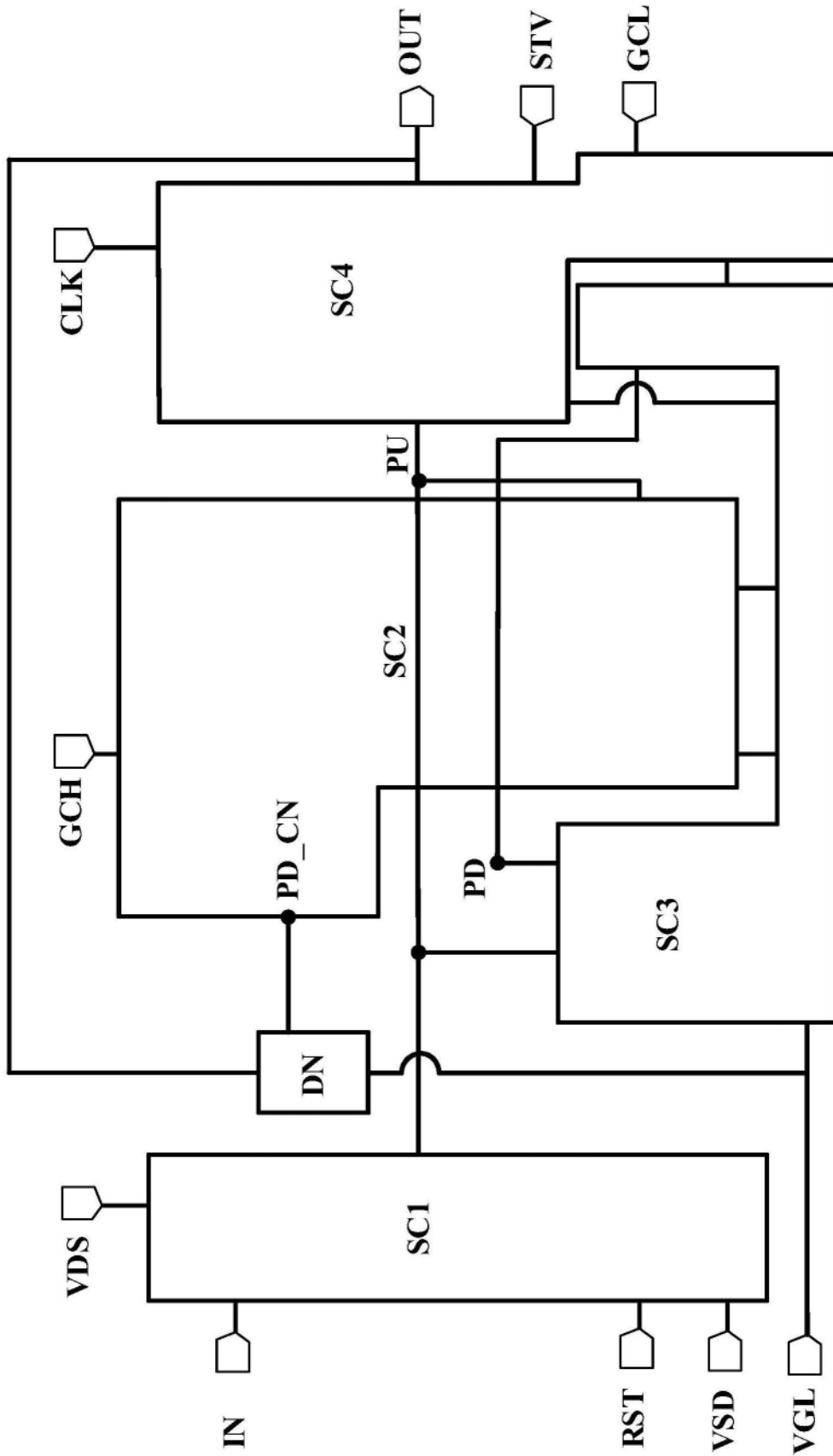


图12

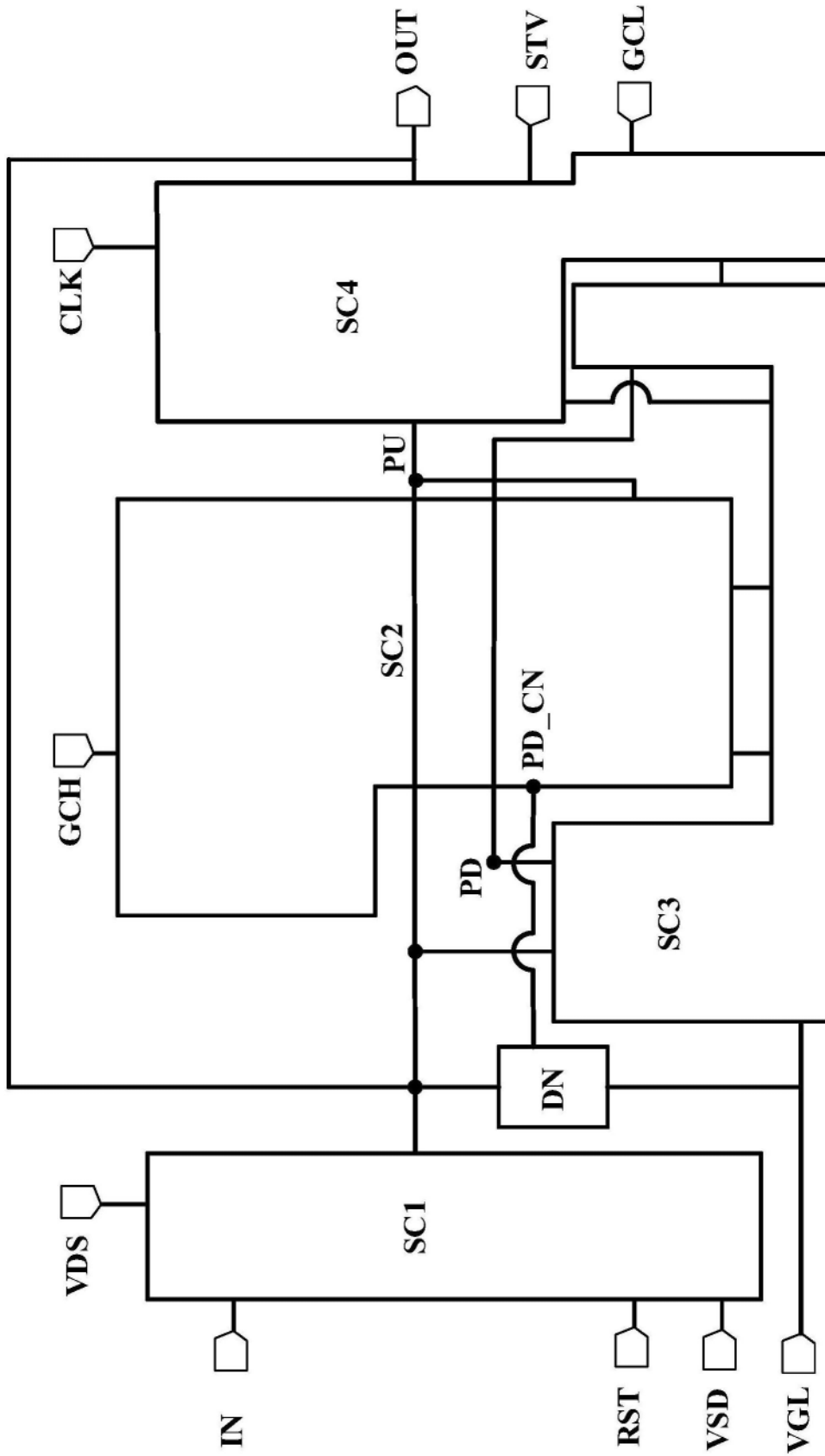


图14

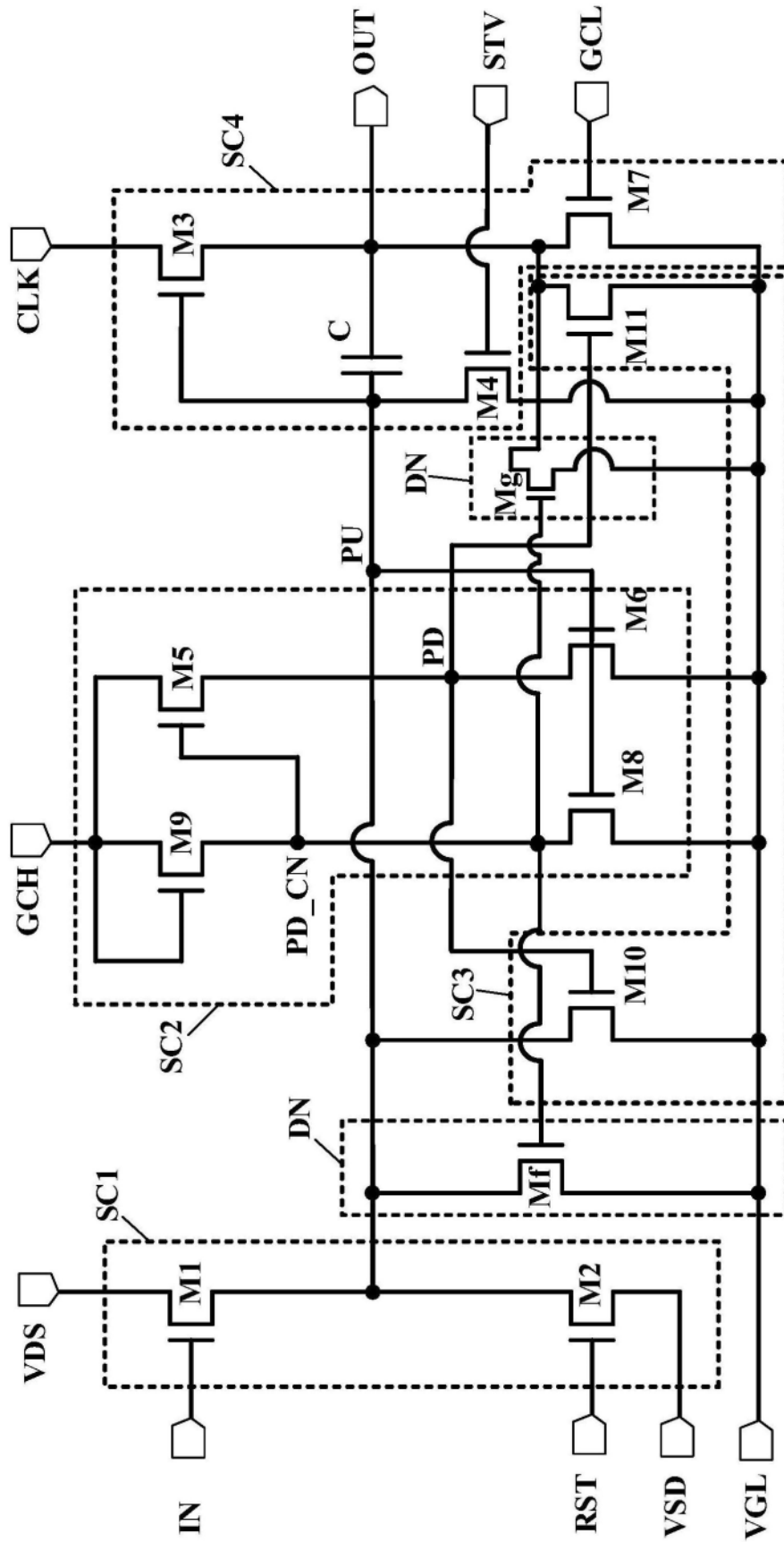


图15

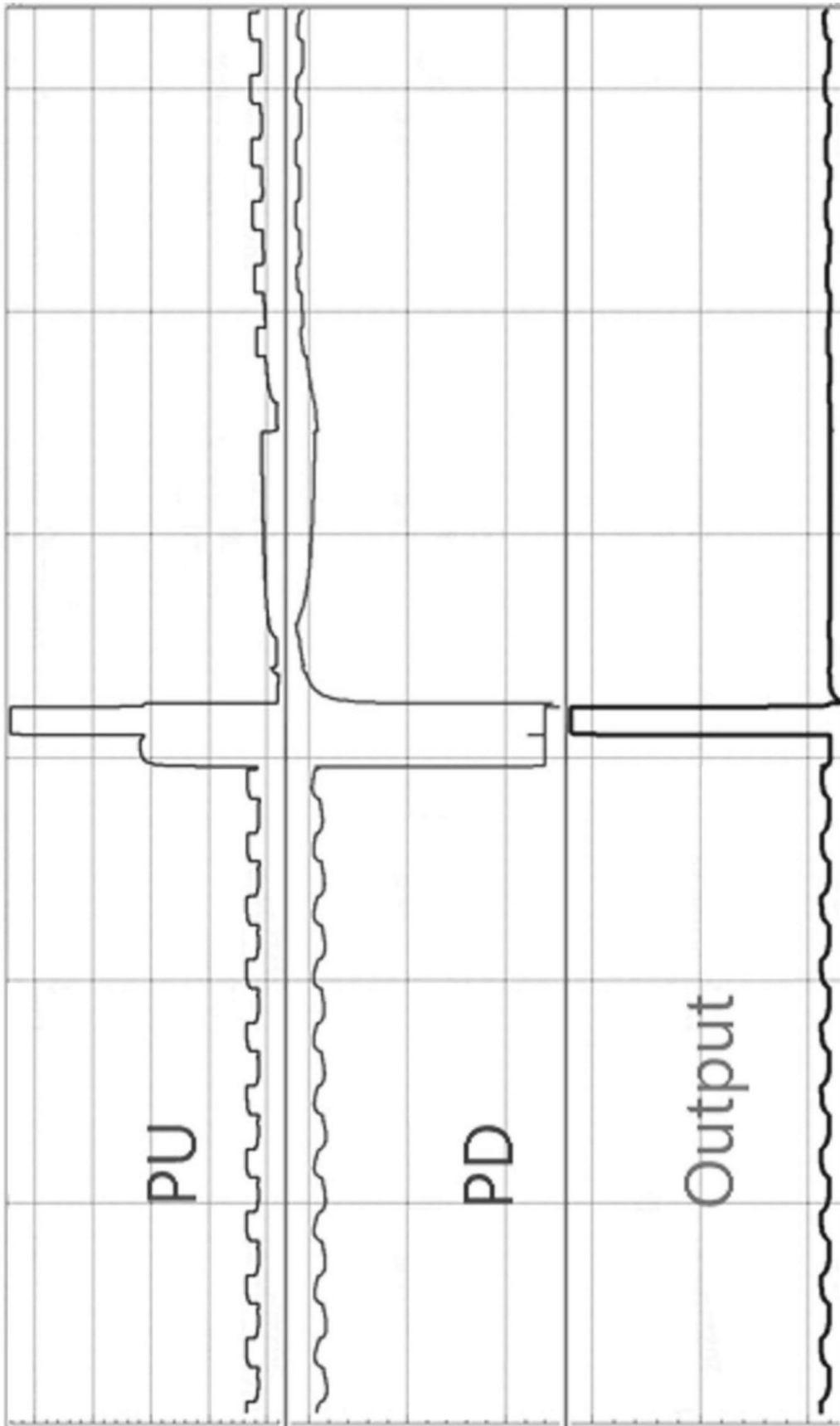


图16

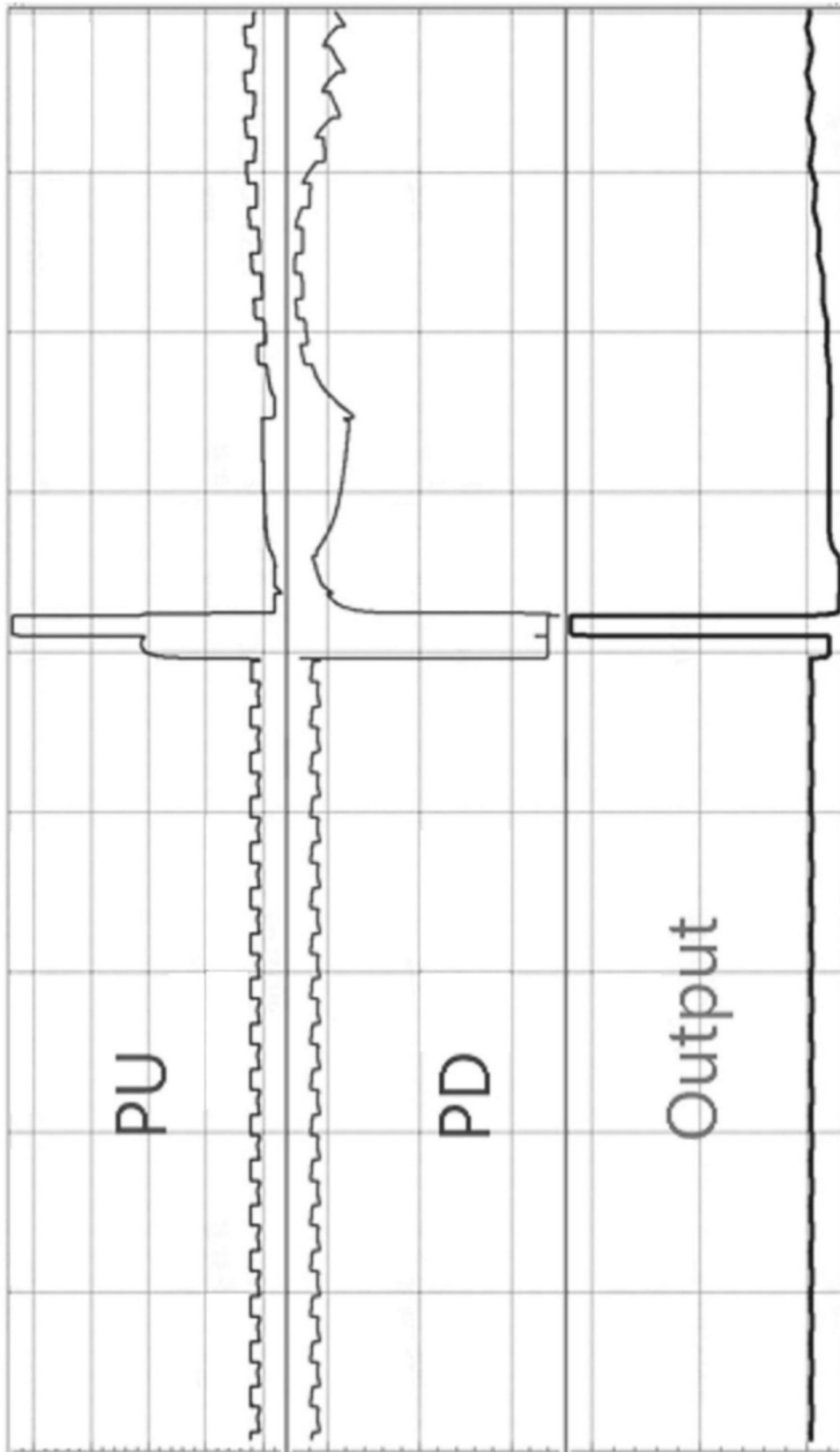


图17

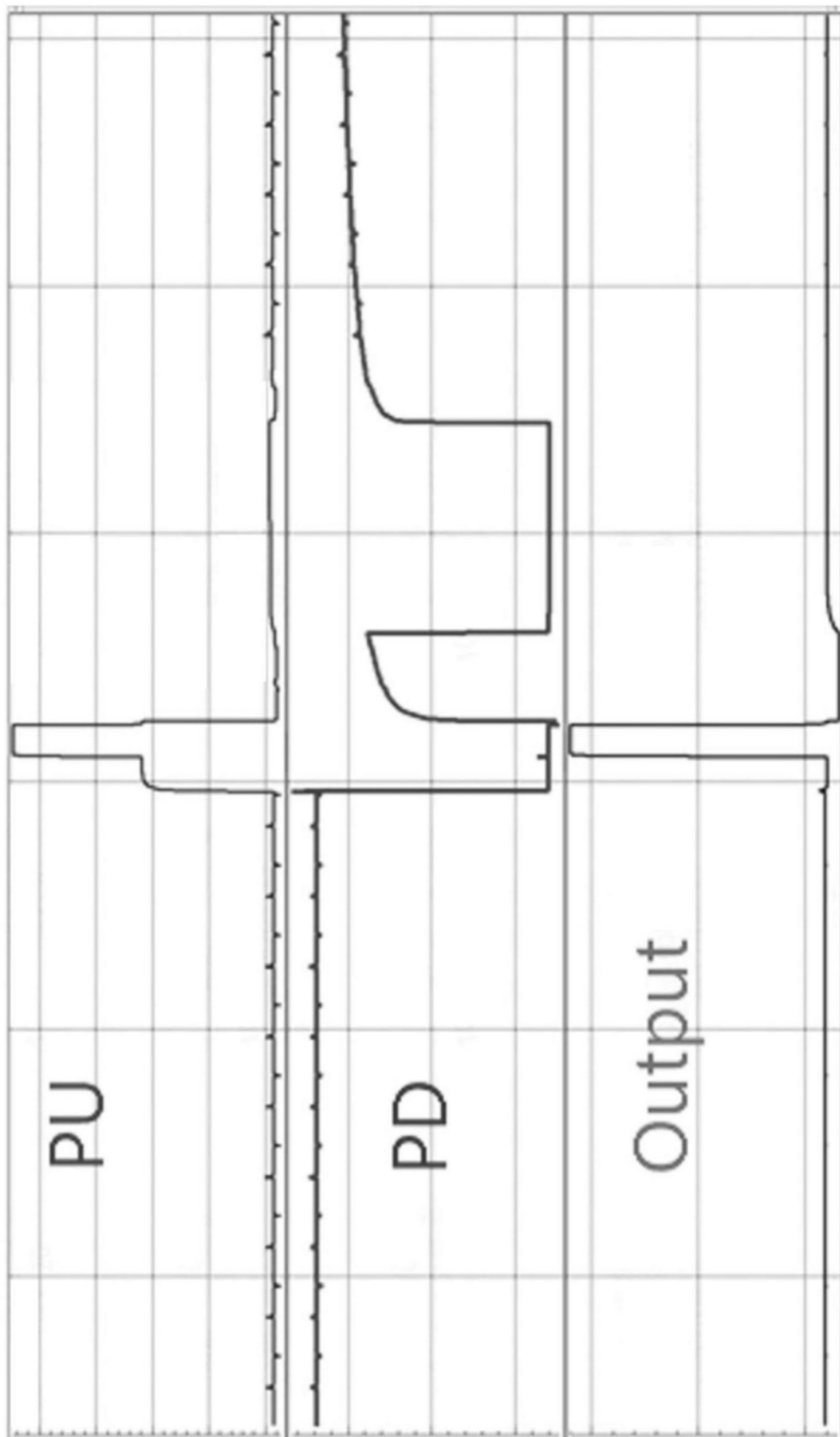


图18

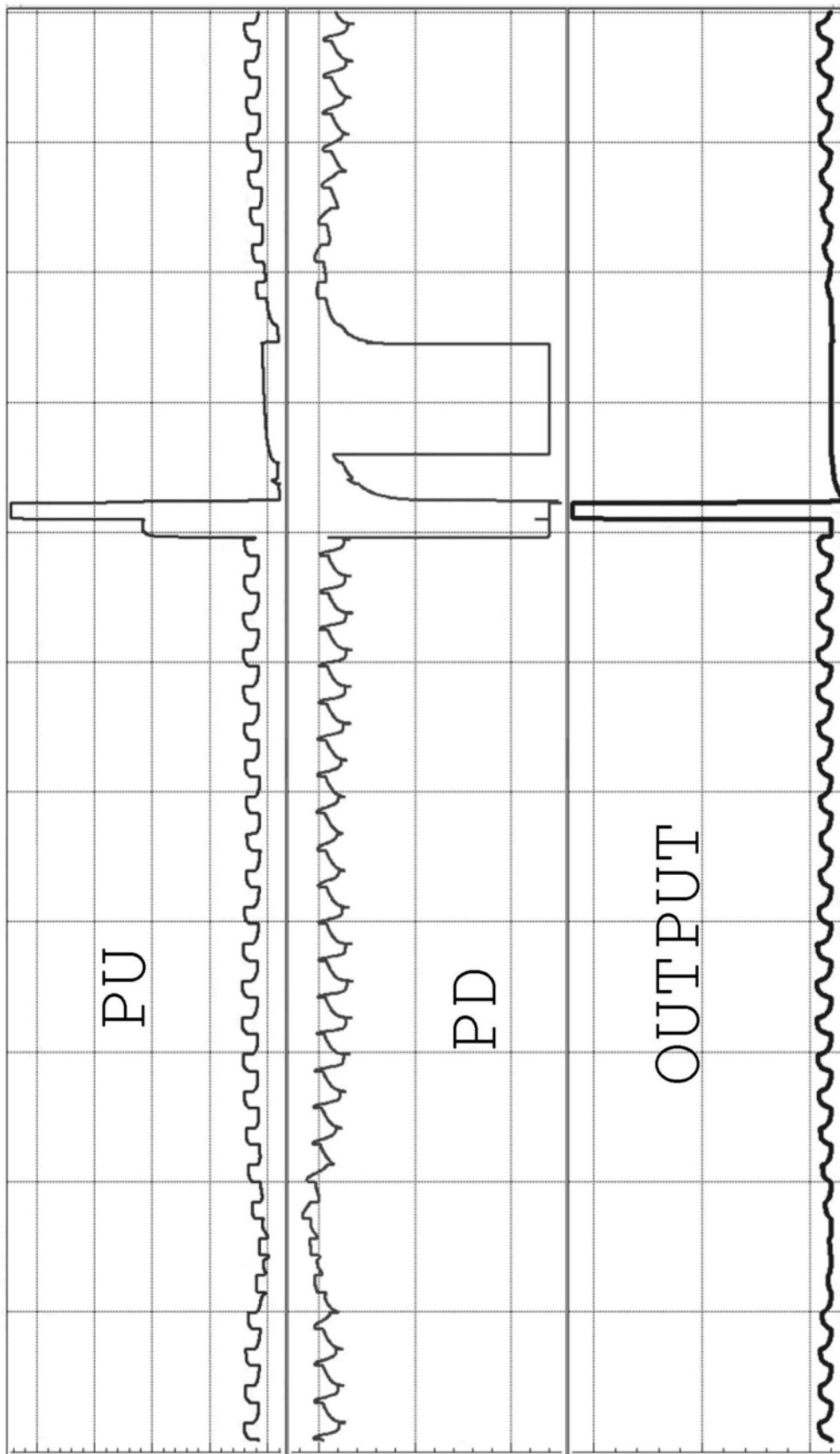


图19

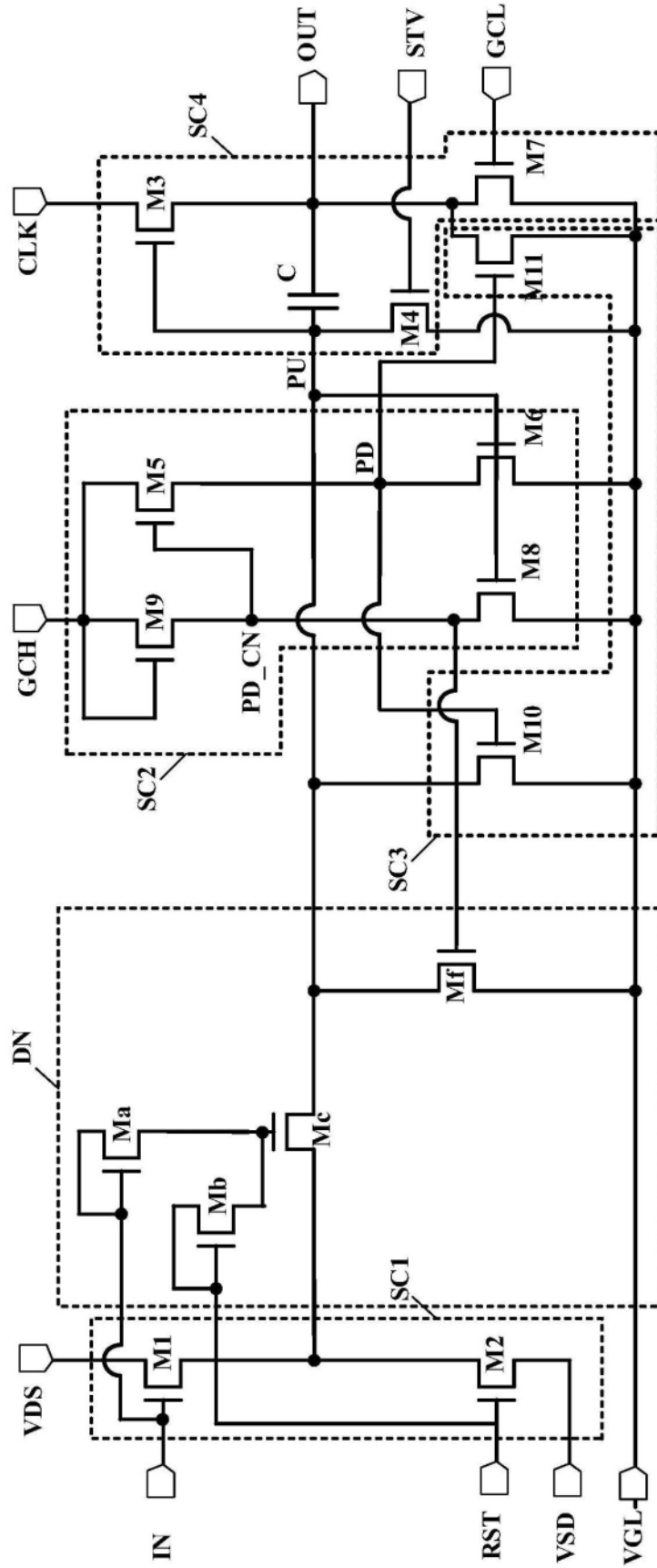


图21

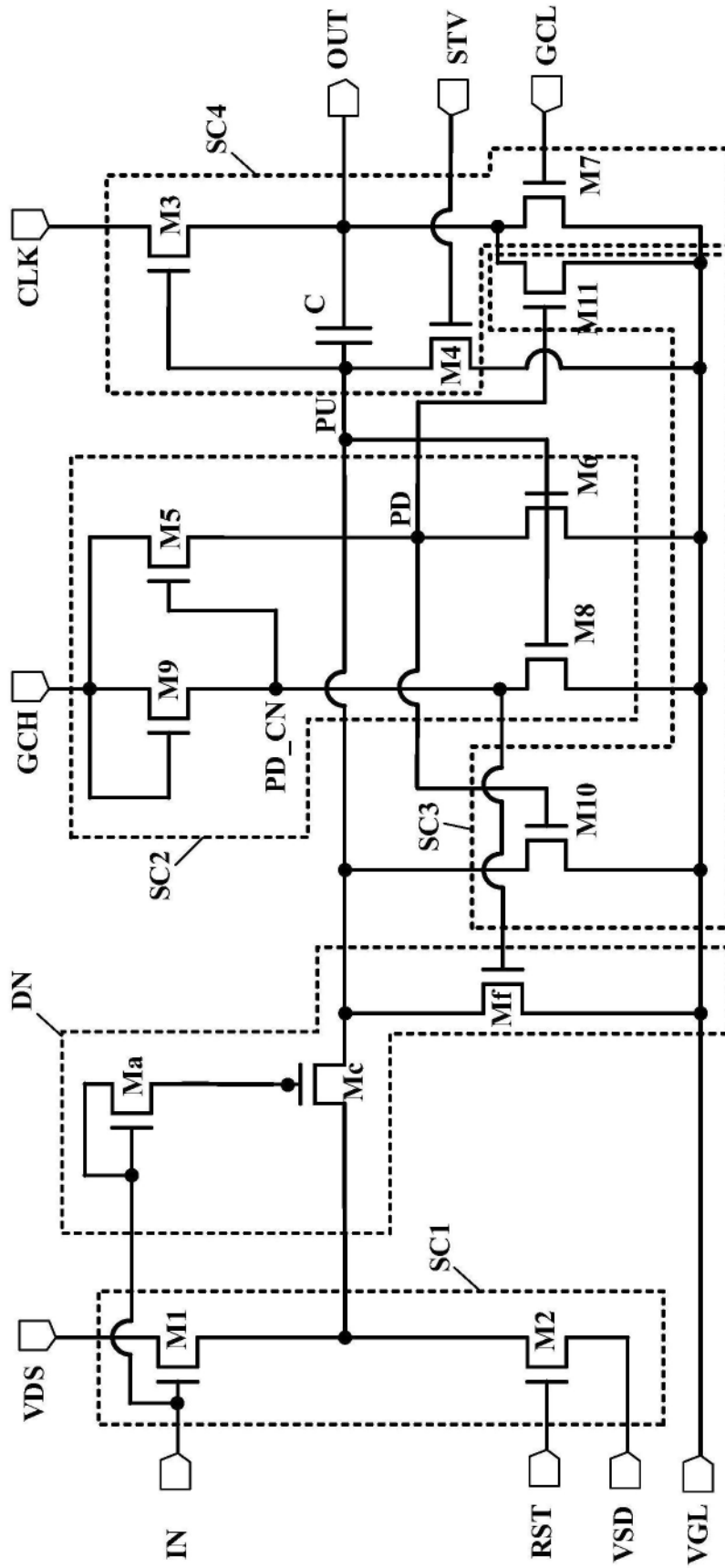


图22

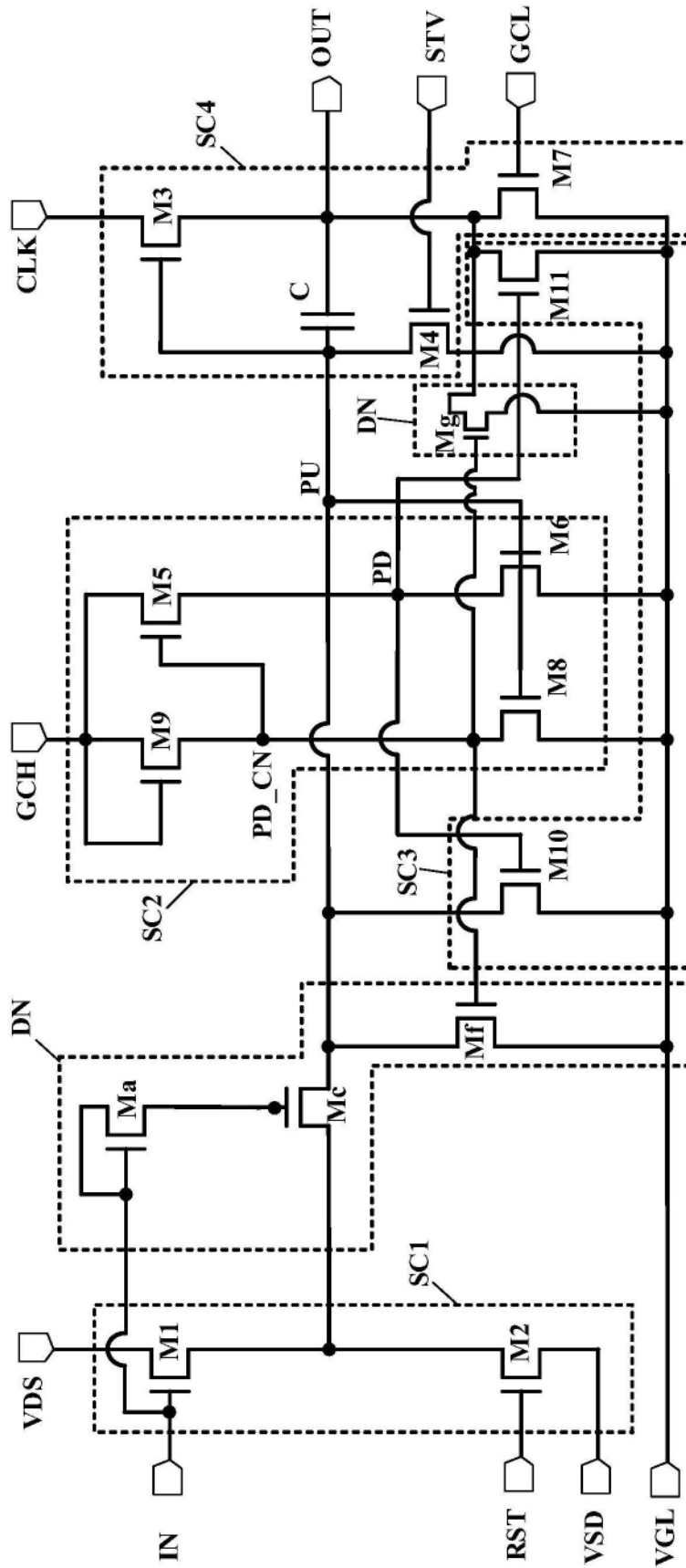


图23

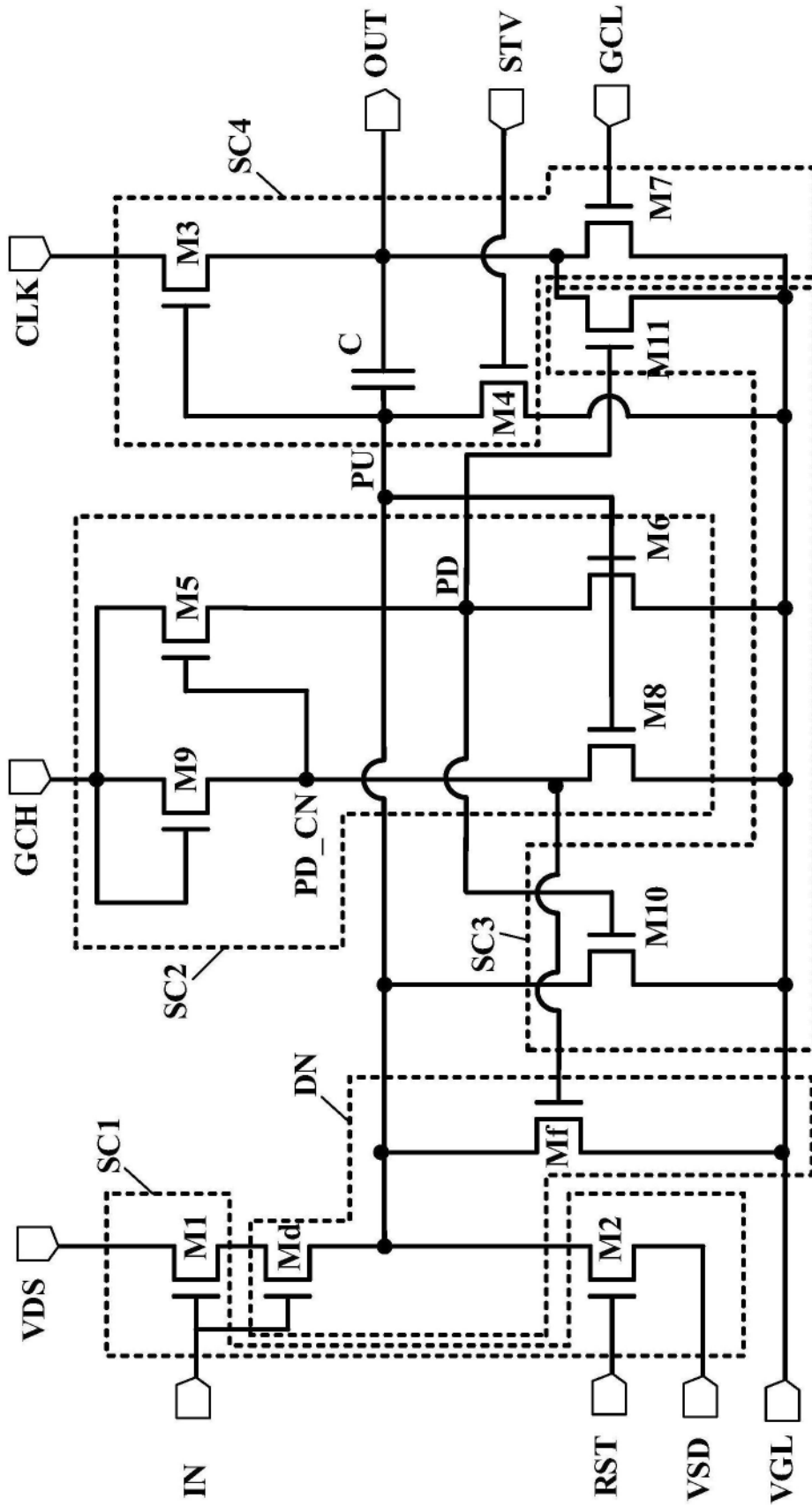


图24

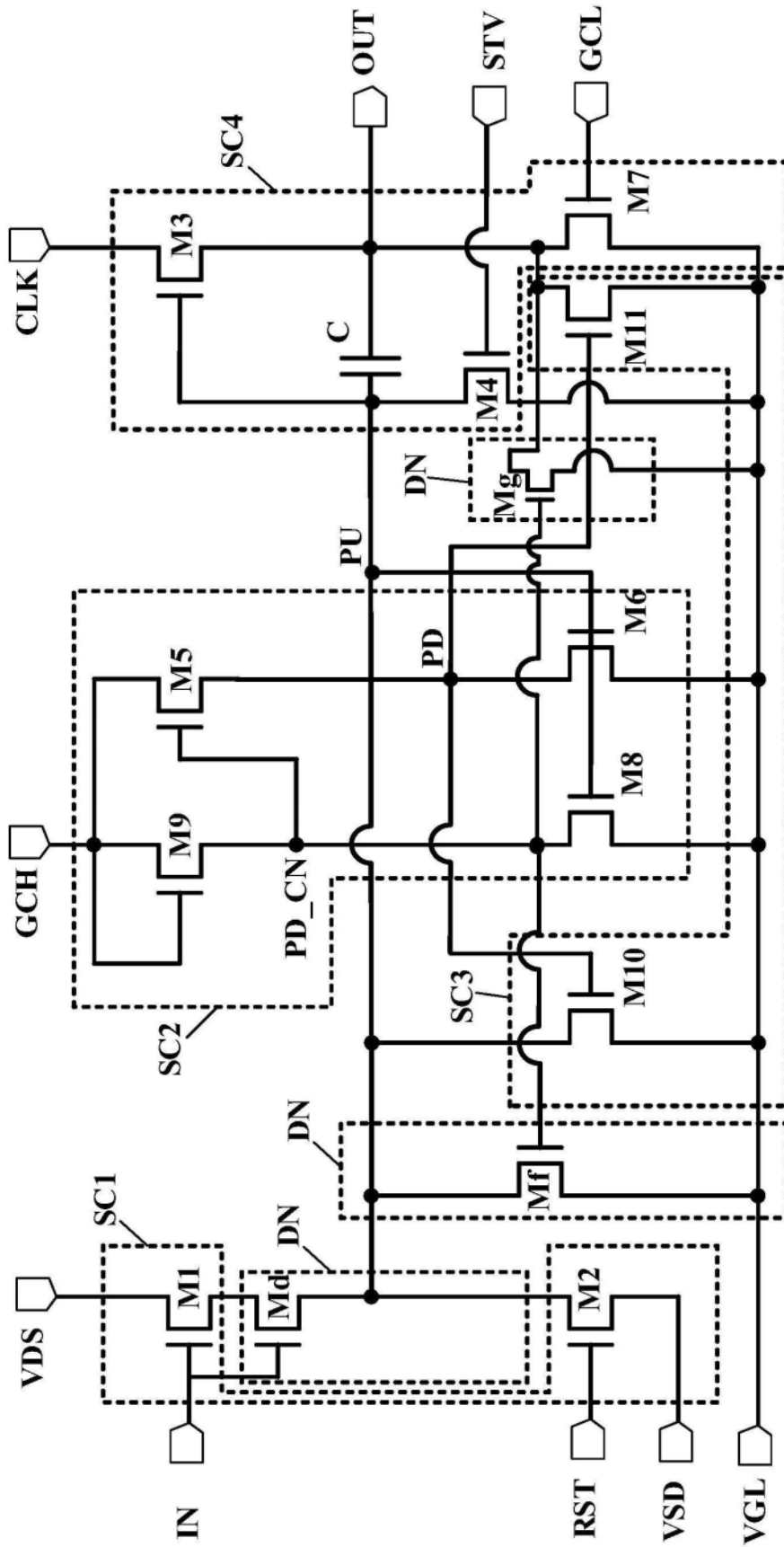


图25

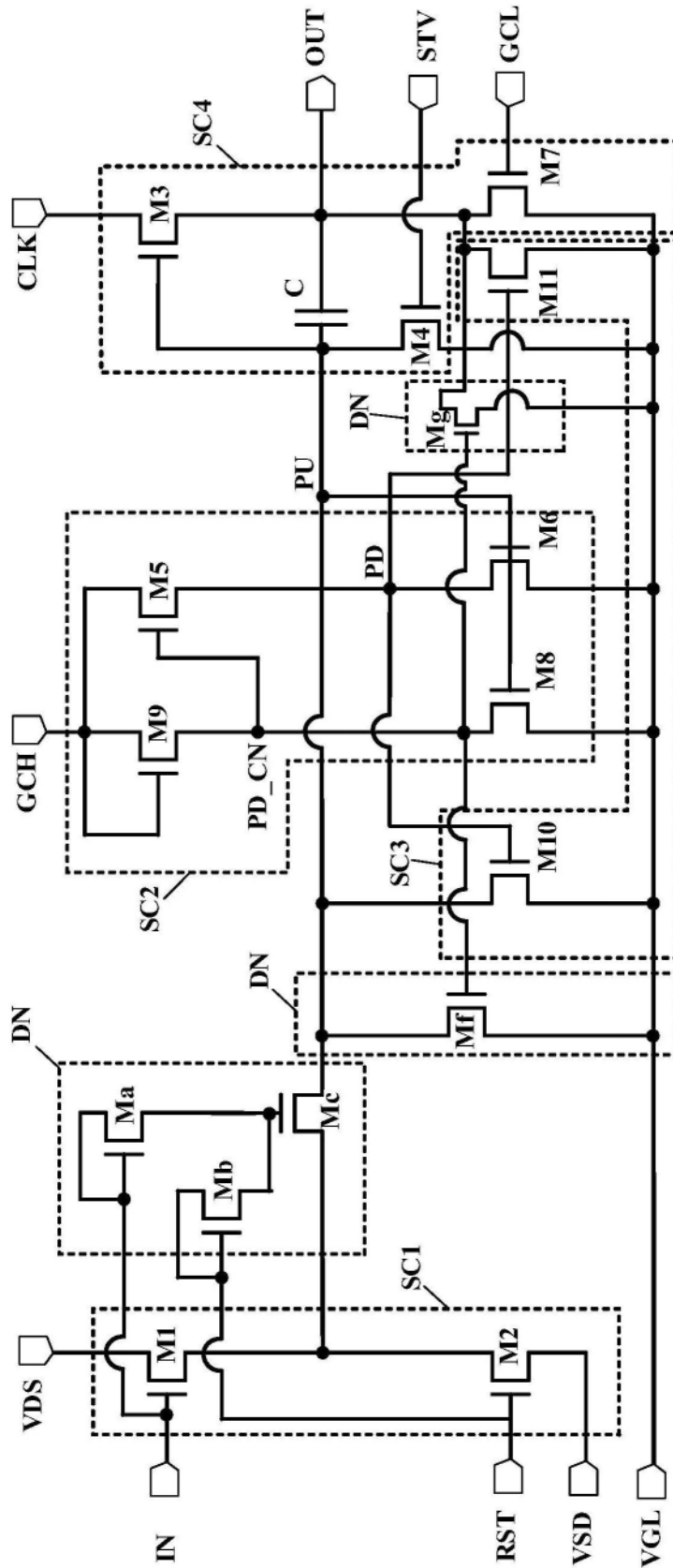


图28

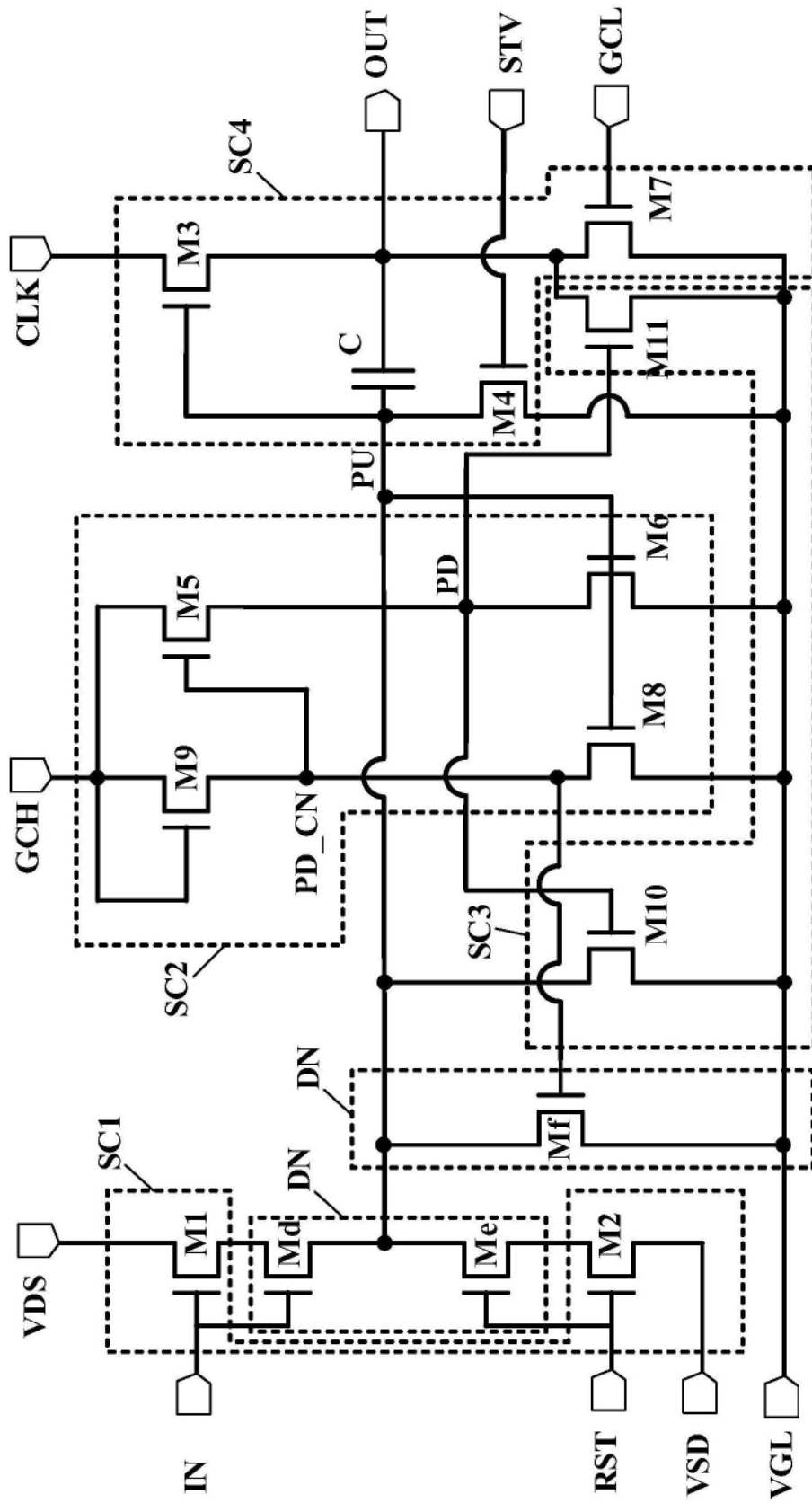


图29

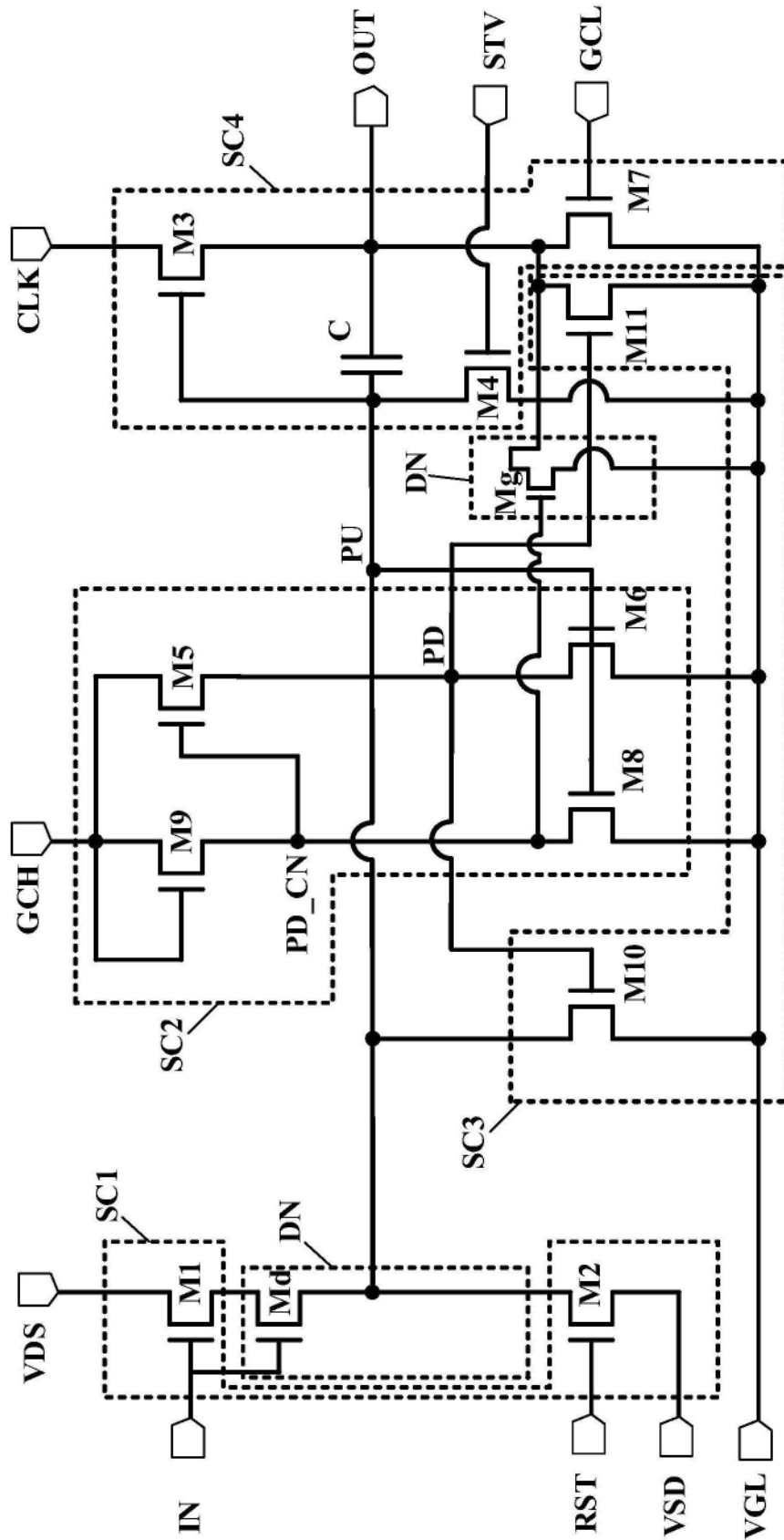


图30

